

Ahmed Youssef, BSc

# **Entwicklung und Implementierung eines Trimmkonzepts für eine Überstromdetektionsschaltung in einem Smart Power IC**

## **Masterarbeit**

zur Erlangung des akademischen Grades eines  
Diplom-Ingenieur  
Masterstudium Elektrotechnik

eingereicht an der

**Technischen Universität Graz**

Betreuer

Ass.Prof. Dipl.-Ing. Dr.techn. Peter Söser  
Institut für Elektronik

In Kooperation mit  
Infineon Technologies AG  
Dipl.-Ing. Peter Amreich

Graz, Oktober 2019

## **AFFIDAVIT**

I declare that I have authored this thesis independently, that I have not used other than the declared sources/resources, and that I have explicitly indicated all material which has been quoted either literally or by content from the sources used. The text document uploaded to TUGRAZonline is identical to the present master's thesis dissertation.

---

Date

---

Signature

## **Abstract**

The automotive industry requires a very broad temperature spectrum for the use of its electronic components. Due to this fact, high demands are placed on the development and the production test of smart power ICs.

In particular, this relates to an overcurrent detection circuit in an alternator IC produced by Infineon Technologies Austria AG. The mentioned circuit exhibits an unexpected scattering of the standard deviation of the detection threshold in the specified temperature range.

Within the scope of this thesis, a measurement setup is implemented to investigate this overcurrent detection circuit, while taking the IC's self-heating into account. This is in order to develop a trimming scheme, that can, through subsequent treatment of the data produced by the measurement, minimize the variation of the standard deviation over the required temperature range for the overcurrent detection threshold.

The developed trimming scheme should aim to be integrated into the production test of the IC. Therefore, the possibility of backend trimming as well as package effects must be investigated.

## **Keywords**

Smart Power ICs; overcurrent; production test; trimming; package effects.

## **Kurzfassung**

In der Automotive-Branche ist für den Einsatz von elektronischen Bauteilen ein sehr breites Temperaturspektrum gefordert. Dieser große Temperaturbereich stellt hohe Anforderungen an die Entwicklung sowie den produktiven Test von Smart Power ICs.

Im Speziellen betrifft dies eine Schaltung zur Überstromerkennung in einem von Infineon Technologies Austria AG produzierten Lichtmaschinenregler. Diese weist eine unerwartete Streuung der Standardabweichung der Detektionsschwelle im geforderten Temperaturbereich auf.

Diese Überstromdetektionsschaltung wird im Rahmen dieser Arbeit näher untersucht, mit der Motivation, ein Messverfahren (unter Rücksichtnahme der Eigenerwärmung) zu implementieren, um durch Nachbehandlung der aufgenommenen Daten ein Trimmschema zu entwickeln, das darauf zielt, eine geringstmögliche Streuung der Standardabweichung über den geforderten Temperaturbereich der Detektionsschwelle zu erreichen.

Das definierte Trimmschema soll zum Ziel haben im produktiven Test integriert zu werden. Hierfür muss untersucht werden, ob eine Backend-Trimmmung möglich ist sowie, ob eine Verschiebung der Detektionsschwelle durch Package-Effekte vorhanden ist.

## **Schlüsselwörter**

Smart Power ICs; Überstrom; Produktionstest; Trimmen; Package-Effekte.

## Leitfaden

Im Rahmen dieser Arbeit wird das Verhalten eines Spezifikationsparameters einer Schaltung zur Überstromdetektion näher untersucht. Als Hintergrund sind vorhandene Messungen aus dem Produktionstest zu erwähnen, die eine unerwartet hohe Standardabweichung dieses Parameters aufweisen.

Um die notwendige Basis für weitere Betrachtungen in dieser Arbeit zu schaffen, behandelt das Eingangskapitel nebst statistischen Grundlagen auch eine Beschreibung des Trimmprozesses sowie eine kurze Betrachtung von Package-Effekten.

Das zweite Kapitel beschäftigt sich mit der zugrundeliegenden Schaltung. Da das Hauptaugenmerk dieser Arbeit auf der Messung des Spezifikationsparameters sowie deren Auswertung liegt, wird die Schaltungstechnik vergleichsweise oberflächlich behandelt ohne dabei die wesentlichsten Aspekte außer Acht zu lassen.

Nachdem die für diese Arbeit notwendigen Tätigkeiten parallel zum laufenden Produktionsprozess stattfinden, wird der Logistik ebenfalls ein Kapitel gewidmet.

Sobald alle logistischen Herausforderungen überwunden sind, muss zur Aufnahme der notwendigen Messwerte ein Testprogramm entwickelt werden. Dies wird im Laufe des fünften Kapitels neben der Testhardware und dem Testkonzept beleuchtet.

Schließlich werden die aufgezeichneten Daten in einem separaten Kapitel analysiert und entsprechende Rückschlüsse gezogen.

Die Bedeutung dieser Rückschlüsse wird abschließend in einem Fazit erläutert.

# Inhaltsverzeichnis

<b>1</b>	<b>Einführung</b>	<b>1</b>
1.1	Motivation . . . . .	1
1.2	Statistische Grundlagen . . . . .	2
1.2.1	Grundbegriffe . . . . .	2
1.2.2	Histogramme . . . . .	4
1.2.3	Statistische Analyse . . . . .	6
1.2.3.1	Mittelwert (Durchschnitt) und Standardabweichung (Varianz) . . . . .	6
1.2.3.2	Six-Sigma Qualität und Prozessfähigkeitsindizes . . . . .	7
1.2.4	Streudiagramme . . . . .	9
1.2.5	Kumulierte Standardnormalverteilung . . . . .	10
1.3	Trimmen . . . . .	12
1.3.1	Definition und Funktion . . . . .	12
1.3.2	Realisierung . . . . .	15
1.4	Packaging . . . . .	17
1.4.1	Package-Effekte . . . . .	18
<b>2</b>	<b>Integrierte Schaltung</b>	<b>20</b>
2.1	Überstromdetektionsschaltung . . . . .	20
2.1.1	Überstrom . . . . .	20
2.1.2	Schaltbild . . . . .	20
2.1.3	Grundprinzip . . . . .	21
2.1.4	Funktion einzelner Bauteile/Blöcke . . . . .	24
2.2	Trimmschaltung . . . . .	30
2.2.1	Schaltbild . . . . .	30
2.2.2	Funktionsweise . . . . .	31
2.2.3	Funktion einzelner Bauteile . . . . .	33
<b>3</b>	<b>Logistik und Organisation</b>	<b>35</b>

3.1	Interner Produktionsablauf . . . . .	35
3.2	Herausforderungen . . . . .	37
<b>4</b>	<b>Test</b>	<b>38</b>
4.1	Testhardware . . . . .	38
4.1.1	Tester . . . . .	38
4.1.2	Loadboard . . . . .	40
4.1.3	Handler . . . . .	40
4.2	Testkonzept . . . . .	42
4.3	Testprogramm . . . . .	46
4.3.1	Entwicklungsumgebung . . . . .	46
4.3.2	Testprogrammablauf . . . . .	46
<b>5</b>	<b>Datenauswertung</b>	<b>49</b>
5.1	Analyse der Frontend- und Backend-Daten bei Frontend-Trimmung . . . . .	49
5.2	Untersuchung der Package-Effekte . . . . .	54
5.3	Analyse der neuen Backend-Daten . . . . .	59
5.3.1	Trimmschritt-Charakterisierung . . . . .	59
5.3.2	Trimmtemperaturuntersuchung . . . . .	70
5.3.2.1	Trimmung bei CT . . . . .	71
5.3.2.2	Vergleichsanalyse bei anderen Trimmtemperaturen . . . . .	74
5.3.2.2.1	Trimmung bei AT . . . . .	74
5.3.2.2.2	Trimmung bei HT . . . . .	78
5.3.3	Ursachenuntersuchung . . . . .	82
<b>6</b>	<b>Fazit</b>	<b>85</b>
	Literatur . . . . .	86

# Abbildungsverzeichnis

1.1	Histogramm der absoluten Frequenz der Verteilung der Bandgap-Referenzspannung $V_{BG}$ bei $\Theta = 125^\circ\text{C}$ für $N = 984$ ICs. . . . .	5
1.2	Veranschaulichung der Größen $\mu$ und $\sigma$ für die Bandgap-Referenzspannung $V_{BG}$ anhand eines Histogramms der relativen Frequenz sowie einer Standardnormalverteilung bei $\Theta = 125^\circ\text{C}$ für $N = 984$ ICs. . . . .	7
1.3	Streudiagramm der Bandgap-Referenzspannung $V_{BG}$ über $N = 984$ ICs bei $\Theta = 125^\circ\text{C}$ . . . . .	10
1.4	Empirische kumulierte Verteilungsfunktion (relative kumulierte Frequenz) der Bandgap-Referenzspannung $V_{BG}$ bei $\Theta = 125^\circ\text{C}$ für $N = 984$ ICs. . . . .	11
1.5	Histogramm einer breiten Verteilung der durch Prozessvariationen u.ä. entstehenden Messwerte eines Parameters. . . . .	12
1.6	Histogramm einer breiten von einer Drift begleiteten Verteilung der durch Prozessvariationen u.ä. entstehenden Messwerte eines Parameters. . . . .	13
1.7	Histogramm einer Verteilung nach erfolgreichem Trimmen. . . . .	14
1.8	PG-TO220-5 Plastik-Package . . . . .	17
2.1	Schaltbild der zu untersuchenden Überstromdetektionsschaltung. . . . .	21
2.2	Vereinfachtes Schaltbild des $\Delta V_{BE}$ - Prinzipes. . . . .	22
2.3	Vereinfachtes Schaltbild des $\Delta V_{BE}$ - Prinzipes mit einem Shunt-Widerstand $R_{Shunt}$ . . . . .	24
2.4	Ausschnitt aus dem Schaltbild der Überstromdetektionsschaltung zur Verdeutlichung der Transistoren, die gematched werden müssen. . . . .	25
2.5	Ausschnitt aus dem Schaltbild der Überstromdetektionsschaltung zur Verdeutlichung des Stromspiegels und dessen Schutz. . . . .	26
2.6	Ausschnitt aus dem Schaltbild der Überstromdetektionsschaltung zur Verdeutlichung der Schutztransistoren für die Stromspiegel-Transistoren im Trimm-block. . . . .	27
2.7	Schaltsymbol des Trimmblockes. . . . .	28

2.8	Ausschnitt aus dem Schaltbild der Überstromdetektionsschaltung zur Verdeutlichung der Funktion des Komparators, Schmitt-Triggers und Inverters.	28
2.9	Schaltbild der zu untersuchenden Trimmschaltung.	30
4.1	microFLEX-Tester von TERADYNE.	39
4.2	RASCO SO 1800 Handler.	41
4.3	Sample-Verlauf der angelegten Stromrampe auf einem DC90-Kanal.	42
4.4	Zeitlicher Verlauf der angelegten Stromrampe auf dem DUT Pin.	43
4.5	Testprogrammstabilitätsüberprüfung an einem beliebigen DUT bei $-40^{\circ}\text{C}$ .	44
4.6	Testprogrammstabilitätsüberprüfung an einem beliebigen DUT bei $125^{\circ}\text{C}$ .	44
4.7	Testablauf im Testprogramm.	47
4.8	Ausschnitt aus dem Data Log eines Testdurchlaufes bei $-40^{\circ}\text{C}$ .	48
5.1	Streudiagramm der Frontend- (bei $25^{\circ}\text{C}$ ) und Backend-Daten (bei $-40^{\circ}\text{C}$ und $125^{\circ}\text{C}$ ) der Überstromdetektionsschwelle für Wafer 1 (Frontend-getrimmt).	51
5.2	Kumulierter Frequenzplot der Frontend- (bei $25^{\circ}\text{C}$ ) und Backend-Daten (bei $-40^{\circ}\text{C}$ und $125^{\circ}\text{C}$ ) der Überstromdetektionsschwelle für Wafer 1 (Frontend-getrimmt).	51
5.3	Streudiagramm der Frontend- (bei $25^{\circ}\text{C}$ ) und Backend-Daten (bei $-40^{\circ}\text{C}$ und $125^{\circ}\text{C}$ ) der Überstromdetektionsschwelle für Wafer 5 (Frontend-getrimmt).	52
5.4	Kumulierter Frequenzplot der Frontend- (bei $25^{\circ}\text{C}$ ) und Backend-Daten (bei $-40^{\circ}\text{C}$ und $125^{\circ}\text{C}$ ) der Überstromdetektionsschwelle für Wafer 5 (Frontend-getrimmt).	52
5.5	Streudiagramm der Frontend- (bei $25^{\circ}\text{C}$ ) und Backend-Daten (bei $-40^{\circ}\text{C}$ und $125^{\circ}\text{C}$ ) der Überstromdetektionsschwelle für Wafer 6 (Frontend-getrimmt).	53
5.6	Kumulierter Frequenzplot der Frontend- (bei $25^{\circ}\text{C}$ ) und Backend-Daten (bei $-40^{\circ}\text{C}$ und $125^{\circ}\text{C}$ ) der Überstromdetektionsschwelle für Wafer 6 (Frontend-getrimmt).	53
5.7	Streudiagramm der Frontend- und Backend-Daten der Überstromdetektionsschwelle bei $25^{\circ}\text{C}$ für Wafer 1 (Frontend-getrimmt).	55
5.8	Streudiagramm der Differenz der Überstromdetektionsschwelle zwischen Frontend- und Backend-Testdaten bei $25^{\circ}\text{C}$ für Wafer 1 (Frontend-getrimmt).	55
5.9	Streudiagramm der Frontend- und Backend-Daten der Überstromdetektionsschwelle bei $25^{\circ}\text{C}$ für Wafer 5 (Frontend-getrimmt).	56
5.10	Streudiagramm der Differenz der Überstromdetektionsschwelle zwischen Frontend- und Backend-Testdaten bei $25^{\circ}\text{C}$ für Wafer 5 (Frontend-getrimmt).	56
5.11	Streudiagramm der Frontend- und Backend-Daten der Überstromdetektionsschwelle bei $25^{\circ}\text{C}$ für Wafer 6 (Frontend-getrimmt).	57

5.12	Streudiagramm der Differenz der Überstromdetektionsschwelle zwischen Frontend- und Backend-Testdaten bei 25°C für Wafer 6 (Frontend-getrimmt). . . . .	57
5.13	Kumulierter Frequenzplot der Differenz der Überstromdetektionsschwelle zwischen Frontend- und Backend-Testdaten bei 25°C für die Wafer 1, 5 und 6 (Frontend-getrimmt). . . . .	58
5.14	Streudiagramm der Überstromdetektionsschwelle für sämtliche Trimmsschritte <i>OC_TRIM</i> bei AT (engl. Ambient Temperature, 25°C) für Wafer 6 (Backend). . . . .	60
5.15	Kumulierter Frequenzgang der Überstromdetektionsschwelle für sämtliche Trimmsschritte <i>OC_TRIM</i> bei AT (engl. Ambient Temperature, 25°C) für Wafer 6 (Backend). . . . .	61
5.16	Streudiagramm der Überstromdetektionsschwelle beim Trimmsschritt <i>OC_TRIM</i> = 0 bei AT (engl. Ambient Temperature, 25°C) für sämtliche Wafer 1, 4, 5 und 6 (Backend). . . . .	62
5.17	Streudiagramm der Überstromdetektionsschwelle beim Trimmsschritt <i>OC_TRIM</i> = 0 bei CT (engl. Cold Temperature, -40°C) und HT (engl. High Temperature, 125°C) für sämtliche Wafer 1, 4, 5 und 6 (Backend). . . . .	64
5.18	Verlauf der mittleren Trimmsschrittbreite über unterschiedliche Trimmsschritte in Abhängigkeit von der Temperatur für sämtliche Wafer 1, 4, 5 und 6 (Backend). . . . .	67
5.19	Verlauf der normierten Standardabweichung der Überstromdetektionsschwelle über Temperatur in Abhängigkeit von der Trimmsschrittbreite (Wafer 1, Backend). . . . .	68
5.20	Verlauf der normierten Standardabweichung der Überstromdetektionsschwelle über Temperatur in Abhängigkeit von der Trimmsschrittbreite (Wafer 4, Backend). . . . .	68
5.21	Verlauf der normierten Standardabweichung der Überstromdetektionsschwelle über Temperatur in Abhängigkeit von der Trimmsschrittbreite (Wafer 5, Backend). . . . .	69
5.22	Verlauf der normierten Standardabweichung der Überstromdetektionsschwelle über Temperatur in Abhängigkeit von der Trimmsschrittbreite (Wafer 6, Backend). . . . .	69
5.23	Verlauf der normierten Standardabweichung der Überstromdetektionsschwelle über Temperatur in Abhängigkeit von der Trimmsschrittbreite für sämtliche Wafer 1, 4, 5 und 6 (Backend). . . . .	70
5.24	Verlauf der mittleren Standardabweichung der Überstromdetektionsschwelle über Temperatur für sämtliche Wafer 1, 4, 5 und 6 (Backend-CT-getrimmt). . . . .	71

5.25	Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für Wafer 1 (Backend-CT-getrimmt). . . . .	72
5.26	Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für Wafer 4 (Backend-CT-getrimmt). . . . .	72
5.27	Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für Wafer 5 (Backend-CT-getrimmt). . . . .	73
5.28	Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für Wafer 6 (Backend-CT-getrimmt). . . . .	73
5.29	Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für sämtliche Wafer 1, 4, 5 und 6 (Backend-CT-getrimmt).	74
5.30	Verlauf der mittleren Standardabweichung der Überstromdetektionsschwelle über Temperatur für sämtliche Wafer 1, 4, 5 und 6 (Backend-AT-getrimmt).	75
5.31	Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für Wafer 1 (Backend-AT-getrimmt). . . . .	76
5.32	Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für Wafer 4 (Backend-AT-getrimmt). . . . .	76
5.33	Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für Wafer 5 (Backend-AT-getrimmt). . . . .	77
5.34	Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für Wafer 6 (Backend-AT-getrimmt). . . . .	77
5.35	Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für sämtliche Wafer 1, 4, 5 und 6 (Backend-AT-getrimmt).	78
5.36	Verlauf der mittleren Standardabweichung der Überstromdetektionsschwelle über Temperatur für sämtliche Wafer 1, 4, 5 und 6 (Backend-HT-getrimmt).	79
5.37	Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für Wafer 1 (Backend-HT-getrimmt). . . . .	79
5.38	Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für Wafer 4 (Backend-HT-getrimmt). . . . .	80
5.39	Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für Wafer 5 (Backend-HT-getrimmt). . . . .	80
5.40	Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für Wafer 6 (Backend-HT-getrimmt). . . . .	81
5.41	Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für sämtliche Wafer 1, 4, 5 und 6 (Backend-HT-getrimmt).	81
5.42	Kumulierter Frequenzplot der Überstromdetektionsschwelle aller Wafer in Abhängigkeit von der Temperatur mit Fokus auf einem beliebigen IC (BE-CT-getrimmt). . . . .	82

5.43	Kumulierter Frequenzplot der Überstromdetektionsschwelle aller Wafer in Abhängigkeit von der Temperatur mit Fokus auf einem beliebigen IC (BE-CT-getrimmt). . . . .	83
5.44	Kumulierter Frequenzplot der Überstromdetektionsschwelle aller Wafer in Abhängigkeit von der Temperatur mit Fokus auf einem beliebigen IC (BE-AT-getrimmt). . . . .	83
5.45	Kumulierter Frequenzplot der Überstromdetektionsschwelle aller Wafer in Abhängigkeit von der Temperatur mit Fokus auf einem beliebigen IC (BE-HT-getrimmt). . . . .	84

# Tabellenverzeichnis

1.1	Beispiel einer statistischen Auswertung einer Bandgap-Referenzspannung $V_{BG}$ bei $\Theta = 125^\circ\text{C}$ für $N = 984$ ICs. . . . .	4
2.1	Trimmtabelle für die Überstromdetektionsschwelle. . . . .	32
5.1	Statistische Kenngrößen (Mittelwert $\mu$ und Standardabweichung $\sigma$ ) der Analyse der Frontend- (S2 bei $25^\circ\text{C}$ ) und Backend-Daten (B2 bei $-40^\circ\text{C}$ und B3 bei $125^\circ\text{C}$ ) für die Wafer 1,5 und 6 (Frontend-getrimmt). . . . .	50
5.2	Statistische Kenngrößen (Mittelwert $\mu$ und Standardabweichung $\sigma$ ) der Analyse der Frontend- (FE) und Backend-Daten (BE) der Wafer 1,5 und 6 bei $25^\circ\text{C}$ für die Untersuchung der Package-Effekte (Frontend-getrimmt). . . . .	58
5.3	Statistische Kenngrößen (Mittelwert $\mu$ und Standardabweichung $\sigma$ ) der Überstromdetektionsschwelle für sämtliche Trimmsschritte bei AT (engl. Ambient Temperature, $25^\circ\text{C}$ ) für sämtliche Wafer 1, 4, 5 und 6 (Backend). . . . .	63
5.4	Statistische Kenngrößen (Mittelwert $\mu$ und Standardabweichung $\sigma$ ) der Überstromdetektionsschwelle für sämtliche Trimmsschritte bei CT (engl. Cold Temperature, $-40^\circ\text{C}$ ) und HT (engl. High Temperature, $125^\circ\text{C}$ ) für die Wafer 1 und 6 (Backend). . . . .	65
5.5	Statistische Kenngrößen (Mittelwert $\mu$ und Standardabweichung $\sigma$ ) der Überstromdetektionsschwelle für sämtliche Trimmsschritte bei CT (engl. Cold Temperature, $-40^\circ\text{C}$ ) und HT (engl. High Temperature, $125^\circ\text{C}$ ) für die Wafer 4 und 5 (Backend). . . . .	66

# Kapitel 1

## Einführung

### 1.1 Motivation

Das Erreichen einer hohen Ausbeute (engl. Yield) bei der Produktion eines ICs stellt eine der obersten Prioritäten eines Chipherstellers dar. Spezifikationsparameter, die große Streuungen aufweisen, stehen oftmals als Hindernis im Weg, dies zu erreichen. Üblicherweise wird diese Streuung erst in den Produktionstestdaten ersichtlich.

Im Rahmen dieser Arbeit wird der Versuch unternommen, die Parameterqualität einer unerwartet hohe Standardabweichung aufweisenden Überstromdetektionsschaltung durch die Entwicklung einer Trimmprozedur zu steigern. Die Herangehensweise zur Untersuchung dieser Thematik soll messtechnisch erfolgen, da bei einer Simulation aufgrund der Variationsvielfalt (Monte Carlo, Prozessvariationen und Temperaturvariationen) mit einer Simulationslaufzeit im Wochenbereich zu rechnen wäre.

Dadurch, dass diese Überstromdetektionsschaltung in allen ICs einer Produktfamilie implementiert ist, würde eine Verbesserung der Trimmung zu einer produktübergreifenden Qualitätssteigerung führen.

## 1.2 Statistische Grundlagen

Die moderne Statistik nimmt stets an Wichtigkeit zu und findet in den diversen Branchen der Technik Verwendung, beispielsweise bei dem Testen von Materialien, Leistungstests von Systemen sowie der Kontrolle der Produktionsprozesse und vieles mehr.

Speziell in der Mikroelektronik spielen statistische Auswertungen eine wesentliche Rolle. Bei der Entwicklung von einem neuen Produkt werden üblicherweise in der Designphase unzählige digitale, analoge sowie Mixed-Signal Simulationen im Rahmen einer Pre-Si-Verifikation (engl. Pre Silicon Verification) durchgeführt. Am physikalischen Chip verläuft dann eine Post-Si-Verifikation (engl. Post Silicon Verification), um das Verhalten des Bauteils mit den Simulationen zu vergleichen. Begleitend zu der Verifikation findet die Qualifikation statt, bei der unter anderem die Stabilität des Testprogramms untersucht wird.

Zusätzlich wird in der Regel als unabdingbarer Bestandteil der Produktion jeder IC (engl. Integrated Circuit), der an den Kunden geliefert wird, sowohl im Frontend (Wafer-Level-Test) als auch im Backend (Package-Level-Test) getestet. Somit kann dem Kunden garantiert werden, dass jeder IC die angegebene Spezifikation erfüllt.

Eine Datenanalyse der Produktionsdaten verhilft dem Chiphersteller dazu, den IC sowie die Produktion genauer zu charakterisieren und in weiterer Folge Aussagen über das Design und die Technologie zu treffen und diese zu verbessern.

### 1.2.1 Grundbegriffe

Um die Wichtigkeit dieses Themengebiets zu verdeutlichen werden vorab ein paar, für die Auswertung der Ergebnisse jedes produktiven Tests relevante, Begriffe erläutert. Generell können Daten numerisch oder graphisch in unterschiedlicher Weise repräsentiert werden. Abhängig vom Anwendungsbereich wird die eine oder andere Repräsentationsmethode bevorzugt.

Bei der Untersuchung vieler ICs spricht man von einer statistischen Verteilung, in der häufig Begriffe wie **die absolute Frequenz** oder **die kumulierte relative Frequenz** zu der Darstellung herangezogen werden.

Diese Begriffe finden auch im Rahmen dieser Arbeit Anwendung und werden in diesem Kapitel beispielsweise anhand einer fundamentalen funktionalen Größe, die von großer Relevanz für diese Arbeit ist; die Bandgap-Referenzspannung  $V_{BG}$ , veranschaulicht.

Die folgenden Definitionen und Formeln sind [1] entommen worden.

Die absolute Frequenz  $f_i$  sagt aus, wie oft ein Wert bzw. ein Wertebereich vorgekommen ist, so dass

$$\sum_{i=1}^n f_i = N \quad (1.1)$$

während  $n$  die Anzahl der Werte bzw. Wertebereiche ist. Wenn die absolute Frequenz  $f_i$  allerdings auf die Anzahl der ICs  $N$  bezogen wird, spricht man von der relativen Frequenz

$$n_i = \frac{f_i}{N} \quad (1.2)$$

Diese wird auch gelegentlich in Prozent % angegeben.

Die absolute kumulierte Frequenz  $F_i$  bildet sich aus der Summe der absoluten Frequenzen aller Werte, die kleiner oder gleich sind.

$$F_i = \sum_{k=1}^i f_k \quad (1.3)$$

Für die Berechnung der relativen kumulierten Frequenz  $N_i$  kann man analog zur relativen Frequenz die Summe der relativen Frequenzen aller Werte, die kleiner oder gleich sind, bilden oder man bezieht die kumulierte Frequenz  $F_i$  auf die Anzahl der ICs  $N$ .

$$N_i = \sum_{k=1}^i n_k = \frac{F_i}{N} \quad (1.4)$$

Die erwähnten Begriffe werden in Tabelle 1.1 mit der Unterstützung der gemessenen Werte für  $V_{BG}$  bei einer Temperatur von  $\Theta = 125^\circ\text{C}$  für eine Anzahl von  $N = 984$  ICs ohne Ausfall, aufgrund von fehlendem Kontakt oder einer Verletzung der Testlimits, getesteten ICs angeführt.

Wertebereich in V	absolute Frequenz $f_i$	relative Frequenz $n_i$	absolute kumulierte Frequenz $F_i$	relative kumulierte Frequenz $N_i$
$V_{BG} < 2,49$	4	$\frac{4}{984}$	4	$\frac{4}{984}$
$2,49 < V_{BG} < 2,50$	133	$\frac{133}{984}$	137	$\frac{137}{984}$
$2,50 < V_{BG} < 2,51$	382	$\frac{382}{984}$	519	$\frac{519}{984}$
$2,51 < V_{BG} < 2,52$	349	$\frac{349}{984}$	868	$\frac{868}{984}$
$2,52 < V_{BG} < 2,53$	113	$\frac{113}{984}$	981	$\frac{981}{984}$
$2,53 < V_{BG}$	3	$\frac{4}{984}$	984	$\frac{984}{984}$

Tabelle 1.1: Beispiel einer statistischen Auswertung einer Bandgap-Referenzspannung  $V_{BG}$  bei  $\Theta = 125^\circ\text{C}$  für  $N = 984$  ICs.

### 1.2.2 Histogramme

Ein Histogramm ist eines der wesentlichen Visualisierungs-Tools, die zu der Überprüfung der Reproduzierbarkeit von Tests sowie Darstellung der Streuung der Werte herangezogen wird. Für große Datensätze werden Histogramme zu der Veranschaulichung der Verteilung der Daten dem Stamm-Blatt-Diagramm vorgezogen.

Es wird üblicherweise wie in Abbildung 1.2 die relative Frequenz  $n_i$  geplottet, allerdings kann man auch die absolute Frequenz  $f_i$  wie in Abbildung 1.1 darstellen.

Wenn ein Testprogramm an einem DUT (engl. Device Under Test) mehrmals ausgeführt wird kommt es üblicherweise zu multiplen Messwerten. Dies kann durch Instabilitäten im Testprogramm, Rauschen oder der Selbsterwärmung des DUTs begründet sein.

Obwohl Histogramme sehr nützlich für die Analyse der Stabilität der Messungen sein können, sind Reproduzierbarkeituntersuchungen nicht der einzige Aspekt, in dem sie eingesetzt

werden, denn mithilfe eines Histogramms kann man sich ein Bild davon verschaffen, wie die Verteilung eines Parameters für mehrere DUTs aussieht [2]. Eine exzessive Variation zwischen einzelnen Teilen deutet an, dass der Fabrikationsprozess außer Kontrolle gerät oder, dass das Design sehr anfällig für erwartete Prozessvariationen ist.

In Abbildung 1.1 werden die aus Tabelle 1.1 entnommenen absoluten Frequenzen  $f_i$  anhand eines Histogramms veranschaulicht. Aus diesem Histogramm kann man beispielsweise beobachten, dass sich die Mehrheit der ICs im Intervall  $[2,5; 2,52]$  befindet während weniger ICs Werte in den Bereichen  $[2,49; 2,5]$  und  $[2,52; 2,53]$  aufweisen. Allerdings ist das Auftreten von ICs mit  $V_{BG}$  außerhalb von den o.g. Intervallen viel weniger wahrscheinlich.

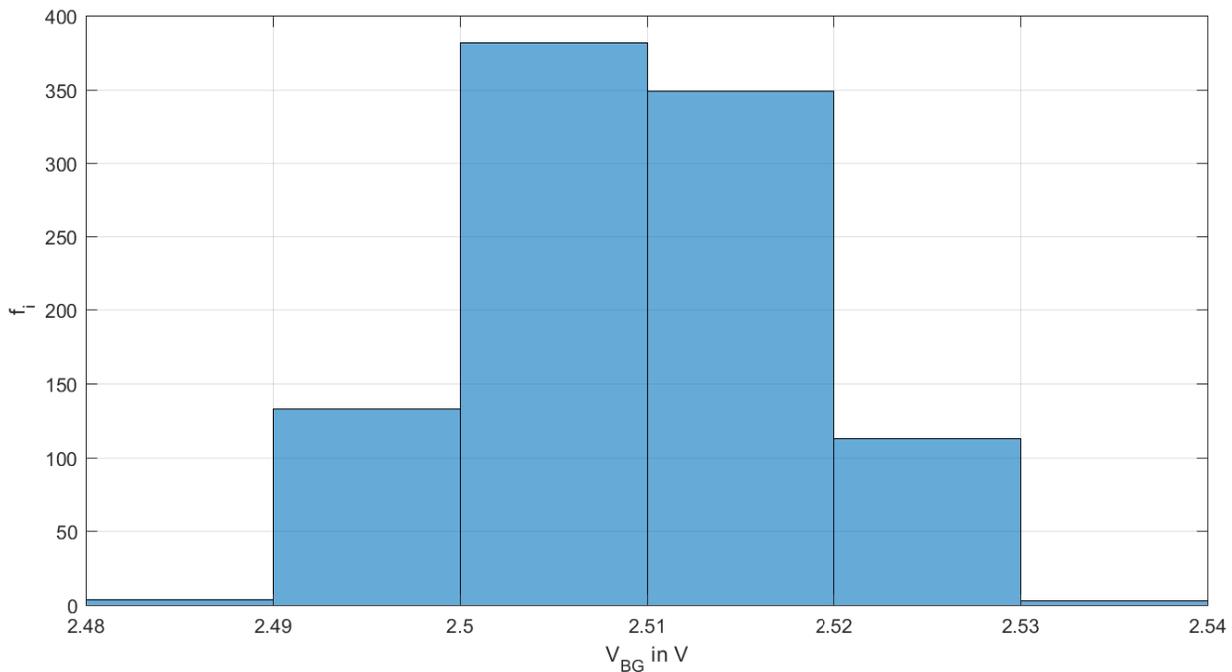


Abbildung 1.1: Histogramm der absoluten Frequenz der Verteilung der Bandgap-Referenzspannung  $V_{BG}$  bei  $\Theta = 125^\circ\text{C}$  für  $N = 984$  ICs.

Es ist auch zu erkennen, dass die in Abbildung 1.1 ersichtliche Verteilung einer Standardnormalverteilung ähnelt, die in der Messtechnik sowie in der Produktion häufig angesetzt wird, um die Streuungen der Messwerte sowie der Produktionsparameter mathematisch zu beschreiben. Eine Erhöhung der Anzahl der Intervalle lässt dies noch deutlicher werden wie in Abbildung 1.2 zu sehen ist.

Histogramme finden im Rahmen dieser Arbeit keine Verwendung, allerdings verschaffen sie ein besseres Verständnis für die Standardnormalverteilung, weshalb sie auch in diesem Kapitel kurz erwähnt werden.

### 1.2.3 Statistische Analyse

#### 1.2.3.1 Mittelwert (Durchschnitt) und Standardabweichung (Varianz)

Die Kenngrößen einer statistischen Verteilung sind einerseits der Erwartungs- bzw. Mittelwert  $\mu$ , andererseits die Varianz  $\sigma^2$  bzw. die Standardabweichung  $\sigma$ .

Der Mittelwert  $\mu$  ist das arithmetische Mittel der Messwerte und gibt die zentrale Tendenz an. Er entspricht dem Punkt mit der höchsten Eintrittswahrscheinlichkeit in der Verteilung und kann mittels Gleichung 1.5 ermittelt werden [2].

$$\mu = \frac{1}{N} \sum_{i=1}^N x_i \quad (1.5)$$

Eine Anwendung der Gleichung 1.5 für  $V_{BG}$  ergibt einen Mittelwert von  $\mu_{V_{BG}} = 2,5094$  V.

Die Standardabweichung  $\sigma$  hingegen ist die quadratische Wurzel der Varianz  $\sigma^2$  und fungiert als Maß für die Streuung eines Parameters. Sie wird gemäß Gleichung 1.6 bestimmt [2].

$$\sigma = \sqrt{\frac{1}{N} \sum_{i=1}^N (x_i - \mu)^2} \quad (1.6)$$

Generell ist es erwünscht eine geringe Standardabweichung zu erreichen, da diese maßgeblich für die Qualität ist (siehe 1.2.3.2).

Für  $V_{BG}$  ergibt die Gleichung 1.6 eine Standardabweichung von  $\sigma_{V_{BG}} = 8,4186$  mV.

In Abbildung 1.2 ist die relative Häufigkeit  $n_i$  für eine feinere Unterteilung der Wertebereiche von  $V_{BG}$  aus Tabelle 1.1 dargestellt. Der Mittelwert  $\mu$  sowie die Standardabweichung  $\sigma$  der Verteilung sind hier ebenfalls graphisch dargestellt. Der Bereich  $[\mu - \sigma; \mu + \sigma]$  enthält 66,67 % aller vorhandenen  $V_{BG}$ -Werte.

Man erkennt, dass die Verteilung näherungsweise durch eine Standardnormalverteilung veranschaulicht werden kann, die sich dadurch auszeichnet, dass im Intervall der Abweichung  $\pm\sigma$  vom Erwartungswert  $\mu$  per Definition 68,27 % aller Messwerte zu finden sind.

Die Standardnormalverteilung wird in 1.2.5 kurz angeschnitten.

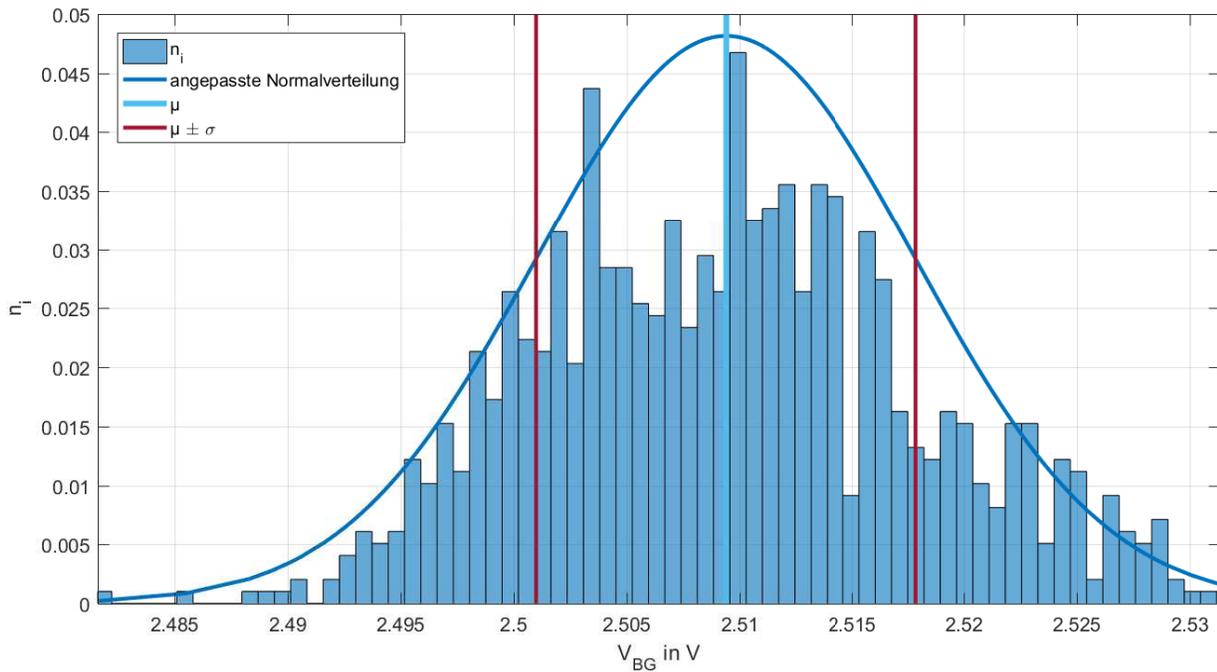


Abbildung 1.2: Veranschaulichung der Größen  $\mu$  und  $\sigma$  für die Bandgap-Referenzspannung  $V_{BG}$  anhand eines Histogramms der relativen Frequenz sowie einer Standardnormalverteilung bei  $\Theta = 125^\circ\text{C}$  für  $N = 984$  ICs.

### 1.2.3.2 Six-Sigma Qualität und Prozessfähigkeitsindizes

Im Rahmen der statistischen Prozesskontrolle (engl. SPC; Statistical Process Control) wird eine methodisch strukturierte, kontinuierliche Verbesserung des Prozesses angestrebt. Dies geschieht durch die Identifizierung der Parameter, die mit der Zeit eine exzessive Variation aufweisen. Dadurch wird die Grundursache nicht bestimmt, allerdings wird somit bekanntgegeben, wann nach Problemen gesucht werden soll. Sobald ein instabiler Parameter mithilfe der SPC entdeckt wird, ist es die Aufgabe der Engineering- und Fertigungsteams eine Fehlerursachenanalyse durchzuführen [2].

Die Stabilität einer Verteilung mit der Zeit wird einerseits durch die Zentrierung, welche mittels des Mittelwertes  $\mu$  charakterisiert wird, und andererseits durch die Variation, welche durch die Standardabweichung  $\sigma$  angegeben wird, definiert. Eine Inkonsistenz bzw. Drift in der Zentrierung oder Variation signalisiert eine Instabilität in der Produktion.

Sofern die SPC erfolgreich verläuft, führt sie zu einer Reduzierung des Prozentanteils an

parametrischen Ausfällen. Das ultimative Ziel der SPC ist es, six-sigma Qualitätsstandards für jeden spezifizierten Parameter zu erreichen. Ein Parameter entspricht six-sigma Qualitätsstandards, falls deren Standardabweichung  $\sigma$  nicht mehr als ein zwölftel der Differenz zwischen der oberen (engl. USL; Upper Scale Limit) und unteren Spezifikationsgrenze (engl. LSL; Lower Scale Limit) beträgt. Zusätzlich darf der Mittelwert  $\mu$  nicht mehr als  $1,5\sigma$  vom Mittelwert der eben beschriebenen spezifizierten Limits entfernt sein.

Durch die Verbesserung der Stabilität jedes getesteten Parameters gewinnt man Kontrolle über die Produktion, was einen positiven Einfluss auf die inhärente Qualität des Produktes zur Folge hat. Eine Erhöhung des inhärenten Qualitätsgrades führt nicht nur zu höheren Ausbeuten (engl. Yield), sondern auch zu weniger anspruchsvollen Testanforderungen. Wenn man verifizieren kann, dass ein Parameter nahezu nie ausfällt, dann könnte man auf das Testen dieses Parameters bei jedem IC verzichten und dies durch eine periodische Beobachtung des Parameters ersetzen, um eine fortwährende Stabilität der Verteilung zu gewährleisten.

Ein weiterer wesentlicher Begriff ist die Prozessfähigkeit. Sie beschreibt die inhärente Variation der Produktionsprozesse, und wird als die  $\pm 3\sigma$  Variation eines Parameters um seinen Mittelwert  $\mu$  definiert. Dies bedeutet für die Untersuchung von  $V_{BG}$  mit der Standardabweichung von  $\sigma_{V_{BG}} = 8,4186$  mV, dass die Prozessfähigkeit als  $50,5116$  mV definiert wird. Um der Prozessfähigkeit Aussagekraft zu verleihen, wurden die Prozessfähigkeitsindizes  $C_p$  und  $C_{pk}$  eingeführt. Diese sind Kennzahlen zu der statistischen Evaluierung der Stabilität eines Prozesses in der Produktion. Sie geben an, wie zuverlässig die laut Spezifikation vorgegebenen Ziel- (engl. T; Target) und Grenzwerte eingehalten werden. Dementsprechend sind sie ein Maß für die Zentrierung und Variation eines Parameters.

Der  $C_p$ -Wert wird wie folgt aus der Standardabweichung  $\sigma$  einer Verteilung mit dem Mittelwert  $\mu$ , und der oberen (USL) bzw. unteren (LSL) Spezifikationsgrenze definiert.

$$C_p = \frac{USL - LSL}{6\sigma} \quad (1.7)$$

Der in Gleichung 1.7 beschriebene Prozessfähigkeitsindex  $C_p$  gibt an, wie schmal die statistische Verteilung der Messwerte bezüglich der spezifizierten Grenzen ist.

Ein sehr großer  $C_p$ -Wert bedeutet einen stabilen Prozess, der eine hohe Ausbeute und Qualität liefert, während ein  $C_p$ -Wert, der kleiner als zwei ist, auf ein Prozessstabilitätsproblem hindeutet. Grundsätzlich ist es nicht möglich six-sigma Qualitätsstandards mit  $C_p < 2$  zu erreichen, selbst wenn der Parameter perfekt zentriert ( $\mu = T$ ) ist, weshalb six-sigma Qualitätsstandards vorschreiben, dass alle gemessenen Parameter die Bedingung  $C_p \geq 2$  in der Produktion einhalten müssen.

Der  $C_{pk}$ -Wert hingegen gibt die Prozessfähigkeit bezüglich der Zentrierung zwischen den Spezifikationsgrenzen an und wird gemäß Gleichung 1.8 bestimmt.

$$C_{pk} = C_p(1 - k) \quad (1.8)$$

Wobei  $k$  ein Faktor ist, der mittels des spezifizierten Zielwertes  $T$  wie folgt ermittelt wird.

$$k = \frac{|T - \mu|}{\frac{1}{2}(USL - LSL)} \quad (1.9)$$

Um six-sigma Qualitätsstandards zu erreichen, muss der  $C_{pk}$ -Wert größer als 1,5 sein.

Es ist ersichtlich, dass die Prozessfähigkeitsindizes sehr viel über die Qualität sagen, im Gegensatz zu dem Mittelwert und der Standardabweichung, durch die man bedingt eine Aussage treffen kann.

Die Definitionen und Gleichungen in diesem Unterkapitel entstammen [2].

Für die Weiterführung des bis jetzt verwendeten Beispiels mit  $V_{BG}$  werden folgende Spezifikationsangaben verwendet  $T = 2,5$  V,  $LSL = 2,4$  V,  $USL = 2,6$  V. Dies ergibt für die Prozessfähigkeitsindizes  $C_{p,V_{BG}} = 3,9595$  und  $C_{pk,V_{BG}} = 3,5863$ , was six-sigma Qualitätsstandards erfüllt.

#### 1.2.4 Streudiagramme

Ein Streudiagramm (engl. scatter plot) ist ein zweidimensionales, graphisches Visualisierungstool, das Punkte (bzw. + Zeichen im Rahmen dieser Arbeit) für die Darstellung von Wertepaaren zweier Größen verwendet, sodass eine Größe entlang der X-Achse und die zweite Größe entlang Y-Achse geplottet wird.

Es wird verwendet, um die Relation bzw. Korrelation zweier Größen zu zeigen. Deshalb werden Streudiagramme oftmals als Korrelationsplots bezeichnet [3].

In Abbildung 1.3 wird ein Beispiel für das Streudiagramm anhand von  $V_{BG}$  in Abhängigkeit von der den ICs zugewiesenen ID (DevNr) veranschaulicht.

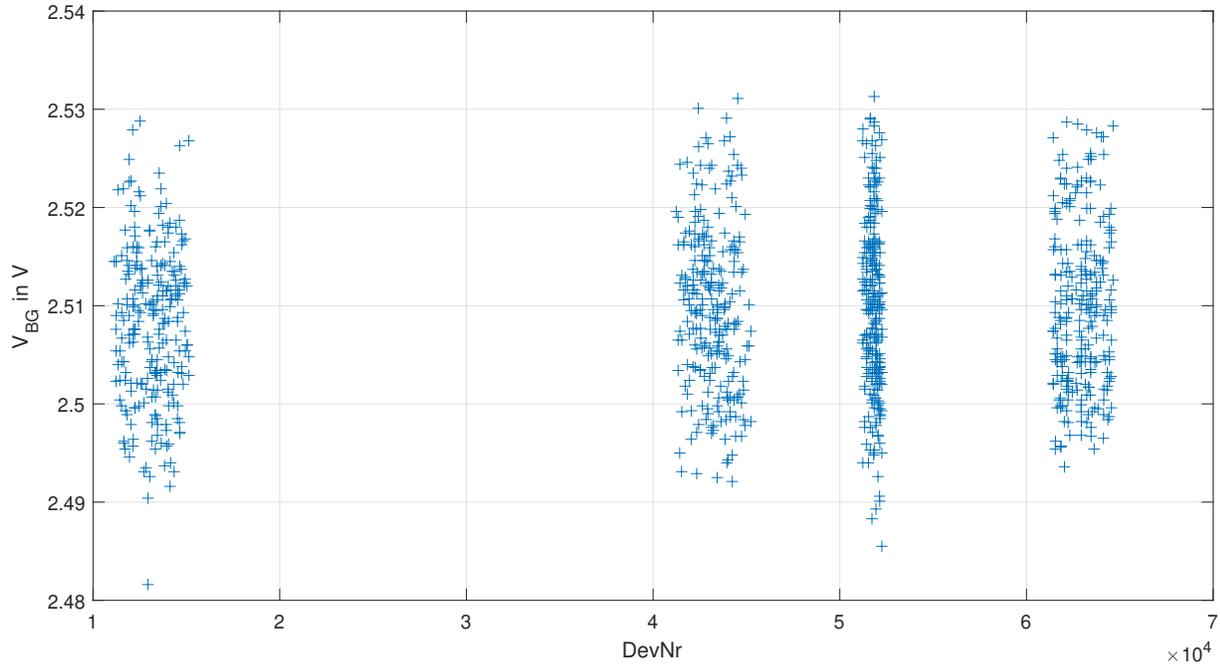


Abbildung 1.3: Streudiagramm der Bandgap-Referenzspannung  $V_{BG}$  über  $N = 984$  ICs bei  $\Theta = 125^\circ\text{C}$ .

### 1.2.5 Kumulierte Standardnormalverteilung

Der kumulative Frequenz-Plot stellt eines der am häufigsten verwendete Visualisierungstool dar. Er wird für die graphische Darstellung von großen Datensätze verwendet.

Prinzipiell entspricht ein kumulativer Frequenz-Plot der kumulierten Standardnormalverteilung, die für eine Verteilung mit dem Mittelwert  $\mu$  und der Standardabweichung  $\sigma$  folgendermaßen definiert ist.

$$F(x) = \Phi\left(\frac{x - \mu}{\sigma}\right) = \frac{1}{\sqrt{2\pi}} \int_{-\infty}^{\frac{x - \mu}{\sigma}} e^{-\frac{z^2}{2}} dz \quad [2] \quad (1.10)$$

Dabei ist die Funktion  $\Phi$  die kumulierte Standardnormalverteilung, und sie entspricht der relativen kumulierten Frequenz  $N_i = F(V_{BG})$ , die in 1.1 ermittelt worden ist und nun in Abbildung 1.4 veranschaulicht wird.

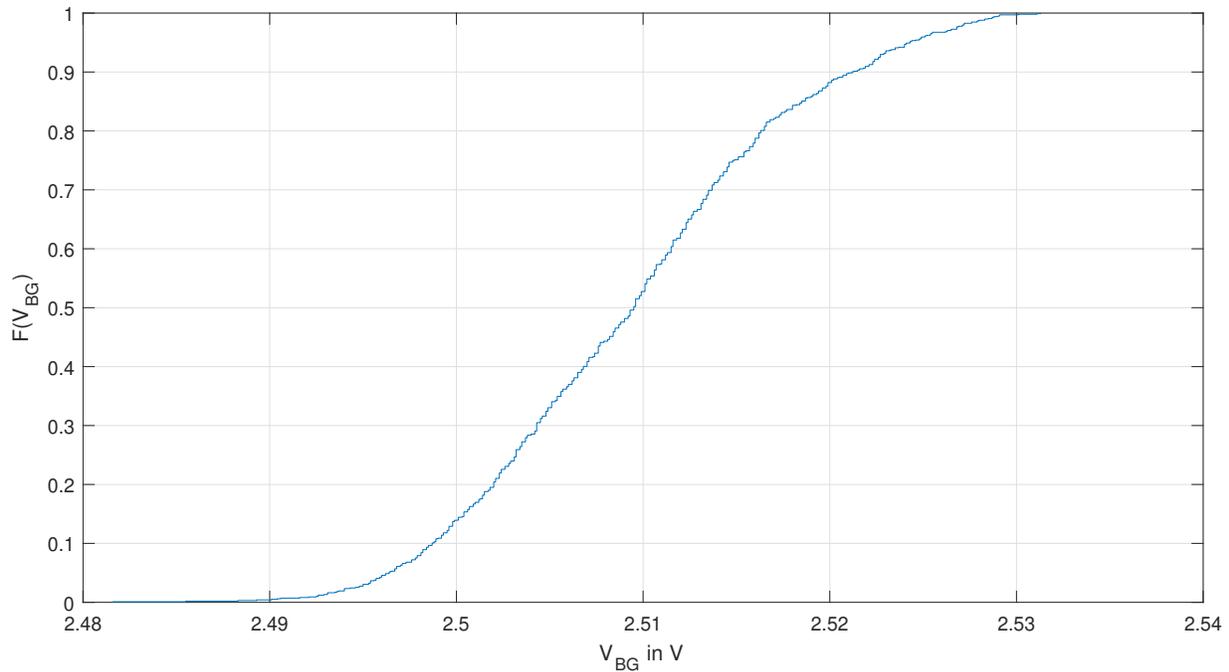


Abbildung 1.4: Empirische kumulierte Verteilungsfunktion (relative kumulierte Frequenz) der Bandgap-Referenzspannung  $V_{BG}$  bei  $\Theta = 125^\circ\text{C}$  für  $N = 984$  ICs.

Mittels eines kumulativen Frequenz-Plots erkennt man schnell den Mittelwert, die Streuung sowie das Maximum und Minimum der Verteilung. Der Mittelwert liegt bei  $N_i = 0,5$ , während durch die Breite der Verteilung Aussagen über die Streuung des Parameters bzw. die Stabilität des Prozesses bzw. Testprogramms getroffen werden können.

## 1.3 Trimmen

### 1.3.1 Definition und Funktion

Das Verhalten einer integrierten Schaltungen kann von einem IC zum anderen variieren. Sollten solche Variationen bei nebeneinanderliegenden Bauelementen eines Chips (z.B. unterschiedliche Transistoren einer Stromspiegel-Transistorbank) oder bei identischen Strukturen benachbarter Chips auftreten, bezeichnet man sie als lokale Variationen (engl. Mismatch [4]). Ändert sich das Verhalten auch bei der Produktion von einem Wafer zum anderen bzw. von einem Los zum anderen, bezeichnet man diese Variationen als global bzw. als Prozessvariationen.

Aufgrund solcher Variationen kommt es gelegentlich vor, dass die Spezifikationen der integrierten Schaltungen bei der Produktion nicht eingehalten werden können. Streuungen, die aufgrund dieser Variationen bei einem oder mehreren Parametern entstehen, führen dazu, dass diese Parameter nach der Produktion feineingestellt bzw. feinabgestimmt werden müssen, um die Spezifikation einzuhalten. Dieses Feineinstellen bzw. Feinabstimmen eines Parameters ist in der Elektronik als Trimmen bekannt.

Die Abbildungen 1.5 und 1.6 zeigen mögliche Verteilungen in der Produktion.

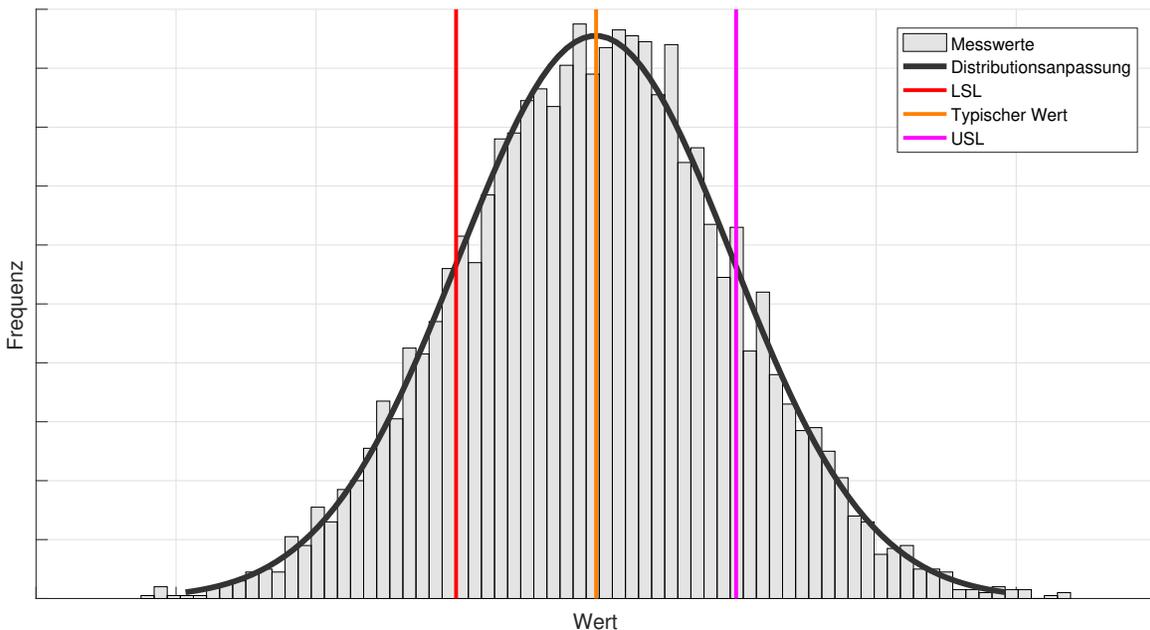


Abbildung 1.5: Histogramm einer breiten Verteilung der durch Prozessvariationen u.ä. entstehenden Messwerte eines Parameters.

In Abbildungen 1.5 handelt es sich um eine breite Verteilung, bei der eine Vielzahl von DUTs eine Verletzung des spezifizierten Zielwertes, des sogenannten typischen Wertes  $T$  (engl. Target), aufweisen. Allerdings liegt der Mittelwert  $\mu$  der Verteilung beim spezifizierten typischen Wert  $T$ . Die Verteilung in Abbildung 1.6 hingegen weist zusätzlich eine Drift auf, was einer Abweichung des Mittelwertes  $\mu$  vom spezifizierten typischen Wert entspricht. In diesem Fall sieht man beispielsweise, dass der Mittelwert der Verteilung bei der für den Parameter spezifizierten oberen Grenze  $USL$  liegt.

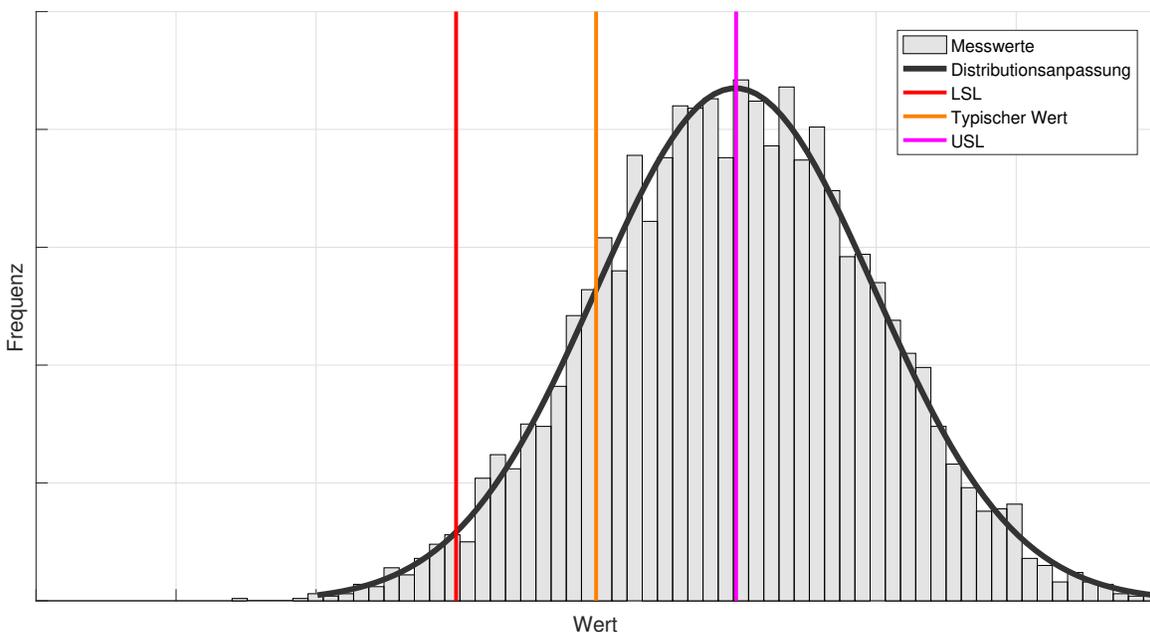


Abbildung 1.6: Histogramm einer breiten von einer Drift begleiteten Verteilung der durch Prozessvariationen u.ä. entstehenden Messwerte eines Parameters.

Trimmen fällt unter DFMA (engl. Design For Manufacturing and Assembly), was bedeutet, dass man in der Designphase bewusst geeignete und ausreichenden Vorkehrungen trifft, damit Produktions- und Package bzw. Assembly-Einflüsse im Nachhinein behoben werden können. Dies ist vergleichbar zum DFT (engl. Design For Test), bei dem man sich schon während des Designs Gedanken darüber macht, wie die Verifikation bzw. der Test der Funktionalitäten des ICs erfolgen kann [2].

Beim Trimmen wird angestrebt, dass Abweichungen, die durch Mismatch und Prozessvariationen auftreten, reduziert bzw. beseitigt werden, um somit zu einer Verteilung zu gelangen, bei der alle gemessenen Parameter zwischen den spezifizierten Grenzen  $LSL$  und  $USL$  liegen. Dies ist beispielsweise in Abbildung 1.7 zu sehen. Im Idealfall würde man eine Verteilung erreichen, die nah an den six-sigma Qualitätsstandards ist.

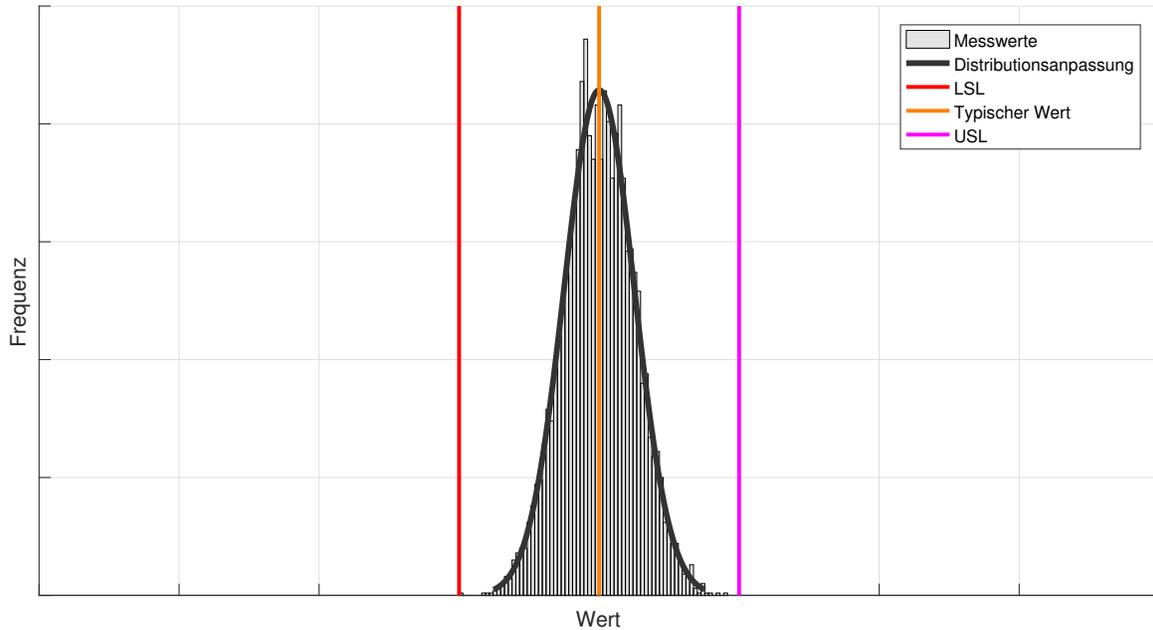


Abbildung 1.7: Histogramm einer Verteilung nach erfolgreichem Trimmen.

Die Trimmprozedur ist gewöhnlich eine heikle Angelegenheit, die der Hersteller für sich behalten und dem Kunden nicht überlassen will. D.h., dass der Kunde offiziell weder darüber informiert wird, ob gewisse Funktionsblöcke getrimmt werden, noch wie dies geschieht. Erst nachdem die ICs getrimmt und getestet worden sind, bekommt der Kunde diese mit der Gewährleistung, dass jeweilige spezifizierte Parameter die angeforderten Spezifikation einhalten.

Es ist auch üblich und notwendig bei bei funktionskritischen Parametern, die hohe Präzision erfordern, Trimmstellungen einzuführen. Dies ist beispielsweise bei Ausgangsspannungen, Oszillatorfrequenzen, Bandgap-Referenzspannungen, Timing-Einstellungen, Bias-Strömen sowie bei Detektions- und Schaltschwellen und vielen anderen von großer Relevanz, da dadurch unerwartete bzw. erwartete Streuungen dieser Spezifikationsparameter in den Griff bekommen werden können [5].

Daher werden ICs heutzutage erwünschterweise dermaßen entworfen, sodass sie sowohl gegenwärtige als auch zukünftige Anforderungen bewältigen können. Ein Beispiel dafür ist die Oszillatorfrequenz eines ICs, die durch die Marktnachfrage bestimmt wird. Allerdings kann sich der Markt verändern, sodass neue Frequenzen angefordert werden, weshalb ein Design mit selektiven unterschiedlichen Oszillatorfrequenzen einen großen Vorteil für den Hersteller anbietet.

Trimmen wird daher nicht nur verwendet, damit Präzision gewährleistet wird, sondern auch, um mit einem Produkt die Anforderungen mehrerer Kunden bzw. des dynamischen Marktes zu erfüllen. Zusätzlich ermöglicht Trimmen eine Verstellung der o.g. Größen, was sowohl die Entwicklungs- als auch die Produktionskosten minimal hält.

### 1.3.2 Realisierung

Je nach Anwendung, Ziel und Schaltung unterscheidet man mehrere Trimmmethoden, die verwendet werden können. Eine dieser Methoden ist das Lasertrimmen bzw. passives Trimmen, wo gewisse für den zu trimmenden Parameter ausschlaggebende Bauteile (beispielsweise ein Widerstand) getrimmt werden, um die gewollte Präzision zu erlangen. Im Rahmen dieser Arbeit wird lediglich auf das Trimmen durch die Programmierung eines EEPROM (engl. Electrically Erasable Programmable Read-Only Memory) eingegangen.

Grundsätzlich ist das Testen der ICs essentiell, um dafür zu sorgen, dass dem Kunden die höchstmögliche Qualität geliefert wird, allerdings ist ein Test nicht bei jeder Produktionsphase nötig bzw. erwünscht.

Im Laufe des produktiven Tests können die kritischen Spezifikationsparameter getrimmt werden, was sowohl im Frontend- als auch im Backend-Test erfolgen kann. Ein finaler Test stellt die minimale Anforderung für die Gewährleistung der Qualität des produzierten Materials.

Das Trimmen beim finalen Backend-Test hat mehrere Vorzüge. Einerseits werden Parameter, die normalerweise auf Wafer-Level getrimmt werden, nun direkt am Package angepasst und korrigiert. Somit können zusätzlich auftretende Package- bzw. Assembly-Effekte beseitigt werden. Andererseits werden Variationen, die im Laufe der Produktion auftreten könnten, in Betracht gezogen. In manchen Fällen können solche Prozessparametervariationen dadurch reduziert werden, da die meisten Parameter gemäß einer Standardnormalverteilung variieren [6].

Durch das Trimmen beim finalen Backend-Test wird somit die Verteilung der Parameter eingegrenzt bzw. verschmälert. Je mehr Bits für das Trimmen eines Parameters verwendet werden, umso schmaler wird die Verteilung der gemessenen parametrischen Daten, folglich steigt auch die Ausbeute (engl. Yield) für diesen Parameter. Auf der anderen Seite muss man beim Frontend-Test-Trimmen eine mögliche Streuung der Parameter durch das Assembly bzw. Packaging vorausplanen [6].

Hier wird weiterhin die Bandgap-Referenzspannung  $V_{BG}$  als Beispiel zur Erläuterung der Herangehensweise beim Trimmen eines Parameters herangezogen.

Falls  $V_{BG}$  über einen physikalischen Pin am IC zugänglich ist, dann erleichtert dies die Messung des Parameters, um den Einfluss des Trimmens auf den Parameter festzustellen. In der Annahme, dass  $V_{BG}$  ein interner Parameter ist, muss diese über einen  $V_{BG}$ -abhängigen Parameter, verifiziert werden. Sollte dies nicht verfügbar sein, ist das im Rahmen des DFT (engl. Design For Test) zu berücksichtigen, da der Parameter anderenfalls nicht verifiziert bzw. getestet werden kann, was sehr problematisch für den produktiven Test ist [7].

Die Streuung sowie die Anzahl der für das Trimmen des Parameters fixierten Bits setzen die Schrittbreite und Genauigkeit des Trimmbereiches fest. Eine größere Anzahl an Trimm-Bits bedeutet, dass man den Parameter aufgrund der kleineren Trimmschrittbreite genauer trimmen kann. Allerdings nimmt dies einen größeren Speicherplatz ein, weshalb ein Kompromiss geschlossen werden muss, denn aufgrund der Tatsache, dass ein EEPROM einen nicht zu vernachlässigenden Flächenanteil des ICs in Anspruch nimmt, kann es nicht beliebig groß entworfen werden.

Beim Design von Trimmschaltungen wird darauf geachtet, dass sie sowohl positive als auch negative Trimmsschritte zulassen, daher wird der Defaultwert innerhalb der Trimmtabelle zentriert. Die Bandgap-Referenzspannung wird demnach dermaßen entworfen, damit sie bei diesem Defaultwert das beste Verhalten bezüglich des Temperaturkoeffizienten und der Langzeitstabilität aufweist [5].

Üblicherweise ist die Verifikation der Bandgap-Referenzspannung ein iterativer Prozess. Als erstes werden die designierten EEPROM Trim-Bits auf den Defaultwert zurückgesetzt, und erst danach wird  $V_{BG}$  gemessen. Im Testprogramm wird durch einen Trimmelgorithmus entschieden, ob durch Trimmen ein genauere  $V_{BG}$ -Wert erreicht werden kann. Um Testzeit zu sparen, kann der durchschnittliche eingestellte Trimmwert der neulich getesteten ICs für die Initialprogrammierung des nächsten ICs herangezogen werden [5].

Ein weiterer, wesentlicher, zu berücksichtigender Aspekt ist die Temperatur. Im Allgemeinen beeinflusst die Temperatur viele Parameter, die in der Applikation über einen weiten Temperaturbereich funktionieren müssen. Somit ist bei ICs die Wahl der Trimmtemperatur von großer Essenz. Das Trimmen ergibt die beste Parameterperformanz des ICs bei der gewählten Trimmtemperatur. Jedoch wird angestrebt, dass der IC die bestmöglichen Trimmwerte, bei denen er unter allen Betriebsbedingungen (d.h. unterschiedlicher Versorgungsspannung und Umgebungstemperatur) unter Einhaltung der spezifizierten Werte das beste Verhalten aufweist [7].

## 1.4 Packaging

Smart Power ICs werden als die Integration von Komponenten, die dafür geeignet sind, eine hohe Leistung (bis zu 40 W) an eine vorgegebene Last zu liefern, bezeichnet. Diese Hochleistungs-ICs müssen zusätzlich etliche logische Funktionen, wie Detektion, Regelung, Diagnosen und Sensing bereitstellen, da sie in Applikationen, wo Sicherheit, Zuverlässigkeit und Kosten von großer Bedeutung sind, eingesetzt werden [9].

Zusätzlich zu der Herstellung der Verbindung zwischen dem Silizium und der äußeren Beschaltung des ICs mittels Leitungen, die je nach Komplexität und Applikation variieren, müssen Smart Power IC Packages andere für die Applikation unabdingbare Kriterien bzw. Aufgaben erfüllen.

Da die Anforderungen an Beständigkeit immer zunehmen, muss das Package dem IC gewisse Eigenschaft verleihen. Das Package muss Beanspruchungen jeglicher Art für längere Zeiten überstehen können sowie auch chemische Vorgänge dulden. Die ist wesentlich, um sehr geringe Ausfallraten des hergestellten ICs, im ppb-Bereich (engl. Parts Per Billion), zu garantieren [9].



Abbildung 1.8: PG-TO220-5 Plastik-Package

Ein weiterer wichtiger Aspekt, der im Package eines Smart Power IC berücksichtigt werden muss, ist die Wärmeableitung. Dies wird mittels eines wärmeleitenden Elements, das in der Lage sein muss, die in Betrieb entstehende, in Wärme umgesetzte Leistung (ab 1 W bis zu 40 W) von dem Chip direkt oder über einen Kühlkörper an die Umgebung zu übertragen. In Abbildung 1.8 ist das Plastik-Package des zu untersuchenden Lichtmaschinenreglers zu sehen. Im PG-TO220-5 Package wird die Wärmeableitung durch eine an GND intern verbundene Metallfläche, wie es in Abbildung 1.8 ersichtlich ist, realisiert.

In gewissen Anwendungen ist es aus Sicherheitsgründen erwünscht, dass das Smart Power IC Package eine elektrische Isolation des Chips garantiert [9].

### 1.4.1 Package-Effekte

Die Fertigung von ICs ist ein langer Prozess, der viele Schritte enthält.

Abhängig von dem beim Assembly verwendeten Package kann es unter anderem zu mechanischen Belastungen des Chips kommen, die vor allem bei Plastik-Packages ersichtlich sind. Bei Keramik-Packages hingegen erfolgt das Packaging in der Regel ohne jegliche mechanische Belastung, was dazu führen kann, dass dieselbe integrierte Schaltung bei unterschiedlichen Package-Varianten ein anderes Verhalten aufweist [8].

Wenn man die Sequenz der Fertigung eines Plastik-Package betrachtet, dann beginnt diese beim Waferschneiden, um die einzelnen Chips von einander zu trennen. Danach findet die Platzierung bzw. Befestigung des Chips (engl. Die) auf dem Leadframe (engl. Die Attach Area) statt. Im Anschluss werden die Bonddrähte zu den Package-Anschlüssen erstellt. Je nach Funktion des Pins können dickere oder mehrere Bonddrähte verwendet werden, um einen höheren Strom zuzulassen. Hiernach wird der Leadframe mit dem gebondeten Chip vergossen (engl. Molding) dann findet eine Verzinnung der Pins statt [8]. All diese Schritte beinhalten zum Teil mechanische Verarbeitung bzw. Beanspruchung des Chips, was zu einer Parameterverschiebung und demzufolge zu Ausfällen beim produktiven Test der ICs führen könnte.

Die durch Packaging induzierte mechanische Spannung entsteht in erster Linie durch die unterschiedlichen thermischen Ausdehnungskoeffizienten von Materialien sowie dadurch, dass die Materialien nicht bei Raumtemperatur vereint werden. Zusätzlich können verschiedenartige Vergussmassen unterschiedliche Spannungsniveaus besitzen und somit zu unterschiedlichen Parameterverschiebungen führen [9].

ICs können entweder durch den piezoresistiven Effekt oder die direkte physikalische Beschädigung des Chips von dieser induzierten mechanischen Spannung beeinflusst werden.

Im ersten Fall kann die piezoresistive Eigenschaft des Siliziums zu resistiven Veränderungen führen, die Parameterverschiebungen zur Folge haben. Dies könnte wesentliche Größen wie die Bandgap-Referenzspannung, etliche Offsets, Detektionsschwellen und Zeitkonstanten sowie die Oszillatorfrequenz verändern.

Im zweiten Fall können durch die physikalische Beschädigung des Chips Ausfälle aufgrund von Kurzschlüssen oder Leckströmen entstehen.

Zusätzlich entsteht durch die Bonddrähte, welche die Package-Pins mit den jeweiligen Pads auf dem Chip verbinden, neben dem ohmschen Widerstand auch eine Serieninduktivität, die für hohe Stromspitzen bzw. hochfrequente Signale eine nicht zu vernachlässigende Impedanz bildet. Wegen der geringen Abstände sowie der parallelen Führung der Bonddrähte kommt es zusätzlich zu einer kapazitiven Verkopplung. All dies ist zu beachten, falls sensitive Signale nach Außen gebondet werden, da es sonst das Verhalten des ICs verfälschen könnte [8].

# Kapitel 2

## Integrierte Schaltung

### 2.1 Überstromdetektionsschaltung

#### 2.1.1 Überstrom

Überstrom (engl. Overcurrent, Abk. OC) ist jener Strom, der die Sicherheitsbewertung bzw. Strombelastbarkeit eines Equipments überschreitet. Bezogen auf die Elektronik würde Überstrom auf einen Zustand deuten, in dem ein Strom in einer integrierten Schaltung existiert, der höher als der vorgesehene Strom für diese Schaltung ist.

Solch ein Fehlerzustand kann aufgrund von Überlastung der Schaltung oder Auftreten eines Kurzschlusses häufig vorkommen. Dementsprechend haben Smart Power ICs die Anforderung diesen Fehlerzustand zu erkennen und etwas dagegen zu unternehmen (Abschaltung des ICs oder Limitierung des Stromes).

Schaltungsteile, bei denen ein Überstrom entstehen könnte, werden in der Regel mit einer Strommessung ausgestattet. Der maximal erlaubte Strom wird über die Messung des Spannungsabfalls an einem Sense- bzw. Shunt-Widerstand beobachtet. Dieser Spannungsabfall wird dann mittels eines Differenzverstärkers oder eines Komparators verarbeitet und von der Diagnoseschaltung identifiziert, um einen Schutz zu gewährleisten [9].

#### 2.1.2 Schaltbild

In Abbildung 2.1 befindet sich das Schaltbild der Überstromdetektionsschaltung, die im Rahmen dieser Arbeit untersucht wird.

Diese Schaltung hat die Funktion, den Fehlerzustand, der im Falle eines Überstromes eintritt, zu detektieren und ihn mittels eines digitalen Signales (**OC**) bekanntzugeben.

Über eine weitere Schaltung erfolgt dann die Limitierung dieses Stromes, sodass es nicht zu einer Zerstörung des Bauteils kommt. Der digitale Zustand wird dann in einem Register gelatcht, und somit ist der Fehlerzustand in der Diagnose erkennbar.

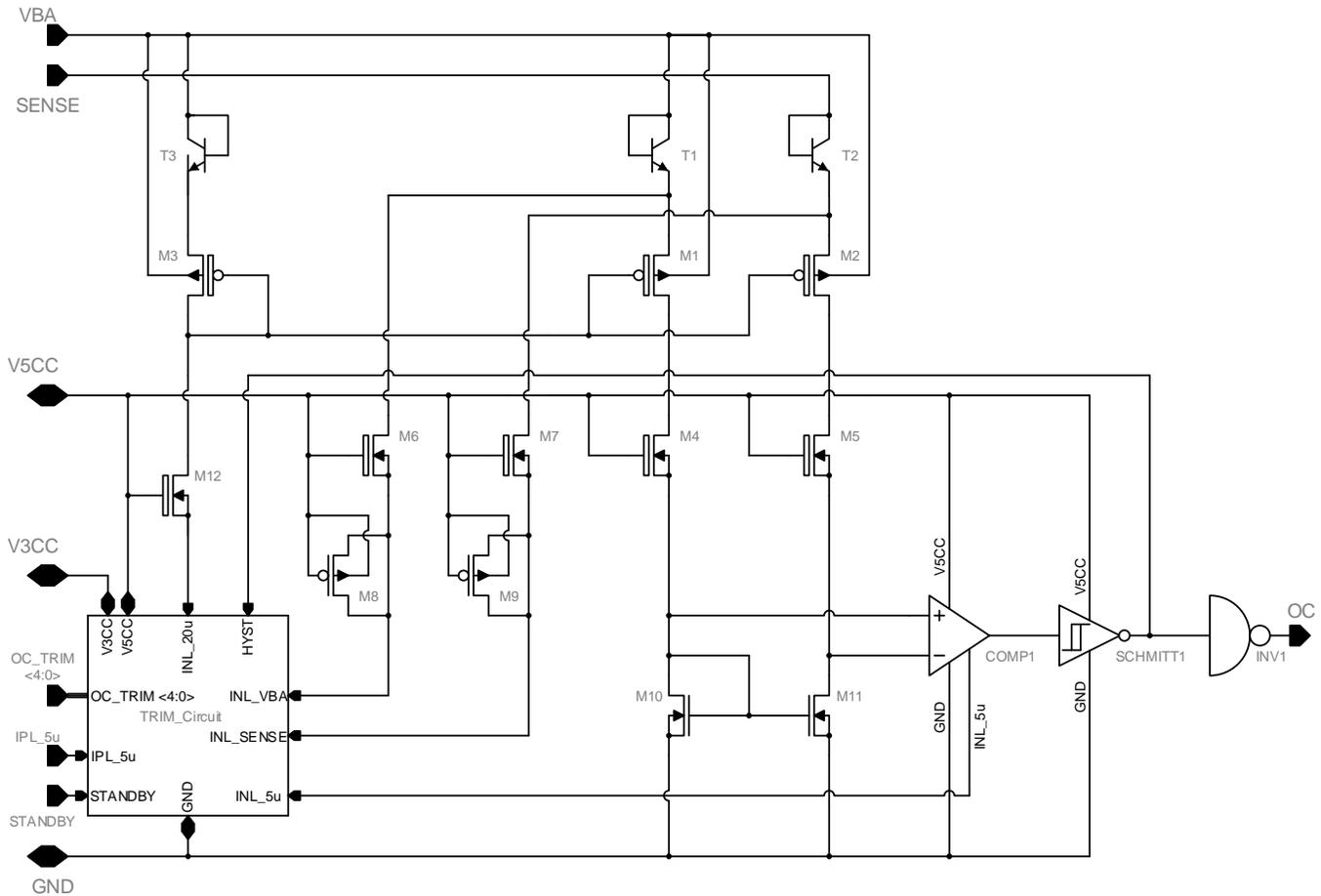
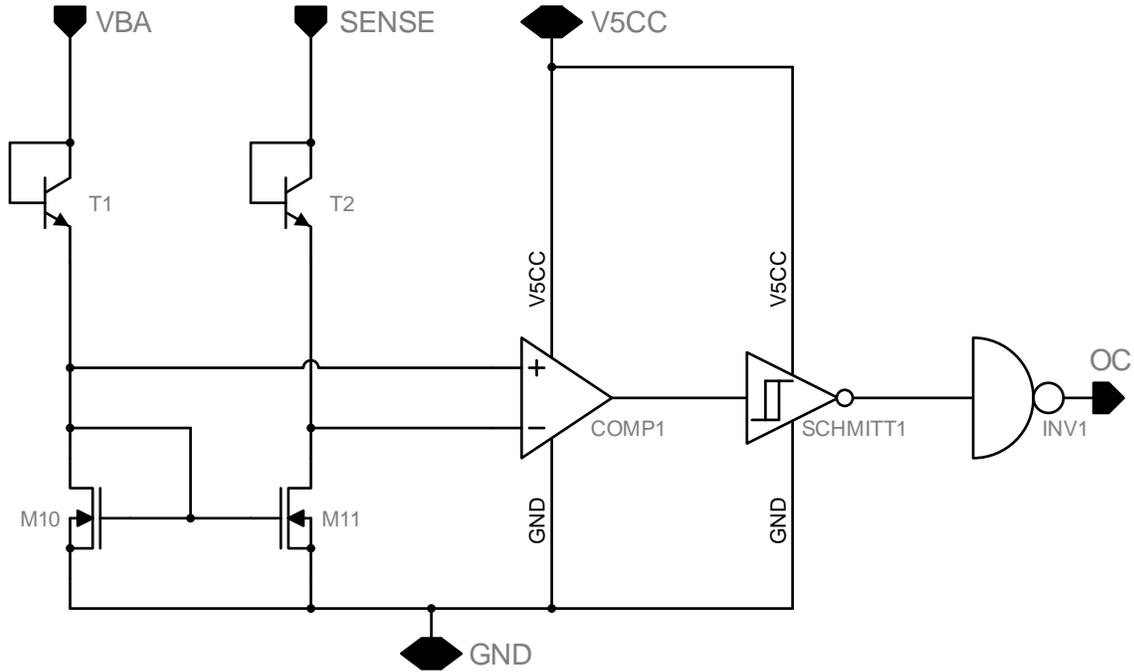


Abbildung 2.1: Schaltbild der zu untersuchenden Überstromdetektionsschaltung.

### 2.1.3 Grundprinzip

Die Funktionsweise der in Abbildung 2.1 zu sehenden Überstromdetektionsschaltung basiert auf dem  $\Delta V_{BE}$  - Prinzip, das häufig bei Bandgap-Referenzspannungen verwendet wird [4].

Eine vereinfachte Ansicht der Schaltung in Abbildung 2.1 ist in Abbildung 2.2 zu sehen.

Abbildung 2.2: Vereinfachtes Schaltbild des  $\Delta V_{BE}$  - Prinzipes.

Durch den aus  $M10$  und  $M11$  bestehenden Stromspiegel wird dafür gesorgt, dass die Ströme in dem **VBA**-Pfad  $I_1 = I_{C1}$  sowie im **SENSE**-Pfad  $I_2 = I_{C2}$  gleich groß sind bzw.  $I_1 = I_2$ . Im Falle, dass zwei Bipolartransistoren ihre Arbeitspunkte bei unterschiedlichen Stromdichten haben, wird die Differenz der Basisemitterspannungen  $\Delta V_{BE}$  direkt proportional zur absoluten Temperatur  $T$  [4].

Der Unterschied in den Stromdichten wird hier durch die unterschiedlichen Emitterflächen der in Diodenkonfiguration (Kurzschließen der Basis- und Kollektoranschluss) beschalteten Bipolartransistoren  $T1$  und  $T2$  realisiert, da der Sättigungsstrom vom Transistor direkt proportional zur Emitterfläche ist [10].

Auch der Kollektor Strom  $I_C$  wird durch die Emitterfläche des Transistors beeinflusst, wie in Gleichung 2.1.3 zu sehen ist [10] .

$$I_C = I_S \cdot e^{\frac{V_{BE}}{V_T}} \cdot \left(1 + \frac{V_{CE}}{V_A}\right) \quad (2.1)$$

Dabei ist  $V_T$  die Temperaturspannung und  $V_{CE}$  die Kollektoremitterspannung, während  $V_A$  die Early-Spannung beschreibt.

Somit wird mit einem Emitterflächenverhältnis von  $\frac{A_{E,T2}}{A_{E,T1}} = n$  ein Sättigungsstromverhältnis von  $\frac{I_{S2}}{I_{S1}} = n$  erreicht.

Durch Gleichsetzen der Kollektorströme  $I_{C1} = I_{C2}$  lässt sich folgendes herleiten.

$$\Delta V_{BE} = V_{BE1} - V_{BE2} \quad (2.2)$$

$$= V_T \ln \frac{I_{C1}}{I_{S1}} - V_T \ln \frac{I_{C2}}{I_{S2}} \quad (2.3)$$

Dadurch, dass  $I_{C1} = I_{C2} = I_1 = I_2$  und  $I_{S2} = nI_{S1}$ , dann ergibt sich für  $\Delta V_{BE}$

$$\Delta V_{BE} = V_T \ln \frac{I_1}{I_{S1}} - V_T \ln \frac{I_1}{nI_{S1}} \quad (2.4)$$

$$= V_T \ln n \quad [4] \quad (2.5)$$

D.h., dass es aufgrund der unterschiedlichen Emitterflächen zu einer Abweichung der Basisemitterspannungen  $V_{BE}$  der beiden Transistoren kommt, die direkt proportional zu der absoluten Temperatur  $T$  sowie zu dem Verhältnis der Emitterflächen  $\frac{A_{E,T2}}{A_{E,T1}}$  ist, wie es in Gleichung 2.5 beschrieben wird.

Der Bipolartransistor ( $T2$  in diesem Fall) mit der größeren Emitterfläche  $A_{E,T2}$  besitzt eine niedrigere Basisemitterspannungen  $V_{BE2}$ , während der Bipolartransistor ( $T1$  in diesem Fall) mit der kleineren Emitterfläche  $A_{E,T1}$  eine höhere Basisemitterspannungen  $V_{BE1}$  aufweist.

In dem normalen Betriebsfall (kein Überstrom) führt der entstehende Basisemitterspannungsunterschied  $\Delta V_{BE}$  dazu, dass bei einem gleichen Stromfluss in den Pfaden **VBA** und **SENSE**, was durch den aus  $M10$  und  $M11$  bestehenden Stromspiegel gegeben ist, das Potential an dem negativen Eingang (-) des Komparators  $COMP1$  höher ist als das an dem positiven Eingang (+) und somit signalisiert der Komparator stets ein digitales **LOW** (= **GND**).

In der Applikation wird ein Shunt-Widerstand  $R_{Shunt}$  für die Strommessung verwendet. Der Strom  $I_{OC}$  fließt über  $R_{Shunt}$ , wie in Abbildung 2.3 zu sehen ist.

Eine Zunahme des Stromes  $I_{OC}$  würde einen höheren Spannungsabfall an  $R_{Shunt}$  zur Folge haben, was zu einer Abnahme des Potentials von **SENSE** führt.

Demzufolge sinkt das Kollektor-Potential von  $T_2$  und somit ebenso das Drain-Potential von  $M_{11}$ , was gleichzeitig auch der negative Eingang des Komparators (-) ist.

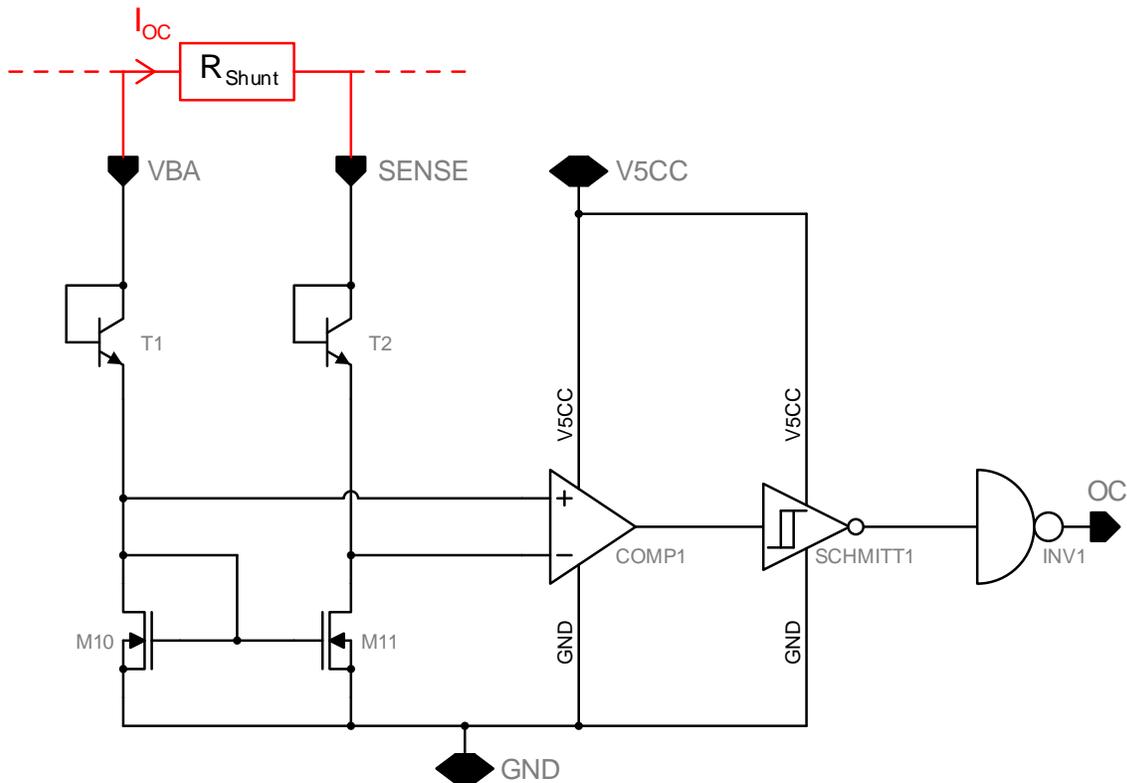


Abbildung 2.3: Vereinfachtes Schaltbild des  $\Delta V_{BE}$  - Prinzipes mit einem Shunt-Widerstand  $R_{Shunt}$ .

Die Schaltung wird somit so entworfen, dass sobald der Strom  $I_{OC}$  (siehe Abbildung 2.3) die erwünschte Überstromschwelle  $I_{OC_{th}}$  erreicht bzw. überschreitet, das Potential am negative Eingang (-) des Komparators *COMP1* niedriger als das am positiven Eingang (+) wird. Somit kippt das Ausgangssignal des Komparators und es entsteht ein digitales *HIGH* (= **V5CC**), das auf den Überstromzustand hindeutet.

Das *OC*-Signal entsteht nach einer zweimaligen Invertierung des Komparatorausgangssignales, so dass ein *HIGH* einem Überstromzustand entspricht.

#### 2.1.4 Funktion einzelner Bauteile/Blöcke

Aufgrund deren Komplexität wird die Schaltung aufgeteilt, um die Funktion der einzelnen Bauteile und Blöcke übersichtlich beschreiben zu können.

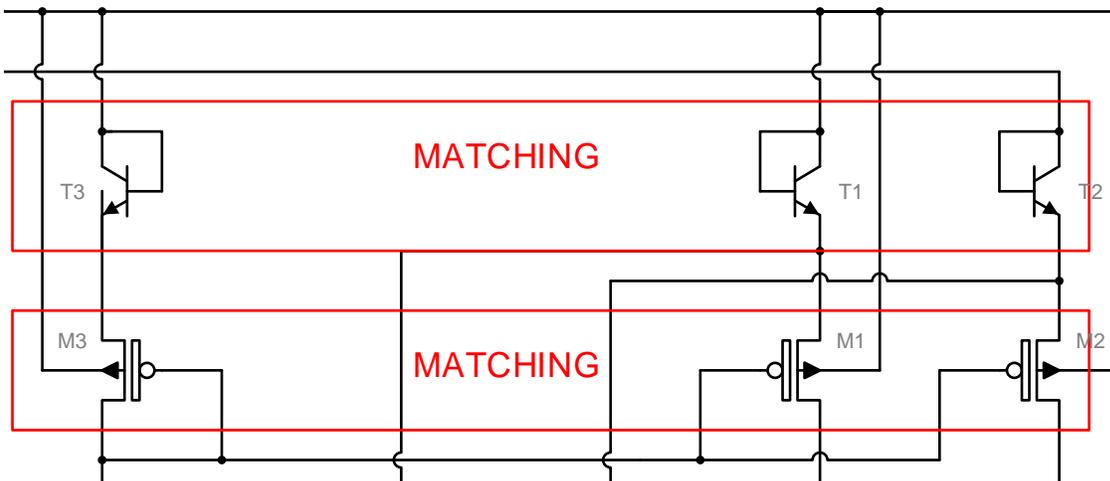


Abbildung 2.4: Ausschnitt aus dem Schaltbild der Überstromdetektionsschaltung zur Verdeutlichung der Transistoren, die gematched werden müssen.

### T1, T2

Die Funktion dieser Bipolartransistoren beruht auf dem vorhin in 2.1.3 beschriebenen  $\Delta V_{BE}$  - Prinzip.

### T3

Dieser Bipolartransistor sorgt dafür, dass das Source-Potential der HV-PMOS-Transistoren  $M1$ ,  $M2$  und  $M3$  in etwa gleich ist. Er muss mit den Bipolartransistoren  $T1$  und  $T2$  im Layout, wie in Abbildung 2.4 zu sehen ist, gematched werden, um die Auswirkung von Prozessvariationen möglichst gering zu halten.

### M1, M2

Diese HV-PMOS-Transistoren (engl. High Voltage PMOS) fungieren als Teil eines Stromspiegels gemeinsam mit  $M3$ , sind jedoch hauptsächlich als Schutz für die Bipolartransistoren  $T1$  und  $T2$  gedacht. Sie sorgen dafür, dass das Emitter-Potential der Bipolartransistoren nicht beliebig sinkt, was eine Zerstörung des Transistors zur Folge haben könnte.

### M3

Dieser HV-PMOS-Transistor dient zur Definition der Gate-Potentiale für die HV-PMOS-Transistoren  $M1$  und  $M2$ . Zusätzlich fungiert er als Stromspiegel gemeinsam mit ihnen, und erfüllt eine ähnliche Funktion wie sie. Er ist mit den HV-PMOS-Transistoren  $M1$  und  $M2$  im Layout, wie in Abbildung 2.4 zu sehen ist, zu matchen.

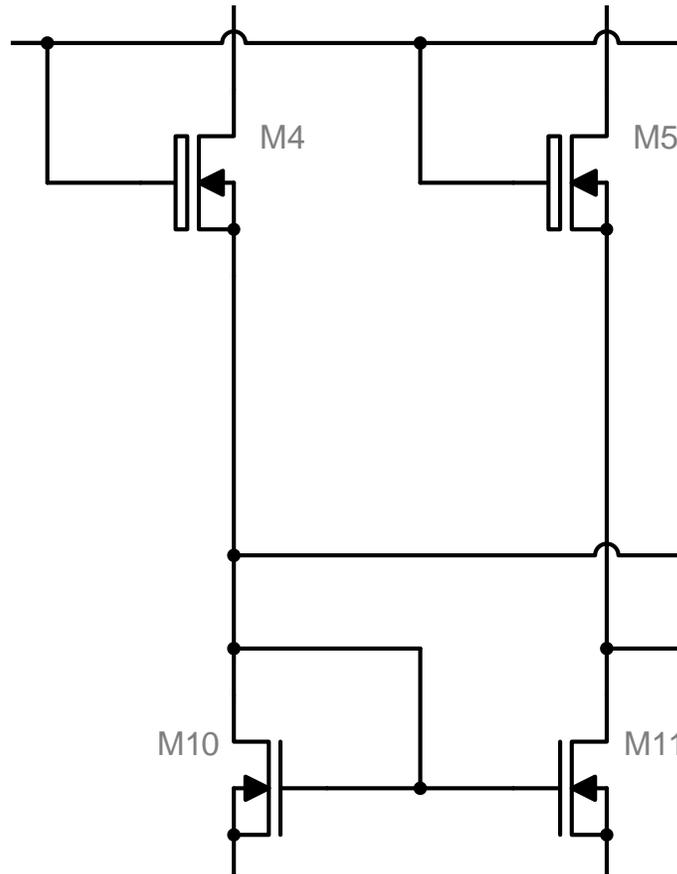


Abbildung 2.5: Ausschnitt aus dem Schaltbild der Überstromdetektionsschaltung zur Verdeutlichung des Stromspiegels und dessen Schutz.

#### M4, M5

Diese HV-NMOS-Transistoren (High Voltage NMOS) befinden sich in einer Kaskodenkonfiguration und fungieren hauptsächlich als Schutz für die NMOS-Transistoren *M10* und *M11*. Dadurch, dass ihre Gate-Anschlüssen an **V5CC** hängen, sorgen sie dafür, dass das Drain-Potential  $V_{DS}$  von den NMOS-Transistoren, und somit auch die Spannungen an den Komparatoreingängen, die interne Spannung **V5CC** (5 V), die gleichzeitig auch als Versorgungsspannung für den Komparator fungiert, nicht überschreitet. Dadurch wird garantiert, dass die Stromspiegel-Transistoren in ihrem Spannungsfestigkeitsbereich arbeiten.

#### M10, M11

Diese NMOS-Transistoren fungieren als Stromspiegel, der für die Funktion des  $\Delta V_{BE}$ -Prinzips für die Überstromdetektion von großer Relevanz ist, wie in 2.1.3 beschrieben.

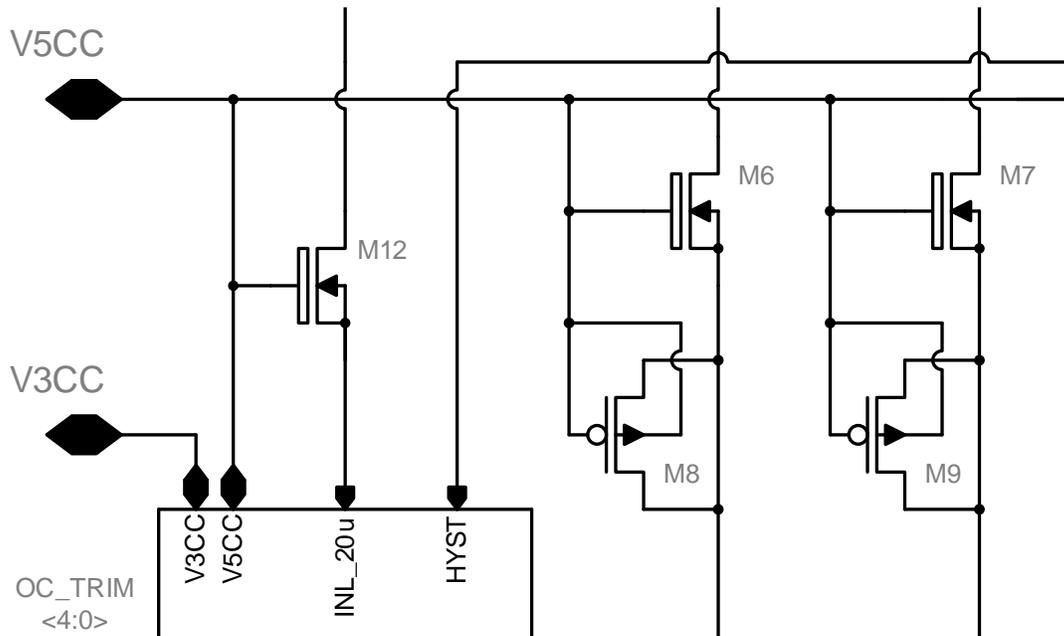


Abbildung 2.6: Ausschnitt aus dem Schaltbild der Überstromdetektionsschaltung zur Verdeutlichung der Schutztransistoren für die Stromspiegel-Transistoren im Trimmblock.

### M6, M7, M12

Diese HV-NMOS-Transistoren befinden sich in einer Kaskodenkonfiguration und haben eine ähnliche Funktion wie die HV-NMOS-Transistoren **M4**, **M5**, allerdings befinden sich die zu schützenden NMOS-Stromspiegel-Transistoren in der Trimmenschaltung *TRIM\_Circuit*, wenn die Pfade **INL\_VBA**, **INL\_SENSE** und **INL\_20u**, die in Abbildung 2.9 zu sehen sind, verfolgt werden.

### M8, M9

Diese PMOS-Transistoren befinden sich in einer Diodenkonfiguration und sind als Schutzmaßnahme eingebaut, um dafür zu sorgen, dass das Source-Potential an den HV-NMOS-Transistoren **M6** und **M7** nicht zu groß wird bzw. das Gate-Potential nicht überschreitet (Gate-Source-Schutz), denn im Standby-Mode ist die Trimmenschaltung inaktiv, was bedeuten würde, dass das Drain-Potential der Trimmtransistoren floatet. Dementsprechend können kleine Leckströme über Koppelkapazitäten das Drain-Potential dieser Transistoren erhöhen, was zu einer Zerstörung der Trimmtransistoren führen könnte.

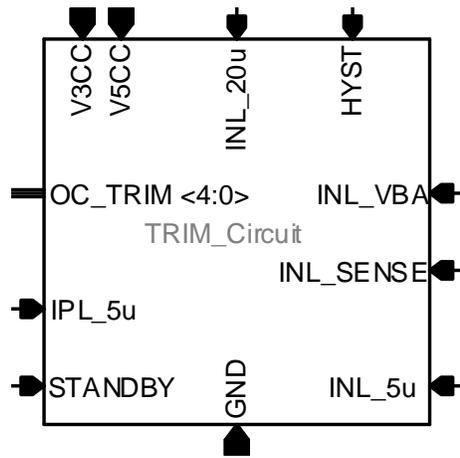


Abbildung 2.7: Schaltsymbol des Trimmblockes.

### TRIM\_Circuit

Dieser Block wird in 2.2 genauer beschrieben.

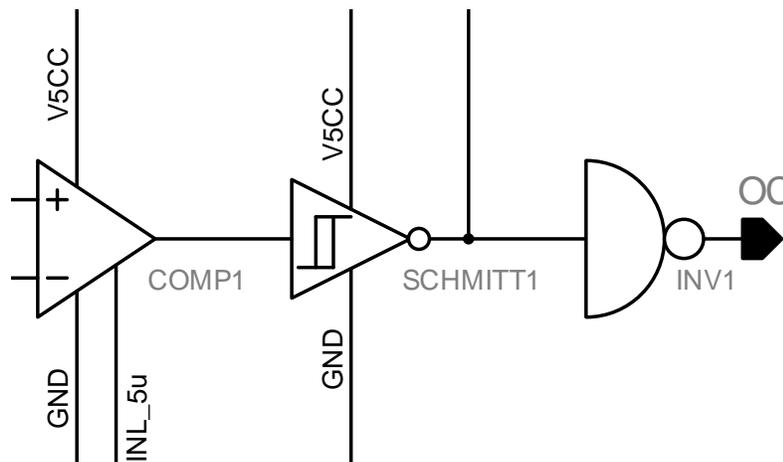


Abbildung 2.8: Ausschnitt aus dem Schaltbild der Überstromdetektionsschaltung zur Verdeutlichung der Funktion des Komparators, Schmitt-Triggers und Inverters.

### COMP1

Dieser Komparator beobachtet stets das Drain-Potential der NMOS-Transistoren des Stromspiegels ( $M10$ ,  $M11$ ), um das Auftreten eines Überstromes zu erkennen (siehe 2.1.3).

### SCHMITT1

Dieser invertierende Schmitt-Trigger verursacht eine Hysterese, damit die Ein- und Ausschaltswelle nicht zusammenfallen, um sicherzustellen, dass der Überstrom nicht mehr vorhanden ist, bevor der normale Betriebszustand wiederhergestellt wird.

**INV1**

Da das Komparatorausgangssignal durch den Schmitt-Trigger invertiert wird, stellt dieser Inverter das Signal zurück, damit ein *HIGH* einem Überstrom entspricht.



### 2.2.2 Funktionsweise

In dem Unterkapitel über Trimmen wurde die angewandte Trimmethode, nämlich das Trimmen durch die Programmierung eines EEPROM (engl. Electrically Erasable Programmable Read-Only Memory), beschrieben.

Nun wird auf die Implementierung dieser Methode in diesem IC eingegangen.

Das Trimmen der Überstromdetektionsschwelle verläuft über die Ströme **INL\_VBA** und **INL\_SENSE**, die in der Trimmschaltung eingestellt werden können.

Diese Ströme werden jeweils von dem **VBA**- oder **SENSE**-Pfad abgezweigt, sodass das Drain-Potential der entsprechenden Stromspiegel-Transistoren *M10* und *M11* der Überstromdetektionsschaltung dermaßen verändert wird, um eine präzisere Detektionsschwelle zu erreichen. Siehe Abbildung 2.1

Abhängig vom programmierten Digitalwert *OC\_TRIM* werden Strompfade des Stromspiegels parallel dazu geschaltet und dementsprechend wird der Strom, der von dem **VBA**- oder/und **SENSE**-Pfad gezogen werden sollte, eingestellt, um die spezifizierte Schaltschwelle des Komparators *COMP1* in der Überstromdetektionsschaltung in Abbildung 2.1 zu erreichen.

Für das Trimmen mittels dieser Schaltung stehen fünf Bits im EEPROM zur Verfügung, die 32 Trimmöglichkeiten ergeben.

Die Schaltung wurde so entworfen, dass die Überstromdetektionsschwelle beim Defaultwert bzw. Trimmschritt  $OC\_TRIM = 0$  den spezifizierten Wert von  $T = 14,5 \text{ A}$  besitzt, wobei die Trimmtrittbreite bei ca. 350 mA liegt.

In der Tabelle 2.1 sieht man die simulierten Überstromdetektionsschwellen für alle einstellbaren 32 Trimmwerte *OC\_TRIM*.

Trimmschritt	Dezimaler Digitalwert <i>OC_TRIM</i>	Binärer Digitalwert <i>OC_TRIM</i>	Simulierte Detektionsschwelle in A
15	15	01111	18,943
14	14	01110	18,690
13	13	01101	18,432
12	12	01100	18,169
11	11	01011	17,902
10	10	01010	17,627
9	9	01001	17,347
8	8	01000	17,060
7	7	00111	16,773
6	6	00110	16,472
5	5	00101	16,165
4	4	00100	15,850
3	3	00011	15,528
2	2	00010	15,197
1	1	00001	14,856
0	0	00000	14,500
-1	31	11111	14,136
-2	30	11110	13,604
-3	29	11101	13,109
-4	28	11100	12,644
-5	27	11011	12,209
-6	26	11010	11,795
-7	25	11001	11,404
-8	24	11000	11,032
-9	23	10111	10,684
-10	22	10110	10,344
-11	21	10101	10,021
-12	20	10100	9,709
-13	19	10011	9,411
-14	18	10010	9,122
-15	17	10001	8,845
-16	16	10000	8,577

Tabelle 2.1: Trimmtabelle für die Überstromdetektionsschwelle.

### 2.2.3 Funktion einzelner Bauteile

Aufgrund der Komplexität der Schaltung wird die Beschreibung der Funktion der Trimm-schaltung analog zu der Überstromdetektionsschaltung erfolgen.

#### **M1**

Dieser NMOS-Transistor wird im Standby-Zustand eingeschaltet und zieht somit das Gate-Potential vom Stromspiegel nach GND, was die Trimm-schaltung inaktiv macht.

#### **M2, M15**

Diese beiden NMOS-Dummy-Transistoren sorgen für gleiche Randbedingungen an den Stromspiegel-Transistoren im Layout, um ein Matching der Transistoren zu ermöglichen.

#### **M3**

Dieser NMOS-Spare-Transistor dient zur Einstellung des Stromes durch den NMOS-Transistor *M4* und somit durch die Stromspiegelpfade (Vielfaches vom Strom durch *M3*).

#### **M4**

Dieser NMOS-Transistor bildet die Stromspiegelbank mit den NMOS-Transistoren *M5*, *M6*, ..., *M14*.

#### **M5, M6, M7, M8, M9**

Diese NMOS-Transistoren bilden Stromspiegelpfade für den **VBA**- oder **SENSE**-Pfad.

#### **M10, M11, M12**

Diese NMOS-Transistoren bilden zusätzliche Stromspiegelpfade für den **VBA**-Pfad.

#### **M13, M14**

Diese NMOS-Transistoren prägen den Strom ein, der in der äußeren Überstromdetektions-schaltung in Abbildung 2.1 fließt.

#### **M16, M17, M18, M19, M20**

Diese NMOS-Transistoren schalten, abhängig vom programmierten Digitalwert *OC\_TRIM*, die unterschiedlichen Spiegelstrompfade ein oder aus.

#### **M21**

Dieser NMOS-Transistor schaltet die Pfade der NMOS-Transistoren *M5*, *M6*, *M7*, *M8*, *M9* dem **VBA**-Pfad zu.

#### **M22**

Dieser NMOS-Transistor schaltet die Pfade der NMOS-Transistoren *M5*, *M6*, *M7*, *M8*, *M9* dem **SENSE**-Pfad zu.

**M23, M24, M25**

Diese NMOS-Transistoren sind aufgrund des Digitalsignals **1** über die Buffer-Bausteine standardmäßig immer eingeschaltet. Sie ziehen einen konstanten Strom aus dem **VBA**-Pfad. Die drei Pfade sind für unterschiedliche Chip-Derivate gedacht, um unterschiedliche Schaltschwellen des Komparators *COMP1* in der Schaltung in Abbildung 2.1 einzustellen.

**AND1, AND2, AND3, AND4, AND5**

Über diese AND-Gatter werden, abhängig vom programmierten Digitalwert *OC\_TRIM*, die Stromspiegelpfade über die NMOS-Transistoren *M20*, *M19*, ..., *M16* geschaltet.

**INV1, INV2**

Diese Inverter sorgen dafür, dass nur einer der beiden NMOS-Transistoren *M21* und *M22* eingeschaltet ist und somit wird der Strom über die NMOS-Transistoren *M16*, *M17*, ..., *M20* entweder aus dem **VBA**- oder **SENSE**-Pfad gezogen.

**BUF1, BUF2, BUF3**

Über diese Buffer wird der Digitalwert **1** zum Einschalten der NMOS-Transistoren *M25*, *M24* und *M23* verwendet, was in einem Metal-Fix für Familienprodukte verändert werden kann.

# Kapitel 3

## Logistik und Organisation

### 3.1 Interner Produktionsablauf

Nachdem die Tätigkeiten dieser Arbeit begleitend zu dem produktiven Test verlaufen, ist eine kurze Beschreibung des Produktionsablaufes (engl. Supply Chain) des zu untersuchenden ICs von großer Relevanz.

Im Großen und Ganzen besteht der produktive Test aus mehreren Test-Insertions. Ein Test-Insertion kann als Testdurchlauf bei einer bestimmten Temperatur verstanden werden. Allerdings werden oftmals spezifische Tests für unterschiedliche Test-Insertions verwendet. Somit gibt es für jedes Test-Insertion ein eigenes Testprogramm.

Der Frontend-Test findet auf Wafer-Level statt und umfasst in der Regel mehr Test-Instanzen, da zusätzliche Spannungen und Signale, auf die man im Package keinen Zugriff hat, mittels Testnadeln an eigenen Testpunkten (eng. Test Pads) abgegriffen und somit gemessen werden können.

Auf Frontend-Ebene werden zwei Test-Insertions durchgeführt, diese werden als *S1* und *S2* bezeichnet. In dem *S1*-Test-Insertion wird hauptsächlich das EEPROM (engl. Electrically Erasable Programmable Read-Only Memory) getestet, um zu überprüfen, ob alle Speicherfelder geschrieben und gelesen werden können.

Hier findet somit lediglich eine initiale Programmierung des EEPROMs statt, dementsprechend dauert dieses Test-Insertion am kürzesten. Um einen Wafer zu testen, wird eine Testzeit von ca. 30 Minuten benötigt. In weiterer Folge werden die getesteten Wafer in einem Hochofen für 6 Stunden auf 300°C erhitzt, um die Stabilität des EEPROMs zu prüfen.

Das darauffolgende Test-Insertion *S2* umfasst die meisten Tests und dauert somit länger.

Hier findet auch die Trimmung der unterschiedlichen Blöcke statt. Die Trimmwerte werden im EEPROM abgelegt, was die Überprüfung des EEPROMs in dem ersten Test-Insertion rechtfertigt. Die Testzeit eines Wafers beträgt hierfür um die anderthalb Stunden. Beide Frontend-Test-Insertions verlaufen bei AT (engl. Ambient Temperature, 25°C).

Nach dem Assembly wird der produktive Test im Laufe von Backend-Test-Insertions (Package-Level) fortgesetzt. Hier verlaufen zwei weitere Test-Insertions, nämlich *B2* und *B3*. Das *B2*-Test-Insertion wird bei CT (engl. Cold Temperature, -40°C) durchgeführt, während das *B3*-Test-Insertion bei HT (engl. Hot Temperature, 125°C) erfolgt. In diesen beiden Test-Insertions werden sämtliche Spezifikationsparameter gemessen und auf Einhaltung der Spezifikation geprüft. Pro Wafer wird ungefähr eine Stunde an Testzeit für die Backend-Test-Insertions benötigt.

Es laufen begleitend zu der Produktion weitere Tests im Rahmen einer Qualifikation ab. Zu diesen Tests gehören unter anderem mechanische Tests sowie eine optische Inspektion. Diese werden jedoch nicht näher beleuchtet.

## 3.2 Herausforderungen

Die komplexe Abwicklung der Produktion und der damit verbundenen Test-Insertions bringt einige Herausforderungen mit sich, die im Laufe dieser Arbeit überwunden werden müssen.

Die erste Frage die entsteht ist, welche Komplikationen durch die Einführung eines neuen Testprogrammes im Test-Flow auftreten können. Das Release eines neuen Testprogrammes ist eine Prozedur, die über mehrere Schritte laufen muss. Dadurch, dass ein neues Testprogramm für die Charakterisierung der Trimmschaltung entwickelt wird, bedeutet dies, dass es diese Prozedur durchlaufen muss, um in der Produktion integriert zu werden. Dies ist ein langwieriger, kostspieliger Prozess, der von vielen Faktoren abhängt. Zusätzlich wird durch die Tatsache, dass die Produktion nicht im Haus abläuft, das Beheben von auftretenden Problemen zu einer schwierigen Angelegenheit, da man nicht physisch vor Ort sein kann. Auf der anderen Seite ist das manuelle Testen der ICs sehr fehleranfällig und aufgrund der hohen IC-Anzahl nahezu unmöglich, und somit würden die Ergebnisse keine statistische Aussagekraft haben. Aus diesen Gründen würde man vorzugsweise einen anderen Weg eingeschlagen. Der messtechnische Anteil der Arbeit wurde somit zu dem nächstliegenden RPT-Labor (engl. Reliability Product Testing) verlegt. Dieses befindet sich im Infineon Technologies Austria AG Standort in Villach, Österreich. In diesem Labor wird größtenteils die Qualifikation bzw. die Vorbereitung auf die Produktion durchgeführt, was eine äußerst automatisierte Abwicklung der geplanten Tests ermöglicht.

Als nächstes ist das Organisieren der zu testenden ICs abzuklären. Grundsätzlich können ICs, die aus dem Produktionsflow abgespalten werden, nicht wieder in die Produktion zurückgebracht werden, da dadurch, dass diese ICs einem anderen Produktionsablauf ausgesetzt sind, dem Kunden dieselbe Qualität nicht versichert werden kann. Dies bedeutet, dass die Kosten der zu untersuchenden ICs von der Firma übernommen werden müssen. Demzufolge wurde dies bei der Auswahl der ICs beachtet. Es wurden somit ICs verwendet, die von der Qualifikation des vorherigen Designstandes (engl. Design Step), der dieselbe Überstromdetektionsschaltung enthält, übrig geblieben sind. Dies ist in vielerlei Hinsicht von Vorteil, da die ICs einerseits unterschiedlichen Wafern und Losen entstammen und andererseits bereits im Backend getestet sind. Somit werden keine „schlechten“ Teile für die statistische Auswertung herangezogen, was der Analyse mehr Aussagekraft verleiht.

# Kapitel 4

## Test

### 4.1 Testhardware

#### 4.1.1 Tester

Der produktive Test stellt einen der wichtigsten Aspekte bei der Produktion von modernen Smart Power ICs dar. In diesem produktiven Test wird die Funktionalität jedes einzelnen ICs überprüft, dementsprechend muss die Testhardware in der Lage sein, verschiedenartige Blöcke mit unterschiedlichen Funktionen zu testen. Dafür werden Mixed-Signal-Produktionstester verwendet, die so konzipiert sind, dass sie ein großes Spektrum an verschiedenen DUTs (engl. Device Under Test) jeglicher Funktion abdecken können [2].

Da es für Mixed-Signal-Produktionstester eine große Vielfalt von Herstellern gibt, die eine große Auswahl an Testern anbieten, muss sich der Chip-Hersteller für einen Testertypen entscheiden, und diesen Tester standortweit mit denselben Ressourcen ausstatten um Kompatibilität gewährleisten zu können, denn die Testprogrammentwicklung verläuft typischerweise im Haus während die Produktion oftmals in asiatischen Ländern stattfindet.

Bei Infineon wird unter anderem die Testerplattform microFLEX von TERADYNE für den produktiven Test eingesetzt, und dementsprechend wurde dieser Tester auch für diese Arbeit verwendet.

Der microFLEX-Tester ist in Abbildung 4.1 zu sehen.



Abbildung 4.1: microFLEX-Tester von TERADYNE.

Die microFLEX bietet 12 konfigurierbare Universalslots, die nach Gebrauch des Chip-Herstellers mit unterschiedlichen Instrumenten ausgestattet werden können [11].

Für DC-Messungen (engl. Direct Current) bietet TERADYNE eine Vielzahl von DC-Instrumenten an, nämlich DC30, DC75, DC80, DC90 und POOL2 [11].

Relevant für diese Arbeit ist das DC90-Instrument, da es den höchsten Maximalstrom besitzt, nämlich einen gepulsten 10 A Force-Bereich [12].

Dies mag auf den ersten Blick nicht ausreichend erscheinen, da die Detektionsschwelle für den zu untersuchenden Lichtmaschinenregler bei 14,5 A spezifiziert ist und laut der Trimm-tabelle Detektionsschwellen bis zu ca. 19 A eingestellt werden können. Allerdings bietet das DC90-Instrument die Möglichkeit auf Kosten der Maximalspannung bis zu vier DC90-Kanäle zusammenzuschließen (engl. Merge), und somit kann ein maximaler Strompuls von 40 A erreicht werden [12].

Um den Bereich zwischen 9 A und 19 A abzudecken, wird dementsprechend das DC90-Instrument im Merged-Mode betrieben. Dabei werden für Strompulse bis zu 20 A zwei DC90-Kanäle zusammengeschlossen.

### 4.1.2 Loadboard

Das Loadboard, auch DIB (engl. Device Interface Board) genannt, stellt die Schnittstelle zwischen der Testerhardware und dem DUT dar.

Beim Entwurf des DIBs wird auf die maximale Parallelität (engl. Multi-Site-Testing) geachtet, um die Testzeit und somit die Testkosten zu reduzieren. Abhängig von den Testerressourcen und der Komplexität des DUTs wird versucht die maximal mögliche Anzahl an Sites zu erreichen. Ein Single-Site-Board ist ein Board, auf dem nur ein einziges DUT getestet wird, was üblich bei dem ersten DIB-Entwurf der Fall ist. Wenn mehrere DUTs simultan auf demselben Board getestet werden können, spricht man von einem Multi-Site-Board, worauf bei dem finalen DIB-Entwurf gezielt wird.

Solch ein DIB für die microFLEX wird in der Regel in drei Bereiche aufgeteilt. Auf den äußeren zwei Seiten, rechts und links, befinden sich die Pins zu den Kanälen der Testerressourcen, während der mittlere Bereich für die Beschaltung der DUTs verwendet wird.

### 4.1.3 Handler

In der Produktion wird angestrebt, dass so viel wie möglich automatisiert und zeiteffizient abläuft. Ein Handler ermöglicht dies, indem er dafür sorgt, dass es einen schnellen automatisierten Austausch der DUTs nachdem der Test abgeschlossen ist mit anschließender Sortierung der DUTs nach Pass und Fail gibt. Diese Sortierung ermöglicht einen Nachtest der Teile, die einen Ausfall aufgrund von Kontaktproblemen hatten.

In Abbildung 4.2 ist der im Rahmen dieser Arbeit verwendete Handler SO 1800 vom Hersteller RASCO zu sehen.



Abbildung 4.2: RASCO SO 1800 Handler.

## 4.2 Testkonzept

Im Testkonzept wird die Herangehensweise zur Charakterisierung der Trimmschaltung beschrieben. Wie vorhin schon erwähnt, stehen für das Trimmen der Überstromdetektionsschaltung fünf Bits zur Verfügung, die somit 32 Trimmöglichkeiten bzw. Trimmsschritte ergeben. Um die Trimmschaltung charakterisieren zu können, wird die Überstromdetektionsschaltung bei jedem dieser Trimmsschritte gemessen.

Um die Überstromdetektionsschwelle zu messen, wird eine Stromrampe am Testpin angelegt während das *OC*-Signal (engl. Over Current) beobachtet wird. Sobald der Komparator kippt, wird der derzeitige eingestellte Stromwert gespeichert, und somit liegt die Überstromdetektionsschwelle bei diesem Wert.

Die Stromrampe, die an einem der beiden im Merged-Mode verwendeten DC90-Kanal angelegt wird, ist in Abbildung 4.3 dargestellt. Für die Rampe wurden 386 Samples verwendet, wobei im Anfangsintervall bis zu  $-4,5$  A die Rampe in  $-250$  mA Schritten und in weiterer Folge im interessanten Intervall in  $-15$  mA Schritten verläuft.

Der am DC90-Instrument eingestellte negative Strom deutet darauf hin, dass der Strom aus dem Pin fließt.

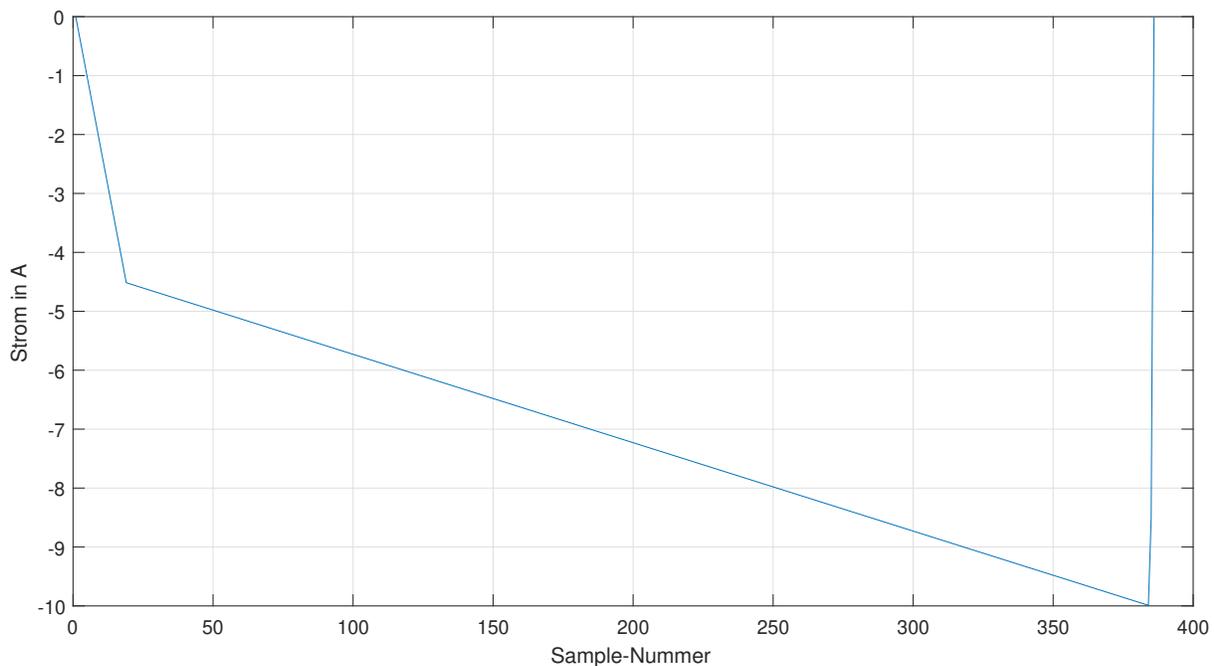


Abbildung 4.3: Sample-Verlauf der angelegten Stromrampe auf einem DC90-Kanal.

Wie zuvor erwähnt wird das DC90-Instrument im Merged-Mode verwendet, um den maximalen Strombereich zu erweitern. Dementsprechend hat die Stromrampe den doppelten Stromwert.

Für die Erstellung des Signals wird eine Sample-Rate von 20 kHz verwendet. Daraus kann der zeitliche Verlauf der Rampe wie folgt in Abbildung 4.4 dargestellt werden.

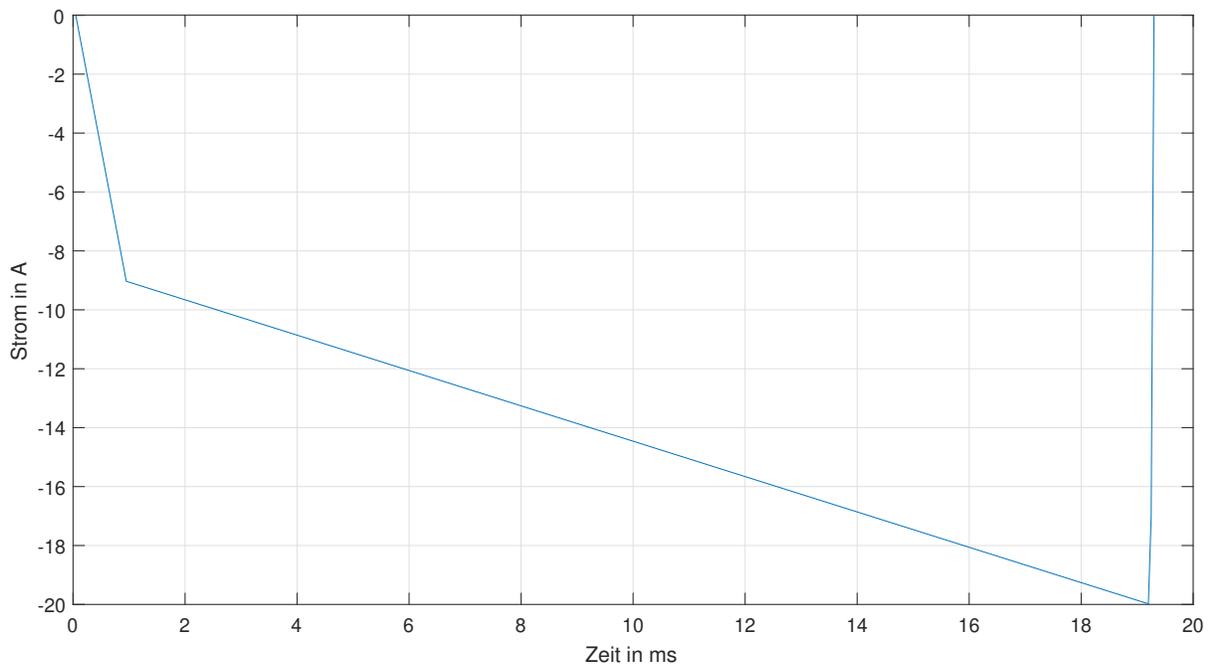


Abbildung 4.4: Zeitlicher Verlauf der angelegten Stromrampe auf dem DUT Pin.

Weiteres muss die Eigenerwärmung des ICs in Betracht gezogen werden, da diese 20 A-Rampe innerhalb einer kurzen Zeit 32 Mal für die unterschiedlichen 32 Trimschritte angelegt wird. In Abbildung 4.4 erkennt man, dass die Rampe ca. 20 ms dauert. Im Testprogramm wird nach der Rampe stets ca. 50 ms (empirisch ermittelt) gewartet, um eine Eigenerwärmung des ICs zu vermeiden.

Zur Überprüfung der Stabilität des Testprogrammes wurde das Testprogramm für ein DUT bei  $-40^{\circ}\text{C}$  und  $125^{\circ}\text{C}$  50 Mal gelooped, um auf Wiederholbarkeit des Tests zu überprüfen. In den Abbildungen 4.5 und 4.6 sind die Ergebnisse dieser Testprogrammstabilitätsüberprüfung anhand eines kumulativen Frequenzplots zu sehen.

Es wurde bei 50 Durchläufen eine Streuung von maximal 30 mA, was  $2\text{LSB}$  entspricht, festgestellt. Dies bedeutet, dass der Einfluss von Eigenerwärmung für die gewählte Wartezeit näherungsweise nicht existent ist.

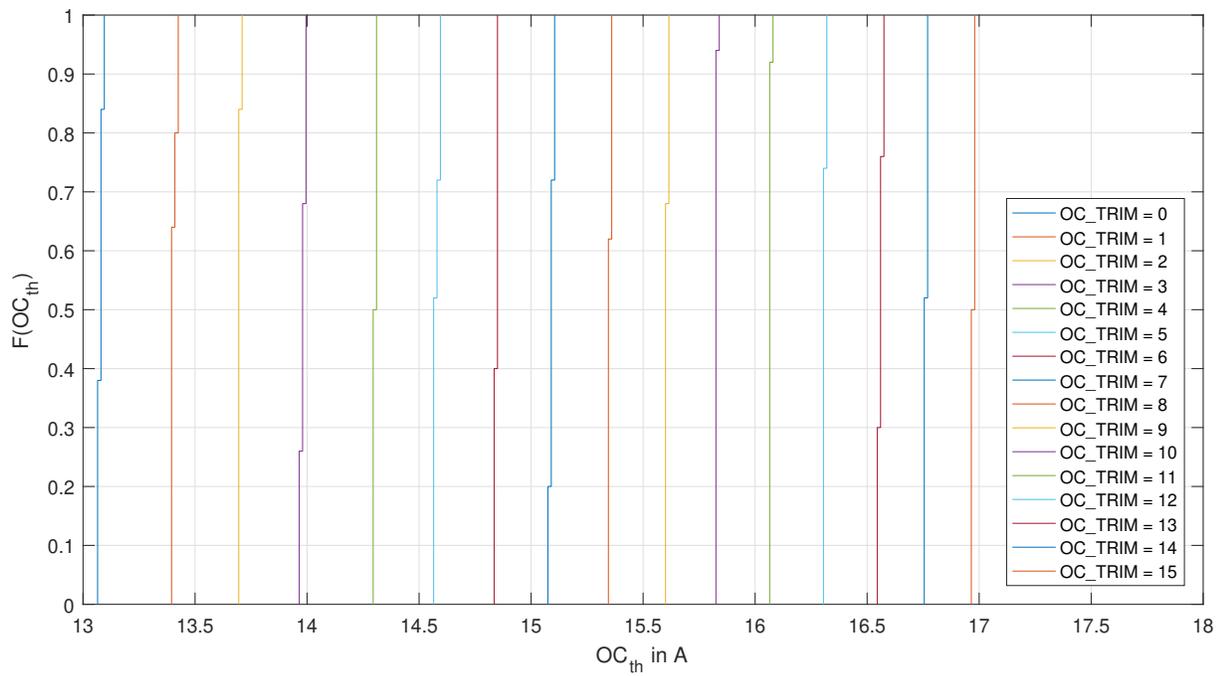


Abbildung 4.5: Testprogrammstabilitätsüberprüfung an einem beliebigen DUT bei  $-40^{\circ}C$ .

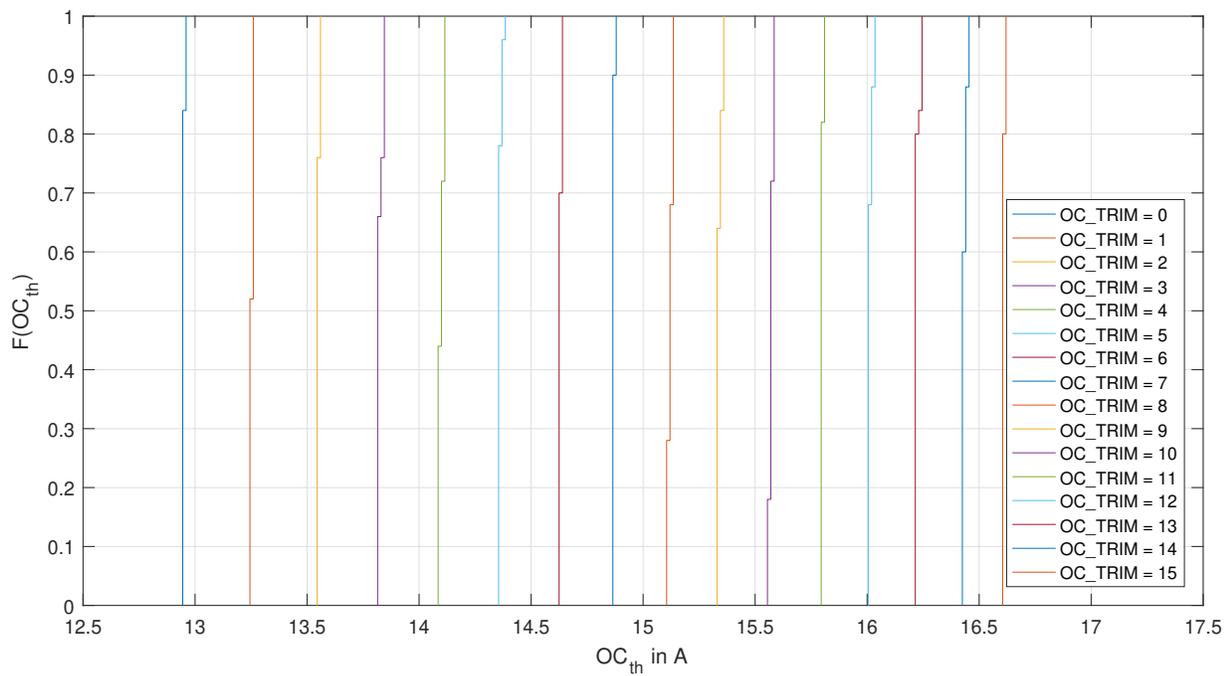


Abbildung 4.6: Testprogrammstabilitätsüberprüfung an einem beliebigen DUT bei  $125^{\circ}C$ .

In der Qualifikation ist eine Testprogrammstabilitätsüberprüfung unabdingbar. Diese Testprogrammstabilitätsüberprüfung verläuft im Rahmen einer Studie, die als MSA (engl. Measurement System Analysis) bzw. AMSA (engl. Automated Measurement System Analysis) bezeichnet wird.

Dabei wird überprüft, welche Toleranz vom Messsystem bzw. Tester gegeben sein muss, damit eine Aussage darüber getroffen werden kann, ob ein gutes DUT von einem schlechten unterschieden werden kann [13].

In der Regel können Messfehler in systematische und zufällige Fehler klassifiziert werden.

Ein systematischer Fehler tritt aufgrund der fehlenden Genauigkeit (engl. Accuracy) des verwendeten Messsystemes auf. Er ist wiederholbar und kann, wenn er erkannt wird, systematisch behoben werden. Dadurch, dass die Genauigkeit des Testers vom Hersteller angegeben und garantiert wird und dementsprechend bekannt ist, werden systematische Fehler bei dieser Analyse nicht erwogen [13].

Was allerdings bei dieser Analyse in Betracht gezogen wird, sind die zufälligen Fehler. Dabei wird das Messsystem auf Wiederhol- (engl. Repeatability) und Vergleichspräzision (engl. Reproducibility) geprüft. Eine Wiederholpräzisionsstudie erfolgt mittels desselben Messsystemes am selben DUT anhand desselben Aufbaus unter denselben Bedingungen über eine kurze Zeit, während eine Vergleichspräzisionsstudie von einer anderen Person, die am selben Messsystem zu einem späteren Zeitpunkt dieselben Bedingungen nachstellt, durchgeführt wird [13].

Anhand der Wiederholpräzisionsstudie ermittelt man die Streuung der Messwerte. Auf der anderen Seite wird bei der Vergleichspräzisionsstudie die Streuung des Mittelwertes der Messwerte bestimmt [13].

Für das entwickelte Testprogramm wurde im Rahmen dieser Arbeit lediglich eine Wiederholpräzisionsstudie bei zwei Temperaturen durchgeführt um den Einfluss der Eigenerwärmung festzustellen, da die vorhin beschriebene Sequenz zur Messung der Überstromdetektionsschwelle schon im produktiven Test implementiert ist und auf Vergleichspräzision geprüft worden ist.

## 4.3 Testprogramm

Das verwendete Testprogramm wurde so entworfen, dass alle möglichen Trimm szenarien mittels der ermittelten Testdaten emuliert werden können.

### 4.3.1 Entwicklungsumgebung

Für die Programmierung der unterschiedlichen Ressourcen der microFLEX bietet TERADYNE eine Entwicklungsumgebung, die „IG-XL Test Software“ heißt.

Ein IG-XL Testprogramm ist eine EXCEL Arbeitsmappe (engl. Workbook), die aus mehreren Arbeitstabellen (engl. Worksheets) besteht. TERADYNE definiert IG-XL als eine Data-Tool-Software, welche ein integriertes graphisches Tool für die Erstellung von Testprogrammen innerhalb VBA (engl. Visual Basic for Application) anbietet, dabei ist VBT (engl. Visual Basic for Test) die unterstützte Programmiersprache [12].

Begleitend zur DataTool-Software bietet TERADYNE eine interaktive GUI (engl. Graphical User Interface) namens TDE (engl. Teradyne Development/Debug Environment). Mithilfe dieses Tools können die unterschiedlichen Testerressourcen interaktiv programmiert werden, was vor allem beim Debugging von großer Hilfe ist.

Weiteres gibt es im Rahmen des TDE das sogenannte Pattern Tool. In diesem Tool werden zeitlich kritische Abläufe, wie das Senden eines SPI-Frames (engl. Serial Peripheral Interface), abgewickelt. In diesem Tool wird dem Testingenieur eine nanosekundengenaue Programmierung der Testerressourcen zur Verfügung gestellt [12].

### 4.3.2 Testprogrammablauf

Der erste Schritt bei der Erstellung eines neuen Testprogrammes ist die Schnittstelle zwischen dem Testprogramm und DIB (engl. Device Interface Board) zu definieren. Dies erfolgt mithilfe von einer Pin Map und einer Channel Map.

In der Pin Map werden die Pinnamen vom DUT (engl. Device Under Test) festgelegt, zusätzlich wird der Pintyp angegeben, ob analog oder digital (I/O).

Danach werden die zugewiesenen Testerressourcen in der Channel Map angelegt, was für jede Site gemacht werden muss. Das verwendete DIB unterstützt 8 Sites, allerdings wird

im Rahmen dieser Arbeit nur eine Site verwendet, da die Ausstattung des zur Verfügung stehenden Handlers nur eine Site bedienen kann [12].

Wenn es zur Ausführung des programmierten Codes kommt, dann sind zwei weitere Sheets von Bedeutung. Diese sind das Test-Instance-Sheet und das Flow-Table-Sheet.

Im Test-Instance-Sheet werden den einzelnen programmierten Tests, die ausgeführt werden sollen, Testnamen zugewiesen, dann wird im Flow-Table-Sheet der Testablauf bzw. die Reihenfolge der Tests mittels der Testnamen definiert.

Der verwendete Test-Flow ist in Abbildung 4.7 zu sehen.

## Flow Table

		Gate			Command	
Label	Enable	Job	Part	Env	Opcode	Parameter
					set-error-bin	
					Test	TP_init
					Test	HW_Checker
					nop	HW_Calibration
					Test	Kelvin
					Test	Conti
					Test	NVM_Readout
					Test	OC_Trim_Characterization
					Test	Bandgap_Voltage
					set-device	
					stop	

Abbildung 4.7: Testablauf im Testprogramm.

Die Kalibrierung der Testerressourcen wird lediglich einmal vor dem ersten Testrun ausgeführt, somit ist der *HW\_Calibration*-Test mit *nop* auskommentiert.

Weiteres werden vor dem ersten Testrun das vorhin dargestellte Stromrampensignal sowie das Pattern, in dem die Rampe ausgeführt wird, geladen. Im *TP\_init*-Test wird der Tester konfiguriert bzw. es werden die Tester-Einstellungen übernommen.

Im *HW\_Checker*-Test wird die Defaulthardwarekonfiguration festgelegt. Es werden somit die GND-Verbindungen am DIB zum DUT und die Relais konfiguriert.

Der *Kelvin*-Test ist ein üblicher Test in jedem Testprogramm, in dem mittels einer Vierleitermessung überprüft wird, ob sowohl die Force- als auch die Sense-Leitung der Quellen beim DUT ankommen. Dies wird als Einführung zum Kontakttest bzw. *Conti*-Test (engl. Continuity), in dem ein kleiner Strom (ca. 100  $\mu\text{A}$ ) aus jedem Pin gezogen wird und somit die Spannung an der eingebauten ESD-Struktur gemessen wird, und somit kann überprüft werden, ob der Kontakt zu dem Pin besteht.

Damit jeder IC eine spezielle Chip-ID (DevNr) bekommt werden die Los- und Wafer-Informationen für jeden IC gespeichert. Dies erfolgt für dieses Produkt in einem EEPROM (engl. Electrically Erasable Programmable Read-Only Memory), dessen Inhalt im *NVM\_Readout*-Test ausgelesen wird, um die Messdaten den ICs zuordnen zu können. Die DevNr setzt sich aus der Wafernummer sowie den XY-Koordinaten des Chips auf dem Wafer zusammen.

Der *OC\_Trim\_Characterization*-Test ist laut dem Testkonzept implementiert.

Abschließend wird die Bandgag-Referenzspannung  $V_{BG}$  im *Bandgap\_Voltage* Test noch mitgemessen, dann wird der Test beendet.

Das letzte relevante Sheet, welches im Rahmen dieser Arbeit besprochen wird, ist das Limit-Sheet. In den definierten Tests wird eine oder mehrere Messungen durchgeführt, wobei man die dabei entstehenden Messwerte in einem DLog (engl. Data Log) ausschreibt, wie in Abbildung 4.8 zu sehen ist [2].

Number	Site	Test Name	Pin	Channel	Low	Measured	High	Force	Loc
<i>&lt;Kelvin&gt;</i>									
100	0	k_PIN1	pin1_dc90h	23.c2	0.0000 ohm	0.5067 ohm	4.5000 ohm	0.0100 A	0
110	0	k_PIN2	pin2_dc90h	23.c14	0.0000 ohm	0.5924 ohm	4.5000 ohm	0.0100 A	0
130	0	k_PIN3	pin3_dc30	24.a10	0.0000 ohm	1.4236 ohm	4.5000 ohm	0.0100 A	0
120	0	k_PIN4	pin4_dc80	22.a6	0.0000 ohm	0.2247 ohm	4.5000 ohm	0.0100 A	0
140	0	k_PIN5	pin5_dc80	22.a2	0.0000 ohm	1.5460 ohm	4.5000 ohm	0.0100 A	0
<i>&lt;Conti&gt;</i>									
1001	0	c_PIN1_0	pin1_dc90h	23.c2	-0.9300 V	-0.7613 V	N/A	-0.0010 A	0
1002	0	c_PIN2_0	pin2_dc90h	23.c14	-1.0500 V	-0.7775 V	N/A	-0.0001 A	0
1003	0	c_PIN3_0	pin3_dc30	24.a10	-5.3000 V	-3.0559 V	N/A	-0.0001 A	0
1004	0	c_PIN5_0	pin5_dc80	22.a2	-0.9100 V	-0.6701 V	N/A	-0.0010 A	0
1101	0	c_PIN1_S	pin1_dc90h	23.c2	N/A	-0.7613 V	-0.3540 V	-0.0010 A	0
1102	0	c_PIN2_S	pin2_dc90h	23.c14	N/A	-0.7775 V	-0.5600 V	-0.0001 A	0
1103	0	c_PIN3_S	pin3_dc30	24.a10	N/A	-3.0559 V	-0.8000 V	-0.0001 A	0
1104	0	c_PIN5_S	pin5_dc80	22.a2	N/A	-0.6701 V	-0.2050 V	-0.0010 A	0
5555	0	TEMP_CHECK	pin1_dc90h	23.c2	-55.0000 °C	-39.0184 °C	140.0000 °C	0.0000	0

Abbildung 4.8: Ausschnitt aus dem Data Log eines Testdurchlaufes bei  $-40^\circ\text{C}$ .

Im Limit-Sheet wird den gemessenen Testparametern eindeutige Testnummern *Number* zugewiesen, zusätzlich werden die ausgeschriebenen Messwerte *Measured* mithilfe der im Limit-Sheet angelegten Testgrenzen, unter *Low* und *High*, unmittelbar mit der Spezifikation verglichen, und somit wird eine Verletzung der Limits mittels eines roten F (engl. Fail) signalisiert. In der Regel wird der Testdurchlauf abgebrochen sobald ein Fail auftritt, diese Einstellung kann aber bei den Run Options verändert werden.

# Kapitel 5

## Datenauswertung

### 5.1 Analyse der Frontend- und Backend-Daten bei Frontend- Trimmung

Wie bereits erwähnt, erfährt dieser IC bei der Produktion drei, für diese Arbeit relevante, Test-Insertions. Im Frontend (Wafer-Level-Test) findet das erste Test-Insertion *S2* bei Umgebungstemperatur (engl. AT; Ambient Temperature, 25°C) statt. Bei diesem Frontend-Test wird auch die Trimmmung der Überstromdetektionsschaltung implementiert, während die restlichen zwei Test-Insertions im Backend (Chip-Level-Test) erfolgen, zuerst *B2* bei kalter (engl. CT; Cold Temperature, -40°C) dann *B3* bei heißer Temperatur (engl. HT; Hot Temperature, 125°C).

Um am Ende dieser Arbeit eine Aussage über das Ergebnis treffen zu können, muss zuallererst der Stand vor der Arbeit analysiert werden, um einen Vergleich aufstellen zu können.

Hierfür wurden die Daten von 750 ICs aus drei Wafern (Wafer 1, 5 und 6 mit jeweils 250 ICs) zweier unterschiedlichen Lose herangezogen, um auch die Wafer- bzw. Losabhängigkeit zu untersuchen.

In den Abbildungen 5.1, 5.3 und 5.5 sind die Überstromdetektionsschwellen der Wafer 1, 5 bzw. 6 bei allen drei Test-Insertions (*S2*, *B2* und *B3*) für die unterschiedlichen ICs dieser Wafer mittels eines Streudiagramms ersichtlich, während in Abbildungen 5.2, 5.4 und 5.6 die kumulativen Frequenzplots der Verteilungen zu sehen sind.

Es ist ersichtlich und auch zu erwarten, dass das Trimmen im Frontend zu einer kompakten Verteilung der Frontend-Daten für die Überstromdetektionsschwelle führt.

Allerdings erkennt man, dass die Verteilung im Backend-Test generell um einen Faktor von vier bzw. fünf breiter wird, was aufgrund von Package- oder Temperatureffekten sein könnte. Zusätzlich ist eine Verschiebung des Mittelwerts sichtbar.

Die statistischen Kennwerte der Verteilungen sind in Tabelle 5.1 zu sehen.

Es fallen keine großen Unterschiede zwischen den Daten der unterschiedlichen Wafer auf, was eventuell eine Waferabhängigkeit der Effekte ausschließen könnte.

Wafer	$\mu_{S2}$ in A	$\sigma_{S2}$ in A	$\mu_{B2}$ in A	$\sigma_{B2}$ in A	$\mu_{B3}$ in A	$\sigma_{B3}$ in A
1	14,5019	0,084268	14,6753	0,44157	14,2306	0,35621
5	14,4917	0,079881	14,8277	0,39131	14,3839	0,31563
6	14,4964	0,079628	14,6216	0,44668	14,1771	0,35051

Tabelle 5.1: Statistische Kenngrößen (Mittelwert  $\mu$  und Standardabweichung  $\sigma$ ) der Analyse der Frontend- (S2 bei 25°C) und Backend-Daten (B2 bei -40°C und B3 bei 125°C) für die Wafer 1,5 und 6 (Frontend-getrimmt).

Auf dem ersten Blick scheinen die Wafer 1 und 6 sehr ähnliche Verteilungen im Backend-Test zu haben, was den Mittelwert und die Standardabweichung betrifft. Dies ist eventuell darauf zurückzuführen, dass sie demselben Los entstammen. Auf der anderen Seite ist die Verteilung der Daten der Wafer 5 und 6 im Frontend-Test nahezu identisch, während die Verteilung von Wafer 1 eine etwas größere Streuung aufweist. Demzufolge kann eine Losabhängigkeit weder bestätigt noch ausgeschlossen werden.

Zusätzlich kann im Backend-Test bei kalter Temperatur (B2 bei -40°C) eine größere Streuung beobachtet werden. Nebenbei ist eine Erhöhung unterschiedlichen Ausmaßes der Überstromdetektionsschwelle bei der Mehrheit der ICs erkennbar. Diese Mehrheit variiert zwischen 60 – 70% bei Wafern 1 sowie 6 und ca. 85% bei Wafer 5.

Im Backend-Test bei heißer Temperatur (B3 bei 125°C) kann analog beobachtet werden, dass die Mehrheit der ICs eine Senkung unterschiedlichen Ausmaßes der Überstromdetektionsschwelle aufweist. Diese Mehrheit variiert ebenfalls, allerdings zwischen 85 – 90% bei Wafern 1 sowie 6 und ca. 70% bei Wafer 5.

Diese zwei Beobachtungen deuten wiederum auf eine mögliche Losabhängigkeit der Überstromdetektionsschwelle hin.

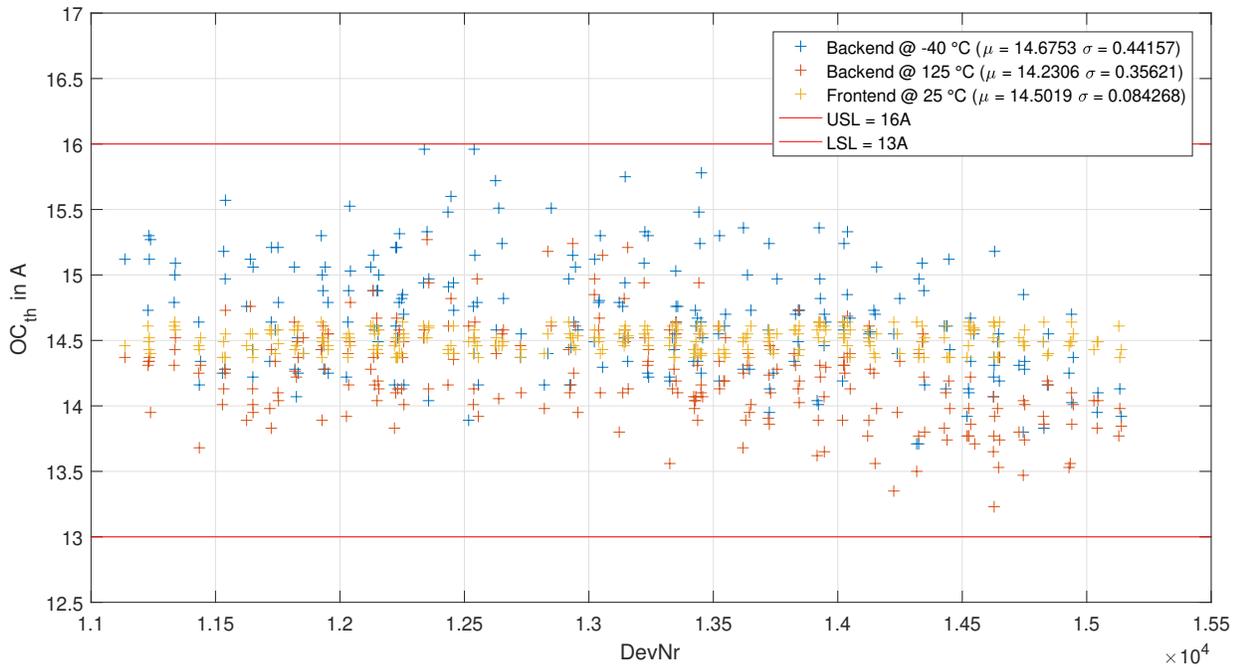


Abbildung 5.1: Streudiagramm der Frontend- (bei  $25\text{ °C}$ ) und Backend-Daten (bei  $-40\text{ °C}$  und  $125\text{ °C}$ ) der Überstromdetektionsschwelle für Wafer 1 (Frontend-getrimmt).

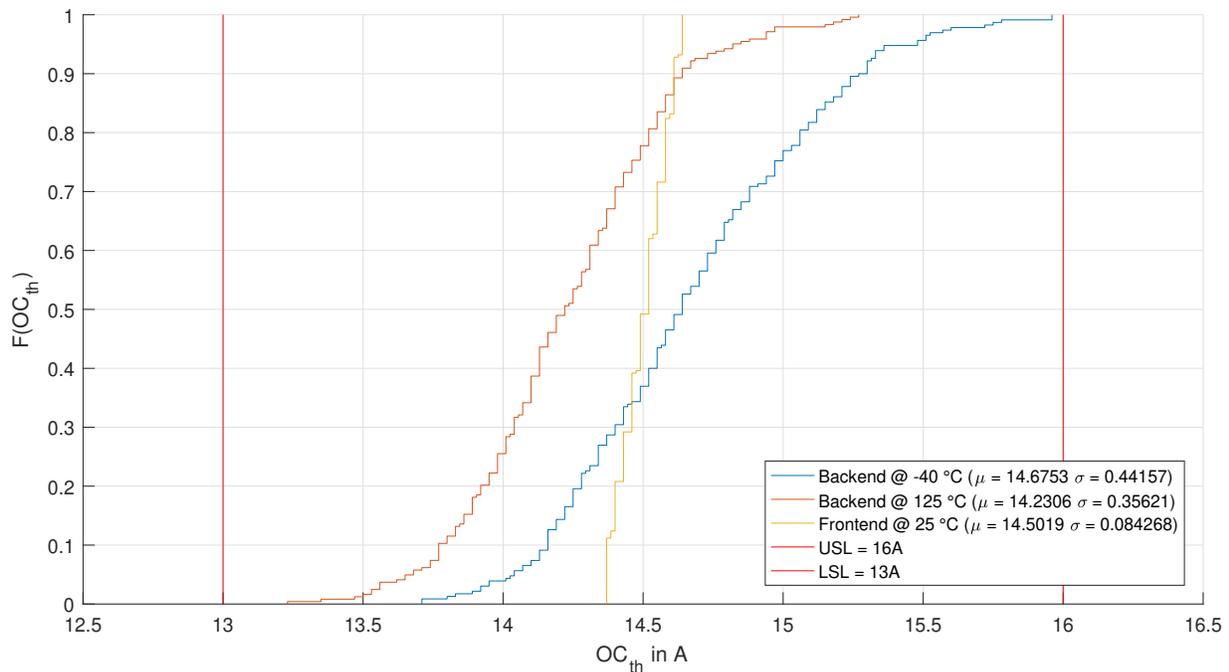


Abbildung 5.2: Kumulierter Frequenzplot der Frontend- (bei  $25\text{ °C}$ ) und Backend-Daten (bei  $-40\text{ °C}$  und  $125\text{ °C}$ ) der Überstromdetektionsschwelle für Wafer 1 (Frontend-getrimmt).

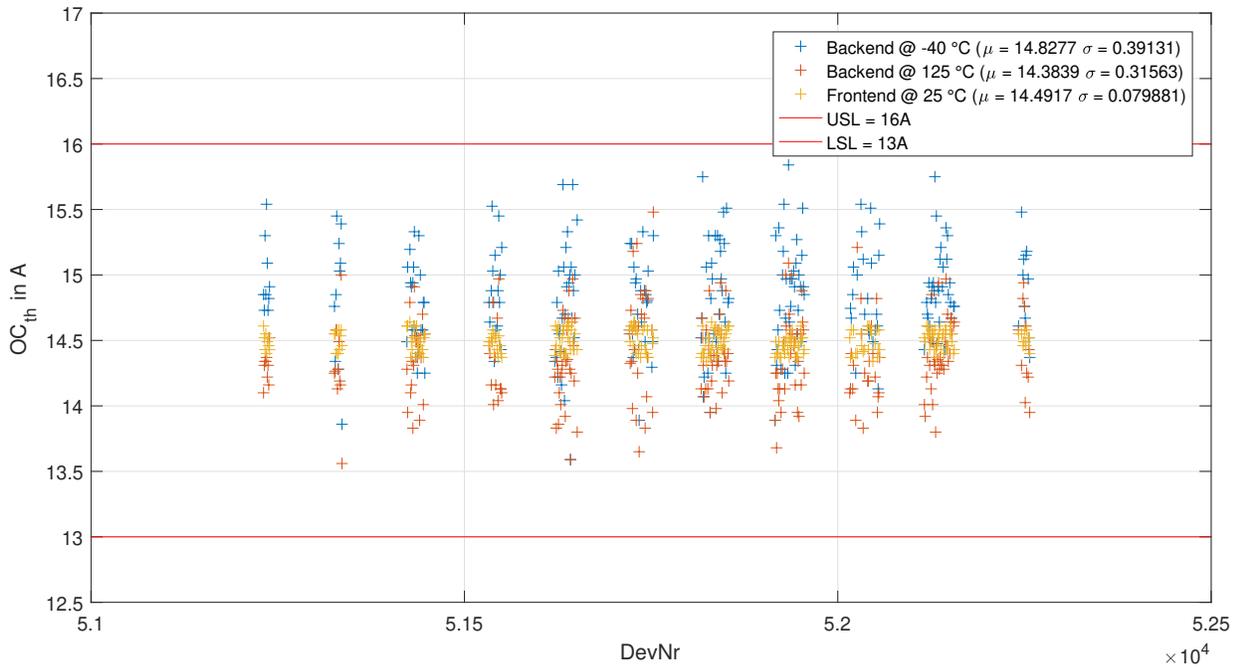


Abbildung 5.3: Streudiagramm der Frontend- (bei 25°C) und Backend-Daten (bei -40°C und 125°C) der Überstromdetektionsschwelle für Wafer 5 (Frontend-getrimmt).

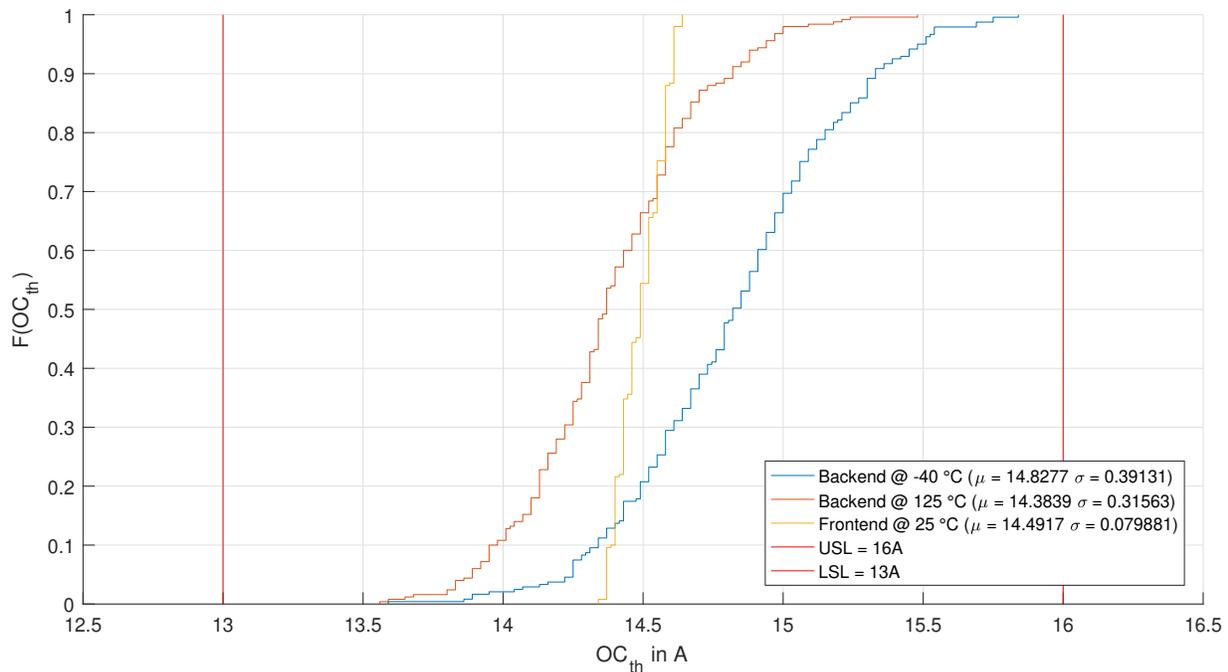


Abbildung 5.4: Kumulierter Frequenzplot der Frontend- (bei 25°C) und Backend-Daten (bei -40°C und 125°C) der Überstromdetektionsschwelle für Wafer 5 (Frontend-getrimmt).

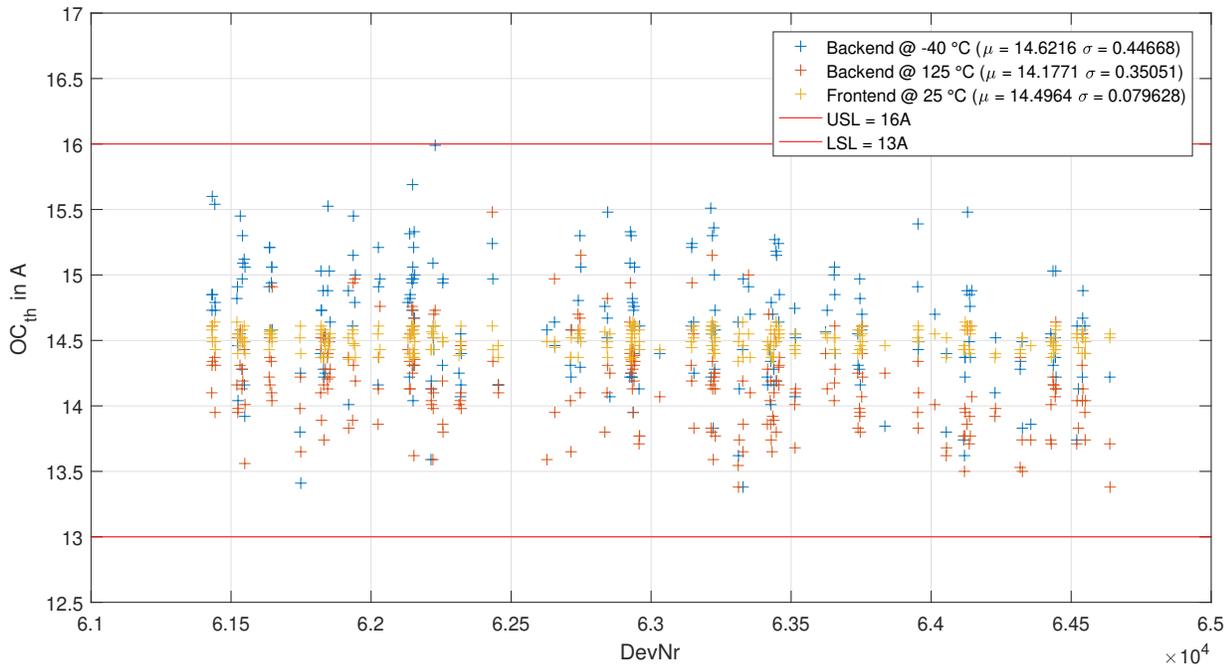


Abbildung 5.5: Streudiagramm der Frontend- (bei  $25^\circ C$ ) und Backend-Daten (bei  $-40^\circ C$  und  $125^\circ C$ ) der Überstromdetektionsschwelle für Wafer 6 (Frontend-getrimmt).

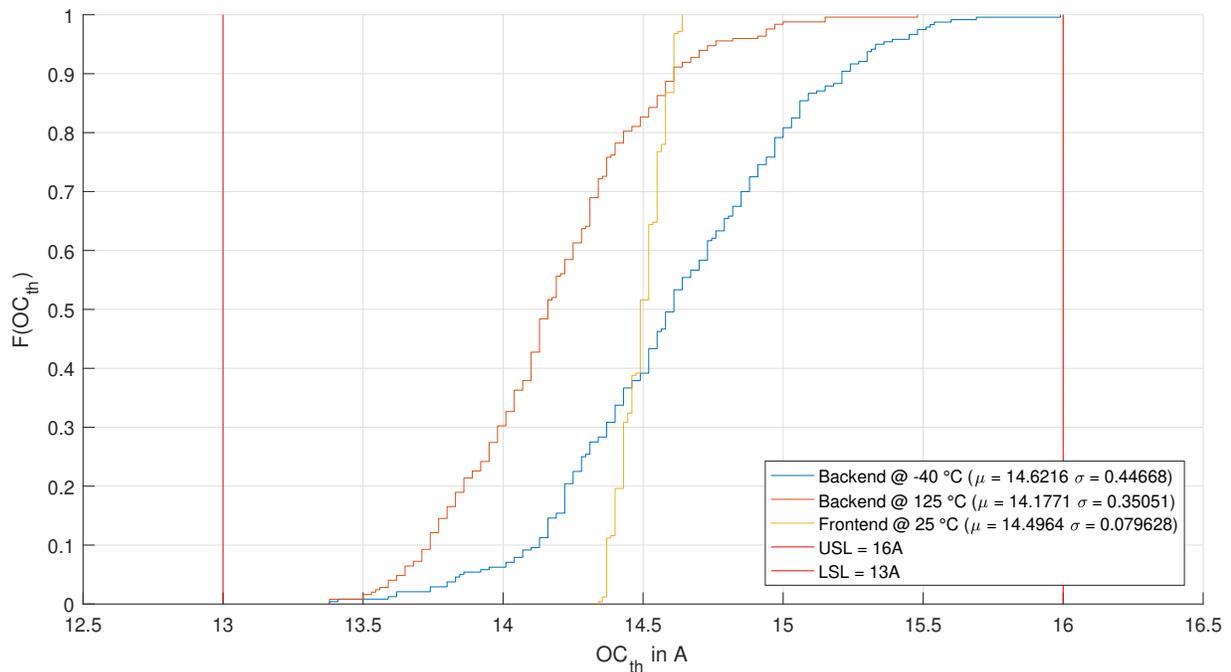


Abbildung 5.6: Kumulierter Frequenzplot der Frontend- (bei  $25^\circ C$ ) und Backend-Daten (bei  $-40^\circ C$  und  $125^\circ C$ ) der Überstromdetektionsschwelle für Wafer 6 (Frontend-getrimmt).

## 5.2 Untersuchung der Package-Effekte

Dadurch dass kein Backend-Test bei Raumtemperatur stattfindet, fällt es schwer zu erkennen, ob die beobachtete Verschiebung der Überstromdetektionsschaltung aufgrund von Package-Effekten oder wegen des Temperaturverhaltens der Schaltung zustande kommen.

Um die Hauptforschungsfrage dieser Arbeit, nämlich, ob eine Backend-Trimmung möglich ist, beantworten zu können, muss man zuerst die Frage beantworten, ob eine Backend-Trimmung überhaupt sinnvoll ist bzw. in Frage kommt, denn wie im Kapitel über Trimmen (siehe 1.3.2) beschrieben wurde, hat das Trimmen beim finalen Backend-Test mehrere Vorzüge im Bezug darauf, dass auftretende Package- und Assembly-Effekte beseitigt werden können.

Dementsprechend wird nun untersucht, ob der IC Package-Effekten ausgesetzt ist. Dafür wird ein Vergleich der Frontend- und Backend-Daten bei derselben Temperatur benötigt, nämlich der Trimmtemperatur (25°C).

Hierfür wurden wiederum die Daten von 750 ICs aus drei Wafern (Wafer 1,5 und 6 mit jeweils 250 ICs) zweier unterschiedlichen Lose herangezogen, um ebenfalls die Wafer- bzw. Losabhängigkeit zu analysieren.

In den Abbildungen 5.7, 5.9 und 5.11 ist ein Vergleich zwischen dem Frontend- und Backend-Test bei 25°C für die unterschiedlichen ICs der Wafer 1, 5 und 6 in Form eines Streudiagramms zu sehen, während in den Abbildungen 5.8, 5.10 und 5.12 die Differenz zwischen den Frontend- und Backend-Daten ebenfalls in Form eines Streudiagramms dargestellt ist.

Es ist klar ersichtlich, dass Package-Effekte das Verhalten der Überstromdetektionsschaltung deutlich beeinflussen, denn bei der großen Mehrheit aller ICs der Wafer 1, 5 und 6 kommt es zu deutlichen Abweichungen der Überstromdetektionsschwelle zwischen dem Frontend- und Backend-Test. Die Verteilung wird um einen Faktor von ca. 4 breiter.

Man erkennt ebenfalls, dass diese Abweichungen in ihrem Ausmaß (zwischen nahezu keiner Abweichung bis zu Abweichungen von über 1 A) und Richtung (zwischen positiver und negativer Abweichung) sehr variieren.

Die statistischen Kennwerte der Verteilungen sind in Tabelle 5.1 zu sehen.

Auch hier sind kaum Unterschiede zwischen den Daten der unterschiedlichen Wafer zu erkennen.

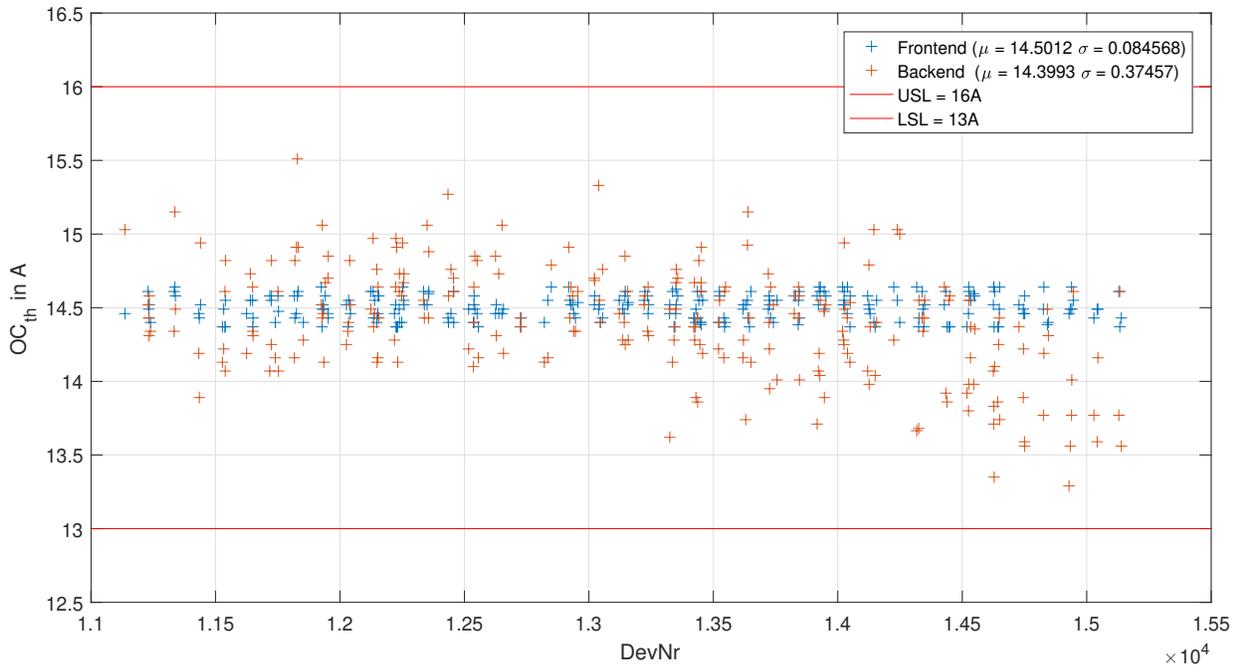


Abbildung 5.7: Streudiagramm der Frontend- und Backend-Daten der Überstromdetektionsschwelle bei 25°C für Wafer 1 (Frontend-getrimmt).

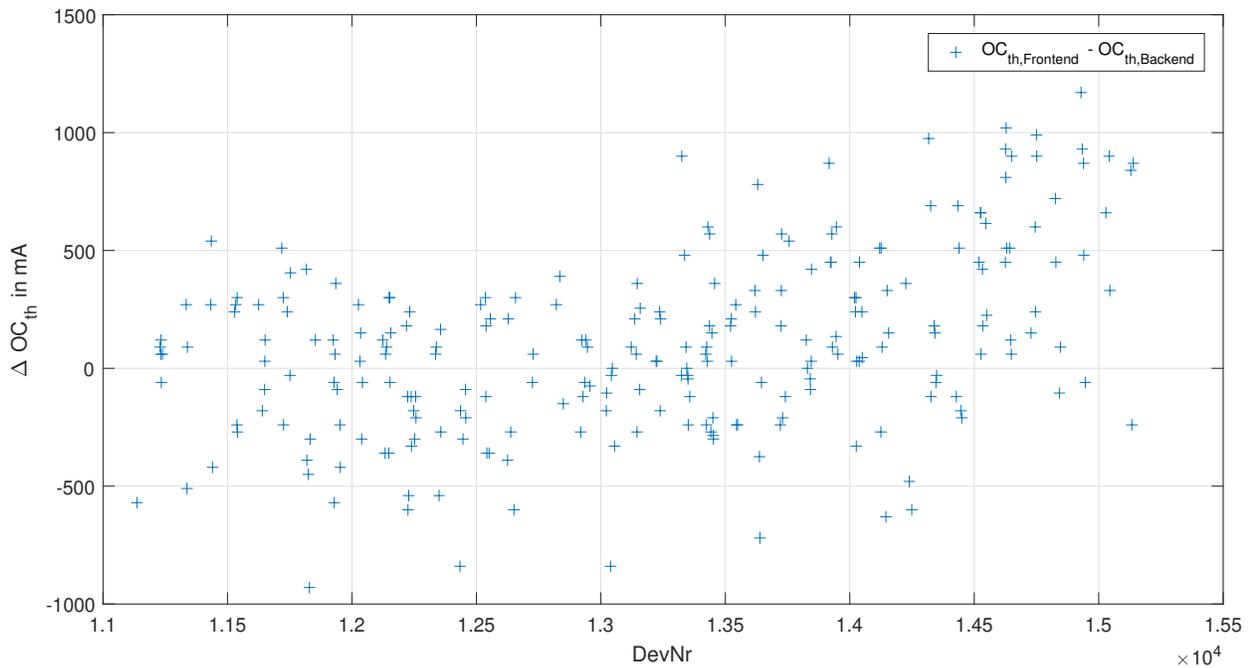


Abbildung 5.8: Streudiagramm der Differenz der Überstromdetektionsschwelle zwischen Frontend- und Backend-Testdaten bei 25°C für Wafer 1 (Frontend-getrimmt).

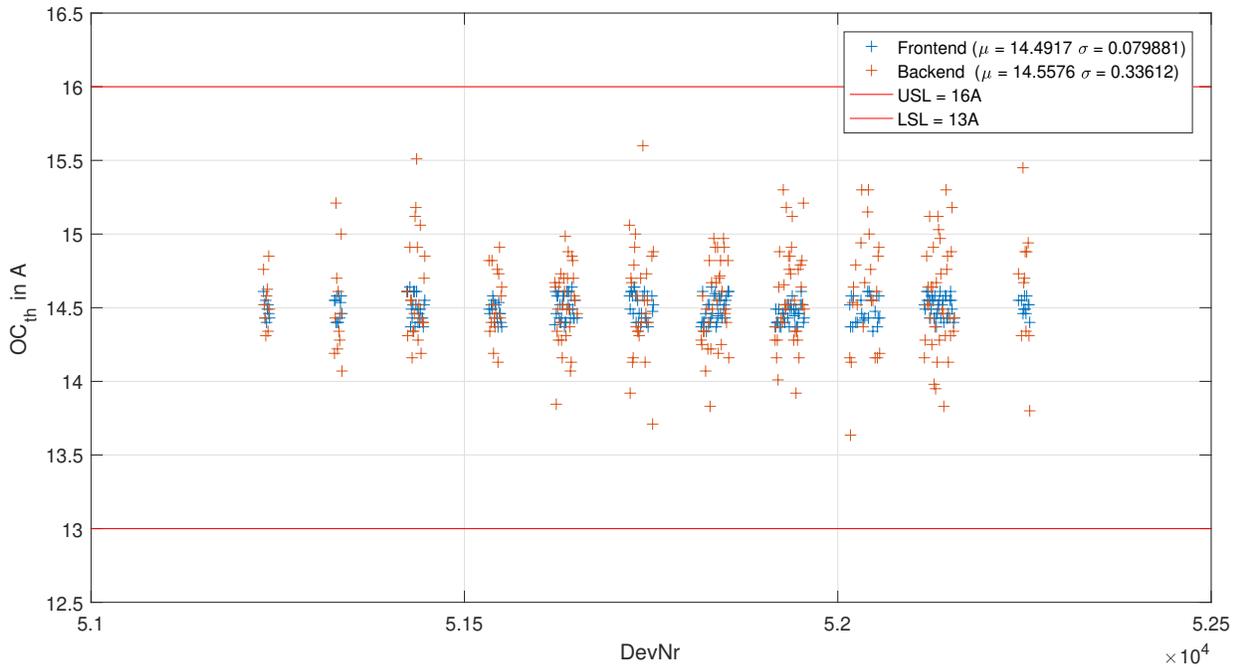


Abbildung 5.9: Streudiagramm der Frontend- und Backend-Daten der Überstromdetektionsschwelle bei 25°C für Wafer 5 (Frontend-getrimmt).

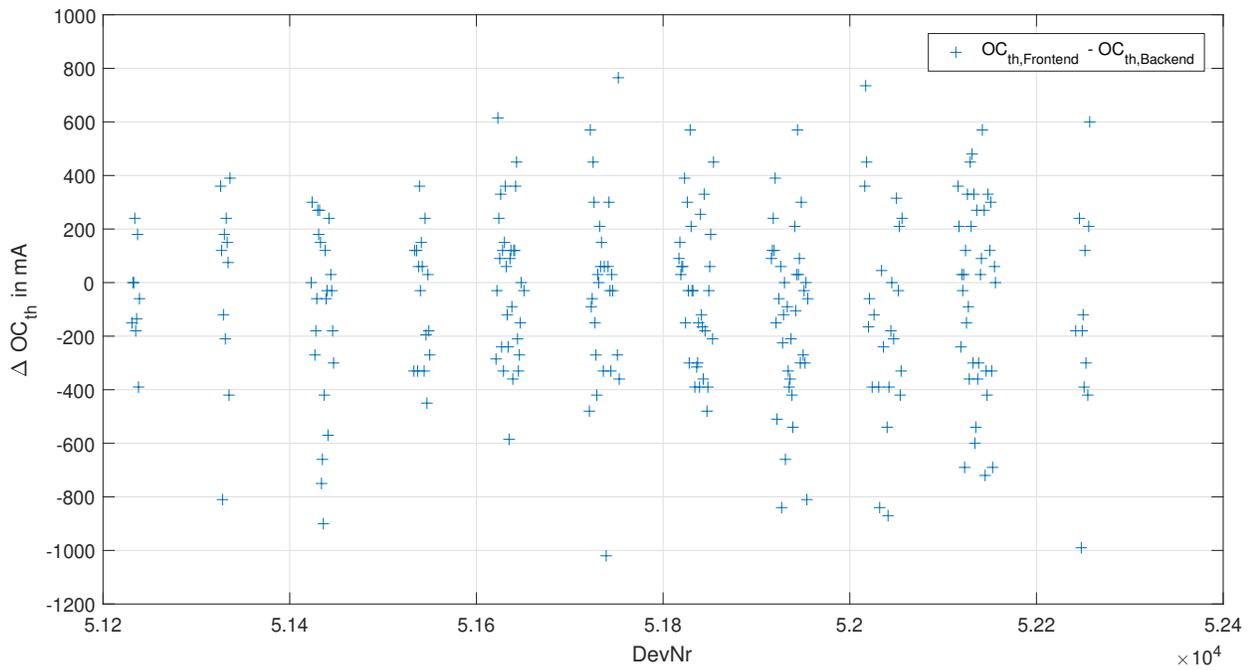


Abbildung 5.10: Streudiagramm der Differenz der Überstromdetektionsschwelle zwischen Frontend- und Backend-Testdaten bei 25°C für Wafer 5 (Frontend-getrimmt).

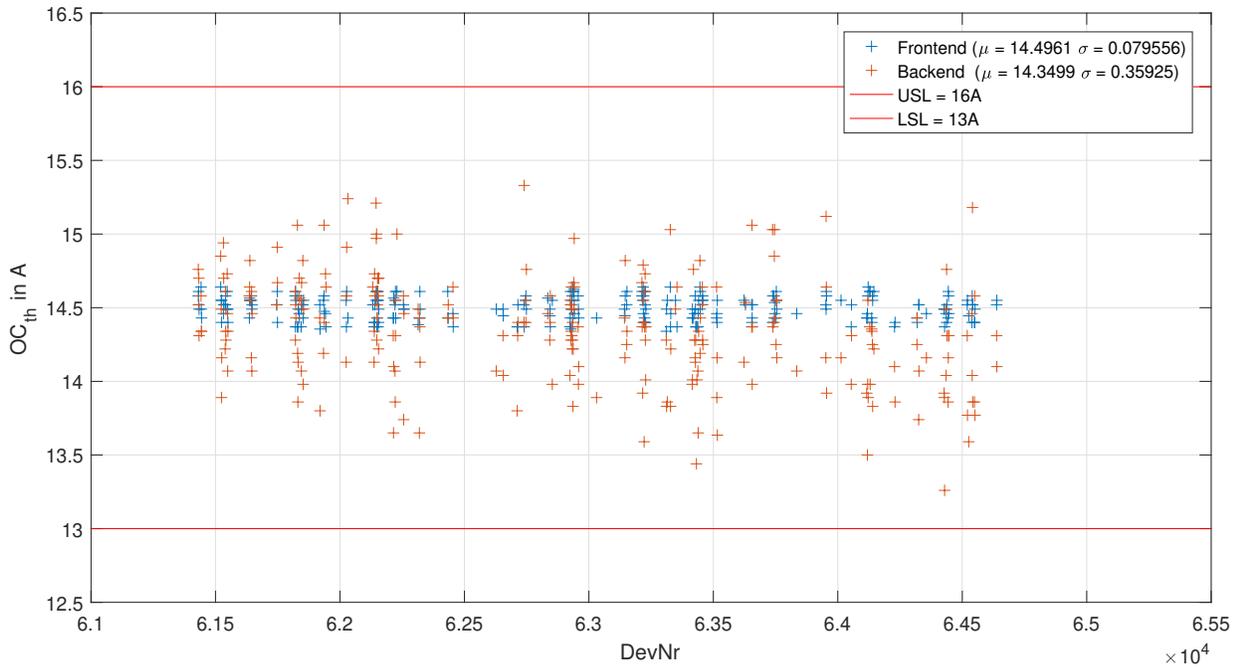


Abbildung 5.11: Streudiagramm der Frontend- und Backend-Daten der Überstromdetektionsschwelle bei 25°C für Wafer 6 (Frontend-getrimmt).

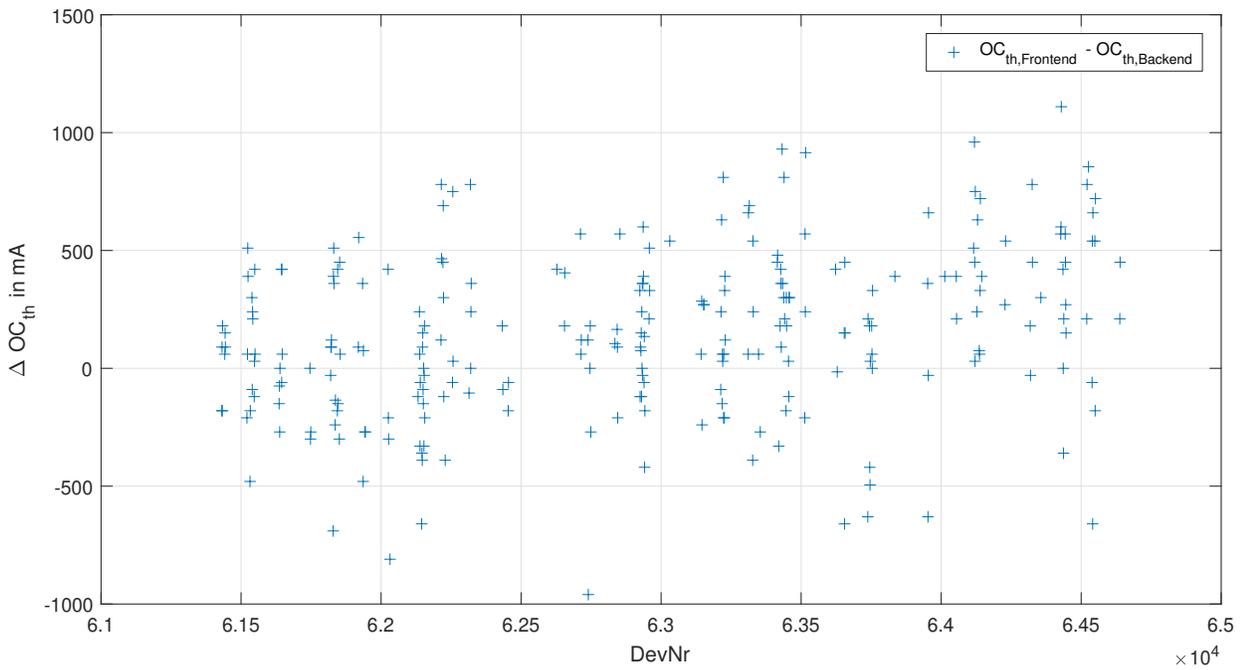


Abbildung 5.12: Streudiagramm der Differenz der Überstromdetektionsschwelle zwischen Frontend- und Backend-Testdaten bei 25°C für Wafer 6 (Frontend-getrimmt).

Alle Wafer weisen sowohl eine Verschiebung der Verteilung als auch eine Streuung der ICs auf. Diese sind minimal geringer bei Wafer 5 als bei den restlichen Wafern 1 und 6 desselben Loses.

Wafer	$\mu_{FE}$ in A	$\sigma_{FE}$ in A	$\mu_{BE}$ in A	$\sigma_{BE}$ in A
1	14,5012	0,084568	14,3993	0,37457
5	14,4917	0,079881	14,5576	0,33612
6	14,4961	0,079556	14,3499	0,35925

Tabelle 5.2: Statistische Kenngrößen (Mittelwert  $\mu$  und Standardabweichung  $\sigma$ ) der Analyse der Frontend- (FE) und Backend-Daten (BE) der Wafer 1,5 und 6 bei 25°C für die Untersuchung der Package-Effekte (Frontend-getrimmt).

In Abbildung 5.13 ist der kumulative Frequenzplot der Differenz der Überstromdetektionsschwelle zwischen den Frontend- und Backend-Daten zu sehen. Wafer 5 scheint eine minimal bessere Verteilung zu haben.

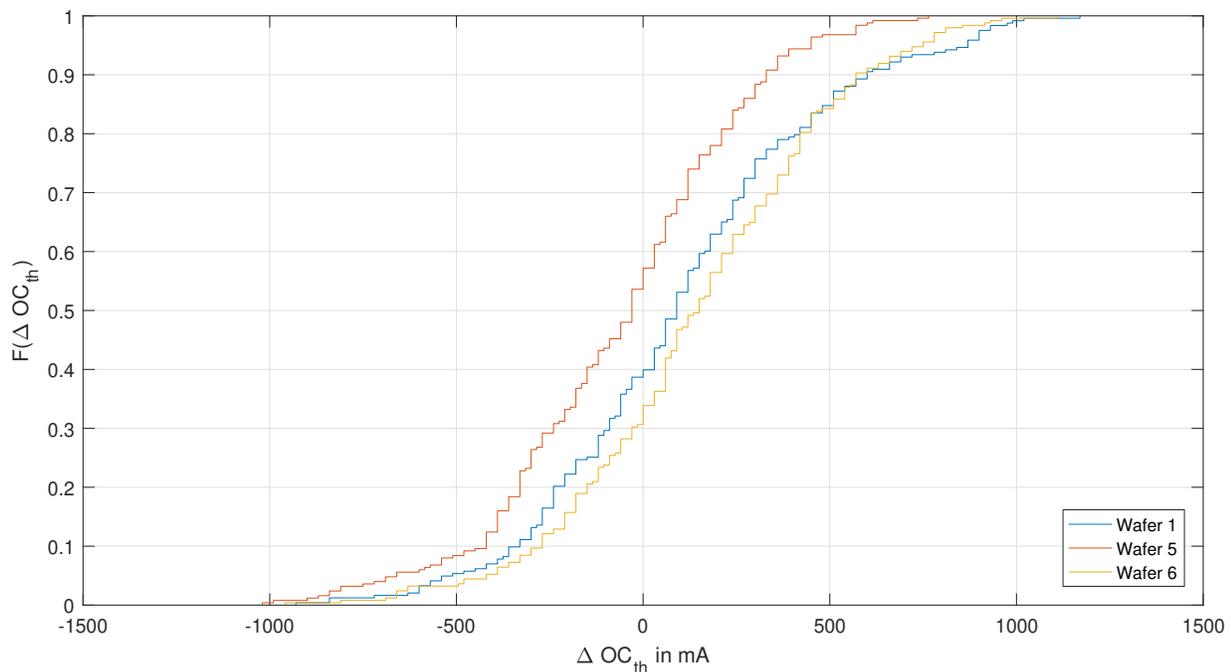


Abbildung 5.13: Kumulierter Frequenzplot der Differenz der Überstromdetektionsschwelle zwischen Frontend- und Backend-Testdaten bei 25°C für die Wafer 1, 5 und 6 (Frontend-getrimmt).

Im Großen und Ganzen kann man vermuten, dass eine Backend-Trimmung von Vorteil sein kann, da dadurch eine Minimierung der ersichtlichen Package-Effekte angestrebt wird.

### 5.3 Analyse der neuen Backend-Daten

Zur Untersuchung der Möglichkeit einer Backend-Trimmung wurden 1000 ICs aus vier unterschiedlichen Wafern (Wafer 1, 4, 5 und 6 mit jeweils 250 ICs) bereitgestellt, wobei Wafer 1 und 6 demselben Los entstammen, während Wafer 4 und 5 aus unterschiedlichen Losen kommen. Nach dem der interne Produktionsablauf für diese ICs beendet war, sind sie bei mehreren Temperaturen im Backend getestet worden.

Es wurden sieben unterschiedliche Temperaturdurchgänge im Intervall von  $[-40; 125]^{\circ}\text{C}$  durchgeführt. Die maximale sowie minimale Temperatur wurde entsprechend den Temperaturen bei den Backend-Test-Insertions ausgewählt, um eine Integration des zu entwerfenden Trimmkonzeptes im produktiven Test untersuchen zu können.

Da der Test von 1000 ICs bei mehreren Temperaturen eine zeitaufwändige und somit auch eine kostspielige Angelegenheit darstellt, konnte man nicht beliebig viele Temperaturdurchgänge durchführen und man beschränkte sich somit auf sieben Durchgänge, nämlich bei den Temperaturen  $\{-40, -20, 0, 25, 80, 100, 125\}^{\circ}\text{C}$ . Ein weiterer Temperaturdurchgang bei  $50^{\circ}\text{C}$  war geplant, allerdings hatte dieser die niedrigste Priorität und wurde aus zeitlichen Gründen ausgesondert.

#### 5.3.1 Trimmschritt-Charakterisierung

Um das Verhalten der Trimmenschaltung näher verstehen zu können, wurde eine Analyse der Überstromdetektionsschwelle aller Trimm Schritte bei AT (engl. Ambient Temperature,  $25^{\circ}\text{C}$ ), CT (engl. Cold Temperature,  $-40^{\circ}\text{C}$ ) und HT (engl. Hot Temperature,  $125^{\circ}\text{C}$ ) durchgeführt.

Eine graphische Darstellung aller Daten ist hier nicht sinnvoll, da die Verläufe schwer zu erkennen sind. Deshalb wird eine graphische Darstellung lediglich für Wafer 6 exemplarisch bei AT in Abbildung 5.14 in Form eines Streudiagrammes und in Abbildung 5.15 in Form eines kumulativen Frequenzplots erfolgen.

Im Streudiagramm in Abbildung 5.14 wurden die Punkte (mit + gekennzeichnet) ausnahmsweise verbunden, um den Verlauf aufgrund der großen Menge an Daten einigermaßen erkennbar zu machen.

Somit wird die Darstellung der Daten größtenteils tabellarisch erfolgen.

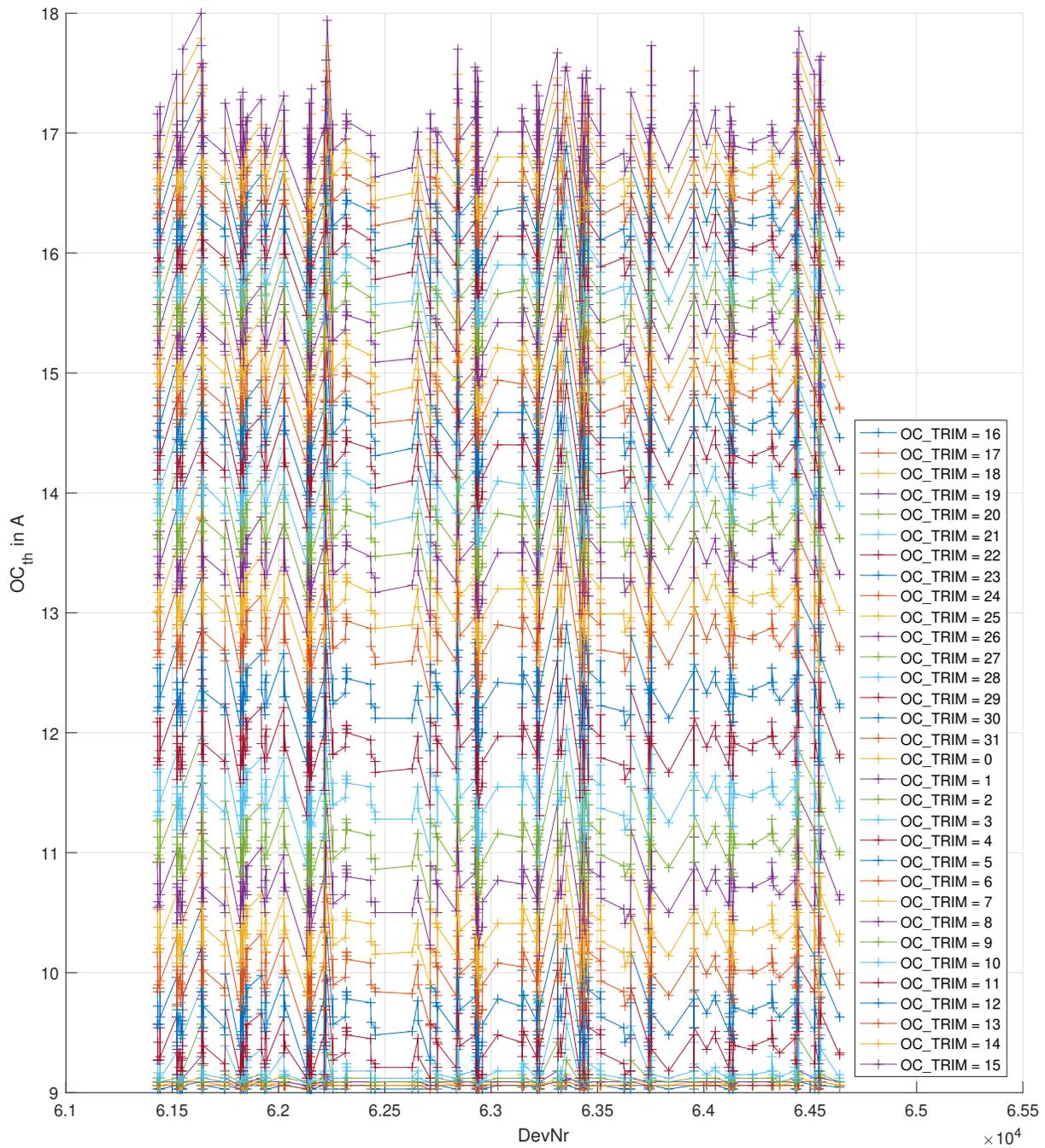


Abbildung 5.14: Streudiagramm der Überstromdetektionsschwelle für sämtliche Trimm-schritte *OC\_TRIM* bei AT (engl. Ambient Temperature, 25°C) für Wafer 6 (Backend).

Man erkennt, dass die Trimm-schrittbreite sichtlich über die unterschiedlichen Trimm-schritte variiert, sodass sie bei hohen Überstromdetektionsschwellen kleiner wird.

Diese Erkenntnis ist in Abbildung 5.15 deutlicher und kann somit bestätigt werden. Das eben beobachtete Verhalten zeigt sich bei allen ICs in unterschiedlichem Ausmaß und kommt nicht aufgrund von einer Wafer- oder Losabhängigkeit zustande.

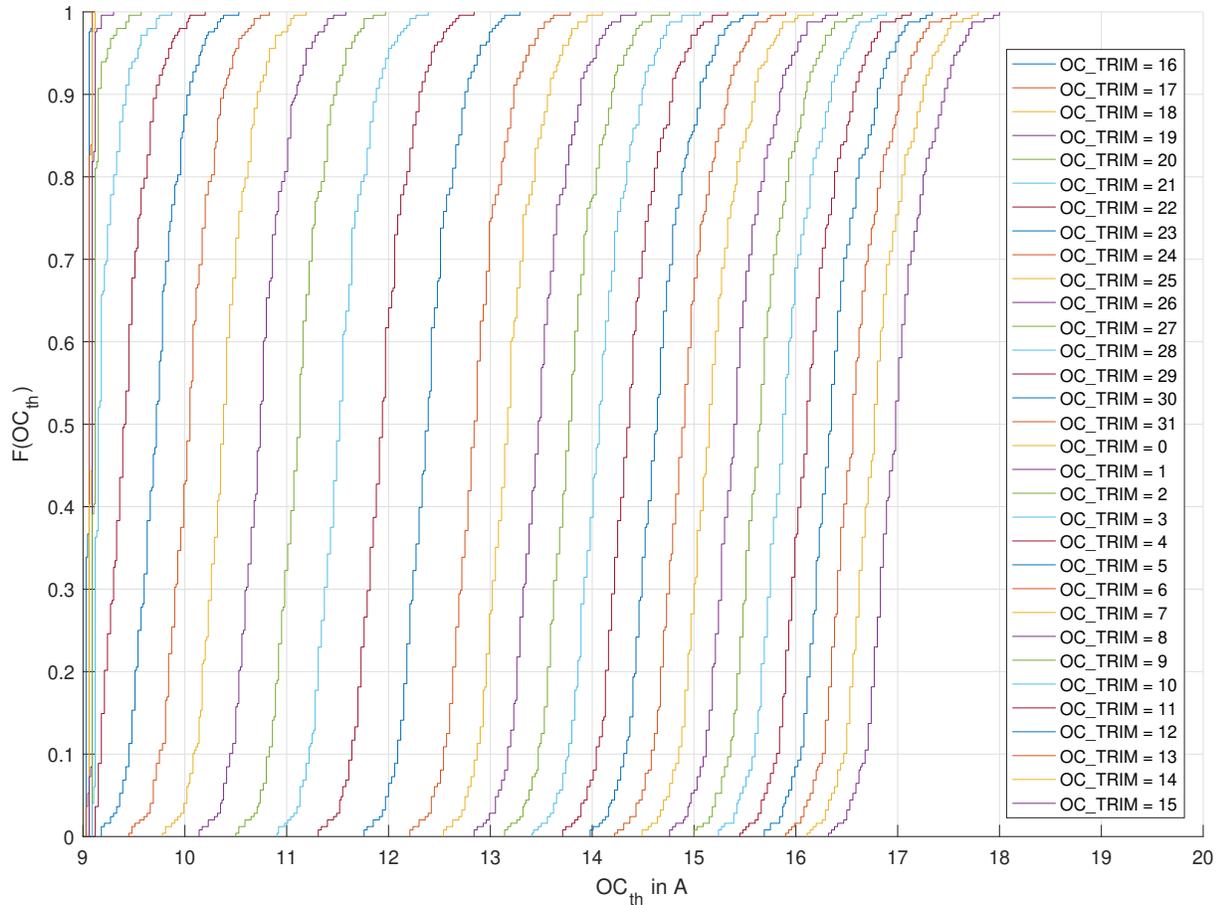


Abbildung 5.15: Kumulierter Frequenzgang der Überstromdetektionsschwelle für sämtliche Trimmsschritte  $OC\_TRIM$  bei AT (engl. Ambient Temperature, 25°C) für Wafer 6 (Backend).

Es ist ebenfalls zu erkennen, dass die Trimmsschritte rund um 9 A ( $OC\_TRIM = [16, 22]$ ) sehr geringe Trimmsschrittbreiten ( $< 100$  mA) aufweisen. Dieses Verhalten könnte auf die Tatsache, dass die Steigung der angelegten Stromrampe im Intervall  $[0; 9]$  A (250 mA/Sample) viel höher ist als im Intervall  $[9; 19]$  A (15 mA/Sample) und somit ist es möglich, dass die Schaltung nicht schnell genug reagiert und den Überstrom erst zu einem späteren Zeitpunkt erkennt, wo die Stromrampe schon am Anfang des zweiten Intervalls ist.

Dies wird allerdings nicht näher untersucht, da die Überstromdetektionsschwelle im Bereich von [13; 16] A spezifiziert ist und somit ist der niedrigere Bereich von keiner Relevanz.

In der Tabelle 5.3 werden die statistischen Kenngrößen der Verteilung der Überstromdetektionsschwellen unterschiedlicher Trimmschritte bei AT dargestellt.

Der Bereich  $OC\_TRIM = [16; 22]$  wird im Folgenden gelegentlich der Vollständigkeit halber gezeigt allerdings aufgrund letzterer Erkenntnisse nicht genauer betrachtet.

Mit steigender Überstromdetektionsschwelle erkennt man, dass die Standardabweichung bei allen Wafern steigt. Zusätzlich weist Wafer 6 eine höhere Standardabweichung als alle anderen Wafer auf.

Eine Betrachtung des Trimmschrittes  $OC\_TRIM = 0$  zeigt zusätzlich, dass der Defaultwert für die Überstromdetektionsschwelle weit entfernt vom Zielwert (14,5 A) ist. Das würde bedeuten, dass ein großer Teil der ICs im nicht getrimmten Zustand eine Verletzung der Spezifikation aufweisen würde, wie in Abbildung 5.16 veranschaulicht wird.

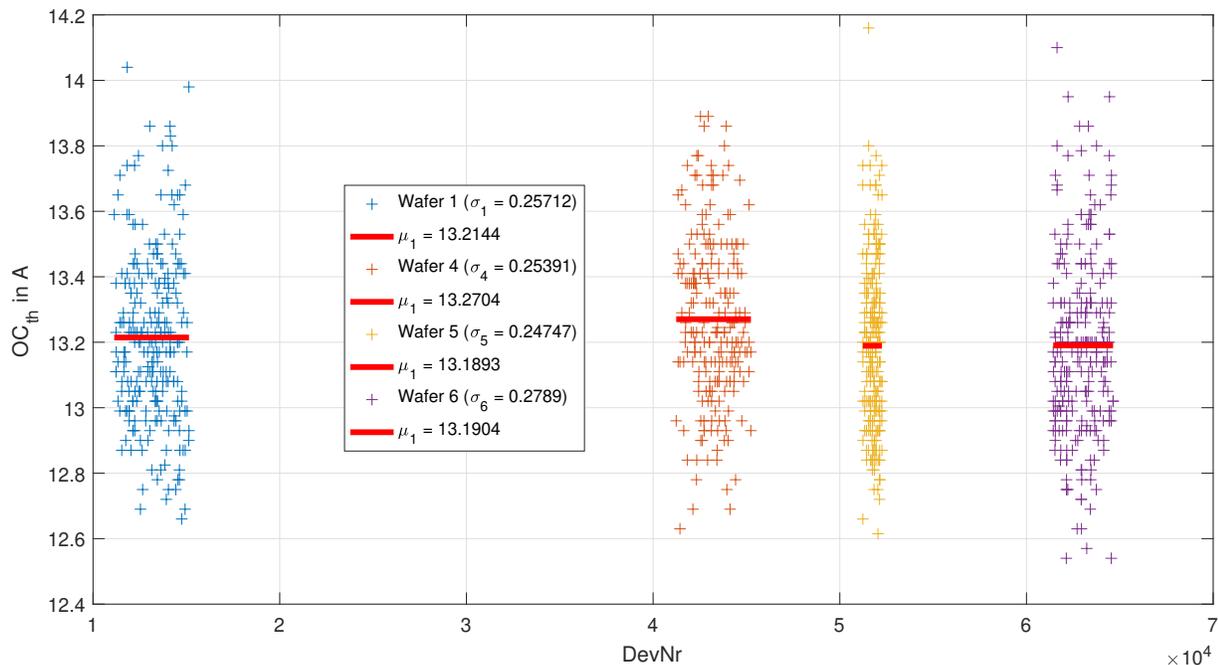


Abbildung 5.16: Streudiagramm der Überstromdetektionsschwelle beim Trimmschritt  $OC\_TRIM = 0$  bei AT (engl. Ambient Temperature, 25°C) für sämtliche Wafer 1, 4, 5 und 6 (Backend).

Es ist zu erkennen, dass die unterschiedlichen Wafer minimale Unterschiede bezüglich des Mittelwertes aufweisen. Dies hat aber aufgrund der Streuung keine große Aussagekraft.

<i>OC_TRIM</i>	Wafer 1		Wafer 4		Wafer 5		Wafer 6	
	AT		AT		AT		AT	
	$\mu$ in A	$\sigma$ in A						
16	9.0525	0.0143	9.0559	0.0125	9.0511	0.0140	9.0501	0.0153
17	9.0647	0.0128	9.0676	0.0137	9.0645	0.0125	9.0637	0.0131
18	9.0792	0.0155	9.0822	0.0146	9.0788	0.0154	9.0780	0.0157
19	9.0958	0.0217	9.0990	0.0211	9.0953	0.0245	9.0947	0.0223
20	9.1296	0.0647	9.1409	0.0688	9.1244	0.0546	9.1258	0.0627
21	9.2298	0.1441	9.2590	0.1552	9.2218	0.1327	9.2176	0.1424
22	9.4560	0.2104	9.5034	0.2125	9.4401	0.2045	9.4308	0.2152
23	9.7601	0.2268	9.8077	0.2252	9.7405	0.2209	9.7297	0.2380
24	10.0848	0.2302	10.1357	0.2313	10.0672	0.2247	10.0534	0.2457
25	10.4251	0.2332	10.4765	0.2326	10.4065	0.2276	10.3948	0.2497
26	10.7841	0.2371	10.8373	0.2354	10.7648	0.2317	10.7547	0.2538
27	11.1583	0.2401	11.2105	0.2385	11.1398	0.2339	11.1311	0.2586
28	11.5615	0.2465	11.6185	0.2453	11.5405	0.2380	11.5327	0.2646
29	11.9802	0.2492	12.0365	0.2472	11.9582	0.2409	11.9527	0.2696
30	12.4256	0.2546	12.4829	0.2498	12.4023	0.2446	12.3989	0.2718
31	12.8935	0.2554	12.9492	0.2519	12.8695	0.2469	12.8672	0.2762
0	13.2144	0.2571	13.2704	0.2539	13.1893	0.2475	13.1904	0.2789
1	13.5230	0.2594	13.5788	0.2567	13.4973	0.2502	13.4999	0.2832
2	13.8241	0.2631	13.8808	0.2581	13.7989	0.2518	13.8028	0.2858
3	14.1153	0.2642	14.1722	0.2588	14.0893	0.2530	14.0943	0.2875
4	14.4014	0.2658	14.4612	0.2610	14.3753	0.2542	14.3799	0.2901
5	14.6749	0.2671	14.7345	0.2616	14.6486	0.2552	14.6552	0.2920
6	14.9417	0.2691	15.0020	0.2616	14.9159	0.2561	14.9217	0.2940
7	15.1981	0.2701	15.2578	0.2637	15.1715	0.2573	15.1799	0.2961
8	15.4522	0.2709	15.5132	0.2652	15.4264	0.2581	15.4320	0.2972
9	15.6943	0.2714	15.7558	0.2655	15.6685	0.2579	15.6780	0.2991
10	15.9326	0.2733	15.9951	0.2653	15.9070	0.2590	15.9152	0.3011
11	16.1629	0.2737	16.2255	0.2671	16.1362	0.2593	16.1462	0.3020
12	16.3912	0.2757	16.4551	0.2681	16.3642	0.2597	16.3743	0.3032
13	16.6091	0.2758	16.6731	0.2683	16.5829	0.2613	16.5931	0.3053
14	16.8221	0.2767	16.8868	0.2679	16.7968	0.2608	16.8073	0.3059
15	17.0291	0.2778	17.0937	0.2681	17.0032	0.2619	17.0156	0.3070

Tabelle 5.3: Statistische Kenngrößen (Mittelwert  $\mu$  und Standardabweichung  $\sigma$ ) der Überstromdetektionsschwelle für sämtliche Trimmsschritte bei AT (engl. Ambient Temperature, 25°C) für sämtliche Wafer 1, 4, 5 und 6 (Backend).

Als nächstes sind in den Tabellen 5.4 und 5.5 die statistischen Kenngrößen der Verteilung der Überstromdetektionsschwellen unterschiedlicher Trimmsschritte bei kalter und heißer Temperatur für die Wafer 1 und 6 bzw. 4 und 5 zu sehen.

Generell ist bei kalter Temperatur erkennbar, dass eine Erhöhung des Mittelwertes sowie der Standardabweichung erfolgt. Dies wurde ebenfalls beim Vergleich der Frontend- und Backend-Daten für die Frontend-Trimmung beobachtet.

Bei heißer Temperatur hingegen kann eine Senkung des Mittelwertes beobachtet werden. Die Standardabweichung nimmt auch ab, was darauf hindeutet, dass die Schaltung bei höherer Temperatur ein besseres Verhalten bezüglich der Streuung der Verteilung aufweist. Wafer 6 scheint eine Ausnahme zu sein, da er bei Trimmsschritten im Bereich  $OC\_TRIM = [12, 15]$  eine erhöhte Standardabweichung besitzt, allerdings ist diese erhöhte Standardabweichung bei allen drei Temperaturen erkennbar.

Beide Verteilungen sind in Abbildung 5.17 als Streudiagramm zu sehen. Man erkennt ebenfalls graphisch, wie die Verteilung bei heißer Temperatur schmaler wird.

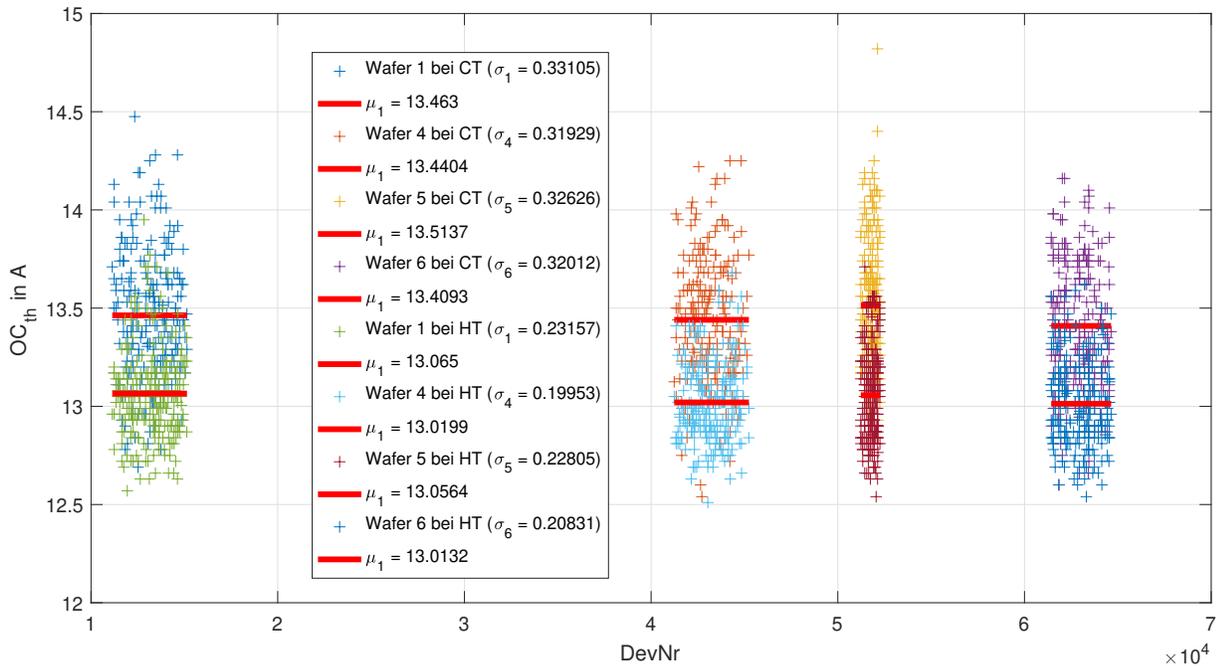


Abbildung 5.17: Streudiagramm der Überstromdetektionsschwelle beim Trimmsschritt  $OC\_TRIM = 0$  bei CT (engl. Cold Temperature,  $-40^\circ\text{C}$ ) und HT (engl. High Temperature,  $125^\circ\text{C}$ ) für sämtliche Wafer 1, 4, 5 und 6 (Backend).

<i>OC_TRIM</i>	Wafer 1				Wafer 6			
	CT		HT		CT		HT	
	$\mu$ in A	$\sigma$ in A						
16	9.0607	0.0179	9.0456	0.0147	9.0571	0.0173	9.0431	0.0146
17	9.0736	0.0183	9.0603	0.0099	9.0711	0.0177	9.0595	0.0086
18	9.0919	0.0289	9.0728	0.0148	9.0858	0.0224	9.0708	0.0142
19	9.1211	0.0696	9.0903	0.0121	9.1104	0.0499	9.0883	0.0102
20	9.2024	0.1528	9.1127	0.0382	9.1803	0.1249	9.1058	0.0251
21	9.3719	0.2421	9.1839	0.1033	9.3319	0.2219	9.1682	0.0802
22	9.6370	0.2972	9.3864	0.1661	9.5857	0.2839	9.3509	0.1520
23	9.9482	0.3071	9.6756	0.1868	9.8916	0.3006	9.6367	0.1723
24	10.2777	0.3107	9.9941	0.1928	10.2241	0.3046	9.9554	0.1770
25	10.6238	0.3124	10.3290	0.1991	10.5702	0.3061	10.2886	0.1820
26	10.9897	0.3157	10.6816	0.2021	10.9353	0.3076	10.6395	0.1845
27	11.3720	0.3175	11.0505	0.2071	11.3169	0.3110	11.0075	0.1890
28	11.7822	0.3251	11.4465	0.2120	11.7306	0.3151	11.4034	0.1952
29	12.2084	0.3260	11.8552	0.2195	12.1546	0.3177	11.8115	0.1975
30	12.6614	0.3301	12.2902	0.2214	12.6085	0.3197	12.2421	0.2002
31	13.1360	0.3311	12.7451	0.2288	13.0836	0.3200	12.6968	0.2055
0	13.4630	0.3310	13.0650	0.2316	13.4093	0.3201	13.0132	0.2083
1	13.7752	0.3318	13.3706	0.2350	13.7220	0.3196	13.3190	0.2099
2	14.0825	0.3349	13.6670	0.2371	14.0295	0.3208	13.6143	0.2134
3	14.3767	0.3331	13.9510	0.2393	14.3240	0.3227	13.8990	0.2122
4	14.6684	0.3374	14.2333	0.2429	14.6199	0.3247	14.1799	0.2164
5	14.9461	0.3366	14.5008	0.2453	14.8963	0.3224	14.4469	0.2182
6	15.2167	0.3387	14.7597	0.2475	15.1670	0.3225	14.7039	0.2217
7	15.4775	0.3365	15.0117	0.2498	15.4287	0.3226	14.9505	0.2268
8	15.7341	0.3387	15.2589	0.2519	15.6861	0.3226	15.1974	0.2344
9	15.9804	0.3378	15.4956	0.2548	15.9335	0.3223	15.4296	0.2437
10	16.2224	0.3377	15.7250	0.2566	16.1776	0.3220	15.6563	0.2548
11	16.4560	0.3385	15.9456	0.2612	16.4116	0.3226	15.8736	0.2681
12	16.6891	0.3385	16.1644	0.2658	16.6454	0.3236	16.0895	0.2843
13	16.9107	0.3383	16.3703	0.2703	16.8685	0.3223	16.2934	0.2979
14	17.1310	0.3397	16.5676	0.2702	17.0863	0.3214	16.4868	0.3092
15	17.3417	0.3397	16.7438	0.2635	17.2978	0.3213	16.6602	0.3227

Tabelle 5.4: Statistische Kenngrößen (Mittelwert  $\mu$  und Standardabweichung  $\sigma$ ) der Überstromdetektionsschwelle für sämtliche Trimmsschritte bei CT (engl. Cold Temperature,  $-40^\circ\text{C}$ ) und HT (engl. High Temperature,  $125^\circ\text{C}$ ) für die Wafer 1 und 6 (Backend).

<i>OC_TRIM</i>	Wafer 4				Wafer 5			
	CT		HT		CT		HT	
	$\mu$ in A	$\sigma$ in A						
16	9.0585	0.0166	9.0444	0.0146	9.0614	0.0180	9.0450	0.0149
17	9.0720	0.0174	9.0602	0.0075	9.0762	0.0286	9.0610	0.0102
18	9.0879	0.0232	9.0706	0.0139	9.0941	0.0449	9.0725	0.0147
19	9.1147	0.0580	9.0893	0.0092	9.1257	0.0859	9.0910	0.0118
20	9.1852	0.1343	9.1067	0.0247	9.2107	0.1657	9.1118	0.0332
21	9.3443	0.2256	9.1683	0.0777	9.3897	0.2482	9.1865	0.1009
22	9.6096	0.2762	9.3560	0.1456	9.6659	0.2906	9.3819	0.1711
23	9.9207	0.2906	9.6437	0.1636	9.9820	0.2985	9.6716	0.1878
24	10.2525	0.2979	9.9607	0.1719	10.3143	0.3043	9.9919	0.1947
25	10.5986	0.2992	10.2939	0.1755	10.6623	0.3069	10.3262	0.1991
26	10.9650	0.3021	10.6445	0.1795	11.0297	0.3108	10.6784	0.2041
27	11.3462	0.3055	11.0131	0.1826	11.4121	0.3120	11.0483	0.2074
28	11.7572	0.3121	11.4070	0.1884	11.8237	0.3186	11.4401	0.2124
29	12.1829	0.3140	11.8151	0.1912	12.2526	0.3203	11.8499	0.2168
30	12.6386	0.3164	12.2478	0.1936	12.7089	0.3246	12.2815	0.2190
31	13.1132	0.3182	12.7015	0.1985	13.1830	0.3256	12.7384	0.2260
0	13.4404	0.3193	13.0199	0.1995	13.5137	0.3263	13.0564	0.2280
1	13.7541	0.3198	13.3243	0.2014	13.8278	0.3287	13.3612	0.2297
2	14.0619	0.3225	13.6194	0.2035	14.1354	0.3315	13.6571	0.2321
3	14.3547	0.3237	13.9050	0.2048	14.4303	0.3308	13.9421	0.2321
4	14.6490	0.3253	14.1840	0.2074	14.7235	0.3332	14.2207	0.2360
5	14.9268	0.3272	14.4514	0.2092	15.0014	0.3327	14.4884	0.2362
6	15.1976	0.3258	14.7097	0.2105	15.2744	0.3346	14.7482	0.2380
7	15.4591	0.3285	14.9603	0.2107	15.5356	0.3345	14.9978	0.2388
8	15.7174	0.3296	15.2077	0.2135	15.7935	0.3380	15.2467	0.2413
9	15.9646	0.3300	15.4425	0.2140	16.0411	0.3365	15.4827	0.2424
10	16.2075	0.3297	15.6716	0.2148	16.2856	0.3385	15.7117	0.2440
11	16.4423	0.3297	15.8944	0.2153	16.5201	0.3379	15.9324	0.2434
12	16.6741	0.3317	16.1115	0.2149	16.7543	0.3389	16.1489	0.2423
13	16.8983	0.3314	16.3200	0.2136	16.9758	0.3396	16.3526	0.2396
14	17.1157	0.3319	16.5219	0.2117	17.1947	0.3395	16.5401	0.2312
15	17.3274	0.3307	16.7069	0.2020	17.4068	0.3381	16.7105	0.2258

Tabelle 5.5: Statistische Kenngrößen (Mittelwert  $\mu$  und Standardabweichung  $\sigma$ ) der Überstromdetektionsschwelle für sämtliche Trimmsschritte bei CT (engl. Cold Temperature,  $-40^\circ\text{C}$ ) und HT (engl. High Temperature,  $125^\circ\text{C}$ ) für die Wafer 4 und 5 (Backend).

Aus diesen Tabellen kann man die Aussage treffen, dass die Trimmsschritte, die zur geringsten Standardabweichung führen würden, abhängig von der Temperatur, im Bereich  $OC\_TRIM = [1;6]$  liegen. Zusätzlich scheint eine Trimmung bei CT am sinnvollsten zu sein, da die Trimmsschaltung bei hoher Temperatur das beste Verhalten bezüglich der Standardabweichung aufweist.

Eine weitere Erkenntnis, die bis jetzt gezogen worden ist, war, dass die Trimmsschrittweite über die unterschiedlichen Trimmsschritte variiert. Dies wird in Abbildung 5.18 für die relevanten Trimmsschritte graphisch dargestellt.

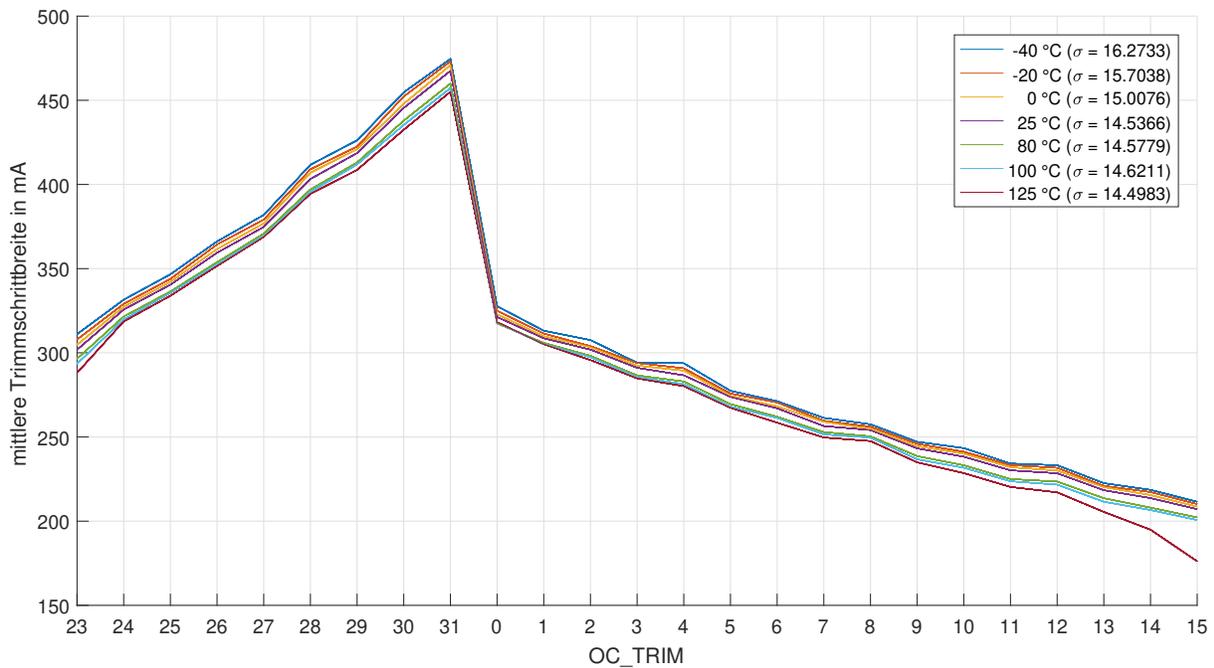


Abbildung 5.18: Verlauf der mittleren Trimmsschrittweite über unterschiedliche Trimmsschritte in Abhängigkeit von der Temperatur für sämtliche Wafer 1, 4, 5 und 6 (Backend).

Im Trimbereich  $OC\_TRIM = [1;6]$  variiert die Trimmsschrittweite zwischen 250 mA und 350 mA. Weiteres ist eine tendenzielle Abnahme der Trimmsschrittweite mit steigendem Trimmsschritt-Wert erkennbar.

In den Abbildungen 5.19, 5.20, 5.21 und 5.22 sind die Verläufe der normierten Standardabweichung der Überstromdetektionsschwelle über Temperatur für Trimmsschritte im Bereich  $OC\_TRIM = [0;15]$  sowie  $OC\_TRIM = [23;31]$  zu sehen, wobei der Trimmsschritt  $OC\_TRIM = 0$  mit der roten Farbe hervorgehoben ist. Die normierte Standardabweichung wird mittels der Division durch die maximale Standardabweichung ermittelt.

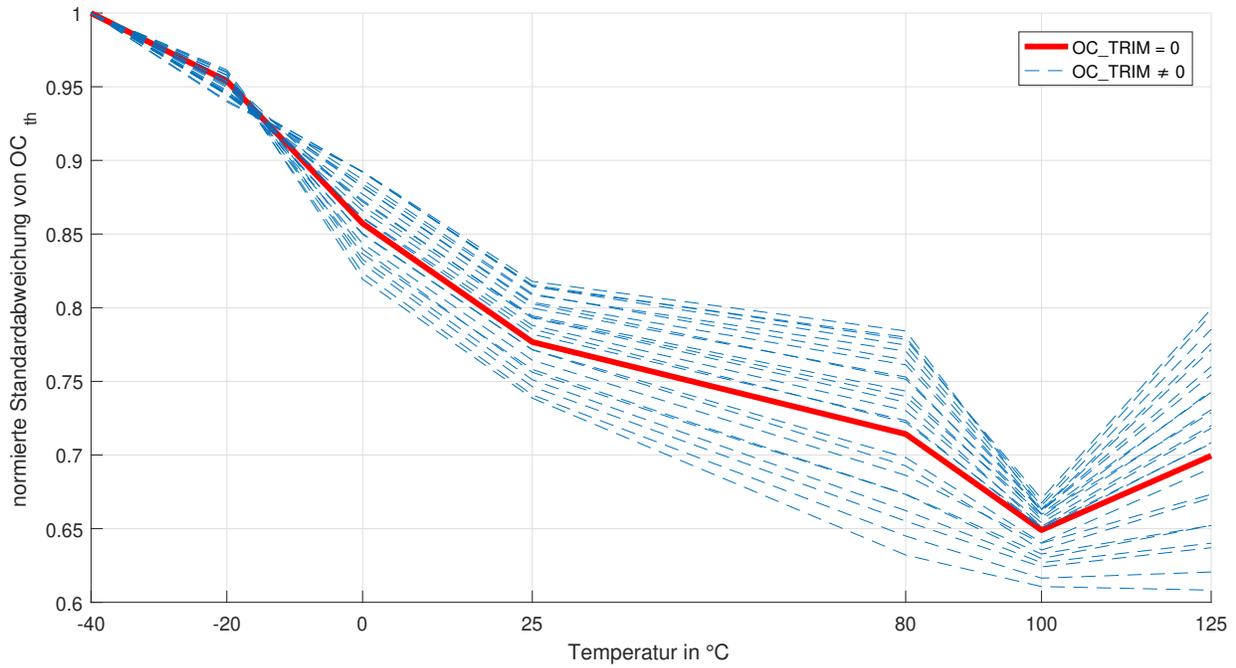


Abbildung 5.19: Verlauf der normierten Standardabweichung der Überstromdetektionsschwelle über Temperatur in Abhängigkeit von der Trimmstribbreite (Wafer 1, Backend).

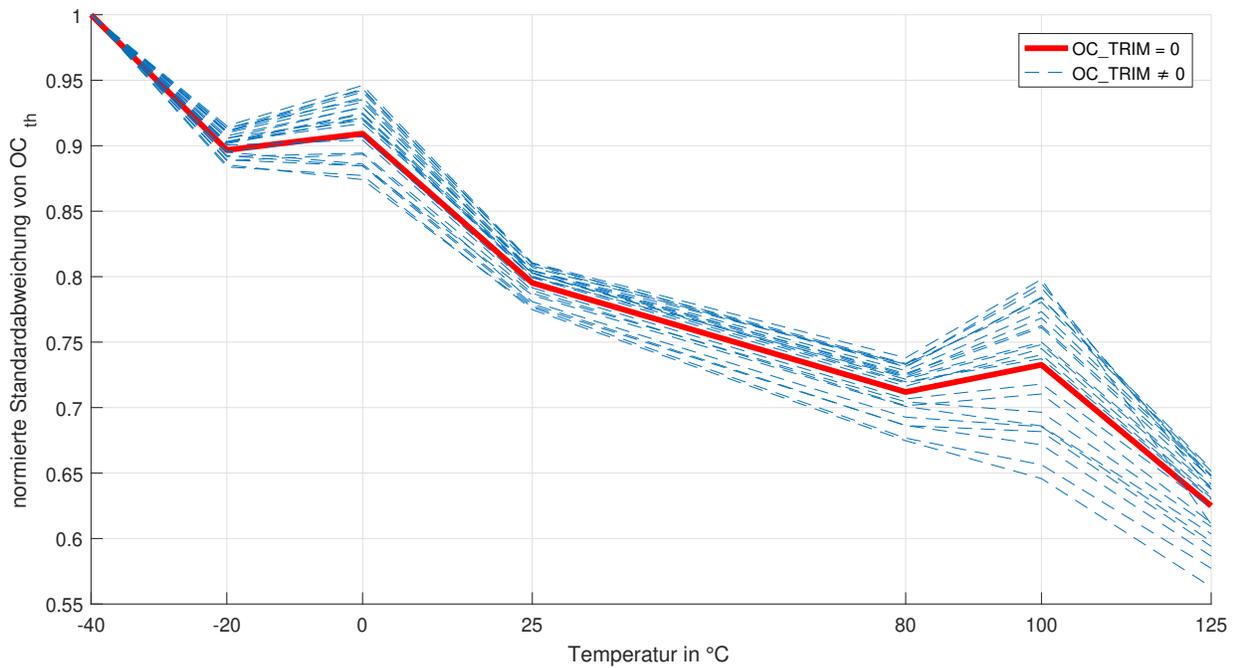


Abbildung 5.20: Verlauf der normierten Standardabweichung der Überstromdetektionsschwelle über Temperatur in Abhängigkeit von der Trimmstribbreite (Wafer 4, Backend).

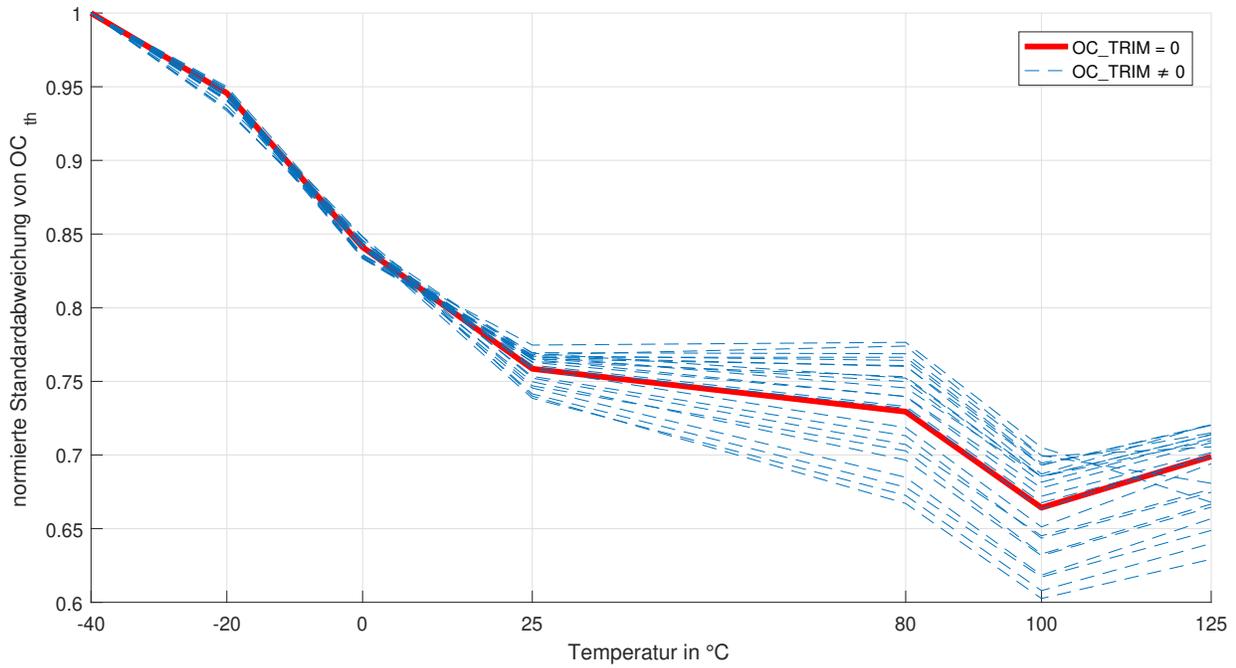


Abbildung 5.21: Verlauf der normierten Standardabweichung der Überstromdetektionsschwelle über Temperatur in Abhängigkeit von der Trimmstribbreite (Wafer 5, Backend).

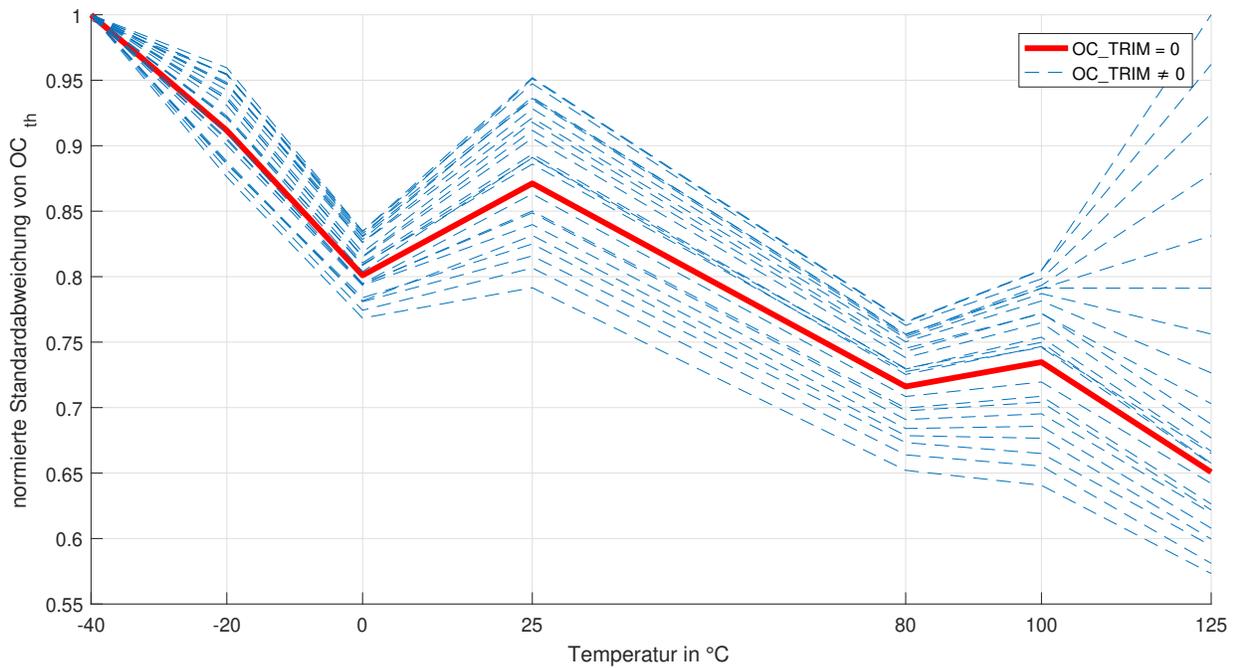


Abbildung 5.22: Verlauf der normierten Standardabweichung der Überstromdetektionsschwelle über Temperatur in Abhängigkeit von der Trimmstribbreite (Wafer 6, Backend).

Es ist ersichtlich, dass jeder Wafer seinen eigenen Verlauf aufweist. Wenn alle Daten gemeinsam betrachtet werden, ergibt sich der Verlauf, der in Abbildung 5.23 zu sehen ist.

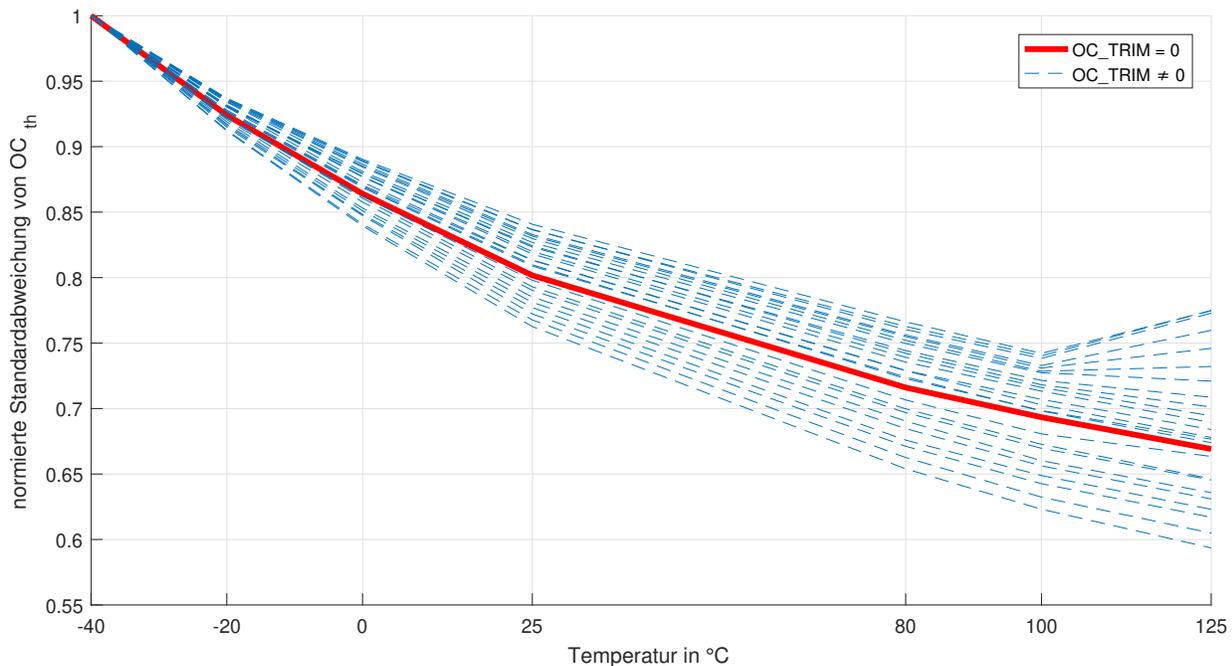


Abbildung 5.23: Verlauf der normierten Standardabweichung der Überstromdetektionsschwelle über Temperatur in Abhängigkeit von der Trimmtrittbreite für sämtliche Wafer 1, 4, 5 und 6 (Backend).

Man erkennt allerdings eine Gemeinsamkeit und zwar, dass die maximale Standardabweichung der Überstromdetektionsschwelle bei  $-40^{\circ}\text{C}$  liegt. Eine Ausnahme kommt bei Wafer 6 beim Trimmtritt  $OC\_TRIM = 15$  vor, allerdings liegt der Mittelwert bei diesem Trimmtritt weit über der Spezifikation und kann somit vernachlässigt werden.

Aus diesen Plots lässt sich somit die vorherige Beobachtung bestätigen, dass eine Trimmung bei kalter Temperatur sinnvoll sein kann.

### 5.3.2 Trimmtemperaturuntersuchung

Mithilfe von MathWorks' MATLAB wurde ein Programm erstellt, das aus den gemessenen Backend-Testdaten eine Trimmung bei der Wunschtemperatur emulieren kann. Alle Messdaten werden eingelesen, dann für jeden Temperaturdurchlauf in einer Matrix sortiert, sodass die Spalten den Trimmritten und die Zeilen der ID (DevNr) entsprechen.

Somit wird bei der Trimmtemperatur in jeder Zeile der Matrix die Überstromdetektionsschwelle mit der geringsten Differenz zu dem Zielwert  $T = 14,5 \text{ A}$  gesucht und gemeinsam mit dem Index (enthält Trimmschritt- und ID-Informatione) gespeichert, um einen Vergleich mit anderen Temperaturen zu ermöglichen.

### 5.3.2.1 Trimmung bei CT

Es wurde eine Trimmung bei  $-40^\circ\text{C}$  mittels des eben beschriebenen MATLAB-Programms emuliert. In Abbildung 5.24 ist der Verlauf der mittleren Standardabweichung der Überstromdetektionsschwelle zu sehen. Man erkennt, dass eine Trimmung bei CT sich kaum auf die restlichen Temperaturen auswirkt. Man würde erwarten, dass eine Trimmung bei  $-40^\circ\text{C}$  eine Senkung der Standardabweichung bei  $-20^\circ\text{C}$  bewirken würde. Allerdings wird hier das Gegenteil dieser Vermutung beobachtet, denn die Schaltung weist bei  $-20^\circ\text{C}$  die größte Standardabweichung auf. Diese Erkenntnis zeigt sich bei allen Wafern.

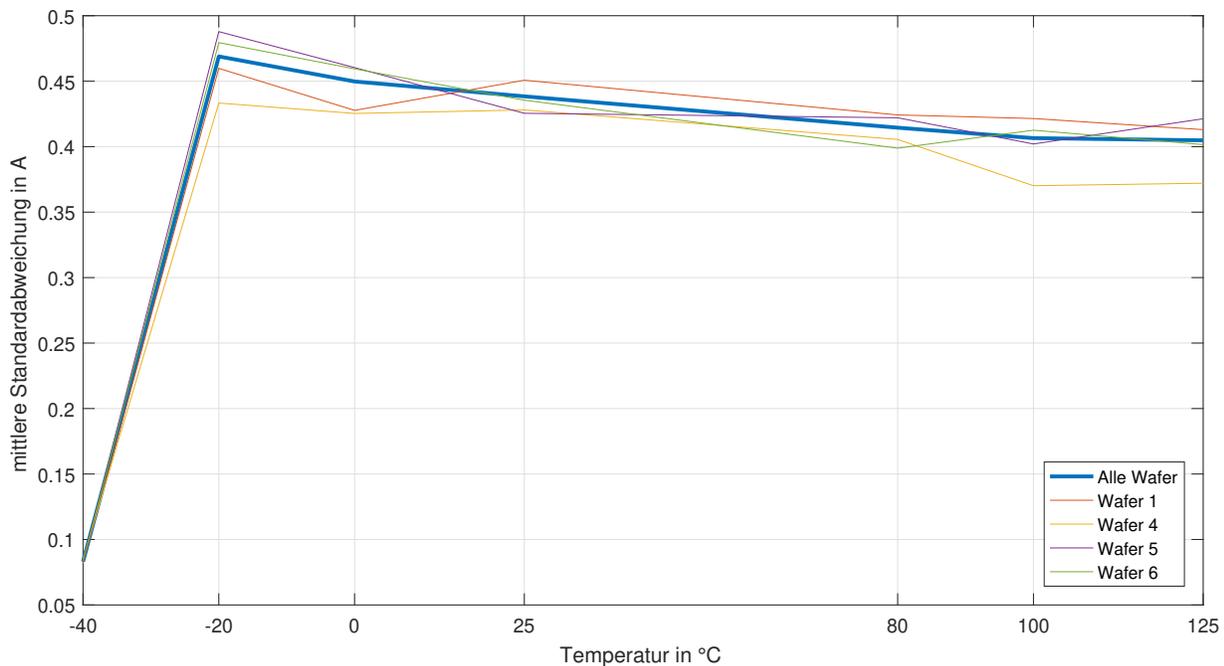


Abbildung 5.24: Verlauf der mittleren Standardabweichung der Überstromdetektionsschwelle über Temperatur für sämtliche Wafer 1, 4, 5 und 6 (Backend-CT-getrimmt).

In den Abbildungen 5.25, 5.26, 5.27, 5.28 sowie 5.29 sind die kumulativen Frequenzverteilungen der Wafer bei CT-Trimnung zu sehen.

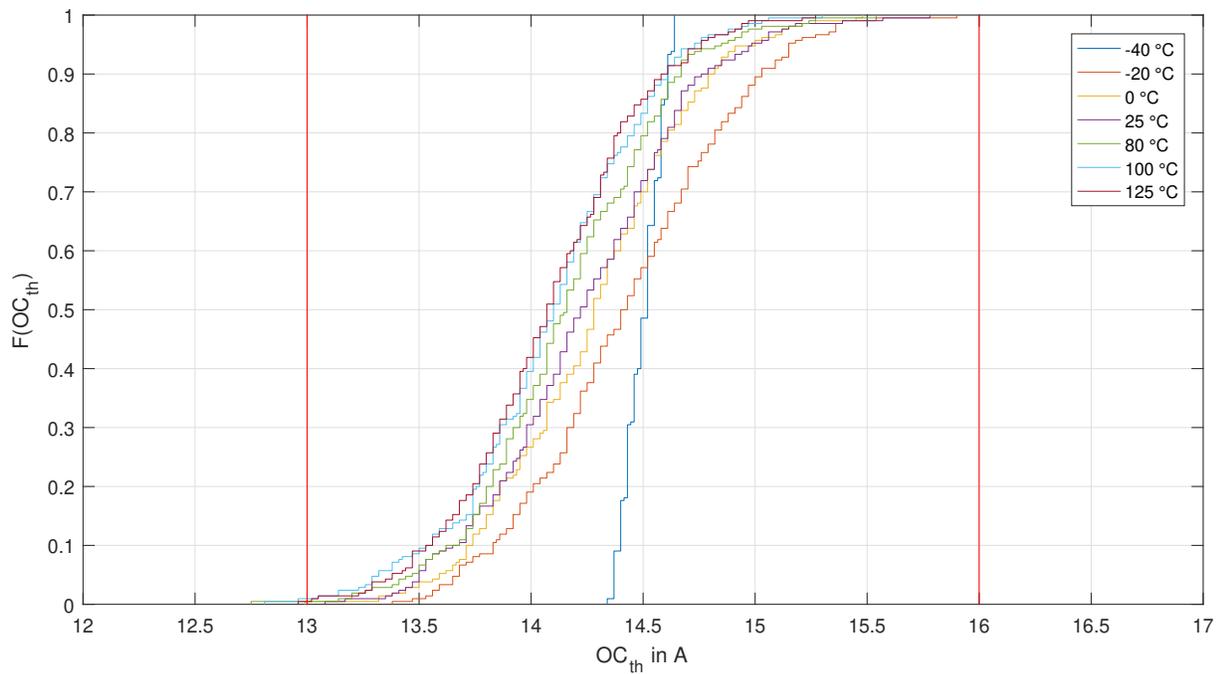


Abbildung 5.25: Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für Wafer 1 (Backend-CT-getrimmt).

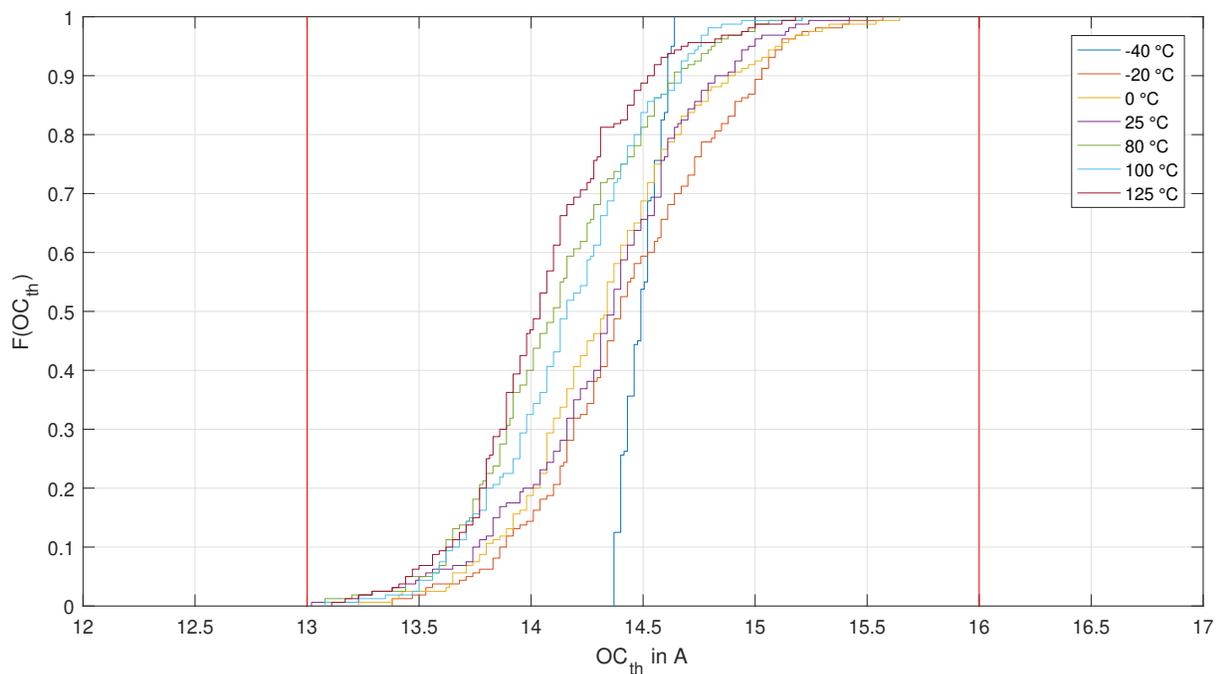


Abbildung 5.26: Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für Wafer 4 (Backend-CT-getrimmt).

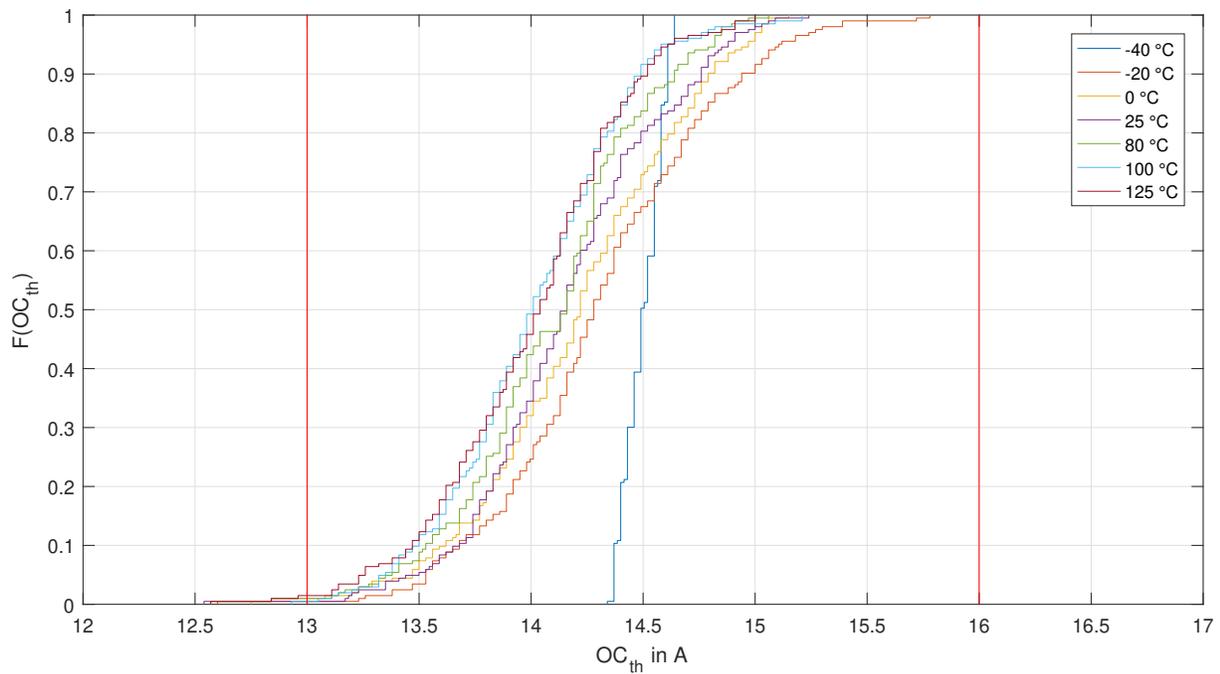


Abbildung 5.27: Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für Wafer 5 (Backend-CT-getrimmt).

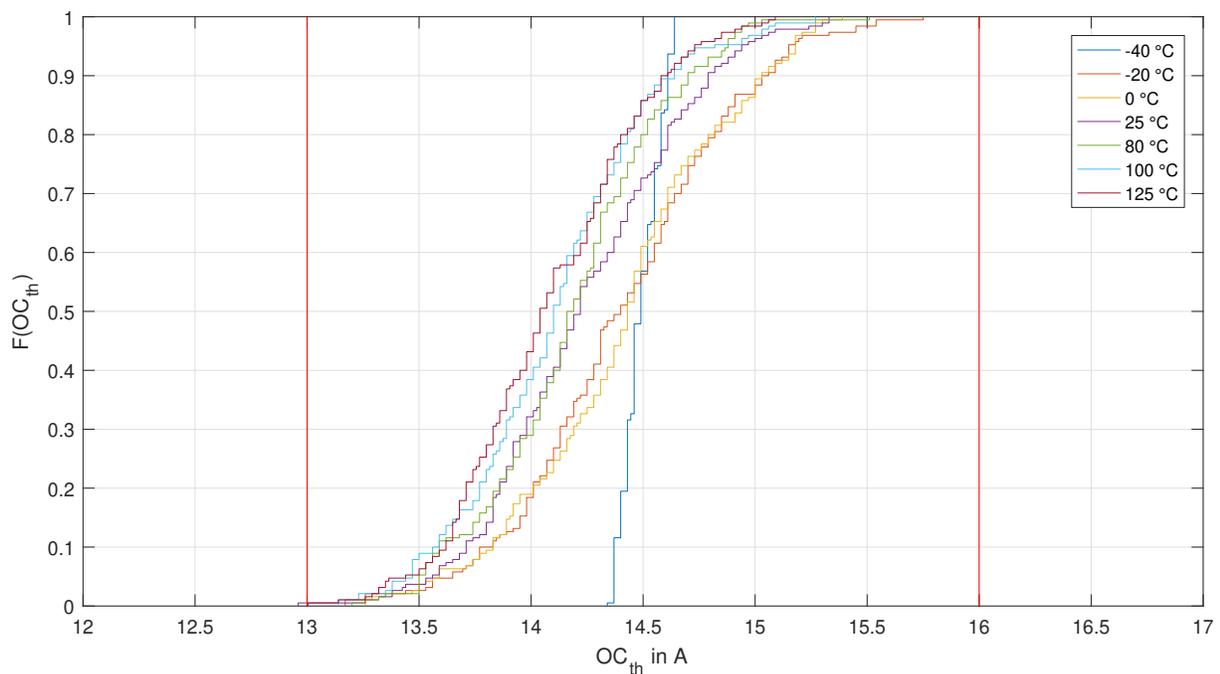


Abbildung 5.28: Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für Wafer 6 (Backend-CT-getrimmt).

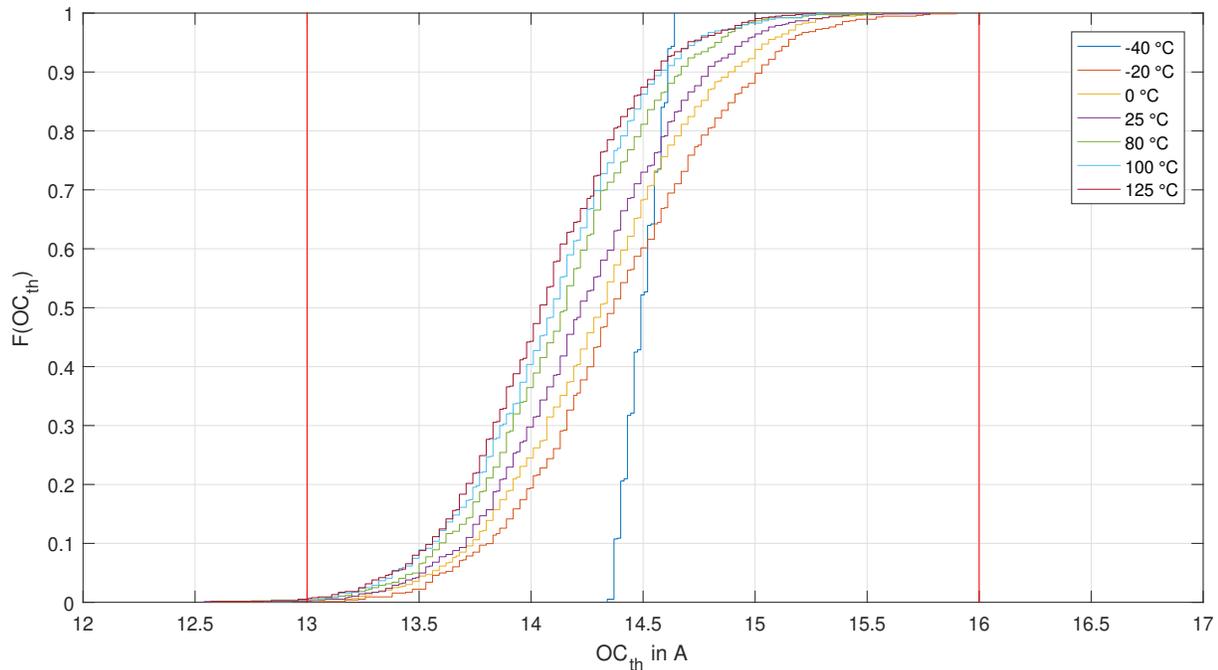


Abbildung 5.29: Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für sämtliche Wafer 1, 4, 5 und 6 (Backend-CT-getrimmt).

Die Plots zeigen, dass keine Verbesserung der Verteilung über Temperatur durch die CT-Trimmmung zu erkennen ist. Ganz im Gegenteil scheint die Backend-Trimmmung bei  $-40^{\circ}\text{C}$  mehr Ausfälle zu verursachen als die Frontend-Trimmmung bei  $25^{\circ}\text{C}$ .

Man erkennt zusätzlich, dass die große Mehrheit der getrimmten Überstromdetektionsschwellen unterhalb des spezifizierten Werts liegt, für den die Trimmmung ausgelegt ist.

### 5.3.2.2 Vergleichsanalyse bei anderen Trimmtemperaturen

Dadurch, dass eine CT-Trimmmung zu keiner Verbesserung der Verteilung über den ganzen Temperaturbereich führt, werden andere Trimmtemperaturen zum Vergleich herangezogen.

#### 5.3.2.2.1 Trimmmung bei AT

Die Trimmmung bei  $25^{\circ}\text{C}$  wurde ebenfalls mittels MATLAB emuliert. In Abbildung 5.30 ist der Verlauf der mittleren Standardabweichung der Überstromdetektionsschwelle zu sehen. Man erkennt analog zur CT-Trimmmung, dass eine Trimmmung bei AT keine positive

Auswirkung auf die Standardabweichung bei den restlichen Temperaturen hat.

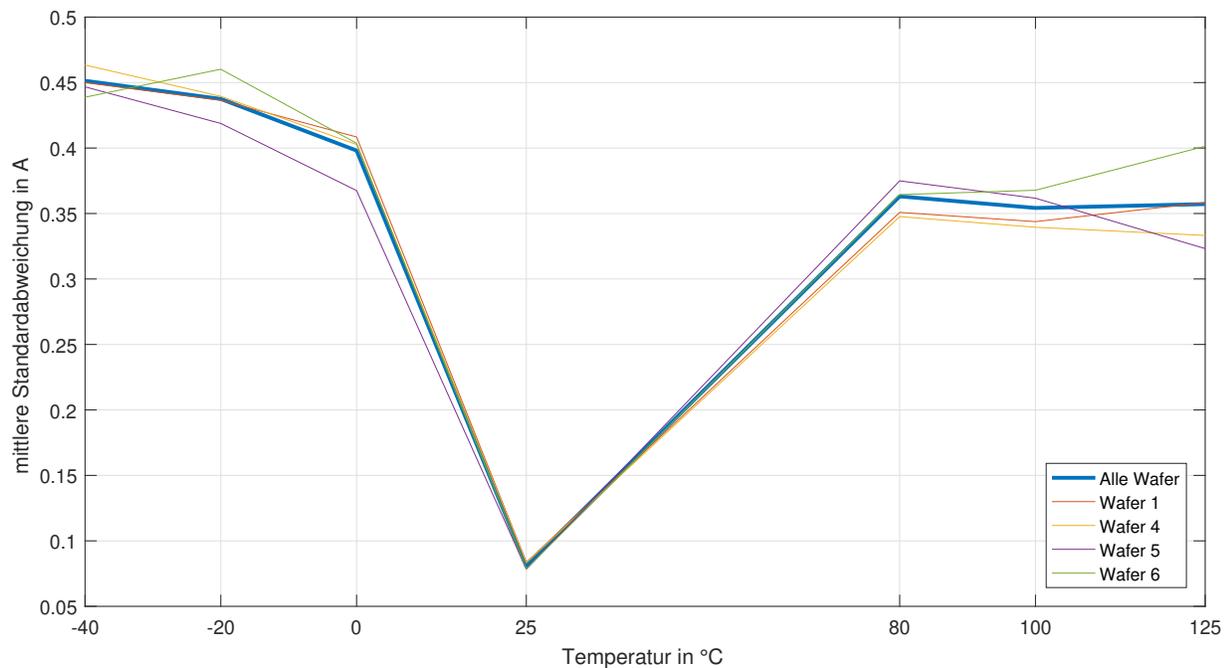


Abbildung 5.30: Verlauf der mittleren Standardabweichung der Überstromdetektionsschwelle über Temperatur für sämtliche Wafer 1, 4, 5 und 6 (Backend-AT-getrimmt).

Die Standardabweichung verbessert sich lediglich bei der Trimmtemperatur, während naheliegende Temperaturen einen hohen Sprung in der Standardabweichung erleiden.

In den Abbildungen 5.31, 5.32, 5.33, 5.34 sowie 5.35 sind ebenfalls die kumulativen Frequenzverteilungen der Wafer bei AT-Trimmlung zu sehen.

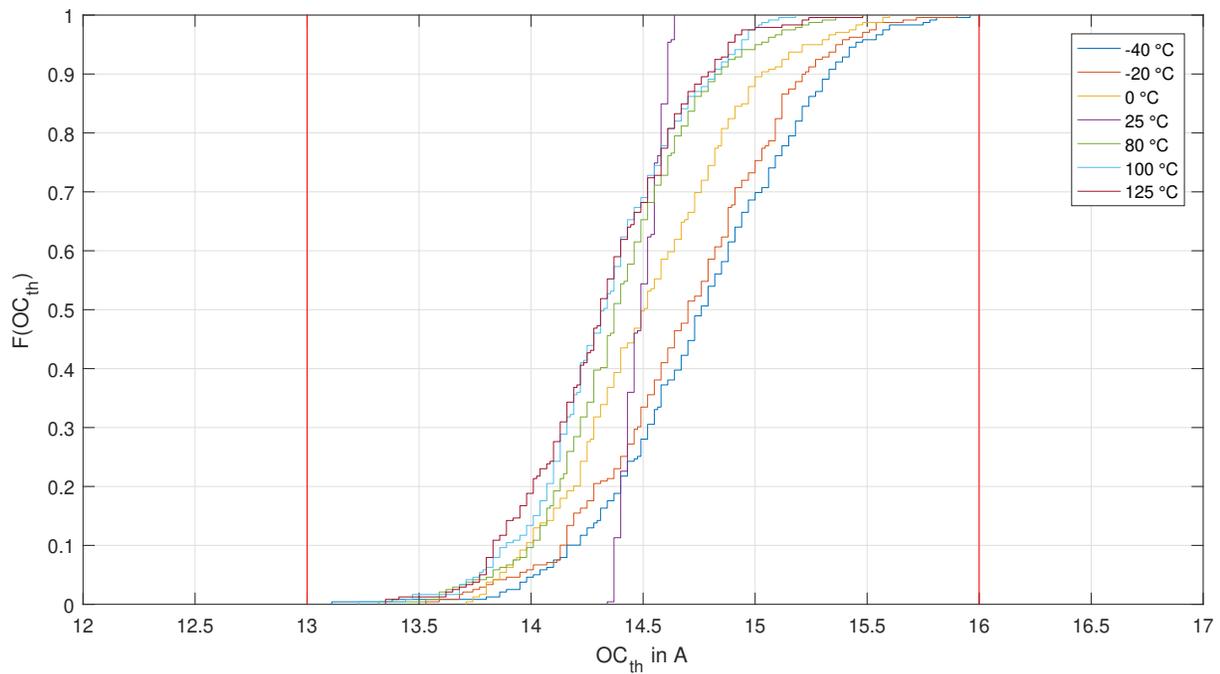


Abbildung 5.31: Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für Wafer 1 (Backend-AT-getrimmt).

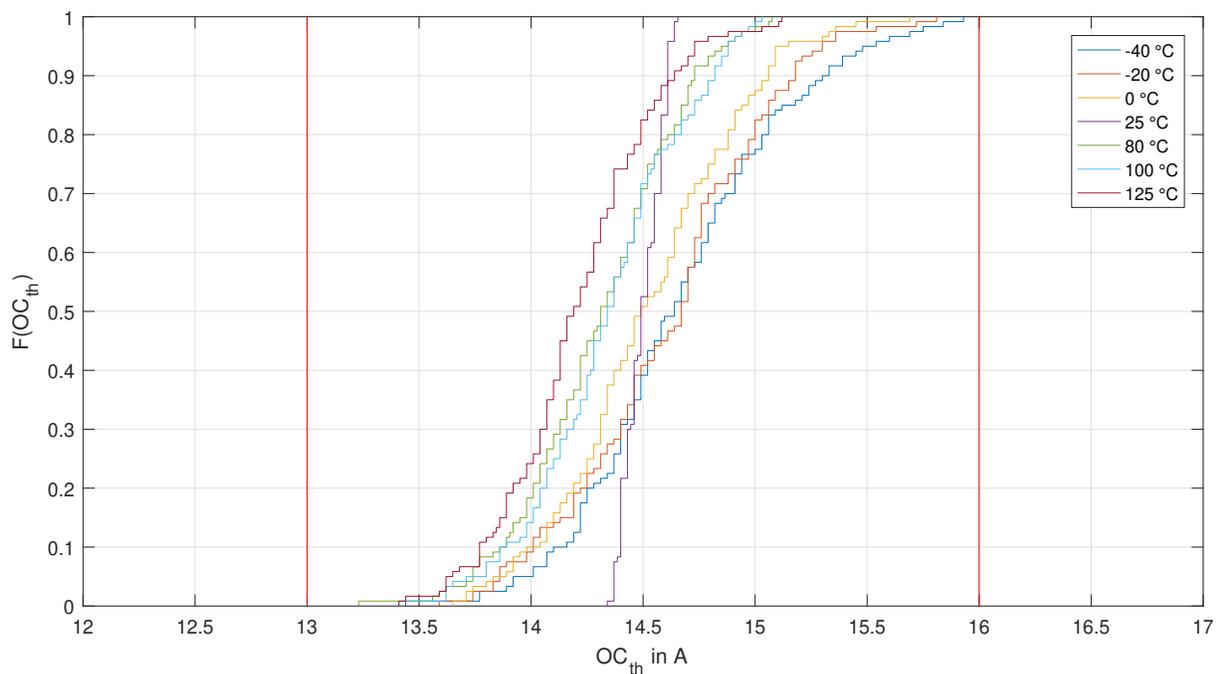


Abbildung 5.32: Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für Wafer 4 (Backend-AT-getrimmt).

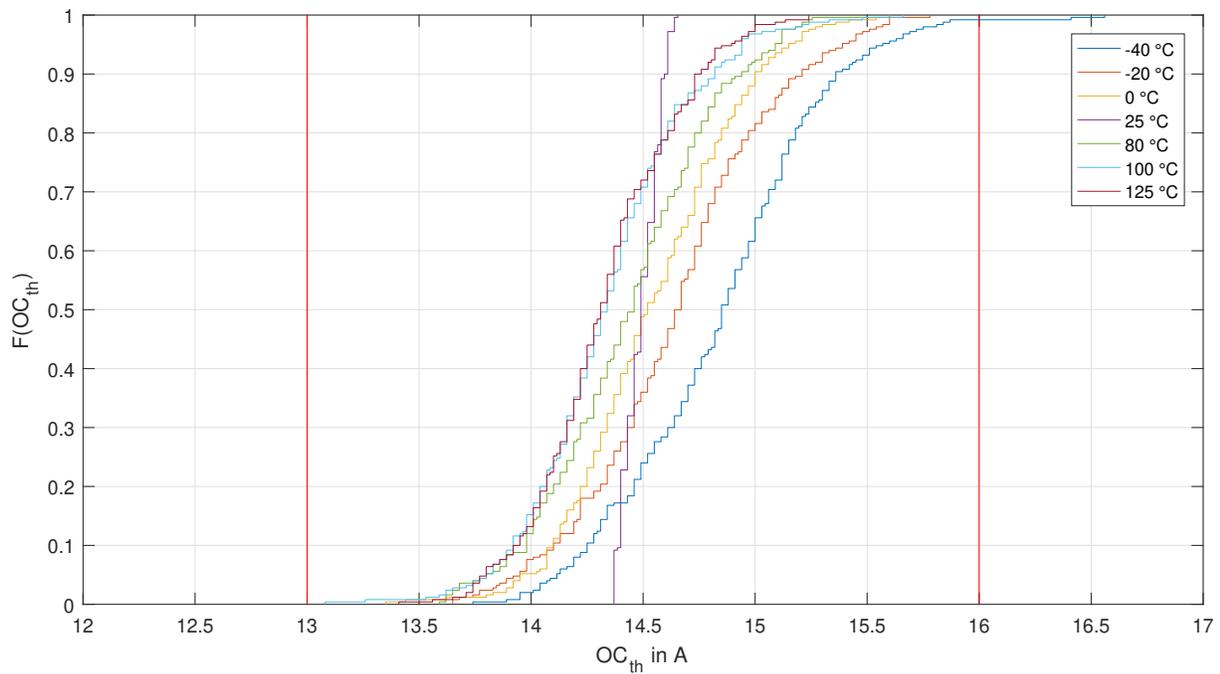


Abbildung 5.33: Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für Wafer 5 (Backend-AT-getrimmt).

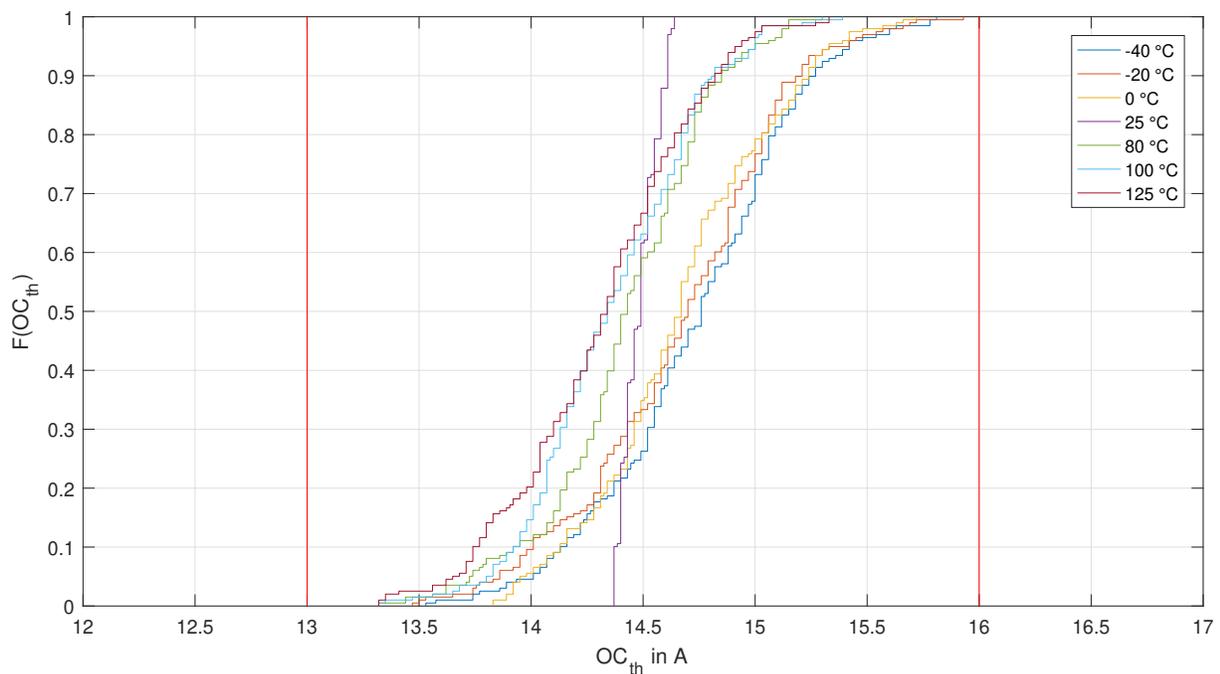


Abbildung 5.34: Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für Wafer 6 (Backend-AT-getrimmt).

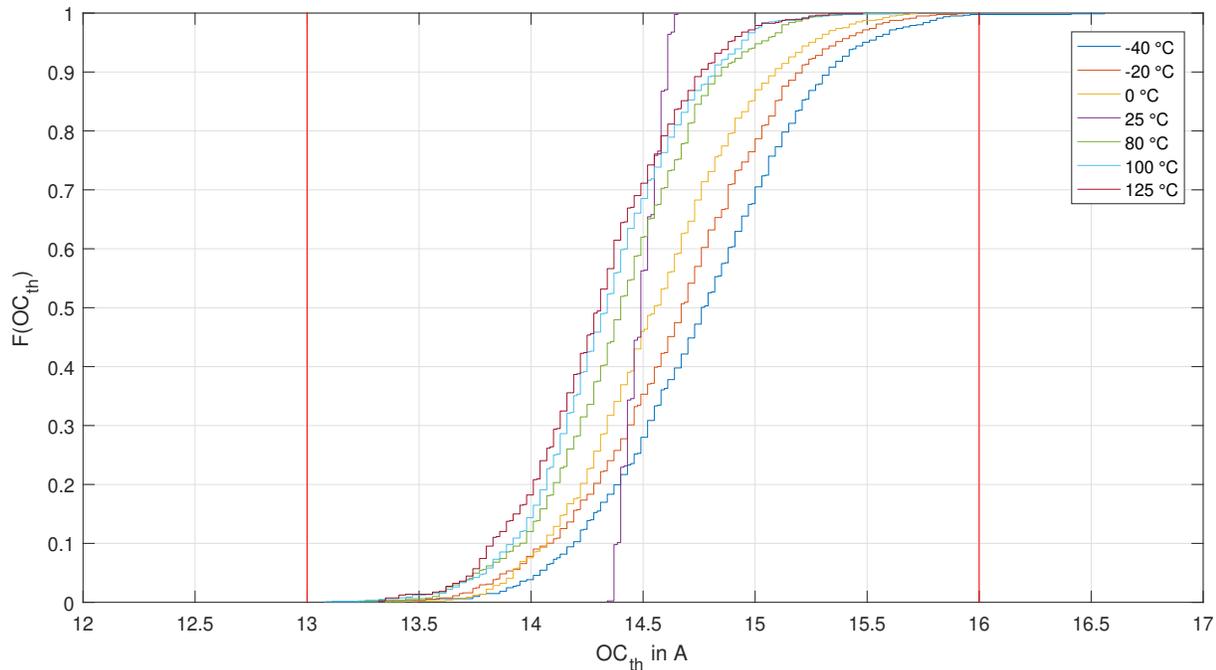


Abbildung 5.35: Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für sämtliche Wafer 1, 4, 5 und 6 (Backend-AT-getrimmt).

### 5.3.2.2.2 Trimmung bei HT

Auch hier erfolgt die Emulation der Trimmung bei 125°C mittels MATLAB. In Abbildung 5.36 ist der Verlauf der mittleren Standardabweichung der Überstromdetektionsschwelle zu sehen. Es ist ebenfalls wie bei der CT- und AT-Trimmung zu erkennen, dass eine Trimmung bei HT ebenfalls keine Veränderung der Standardabweichung bei den restlichen Temperaturen bewirkt. Allerdings scheint der durchschnittliche Verlauf (blaue Linie) einen einigermaßen vernünftigen Temperaturverlauf aufzuweisen. Bei den Wafern 1 und 6 scheint dies aber nicht der Fall zu sein.

In den Abbildungen 5.37, 5.38, 5.39, 5.40 sowie 5.41 sind die kumulativen Frequenzverteilungen der Wafer bei HT-Trimmung zu sehen.

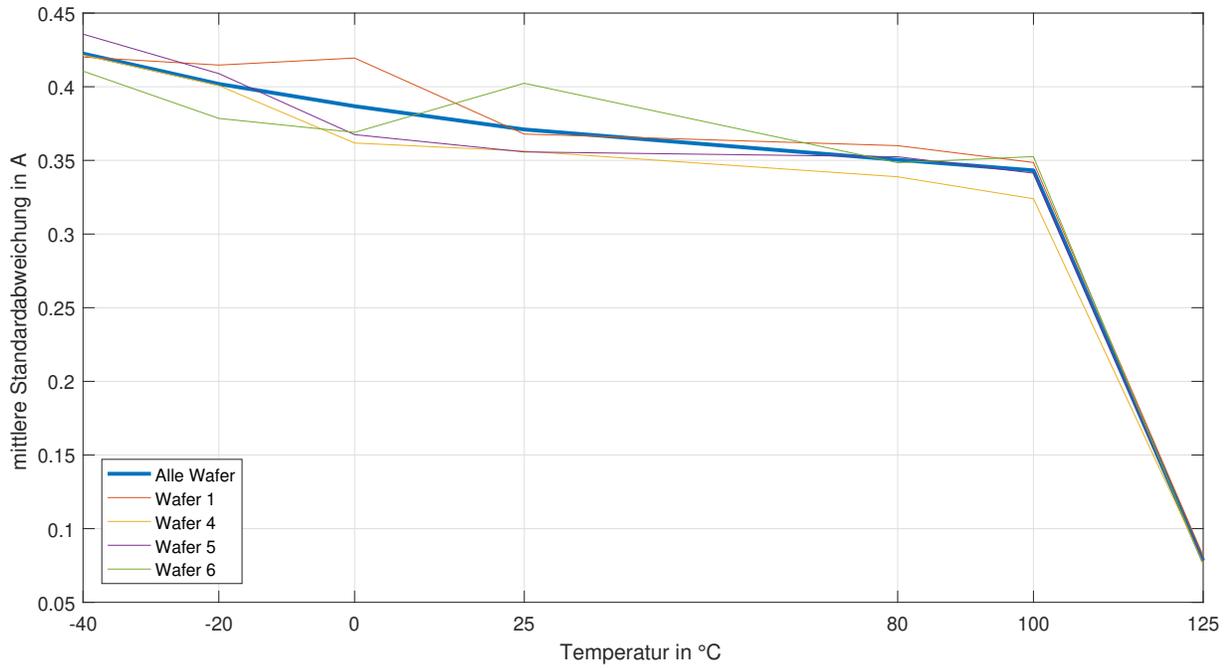


Abbildung 5.36: Verlauf der mittleren Standardabweichung der Überstromdetektionsschwelle über Temperatur für sämtliche Wafer 1, 4, 5 und 6 (Backend-HT-getrimmt).

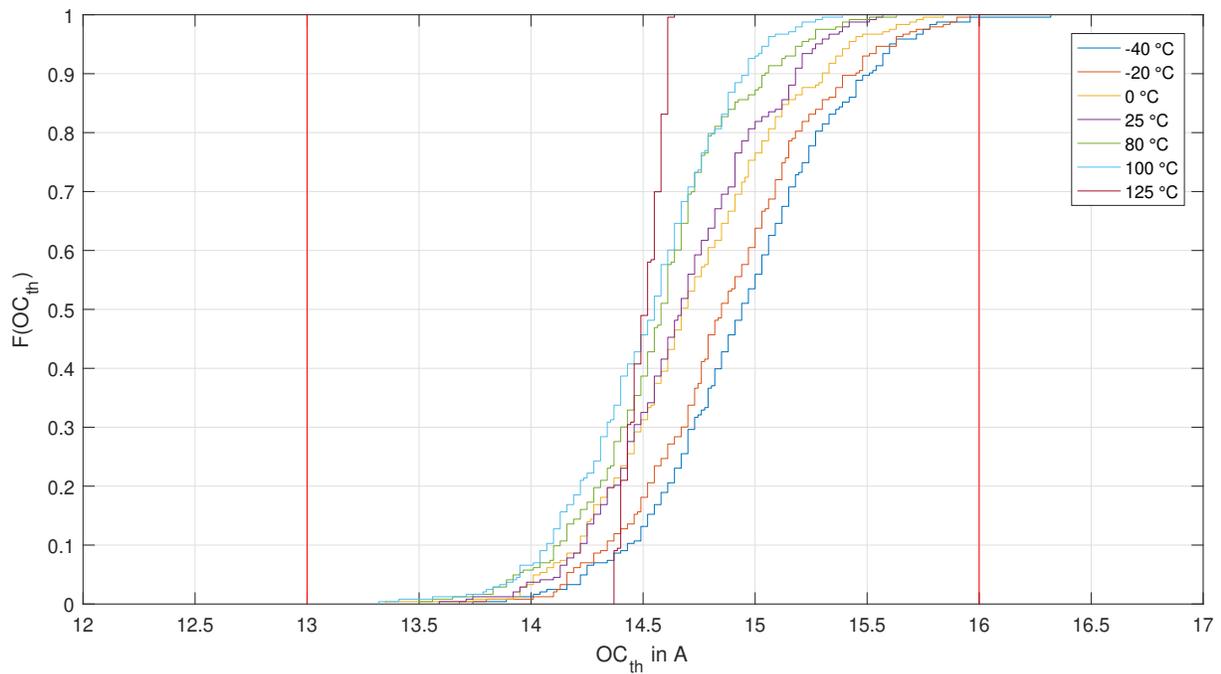


Abbildung 5.37: Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für Wafer 1 (Backend-HT-getrimmt).

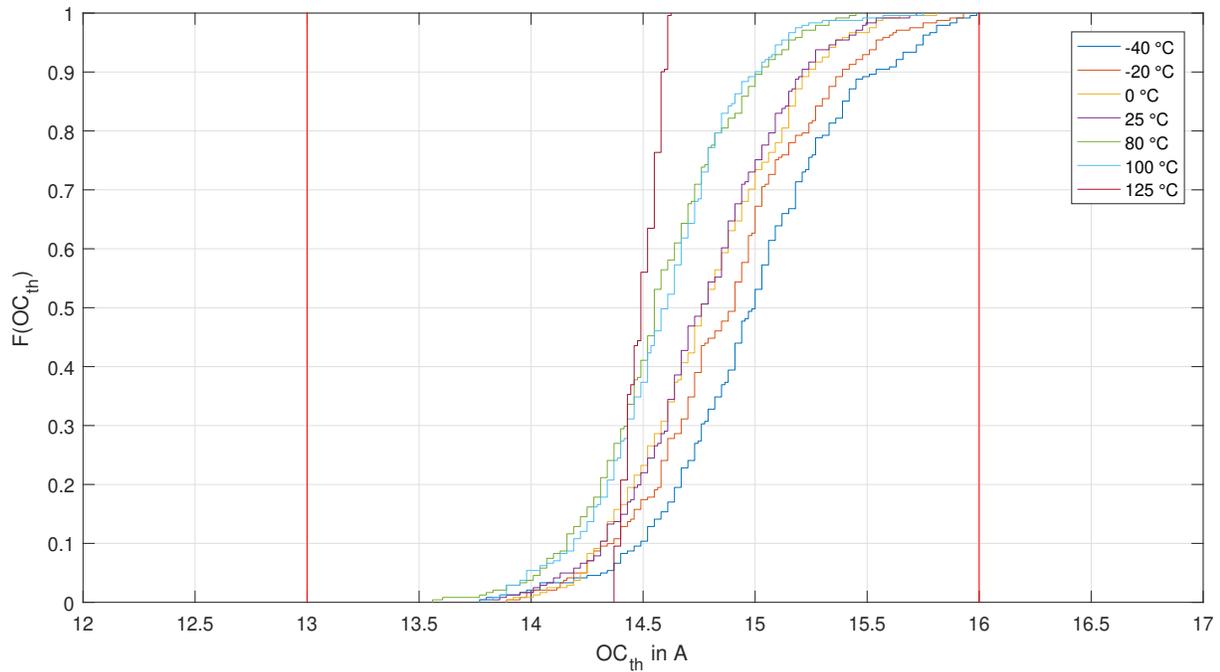


Abbildung 5.38: Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für Wafer 4 (Backend-HT-getrimmt).

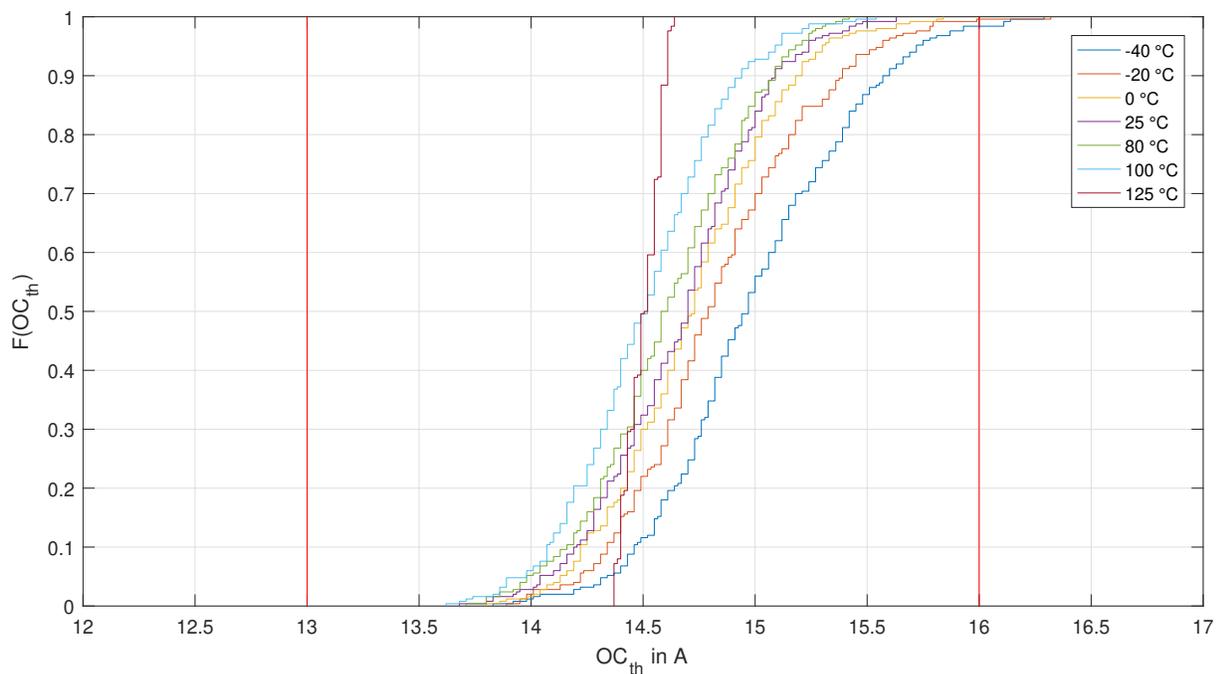


Abbildung 5.39: Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für Wafer 5 (Backend-HT-getrimmt).

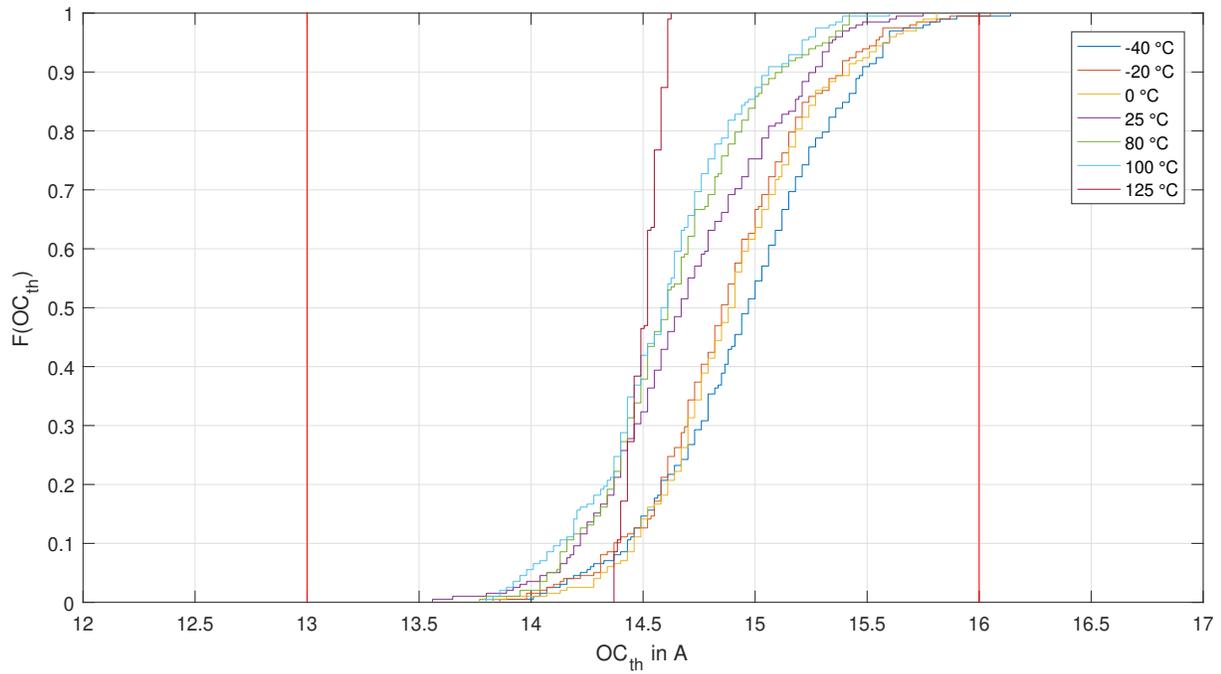


Abbildung 5.40: Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für Wafer 6 (Backend-HT-getrimmt).

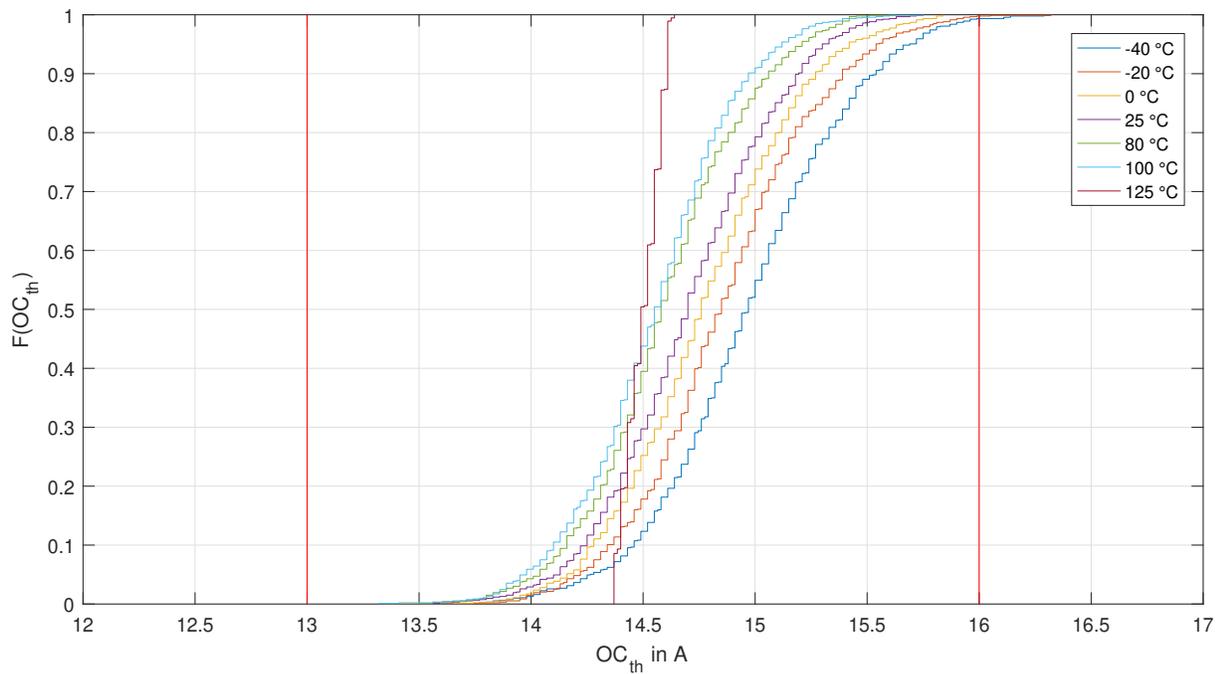


Abbildung 5.41: Kumulierter Frequenzplot der Überstromdetektionsschwelle in Abhängigkeit von der Temperatur für sämtliche Wafer 1, 4, 5 und 6 (Backend-HT-getrimmt).

### 5.3.3 Ursachenuntersuchung

Aus den durchgeführten Untersuchungen scheint die Backend-Trimmung nicht den erwünschten Einfluss auf die Genauigkeit der Überstromdetektionsschwelle zu haben.

Um dies etwas genauer zu untersuchen, werden ein paar beliebige ICs in den Abbildungen 5.42, 5.43, 5.44 und 5.45 näher betrachtet.

Die Ursache dafür, dass eine Backend-Trimmung die statistische Verteilung nicht positiv beeinflussen kann, ist der Temperaturgang der Überstromdetektionsschaltung, der sich von einem IC zum anderen drastisch unterscheidet. Man erkennt bei jeder der drei Trimmtemperaturen, dass die ICs kein systematisches Verhalten bezüglich der Temperatur aufweisen.

Beispielsweise, führt eine CT-Backend-Trimmung eines beliebigen ICs in Abbildung 5.42 dazu, dass die Überstromdetektionsschwelle für sämtliche Temperaturen weit unter der bei der Trimmtemperatur, während dieselbe CT-Backend-Trimmung eines anderen ICs in Abbildung 5.43 die Überstromdetektionsschwelle links und rechts davon verteilt.

Dies kann bei der Mehrheit der ICs für sämtliche Trimmtemperaturen beobachtet werden.

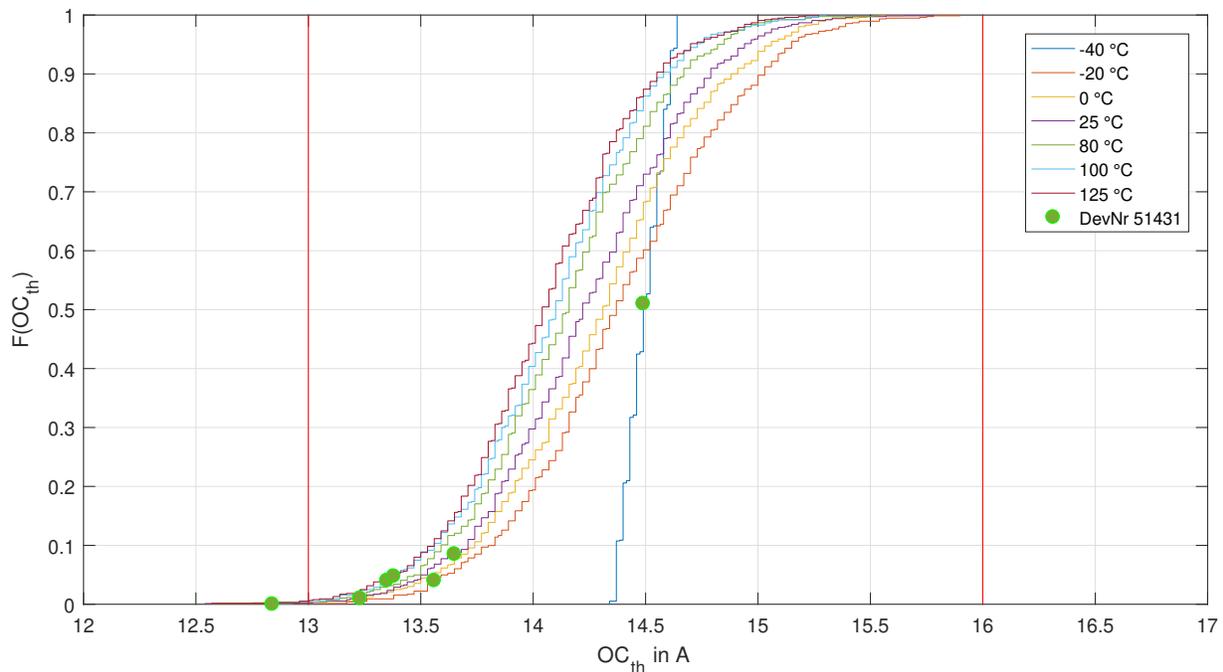


Abbildung 5.42: Kumulierter Frequenzplot der Überstromdetektionsschwelle aller Wafer in Abhängigkeit von der Temperatur mit Fokus auf einem beliebigen IC (BE-CT-getrimmt).

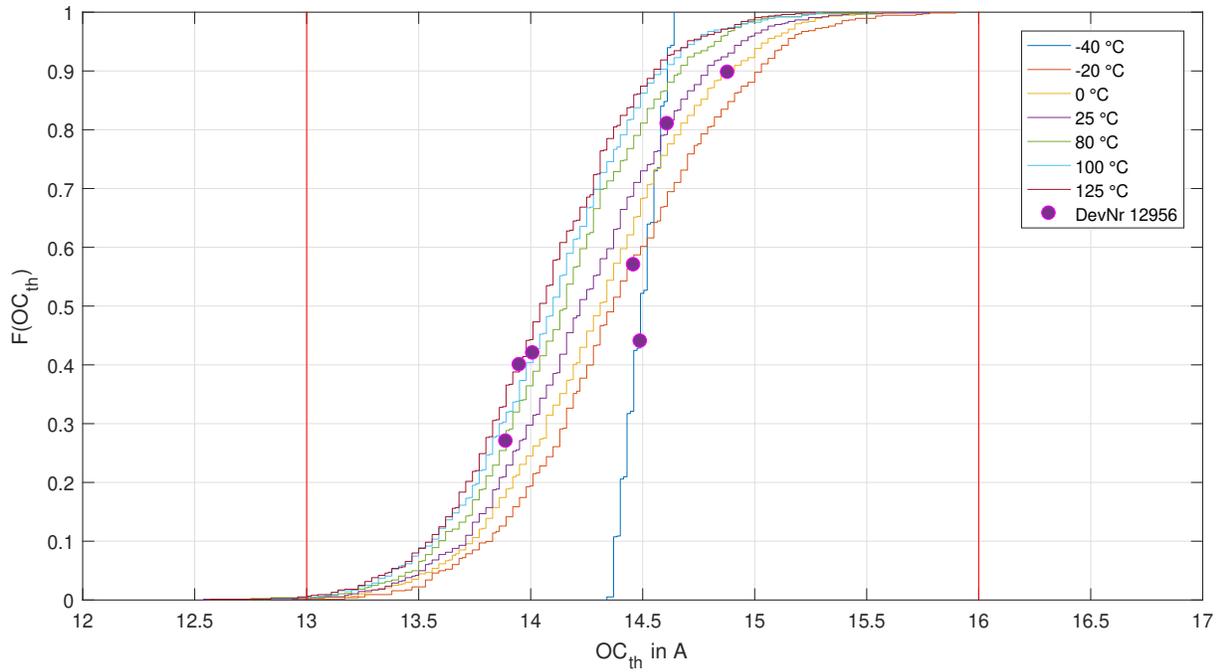


Abbildung 5.43: Kumulierter Frequenzplot der Überstromdetektionsschwelle aller Wafer in Abhängigkeit von der Temperatur mit Fokus auf einem beliebigen IC (BE-CT-getrimmt).

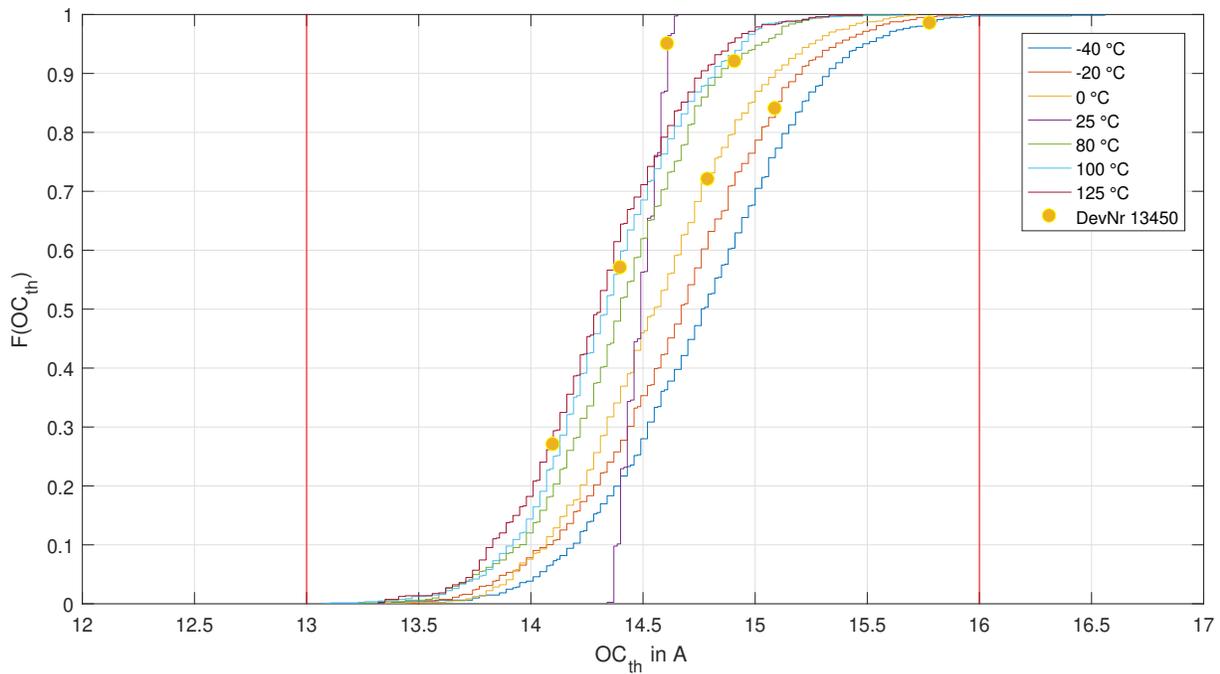


Abbildung 5.44: Kumulierter Frequenzplot der Überstromdetektionsschwelle aller Wafer in Abhängigkeit von der Temperatur mit Fokus auf einem beliebigen IC (BE-AT-getrimmt).

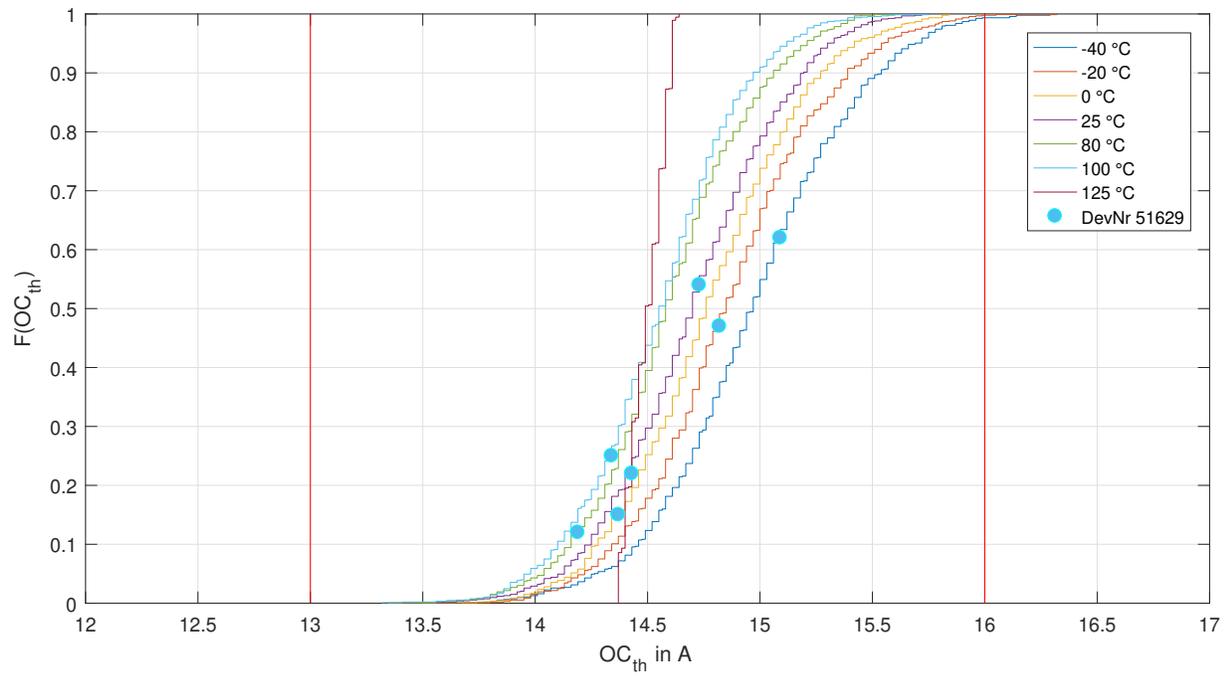


Abbildung 5.45: Kumulierter Frequenzplot der Überstromdetektionsschwelle aller Wafer in Abhängigkeit von der Temperatur mit Fokus auf einem beliebigen IC (BE-HT-getrimmt).

# Kapitel 6

## Fazit

Das Ziel dieser Arbeit bestand darin, das in den Produktionstestdaten beobachtete Verhalten einer in Anwendung befindlichen Überstromdetektionsschaltung bezüglich der Standardabweichung über den erforderlichen Temperaturbereich zu verbessern. Dies war im Rahmen einer Entwicklung eines Backend-Trimmvorgangs durch die messtechnische Untersuchung der zugrundeliegenden Trimmvorgang zu erreichen.

Für die Charakterisierung der Schaltung wurde ein Messverfahren an der Testerplattform microFLEX von TERADYNE unter Berücksichtigung der Eigenerwärmung des IC entwickelt. Um an statistischer Aussagekraft zu gewinnen, wurden 1000 ICs unterschiedlicher Wafer und Lose bei sieben unterschiedlichen Temperaturen getestet.

Die Analyse der entstandenen Daten zeigte, dass die Mehrheit der IC drastische Unterschiede im Temperaturverlauf bezüglich der Überstromdetektionsschwelle aufweist. Somit kann eine systematische Minimierung der Standardabweichung über den spezifizierten Temperaturbereiches mittels einer Backend-Trimmung nicht realisiert werden. Dies bedeutet, dass für die kommenden Produkte dieser Familie eine neue Überstromdetektionsschaltung implementiert werden soll, sofern eine Erhöhung der Ausbeute angestrebt wird.

# Literaturverzeichnis

- [1] E. Kreyszig, *ADVANCED ENGINEERING MATHEMATICS*. Wiley, 1999, vol. 8.
- [2] M. Burns and G. W. Roberts, *An Introduction to Mixed-Signal IC Test and Measurement*. Oxford University Press, 2001, vol. 1.
- [3] “What is a scatter plot and when to use it,” <https://chartio.com/learn/charts/what-is-a-scatter-plot/>, accessed: 10-2019.
- [4] B. Razavi, *Design of Analog CMOS Integrated Circuits*. Springer, 1993, vol. 10.
- [5] R. A. Pease, “The design of band-gap reference circuits: Trials and tribulations,” *National Semiconductor Corporation*, 2002.
- [6] W. Nadler and J. Constantopoulos, “Power chips benefit from final-test trim,” <https://www.powerelectronics.com/content/power-chips-benefit-final-test-trim#close-olyticsmodal>, accessed: 10-2019.
- [7] R. A. Pease, “Proceedings on bipolar circuits and technology,” *National Semiconductor Corporation*, 2002.
- [8] P. Söser, *Integrierte Schaltungstechnik*. Technische Universität Graz, 2018.
- [9] B. Murari, F. Bertotti, and G. A. V. (Eds.), *Smart Power ICs - Technologies and Applications*. Springer, 1995, vol. 1.
- [10] C. Schenk and U. Tietze, *Halbleiter-Schaltungstechnik*. Springer, 1993, vol. 10.
- [11] “microflex / flex test system,” <https://www.teradyne.com/products/test-solutions/semiconductor-test/flex>, accessed: 10-2019.
- [12] Teradyne, “Flex microflex programming fundamentals student manual,” 2008.
- [13] Keysight, “Measurement system analysis for automated test systems,” 2018.