



Technische Universität Graz  
Institut für Elektronik  
Univ.-Prof. Dipl.-Ing. Dr.techn. Wolfgang Bösch



Infineon Technologies Austria AG  
Development Center Graz  
Dipl.-Ing. Viktor Kahr

# MASTERARBEIT

MA 738

## **Verlustleistungsoptimierte, integrierte Gateteuerschaltung für Leistungsschalter in automobilen Anwendungen**

Verfasser:

**Andreas Sattler, BSc**

Begutachter: Ass.Prof. Dipl.-Ing. Dr.techn. Peter Söser

Externer Betreuer: Dipl.-Ing. Clemens Kain

Graz, Oktober 2013



Deutsche Fassung:  
Beschluss der Curricula-Kommission für Bachelor-, Master- und Diplomstudien vom 10.11.2008  
Genehmigung des Senates am 1.12.2008

## EIDESSTÄTTLICHE ERKLÄRUNG

Ich erkläre an Eides statt, dass ich die vorliegende Arbeit selbstständig verfasst, andere als die angegebenen Quellen/Hilfsmittel nicht benutzt, und die den benutzten Quellen wörtlich und inhaltlich entnommenen Stellen als solche kenntlich gemacht habe.

Graz, am .....

.....  
(Unterschrift)

Englische Fassung:

## STATUTORY DECLARATION

I declare that I have authored this thesis independently, that I have not used other than the declared sources / resources, and that I have explicitly marked all material which has been quoted either literally or by content from the used sources.

.....  
date

.....  
(signature)



# Danksagung

Die vorliegende Arbeit entstand in Kooperation mit Infineon Technologies Austria im Designcenter Graz. Ich möchte mich an dieser Stelle bei allen Personen bedanken, die mich bei der Durchführung begleitet und unterstützt haben. Im Besonderen möchte ich mich bedanken bei...

... meinem Betreuer Clemens, für die kompetente und doch zwanglose Betreuung, die mich nach so manchen Irrwegen wieder auf die richtigen Bahnen gelenkt hat.

... meinem Mentor und Betreuer seitens der Universität Dr. Peter Söser, für seine Unterstützung und die Korrektur der Arbeit.

... den beiden Karls für die Unterstützung im Labor, sowie bei der Erstellung meiner PCBs. Bei zahlreichen, auch außerdienstlichen Problemen standen sie mir mit Rat und Tat zur Seite und beantworteten kompetent und geduldig all meine Fragen, waren sie auch noch so „untechnisch“ gestellt.

... Axel und allen anderen der Dienststelle, für die freundliche Aufnahme in das Team.

... meinen Eltern Elfriede und Vinzenz, die mich in allen Lebenslagen unterstützt haben und mich zu dem Menschen gemacht haben, der ich heute bin.

... Silvia, die mir bei der Korrektur meiner Arbeit eine große Hilfe war und für ihre Geduld und ihr Verständnis, wenn die Arbeitstage mal wieder etwas länger dauerten als zuvor geplant.



## Zusammenfassung

Durch die immer weiter fortschreitende Elektrifizierung des Antriebes von Kraftfahrzeugen, wird die herkömmliche Blei-Säure Starterbatterie zunehmend durch leistungsstarke Lithium Ionen Akkus ersetzt. Die daraus resultierende Möglichkeit hohe Ströme in kurzer Zeit aufzunehmen oder abzugeben, stellt neue Herausforderungen an verbaute Schutzmaßnahmen dar. Die vorliegende Masterarbeit befasst sich mit der Ansteuerung einer solchen Schutzbeschaltung und deren Abschaltvorgänge, die mit Hilfe von Leistungstransistoren und dem benötigten Gate Treiber realisiert wird. Bei der Entwicklung dieses integrierten Gate Treibers werden die beiden Extremfälle – Überladung der Lithium Ionen Zellen und Kurzschluss der Batteriekontakte – genau betrachtet und deren Auswirkungen auf die Versorgungsspannung der integrierten Schaltung analysiert. Damit die Funktionsfähigkeit der Schutzbeschaltung gewährleistet ist, wurde der Aufbau so gewählt, dass schnelle transiente Änderungen des Bezugspotentials möglich sind. Ein weiteres Augenmerk liegt, aufgrund der begrenzten Energie der als Quelle dienenden Starterbatterie, auf einer geringen Leistungsaufnahme des gesamten Systems. Dies wird durch eine Schaltungsstruktur erreicht, die keine Stromaufnahme außerhalb einer Zustandsänderung besitzt. Da es sich bei dieser Schaltung um eine sicherheitsrelevante Komponente handelt, muss zudem die Funktionalität bei niedrigen Bordnetzspannungen sichergestellt sein. Um für zukünftige Herausforderungen wie Hybridfahrzeuge mit einem 48 V Bordnetz vorbereitet zu sein, wurde eine Technologie verwendet, die maximale Versorgungsspannungen von 90 V zulässt.

## Abstract

Due to the fact that electric mobility becomes more and more important, old lead–acid batteries are replaced with high performance lithium–ion batteries. The result of this improvement shows new possibilities to supply circuits with very high currents, which is a challenge concerning the present safety circuits. This master thesis presents how to trigger this kind of safety mechanism, built up with DMOSFETs. The development of the gate driver for these discrete power devices is one part of this thesis. A special focus is set on the behavior of the supply voltages during overcharge and shorts of the lithium–ion cells. The results of these simulations are analyzed and shown. In order to ensure effective protection, the gate driver has to be build up with a floating ground potential. Furthermore, a low power consumption of the whole system is another important fact in the development of this gate driver, because of the limited energy of the starter battery. This can be realized by using circuits with zero static power consumption. Protective circuitries are part of safety related elements, therefore the functionality at low on–board voltages is a main key feature and has to be implemented. To be prepared for future challenges, such as 48 V power supplies in hybrid vehicles, the solution for the gate driver is implemented in a high voltage technology which stands voltages up to 90 V.



# Inhaltsverzeichnis

<b>Abbildungsverzeichnis</b>	<b>XI</b>
<b>Tabellenverzeichnis</b>	<b>XIII</b>
<b>Akronyme</b>	<b>XV</b>
<b>Formelzeichen und Symbole</b>	<b>XVII</b>
<b>1 Einleitung</b>	<b>1</b>
<b>2 Theoretischer Hintergrund</b>	<b>3</b>
2.1 Relevante Bauteile . . . . .	3
2.2 Transistor Modell . . . . .	6
2.3 Parallelschalten von Leistungs–DMOSFETs . . . . .	8
2.4 Betrachtung der Schaltvorgänge . . . . .	9
2.4.1 Phasen des Einschaltens . . . . .	9
2.4.2 Phasen des Ausschaltens . . . . .	10
2.5 Betrachtung verschiedener Level Shifter Typen . . . . .	12
2.5.1 Transistorgrundschaltungen als Level Shifter . . . . .	12
2.5.2 Level Shifter Grundstruktur für hohe Versorgungsspannungen . . . . .	13
2.5.3 Level Shifter mit gepulsten Eingangssignalen . . . . .	15
2.5.4 Auswahl des verwendeten Level Shifters . . . . .	17
2.6 Referenzspannungserzeugung . . . . .	17
2.7 Entwurf eines Schmitt Triggers . . . . .	21
<b>3 Konzept</b>	<b>25</b>
3.1 Ausgangspunkt . . . . .	25
3.1.1 Entladen und Kurzschluss . . . . .	25
3.1.2 Erstellen des Simulationsmodells . . . . .	28
3.2 Übersicht über das gesamte System . . . . .	30
3.2.1 Definieren der benötigten Designparameter . . . . .	31
<b>4 Realisierung und Schaltungsentwurf</b>	<b>39</b>
4.1 Niederspannungs Level Shifter . . . . .	40
4.2 Mittelvolt Level Shifter . . . . .	42
4.2.1 Ablauf eines Umschaltvorganges . . . . .	44
4.2.2 Verbesserter Mittelvolt Level Shifter . . . . .	45
4.2.3 Corner Simulation . . . . .	50

4.3	Hochvolt Level Shifter . . . . .	51
4.3.1	Corner Simulation . . . . .	55
4.4	Level Shifter nach unten . . . . .	57
4.4.1	Hochspannungs Level Shifter . . . . .	57
4.5	Diagnose Schaltung . . . . .	62
4.5.1	Corner Simulation . . . . .	65
4.6	Versorgungsblock . . . . .	66
4.6.1	Maßnahmen zur Reduktion der minimalen Batteriespannung . . . . .	68
4.6.2	Spannungseinbruch während eines Einschaltvorganges . . . . .	75
4.7	Aufbau des gesamten Gate Treibers . . . . .	76
4.8	Simulation des Gesamtsystems . . . . .	79
4.8.1	Simulation eines Kurzschlusses . . . . .	79
4.8.2	Simulation eines Ladevorganges . . . . .	83
<b>5</b>	<b>Zusammenfassung und Ausblick</b>	<b>89</b>
<b>A</b>	<b>Appendix</b>	<b>91</b>
A.1	Messergebnisse des Laboraufbaus . . . . .	91
A.2	Level Shifter . . . . .	92
A.3	ISO Störimpulse . . . . .	94
A.4	Datenblätter . . . . .	96
	<b>Literatur</b>	<b>97</b>

# Abbildungsverzeichnis

2.1	Vereinfachter Querschnitt eines BCD Prozesses . . . . .	3
2.2	Vereinfachter Querschnitt eines HV NMOSFETs . . . . .	5
2.3	Schaltmodell eines N-Kanal DMOSFETs . . . . .	6
2.4	Exemplarische Darstellung der Ladungskurve eines MOSFETs . . . . .	7
2.5	Parallelschaltung von DMOSFETs . . . . .	8
2.6	Modell eines DMOSFETs als Schalter mit einer Konstantstromquelle . . . . .	9
2.7	Schaltintervalle eines DMOSFETs . . . . .	11
2.8	Verwendung einer Transistorgrundschaltung als Level Shifter . . . . .	12
2.9	Erweiterung des Level Shifters für höhere Spannungen . . . . .	13
2.10	Reduktion des Querstromes des Level Shifters von Abbildung 2.9 . . . . .	15
2.11	Level Shifter mit gepulsten Steuersignalen . . . . .	16
2.12	Konzept einer versorgungsunabhängigen Stromreferenz . . . . .	18
2.13	Struktur eines CMOS Schmitt Triggers und dessen Übertragungskennlinie . . . . .	21
3.1	Messschaltung mit parasitären Leitungsinduktivitäten . . . . .	26
3.2	Abschaltung nach einem Kurzschlussstrom von ca. 1100 A . . . . .	27
3.3	Detailansicht von Phase II der Abbildung 3.2 . . . . .	27
3.4	Simulationsergebnis zu Abbildung 3.2 . . . . .	29
3.5	Übersicht des gesamten Systemes . . . . .	32
3.6	Abschaltvorgang eines Kurzschlussstromes ohne Freilaufdiode . . . . .	35
3.7	Ersatzschaltungen zur Berechnung von $t_{ein}$ und $t_{aus}$ . . . . .	36
4.1	Übersicht der MOSFET Typen . . . . .	39
4.2	Übersicht <i>gnd</i> Typen: a) <i>gndd</i> b) <i>gnd_gd</i> c) globales <i>gnd</i> . . . . .	39
4.3	Grundstruktur eines einfachen LV Level Shifters . . . . .	40
4.4	LV Level Shifter . . . . .	41
4.5	Kaskode als Schutz des darunterliegenden Bauteils . . . . .	43
4.6	Erweiterung des einfachen Level Shifters für höhere Versorgungsspannungen . . . . .	43
4.7	Verbesserter MV Level Shifter . . . . .	46
4.8	Spannungsverläufe des MV Level Shifters bei steigenden Eingangssignal . . . . .	48
4.9	Spannungsverläufe des MV Level Shifters bei fallenden Eingangssignal . . . . .	49
4.10	Verzögerungszeiten des MV Level Shifters über alle Corner . . . . .	50
4.11	Struktur des HV Level Shifters . . . . .	51
4.12	Spannungsverläufe des HV Level Shifters bei steigendem Eingangssignal . . . . .	53
4.13	Spannungsverläufe des HV Level Shifters bei fallendem Eingangssignal . . . . .	54
4.14	Verzögerungszeiten des HV Level Shifters bei 14 V . . . . .	56
4.15	Verzögerungszeiten des HV Level Shifters bei 90 V . . . . .	56
4.16	HV Level Shifter nach unten . . . . .	58

4.17	Spannungsverläufe des inversen HV Level Shifters bei steigendem Eingangssignal . . .	59
4.18	Spannungsverläufe des inversen HV Level Shifters bei fallendem Eingangssignal . . .	60
4.19	Verzögerungszeiten des HV Level Shifters bei 14 V . . . . .	61
4.20	Verzögerungszeiten des HV Level Shifters bei 90 V . . . . .	61
4.21	Anforderungen an die Diagnose . . . . .	62
4.22	Übersicht der Diagnoseschaltung . . . . .	63
4.23	Simulationsergebnis der Diagnoseschaltung . . . . .	64
4.24	Übersicht über die benötigten Spannungsbereiche . . . . .	66
4.25	Struktur des Versorgungsblockes . . . . .	67
4.26	Schematischer Verlauf von $I_{ZD}$ . . . . .	69
4.27	Vollständiger Versorgungsblock . . . . .	70
4.28	Versorgungsunabhängige Stromreferenz - beta multiplier . . . . .	72
4.29	Ströme der Stromreferenz . . . . .	73
4.30	Versorgungsspannungen bei einem Batterie-Hochlauf . . . . .	74
4.31	Struktur des gesamten Gate Treibers . . . . .	77
4.32	Unterbindung überlappender Schalter – Break Before Make . . . . .	78
4.33	Simulation eines Kurzschlusses mit ca. 1200 A . . . . .	80
4.34	Detailansicht des Abschaltvorganges von Abbildung 4.33 . . . . .	81
4.35	Ein- und Ausschaltverzögerungszeit bei einer Kurzschlussabschaltung . . . . .	83
4.36	Realisierung eines beweglichen Substrates . . . . .	84
4.37	Simulation eines Ladevorganges mit ca. 200 A . . . . .	86
4.38	Detailansicht des Abschaltvorganges von Abbildung 4.37 . . . . .	87
4.39	Ein- und Ausschaltverzögerungszeit bei einer Ladestromabschaltung . . . . .	88
A.1	Kurzschlussversuch des Batteriesimulators . . . . .	91
A.2	Level Shifter um den Bereich von 5 V auf 1,5 V überbrücken zu können. . . . .	92
A.3	Level Shifter um den Bereich von 20 V auf 5 V überbrücken zu können. . . . .	93
A.4	Störimpulse der Versorgungsspannung . . . . .	94
A.5	Störimpulse von Abbildung A.4 angewandt auf den Versorgungsblock . . . . .	95

# Tabellenverzeichnis

2.1	Vor- und Nachteile der untersuchten Level Shifter . . . . .	17
3.1	Anzahl der seriellen Z-Dioden der AC Strukturen . . . . .	30
3.2	Übersicht über die möglichen Bordnetzspannungen . . . . .	31
3.3	Übersicht über alle Potentiale des gesamten Systems . . . . .	34
4.1	Verzögerungszeiten des MV Level Shifters . . . . .	50
4.2	Vergleich der Verzögerungszeiten der HV Level Shifter Strukturen . . . . .	55
4.3	Verzögerungszeiten des inversen HV Level Shifters . . . . .	58
4.4	Eingangsspannung der Diagnoseschaltung bezogen auf <i>gnd_gd</i> . . . . .	65
4.5	Abhängigkeit der Versorgungsspannungen von Prozesscorner . . . . .	75
4.6	Ein- und Ausschaltzeiten des Gate Treibers bei einem Kurzschluss . . . . .	82
4.7	Ein- und Ausschaltzeiten des Gate Treibers bei einem Ladeversuch . . . . .	88



# Akronyme

AC	Active Clamping
BCD	Bipolar, CMOS, DMOS; Abkürzung für eine universelle Technologie, welche die drei Bauteilgruppen bereitstellen kann
CHG	Laden; charge
CMOS	Complementary Metall Oxide Semiconductor; Prozess bzw. Technologie, bei der NMOSFETs und PMOSFETs auf einem Substrat realisiert werden können
DCH	Entladen; discharge
DMOSFET	Leistungstransistor; Double-diffused MOSFET
DTI	Deep Trench Isolation; Isolierung aus Siliziumdioxid in Form eines tiefen Grabens
ESD	Electrostatic Discharge; Elektrostatische Entladung
FOX	Feldoxid
GAU	Größte Anzunehmender Unfall
GOX	Gateoxid
HS	High Side
HV	Hochvolt
IC	Integrated Circuit; Alternative bzw. englische Bezeichnung für einen integrierten Schaltkreis
KFZ	Kraftfahrzeug
LDD	Lightly Doped Drain; schwach dotierte Drain Erweiterung
LS	Low Side
LV	Low Volt
MOSFET	Metal Oxide Semiconductor Field Effect Transistor

## Akronyme

---

MV            Mittelvolt

NDMOSFET   N-Kanal DMOSFET

NMOSFET    N-Kanal MOSFET

PCB           Printed Circuit Board; Alternative bzw. englische Bezeichnung für Leiterplatte

PDMOSFET   P-Kanal DMOSFET

PKW           Personenkraftwagen

PMOSFET    P-Kanal MOSFET

SPT           Smart Power Technology; Begriff für die eingesetzte BCD Technologie der Infineon Technologies AG

# Formelzeichen und Symbole

Notation	Einheit	Beschreibung
$\beta$	$\mu\text{A}/\text{V}^2$	Transistorverstärkungsfaktor
$C_{DS}$	F	Drain Source Kapazität
$C_{epi}$	$\text{fF}/\mu\text{m}^2$	Kapazität zwischen n-dotierter Epitaxie und p-dotierten Substrat
$C_{GD}$	F	Gate Drain Kapazität
$C_{GS}$	F	Gate Source Kapazität
$C_{ISS}$	F	Transistor Eingangskapazität
$C_{OSS}$	F	Transistor Ausgangskapazität
$C_{RSS}$	F	Transistor Rückwirkungskapazität
$C_{ox}$	$\text{fF}/\mu\text{m}^2$	Kapazität des Gateoxids
$\epsilon_{ox}$	$\text{As}/\text{Vm}$	Dielektrizitätskonstante des Gateoxids
$g_m$	$1/\Omega$	Transkonduktanz
$K'$	$\mu\text{A}/\text{V}^2$	Prozessverstärkungsfaktor
$L$	$\mu\text{m}$	Transistorkanallänge
$\mu_0$	$\text{m}^2/\text{Vs}$	Mobilität der Ladungsträger
$R_C$	$\Omega$	Kanalwiderstand eines MOSFETs
$R_{DS(on)}$	$\Omega$	On-Widerstand eines als Schalter verwendeter MOSFET
$\tau$	s	Zeitkonstante
$t_{ox}$	m	Dicke der Gateoxidschicht
$V_{DS}$	V	Drain Source Spannung
$V_{GS}$	V	Gate Source Spannung
$V_{th}$	V	Threshold Spannung
$V_{thn}$	V	Threshold Spannung eines NMOSFETs
$ V_{thp} $	V	Threshold Spannung eines PMOSFETs
$V_Z$	V	Z-Spannung; Durchbruchspannung einer Z-Diode
$W$	$\mu\text{m}$	Transistorkanalweite



# 1 Einleitung

In Zeiten steigender Umweltbelastungen und knapper werdender Ressourcen gewinnen alternative Energiequellen immer mehr an Bedeutung. Besonders in großen Ballungszentren stehen die Menschen vor der Herausforderung neue Antriebssysteme für Fahrzeuge zu entwickeln, um die steigende Schadstoffbelastung zu reduzieren. Aufgrund des immer größeren Zuspruchs energiesparende Autos zu kaufen, wurden zahlreiche Forschungsaktivitäten seitens der Automobilindustrie durchgeführt. Ein Resultat daraus sind verschiedene Ansätze von elektrifizierten Antrieben, deren Alltagstauglichkeit unterschiedlich fortgeschritten sind. Zur Unterscheidung können die einzelnen Konzepte nach deren elektrischen Leistung verglichen werden [9].

Der geringste Unterschied zur herkömmlichen Antriebstechnik stellt der Mikro-Hybrid dar. Diese in vielen Kraftfahrzeugen (KFZs) neueren Baujahrs eingesetzte Variante versucht durch Start-Stop-Automatiken und Rekuperation der Bremsenergie, Kraftstoff und elektrische Energie einzusparen.

Der nächste Schritt in Richtung elektrisch betriebenes KFZ stellt der Mild-Hybrid dar. Dabei wird ein Elektromotor parallel zur Unterstützung des eigentlichen Verbrennungsantriebes eingesetzt. Dies ist auch der Grund, warum bei dieser Bauform von einem „Parallelen Hybrid“ gesprochen wird. Das Besondere dieser Fahrzeugklasse ist die gleichzeitige Übertragungsmöglichkeit des Antriebsmomentes, um den Hauptantrieb zu entlasten.

Die dritte große Klasse stellt der Voll-Hybrid dar. Fahrzeuge dieses Typs können durch ausschließlichen Einsatz des Elektromotors betrieben werden. In der Unterklasse des „Seriellen Hybrides“ werden noch immer beide Antriebssysteme ausgeführt, jedoch hat sich der Schwerpunkt in Richtung elektrischen Antrieb verschoben. Der Verbrennungsmotor wird kleiner dimensioniert und erzeugt über einen Generator elektrische Energie, um den Elektromotor, der als Hauptantrieb dient, zu versorgen. Eine weitere Modifikation des Voll-Hybrides ist die Ausführung von beiden Antriebssystemen, die als „Seriell-parallel Hybrid“ eine Kombination der zuvor beschriebenen Systeme darstellt. Dieser technisch aufwendige Antrieb verfügt über einen Verbrennungs-, einen Elektromotor und oft noch über einen Generator, die über eine zusätzliche Kupplung miteinander verbunden sind. Ist ein Fahrzeug mit diesem Antriebsstrang ausgestattet, können damit alle Vorteile des Seriell- und des Parallel-Hybrid Antriebes genutzt werden. Die am seltensten verbreitete Sonderform des Voll-Hybrides bildet der „Plug-In-Hybrid“. Es handelt sich hierbei um eine Erweiterung dieser großen Gruppe der elektrisch autonom fahrenden Kraftfahrzeuge. Der Unterschied liegt in der Dimensionierung der vorhandenen Batterie und eines zusätzlich verbauten Ladegerätes, mit dem das Fahrzeug „betankt“ wird. Ein zusätzlicher Verbrennungsmotor entfällt in den meisten Fällen. [15, S. 15-19]

Bei der Betrachtung dieser unterschiedlichen Ansätze nimmt ein geeigneter Energiespeicher immer mehr an Bedeutung zu. Um den Platzverbrauch auf ein Mindestmaß zu reduzieren, müssen Batterien verbaut werden, deren Energiedichte so groß wie möglich ist. Der zur Zeit im Hybridsektor am meist verbreitetste Typ stellt der Lithium Ionen Akku dar. Im Vergleich zu einer herkömmlichen Blei-Säure Batterie, deren Energiedichte bei 20 Wh/kg bis 50 Wh/kg liegt, hat der Lithium Ionen Akku

mit 90 Wh/kg bis 160 Wh/kg ein über dreimal höheres Speichervermögen, als die in **KFZ** ursprünglich eingesetzte Starterbatterie. Der Nachteil dieser Technologie liegt in der sehr geringen Überladetoleranz, wodurch die bestehenden Sicherheitsmechanismen überdacht bzw. erweitert werden sollten [15, S. 20].

Aufgrund dieser Überlegungen kam es seitens der Firma Infineon zur Ausschreibung dieser Masterarbeit, deren Ziel es war eine Schutzstruktur zu entwickeln, die eine Lithium Ionen Starterbatterie vor zu hoher Belastung schützt. Da die Höhe der auftretenden Ströme eine Integration dieser gesamten Schaltung nicht möglich macht, wurde die Entwicklung auf einen Gate Treiber beschränkt, der die eigentliche, aus Leistungsschaltern gebaute, Schutzstruktur ansteuert.

Im **zweiten Kapitel** dieser Arbeit werden theoretische Überlegungen behandelt, die für die Durchführung der Arbeit erforderlich waren. Dieser Teil erstreckt sich von einem kurzen Exkurs über den Aufbau der wichtigsten Bauteile bis hin zur Betrachtung unterschiedlicher Schaltungsansätze.

Das **dritte Kapitel** gibt eine Einführung in den praktischen Teil der Arbeit. Dies beginnt mit der Beschreibung des Ausgangspunktes und der Erstellung eines Simulationsmodelles und endet mit einer Übersicht über das gesamte System und die notwendigen Designparameter.

Der Hauptteil der Masterarbeit stellt das nachfolgende **vierte Kapitel** dar, indem die einzelnen Funktionsblöcke der Gate Treiber Schaltung und deren Versorgung entwickelt werden. Damit die notwendige Robustheit über Prozessschwankungen und dem definierten Temperaturbereich nachgewiesen werden kann, sind zusätzlich zu den Signalverläufen der transienten Analyse Simulationsergebnisse der durchgeführten Cornersimulationen angeführt.

Den Abschluss bildet das **fünfte Kapitel**, indem zum einen die Ergebnisse und alle Erkenntnisse nochmals zusammengefasst werden und zum anderen ein Ausblick über mögliche zukünftige Schritte gegeben wird.

## 2 Theoretischer Hintergrund

Im folgenden Kapitel werden grundlegende Aspekte behandelt, die für die Entwicklung der integrierten Schaltung notwendig sind. Zum einen sind dies grundlegende, benötigte Bauteile, ohne die die Erfüllung der geforderten Aufgaben nicht möglich gewesen wären. Zum anderen wird auf die Erarbeitung von Grundlagen, die sich von physikalischen Abläufen bis hin zur Auswahl der geeigneten Grundschaltungen erstrecken, eingegangen.

### 2.1 Relevante Bauteile

Aufgrund des automobilen Einsatzgebietes, indem die zu entwickelnde Schaltung betrieben wird, kann es zu Versorgungsspannungen kommen, die weit über die maximalen Spannungsgrenzen eines Standard Complementary Metal Oxide Semiconductor (CMOS) Prozesses hinausgehen. Infolgedessen ist die Gate Treiber Schaltung in einer Bipolar, CMOS, DMOS (BCD) Technologie entworfen worden, in der verschiedene Metal Oxide Semiconductor Field Effect Transistor (MOSFET) Typen verfügbar sind. Abbildung 2.1 zeigt einen vereinfachten Querschnitt dieses universellen Prozesses, der bei der Firma Infineon Smart Power Technology (SPT) genannt wird.

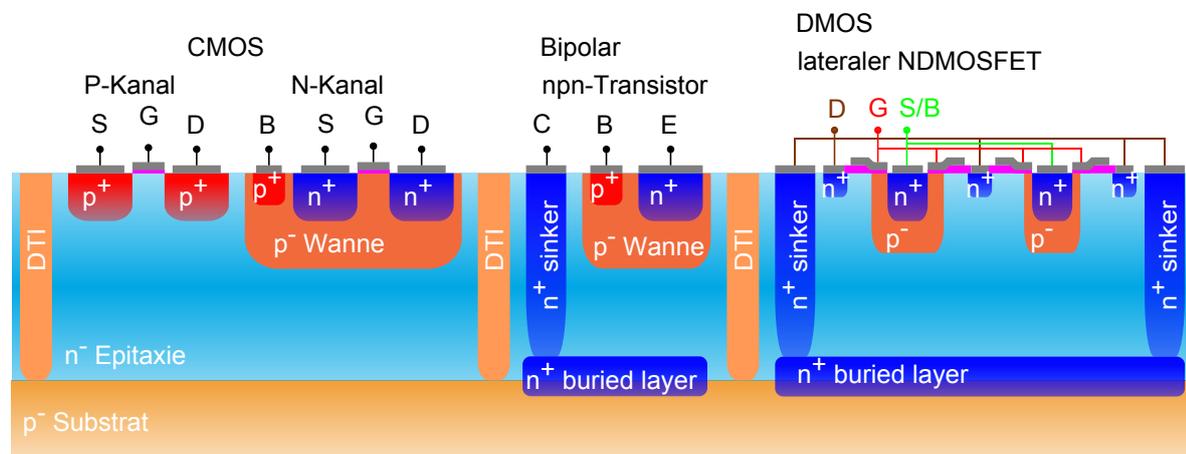


Abbildung 2.1: Vereinfachter Querschnitt eines BCD Prozesses (in Anlehnung an [6, S. 285])

Die Besonderheit eines solchen Prozesses liegt in der Flexibilität, mit dem die Entwicklung von integrierte Schaltungen (ICs) möglich ist. Es können auf einem Substrat neben CMOS Strukturen, die zur Realisierung von schnellen und leistungsarmen Logikanwendungen benötigt werden, auch Leistungstransistoren (DMOSFETs) verbaut werden, mit denen eine Umsetzung von Leistungsanwendungen – wie der geplante Gate Treiber – möglich ist. Als dritte Bauteilgruppe stellt diese Technologie Bipolartransistoren zur Verfügung, die für präzise Anwendungen wie Bandabstandsreferenzen benötigt

werden. [6, S. 285]. Möglich macht eine solche Platzierung von diversen Bauteilen unterschiedlicher Spannungsklassen unter anderem die Entwicklung einer Deep Trench Isolation (DTI). Diese spezielle Technik ätzt einen Graben zwischen die Bauteile, die voneinander isoliert werden sollen. Als Isolationsmaterial wird gut isolierendes Siliziumdioxid verwendet, wodurch sehr geringe Abstände zwischen den unterschiedlichen Bauteilgruppen realisiert werden können [24, S. 129].

Ein Merkmal der verwendeten BCD Technologie stellt ein Hochvoltprozess dar, mit dem DMOSFETs gebaut werden können, deren Spannungsfestigkeit zwischen dem Drain- und Source- bzw. zwischen dem Gate- und Drainkontakt bei 65 V bis 90 V liegen. Um dies zu erreichen ist ein spezieller Aufbau des DMOSFETs notwendig. Im einfachsten Fall wird zum Beispiel ein N-Kanal DMOSFET (NDMOSFET) als ein vertikales Bauteil realisiert, indem die  $n^+$ -dotierten Sourcekontakte in einer  $p^-$ -dotierten Wanne platziert werden. Der Drain Anschluss bildet das ebenfalls  $n^+$ -dotierte Substrat. Zwischen diesen Anschlüssen befindet sich eine  $n^-$ -dotierte Epitaxieschicht. Die Dicke dieser Ebene legt den Abstand zwischen dem Drain- und Source-Anschluss fest und ist somit ein Maß für die Spannungsfestigkeit des Bauteils. Durch diese vertikale Bauweise ist eine Reduktion der benötigten Transistorfläche bei niedrigeren Spannungsklassen nur sehr schwer möglich. Damit dieses oft verwendete Bauteil flächen- und auch kosteneffizienter gebaut werden kann, wird diese Struktur immer öfter durch einen lateralen Aufbau ersetzt. Wie im dritten Teil von Abbildung 2.1 ersichtlich ist, breitet sich der Laststrom nicht mehr vertikal durch das Substrat, sondern horizontal aus. Dies bringt diverse Vorteile mit sich. Zum einen ist die Verringerung des On-Widerstandes  $R_{DS(on)}$  und somit eine Reduktion der benötigten Bauteilfläche im Vergleich zum vertikalen Bauteil möglich, da der größte Teil des Stromes nicht durch die schwach dotierte Epitaxie fließen muss. Zum anderen kann angesichts dieser neuen Bauweise eine Anpassung des Abstandes zwischen den Drain- und Sourcekontakten möglich gemacht werden, wodurch eine Skalierbarkeit der benötigten Spannungsfestigkeit ermöglicht wird. Ein weiterer Flächengewinn für niedrige Spannungsklassen ist die Folge. Damit dieser positive Effekt bei höheren Durchbruchspannungen nicht wieder zunichte gemacht wird, kann der Abstand zwischen den Drain- und Sourcekontakten künstlich mit einem schwach dotiertem Drain (LDD) erweitert werden. Die dadurch entstehende „Drain Extension“ breitet die Verarmungszone, von dem unter dem Gateanschluss entstehenden Kanal, weiter in Richtung Drain aus. In dieser Driftzone kann sich die Spannung im gesperrten Zustand so weit abbauen, bis sie klein genug ist, um die Isolationsschicht unter dem Gate nicht zu durchschlagen. Die maximale Höhe dieser Spannung kann mit der Länge und der Dotierung der vorhandenen Driftzone verändert werden. Bei der Bauweise von Abbildung 2.1 wird diese Drain Extension durch die  $n^-$ -dotierte Epitaxieschicht gebildet. Ein Nachteil dieser Technik ist die Vergrößerung des Kanalwiderstandes und somit des  $R_{DS(on)}$ . Dieser Umstand wirkt sich besonders bei Leistungsschaltern negativ aus, da der maximal mögliche Drainstrom reduziert wird [24, S. 130]. Ein weiterer Vorteil dieser lateralen Bauweise ist die Möglichkeit P-Kanal DMOSFETs (PDMOSFETs) zu realisieren, obwohl eine  $n^-$ -dotierte Epitaxie vorhanden ist.

Neben dem Einsatz in Präzisionsanwendungen können mit Hilfe von Bipolartransistoren Z-Dioden realisiert werden, die dazu verwendet werden können, um die maximale Gate Source Spannung der in Hochvolt (HV) Anwendungen verbauten DMOSFETs vor unzulässigen Überspannungen zu schützen. Als Z-Diode wird die Basis Emitter Diode des in Abbildung 2.1 dargestellten NPN-Transistors verwendet. Der dritte Anschluss (Kollektor) dieser dreipoligen Z-Diode ist, wie im Querschnitt erkennbar, mit der  $n^-$ -dotierten Epitaxieschicht verbunden, welche zusammen mit dem  $p^-$  Substrat eine

parasitäre Diode bildet. Aus diesem Grund muss sichergestellt werden, dass der Kollektoranschluss immer auf dem höchsten Potential liegt. Wird der dritte Anschluss nicht separat ausgeführt, kann er auch zusammen mit dem Emitter verbunden werden.

Zusätzlich zu den **DMOSFETs** ist ein **HV MOSFET** erforderlich, um die gewünschte Funktionalität zu bewerkstelligen. Der in Abbildung 2.2 gezeigte Querschnitt eines N-Kanal **MOSFETs** (NMOSFETs) weist wieder die zuvor beschriebene Drain Extension durch das **LDD** Gebiet auf, um die Spannungsfestigkeit zwischen dem Gate- und dem Drainkontakt zu erhöhen. Im Gegensatz zu der Übersicht aus Abbildung 2.1 sind hier die unterschiedlichen Oxide und die für die Kanallänge  $L$  ausschlaggebende Distanz eingezeichnet. Damit die erhöhte Spannungsfestigkeit zwischen der  $n^-$  dotierten Driftzone und dem metallischen Gateanschluss erreicht wird, muss zusätzlich zu dem Gateoxid (GOX), ein dickeres Feldoxid (FOX) aufgebracht werden.

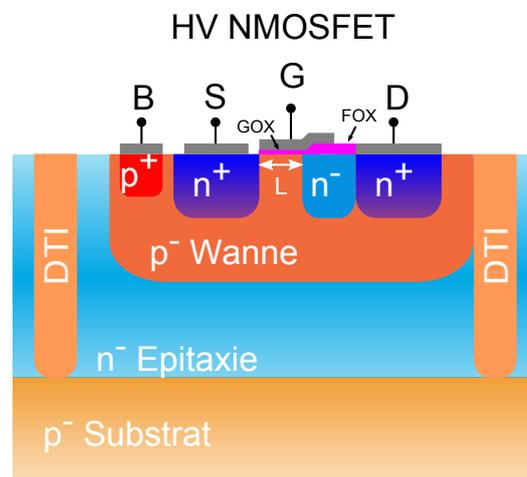


Abbildung 2.2: Vereinfachter Querschnitt eines HV NMOSFETs

## 2.2 Transistor Modell

Beim Verwenden eines **MOSFETs** als Schalter, muss entgegen der idealisierten Bauteile in der Theorie eine gewisse Leistung aufgebracht werden, um den Transistor Ein- oder Ausschalten zu können. Das Ziel in dieser Arbeit ist es, das Bauteil so schnell wie möglich, zwischen den beiden extremen Widerstandszuständen – höchst möglicher bzw. niedrigster Widerstand – umschalten zu können. Der Grund für eine Beschränkung dieser Umschaltzeiten, liegt im Aufbau des Halbleiters und die somit entstehenden parasitären Bauteile. Alle zu dieser Betrachtung notwendigen Parameter sind in einer möglichen Ersatzschaltung eines **DMOSFETs** in Abbildung 2.3 dargestellt. Wie in diesem Modell erkennbar ist, befinden sich zwischen den einzelnen Anschlüssen des Bauteils Kapazitäten, die bei jedem Schaltvorgang umgeladen werden müssen. Das Ein- und Ausschalten ist definiert als Wechsel zwischen dem niedrigsten und dem höchsten Widerstandswert in der kürzest möglichen Zeit.

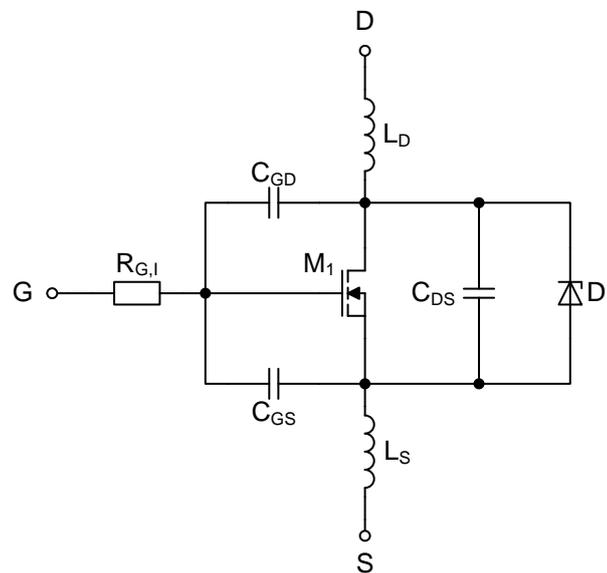


Abbildung 2.3: Schaltmodell eines N-Kanal DMOSFETs (in Anlehnung an [3] und [2, S. 3])

Um dies zu ermöglichen, müssen die parasitären Kapazitäten  $C_{GS}$ ,  $C_{GD}$  und  $C_{DS}$  mit hoher Geschwindigkeit geladen und entladen werden. Diese Kapazitäten werden in den meisten Datenblättern nicht angegeben. Sie können aber aus den definierten Kapazitätswerten für den Eingang  $C_{ISS}$ , den Ausgang  $C_{OSS}$  und für die Rückwirkungskapazität  $C_{RSS}$  durch folgende Gleichungen berechnet werden:

$$C_{GD} = C_{RSS} \quad (2.1)$$

$$C_{GS} = C_{ISS} - C_{RSS} \quad (2.2)$$

$$C_{DS} = C_{OSS} - C_{RSS} \quad (2.3)$$

Aufgrund dieser parasitären Kapazitäten muss ein durchschnittlicher Biasstrom  $I_{G,ave}$  vorhanden sein, um das Bauteil steuern zu können. Um die notwendige Ladung  $Q_g$  zu ermitteln, die dafür aufgewandt

werden muss, kann das Diagramm zur Gate-Ladungs-Charakteristik ( $V_{GS}$  über  $Q_{Gate}$ ) herangezogen werden. In Abbildung 2.4 ist eine schematische Kurve dargestellt. Mit Hilfe dieser Ladung und der spezifizierten Schaltgeschwindigkeit  $f_{sw}$ , ist es möglich, den Biasstrom (2.4) sowie auftretende Verlustleistung (2.5) approximierend zu ermitteln.

$$I_{G,ave} = Q_{Gate} \cdot f_{sw} \quad (2.4)$$

$$P_{Gate} = V_{DRV} \cdot I_{G,ave} \quad (2.5)$$

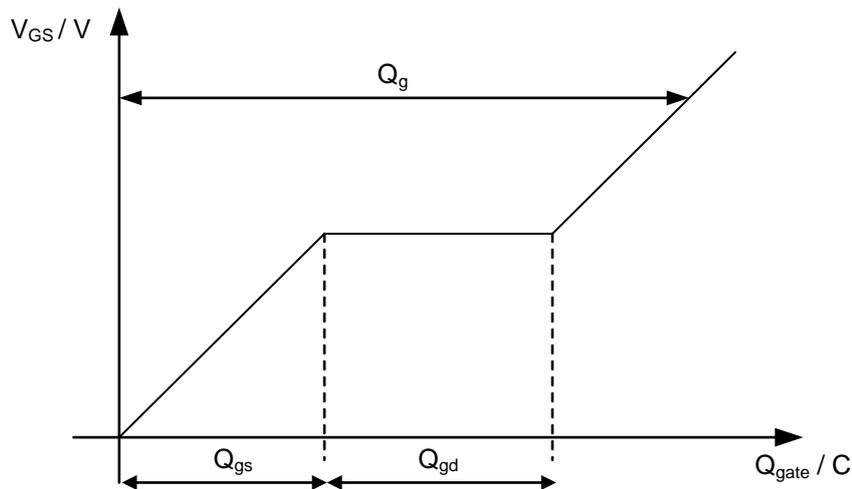


Abbildung 2.4: Exemplarische Darstellung der Ladungskurve eines MOSFETs

Ein weiteres parasitäres Element, das für den **DMOSFET** bei der Verwendung als Schalter von essenzieller Bedeutung ist, ist die Substratdiode. Durch die Richtung dieses Elementes ist der Einbau des **DMOSFETs** als Schalter vorgegeben, da diese Diode ein erfolgreiches Abschalten verhindern kann. Alle dazu nötigen Überlegungen werden in Kapitel 2.4 beschrieben [2, S. 3-8].

### 2.3 Parallelschalten von Leistungs–DMOSFETs

Bei Anwendungen, in denen Ströme von 1000 A und mehr geschaltet werden müssen, ist eine Parallelschaltung von **DMOSFETs**, trotz eines maximalen Stromes von mehreren hundert Ampere pro verwendeten Bauteil, unausweichlich. Wenn die einfachste Methode des Schaltens betrachtet wird – der **DMOSFET** wird als statischer EIN/AUS Schalter verwendet – können die beiden wichtigsten Parameter, der Drain Source Widerstand  $R_{DS\,on}$  und die Gate Schwellspannung  $V_{th}$ , nur auf die Schwellspannung reduziert werden. Als „worst case“ Szenario kann bei einem wie in Abbildung 2.5 dargestellten Stromteiler, folgendes angenommen werden: Einer der verwendeten **DMOSFETs** besitzt den niedrigst möglichen Drain Source Widerstand  $R_{DS\,on,\,min}$  und alle weiteren Bauteile sind eingeschaltet, haben jedoch den maximal möglichen Drain Source Widerstand  $R_{DS\,on,\,max}$ . Demnach würde durch diesen niederohmigen Transistor der höchste Strom  $I_{max}$  fließen.

$$I_{max} = \frac{\frac{R_{DS\,on,\,max}}{(n-1)}}{R_{DS\,on,\,min} + \frac{R_{DS\,on,\,min}}{n-1}} \cdot I = \frac{1}{1 + \frac{R_{DS\,on,\,min}}{R_{DS\,on,\,max}/(n-1)}} \cdot I \quad (2.6)$$

Aus dem in Gleichung (2.6) dargestellten Zusammenhang wird die Abhängigkeit des maximalen Stromes  $I_{max}$  vom Verhältnis der beiden Extrema des Drain Source Widerstandes  $R_{DS\,on,\,min}/R_{DS\,on,\,max}$  sichtbar. Eine weitere Erkenntnis dieser Formel ist die nicht existierende Abhängigkeit von  $I_{max}$  durch die Umgebungstemperatur. Die Voraussetzung dafür ist aber, dass alle verwendeten **DMOSFETs** vom selben Typ sind.

$$R_{DS\,on,\,max}(T_J) = R_{DS\,on,\,max}(25^\circ C) \cdot \left(1 + \frac{\alpha}{100}\right)^{T_J - 25^\circ C} \quad (2.7)$$

$$R_{DS\,on,\,min}(T_J) = R_{DS\,on,\,min}(25^\circ C) \cdot \left(1 + \frac{\alpha}{100}\right)^{T_J - 25^\circ C} \quad (2.8)$$

In den meisten Datenblättern wird nur der typische und der maximale Wert von  $R_{DS\,on}$  angegeben. Als erste Näherung kann die Widerstandsabweichung als symmetrisch um den Nominalwert angenommen werden [10, S. 3-4].

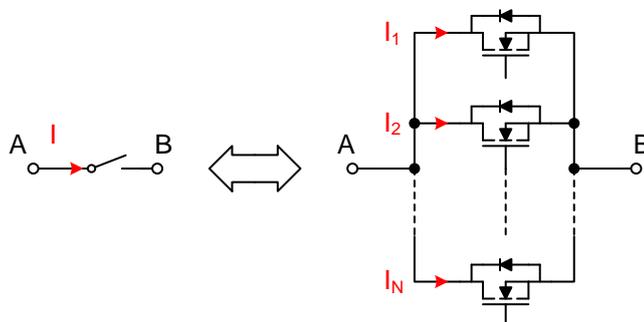


Abbildung 2.5: Parallelschaltung von Power MOSFETs (in Anlehnung an [10, S. 3])

## 2.4 Betrachtung der Schaltvorgänge

Durch die im vorherigen Kapitel beschriebenen parasitären Bauteile kommt es bei unterschiedlichen Belastungen des **DMOSFETs** zu charakteristischen Verläufen der Spannungen zwischen Gate und Source bzw. Drain und Source. Als eine Lastvariante wird nun die in Abbildung 2.6 gezeigte induktive Belastung gewählt. Neben der Stromquelle, welche die Last des Schalters darstellt, muss zusätzlich eine Spannungsquelle verbaut werden, um einen Ersatzstromkreis zu erzeugen. Ist diese Quelle nicht vorhanden, würde es bei einer Abschaltung zu einer unendlich hohen Spannung aufgrund der idealen Stromquelle kommen. Alle nachfolgenden Beschreibungen beziehen sich auf diese Art der Belastung.

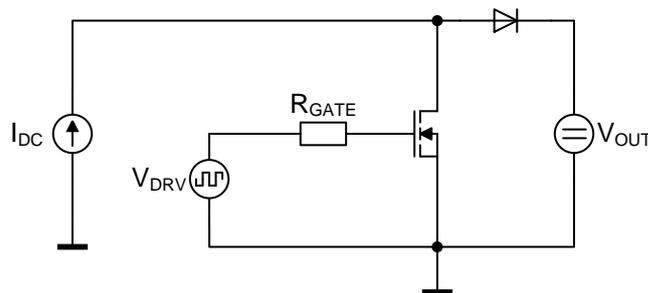


Abbildung 2.6: Modell eines DMOSFETs als Schalter mit einer Konstantstromquelle

### 2.4.1 Phasen des Einschaltens

Bei näherer Betrachtung der in Abbildung 2.7a dargestellten Strom- bzw. Spannungsverläufe ist eine Unterteilung des Einschaltvorgangs in vier verschiedene Phasen möglich. Der erste Abschnitt entsteht durch das Ladeverhalten der Eingangskapazität  $C_{ISS}$ , die von 0 V auf  $V_{th}$  geladen wird. Hauptverantwortlich für den Strom ist die Gate Source Kapazität  $C_{GS}$ , nur ein kleiner Teil fließt in  $C_{GD}$ . Da sich der Strom und die Spannung am Drain in dieser Phase nicht ändert, spricht man auch von der Einschaltverzögerung, der turn-on delay time des **DMOSFETs**.

Die zweite Phase wird durch die auf  $V_{th}$  aufgeladene Eingangskapazität eingeleitet. Das Gatepotential steigt nun linear auf das Niveau des Miller Plateaus  $V_{GS,Miller}$  an. Der Strom kann in diesem Bereich proportional zur  $V_{GS}$  angesehen werden.  $I_G$  ist wiederum zum Laden der beiden Eingangskapazitäten  $C_{GS}$  und  $C_{GD}$  verantwortlich. Bei der Betrachtung der Ausgangsgrößen  $I_D$  und  $V_{DS}$  erkennt man, dass der Strom mit zunehmender  $V_{GS}$  ansteigt, die Spannung aber konstant auf  $V_{DS,off}$  bleibt. Dieses Verhalten ist mit dem Modell in Abbildung 2.6 erklärbar. Der gesamte Drainstrom kann durch den **DMOSFET** fließen, wodurch die Diode die Spannung  $V_{out}$  sperren kann. Aus diesem Grund muss die Drain Source Spannung auf dem selben Niveau bleiben als zuvor.

Nachdem  $V_{GS,Miller}$  am Gate erreicht wurde, beginnt der dritte Einschaltbereich. Hier ist nun die zuvor aktive Diode ausgeschaltet, was zu einer Reduktion des Spannungsabfalls an der Drain Source Strecke führen kann. Angesichts des rapiden Abfalls der  $V_{DS}$ , muss aller zu Verfügung stehender

Gatestrom dafür aufgewendet werden, um die parasitäre Kapazität  $C_{GD}$  umladen zu können. Die Gate Source Spannung bleibt auf einem konstanten Level, welches als Miller Plateau bezeichnet wird. Der Drainstrom bleibt auf seinem maximalen Wert, der durch die Stromquelle als Last vorgegeben wird.

Der Abschluss des Einschaltvorganges bildet das vierte Intervall. Durch weitere Erhöhung der Gate Source Spannung auf die maximal lieferbare Spannung des Treibers  $V_{DRV}$ , wird die Eingangskapazität  $C_{ISS}$  voll geladen und der DMOSFET erhält den kleinst möglichen Drain Source Widerstand  $R_{DS,on}$ . Der Gate Eingangstrom verringert sich mit zunehmender Ladung der beiden Kapazitäten  $C_{GS}$  und  $C_{GD}$ . Durch die Reduktion des  $R_{DS}$  kommt es zu einer weiteren, geringfügigen Abnahme der Drain Source Spannung [2, S. 6].

### 2.4.2 Phasen des Ausschaltens

Die einzelnen Phasen des Abschaltens können als umgekehrte Abfolge des zuvor beschriebenen Einschaltvorganges angesehen werden. Sie beginnen bei einem voll angesteuerten DMOSFET mit kleinst möglichem  $R_{DS}$ . Durch die maximale Gatespannung ( $V_{GS} = V_{DRV}$ ) kommt es zu einem größtmöglichen Strom  $I_D$ . Der erste Abschnitt in Abbildung 2.7b zeigt die Anfangsbedingung der Ströme und Spannungen.  $V_{DS}$  ist zu Beginn durch den On-Widerstand  $R_{DS,on}$  und den Strom  $I_D$  definiert und nimmt mit sinkender  $V_{GS}$  geringfügig zu. Der Gatestrom  $I_G$  fällt proportional mit der Gate Source Spannung ab. Der Anfangswert stammt von der Eingangskapazität  $C_{ISS}$  und fließt bei deren Entladung durch  $C_{GS}$  und  $C_{GD}$  durch das Gate ab. Die Vorgänge in diesem Abschnitt sind für die Ausschaltverzögerung (turn-off delay) des Bauteils verantwortlich.

Der zweite Teil des Abschaltvorganges beginnt mit dem Absinken der  $V_{GS}$  auf das Miller Plateau. Dadurch nimmt die Leitfähigkeit des Transistors langsam ab, wodurch sich der Spannungsabfall an Drain und Source langsam erhöht, bis am Ende der Phase 2  $V_{DS,off}$  erreicht ist. Dieses Potential bleibt für die verbleibende Abschaltzeit konstant. Während der gesamten zweiten Phase bleibt der Gatestrom auf einem gleichbleibenden Niveau, da die parasitäre Kapazität  $C_{GS}$  geladen werden muss.

Nach weiterem Absinken der  $V_{GS}$  wird die Diode des zuvor definierten Ersatzschaltbildes leitend. Dies stellt den Beginn des dritten Abschnittes dar. Angesichts des somit entstandenen neuen Stromzweiges beginnt der Laststrom zu sinken und erreicht einen Minimalwert, wenn  $V_{GS}$  auf die Threshold Spannung  $V_{th}$  des DMOSFETs abgesunken ist. Der Gatestrom, welcher hauptsächlich von der Gate Source Kapazität  $C_{GS}$  gespeist wird, nimmt aufgrund deren Entladung ebenfalls ab. Angesichts der fallenden Gate Source Spannung  $V_{GS}$  verringert sich der Drainstrom  $I_D$  soweit, bis er zum Ende dieser Phase nahe am Nullpunkt angekommen ist. Der DMOSFET befindet sich im linearen Betriebszustand. Der zweite Teil ( $C_{GD}$ ) der Eingangskapazität  $C_{ISS}$  bleibt virtuell auf dem Potential der vorherigen Stufe geladen.

In der vierten und letzten Phase wird die Eingangskapazität, einschließlich der noch voll geladenen  $C_{GD}$ , zur Gänze entladen. Dies geschieht durch weiteres Herabsetzen der  $V_{GS}$  bis auf 0 V. Folglich sinkt der Gatestrom, der in dieser Phase hauptsächlich von  $C_{GS}$  bereit gestellt wird, ebenfalls auf Null ab. Nun ist das Bauteil in einem maximal hochohmigen Zustand [2, S. 7f].

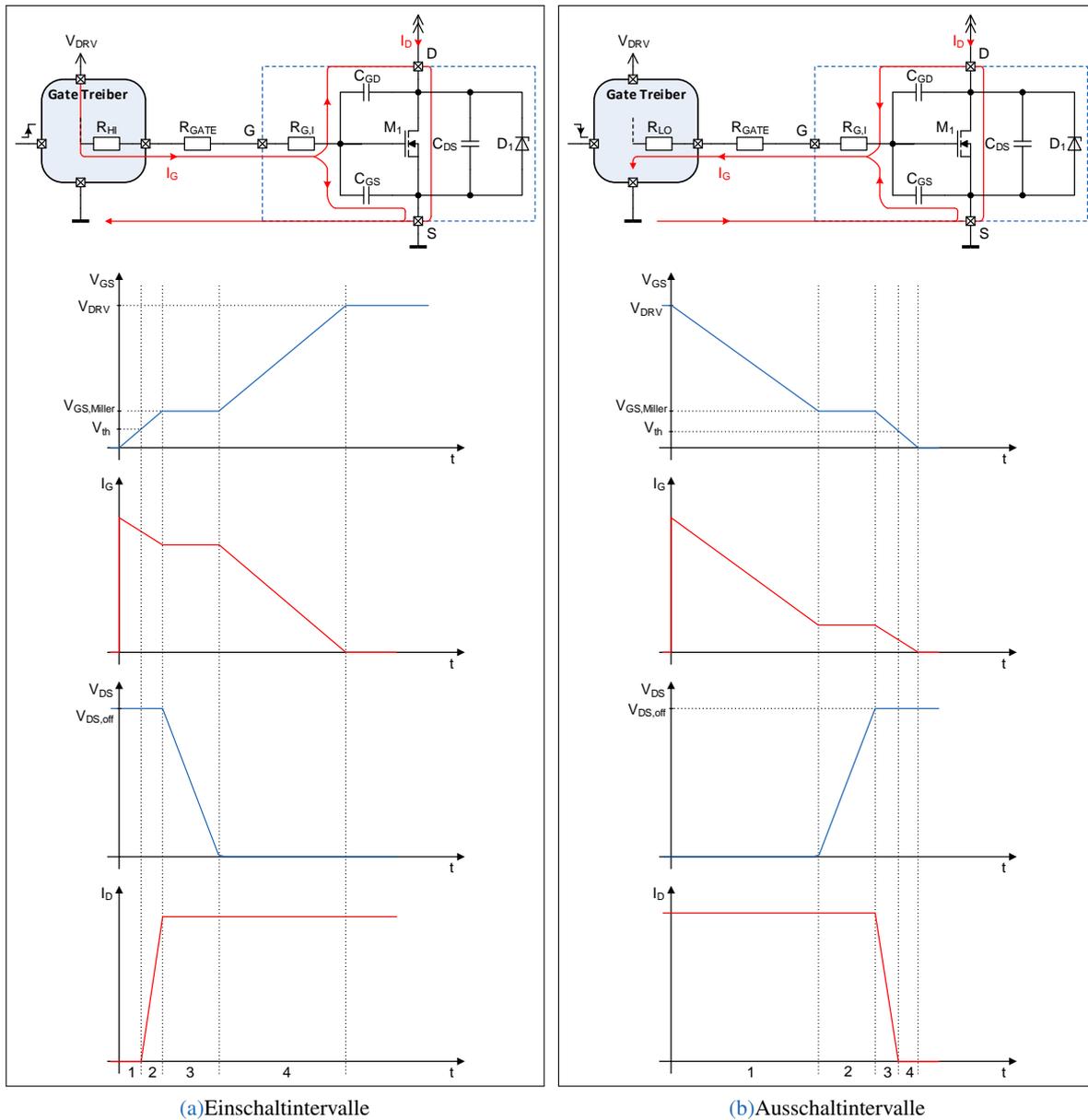


Abbildung 2.7: Schaltintervalle eines DMOSFETs mit idealer Stromquelle als Last (in Anlehnung an [2, S. 6])

## 2.5 Betrachtung verschiedener Level Shifter Typen

In vielen industriellen Anwendungen ist ein Umgang mit hohen Versorgungsspannungen eine Voraussetzung um ICs einsetzen zu können. Damit in diesen Betriebsbedingungen Transistoren angesteuert und Kontrollsignale weiter verarbeitet werden können, müssen Schaltungen entwickelt werden, um diese hohen Spannungsbereiche überbrücken zu können. Der bevorzugte Lösungsweg ist der Einsatz von sogenannten Level Shiftern, die je nach benötigter Eigenschaft unterschiedlich ausgeführt werden. In dieser Arbeit nehmen Level Shifter einen besonderen Status ein. Sie wurden nach den geforderten Kriterien, Schnelligkeit und statischer Stromaufnahme, ausgewählt und mit Hilfe der zur Verfügung stehenden Technologie umgesetzt. Das nachfolgende Kapitel gibt eine Übersicht über die Entscheidungsfindung der letzten Endes gewählten Schaltungstopologie.

### 2.5.1 Transistorgrundschaltungen als Level Shifter

Die grundlegende und sehr vereinfachte Variante eines Level Shifters stellt die Verwendung einer Transistorgrundschaltungen dar.

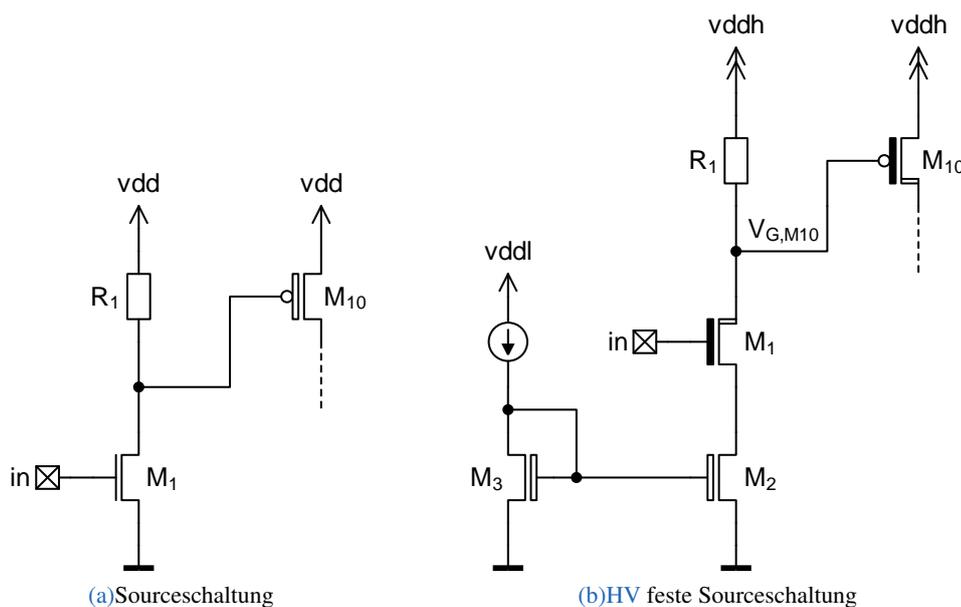


Abbildung 2.8: Verwendung einer Transistorgrundschaltung als Level Shifter

Die in Abbildung 2.8a gezeigte Sourceschaltung kann mit Hilfe des P-Kanal MOSFETs (PMOSFETs)  $M_{10}$  Signale in die  $vdd$  Spannungsebene anheben. Das Eingangssignal, welches am Gateanschluss von  $M_1$  anliegt, kann dabei kleiner sein, als die an  $M_{10}$  bzw.  $R_1$  anliegende  $vdd$ , wenn für  $M_1$  und  $M_{10}$  unterschiedliche Transistortypen verbaut sind. Wird nun am Eingang ein Signal angelegt, das größer als  $V_{th,M1}$  ist, kann der Gateanschluss von  $M_{10}$  auf  $gnd$  gezogen werden, was zu einem Einschalten des PMOSFETs  $M_{10}$  führt. Somit ist es zum Beispiel möglich, ein digitales 1,5 V Eingangssignal in

ein 5 V Ausgangssignal zu verwandeln. Der Nachteil dieses Level Shifters ist der Drainstrom durch  $M_1$ , der solange fließt, bis am Eingang eine Spannung anliegt, die unter der Thresholdspannung von  $M_1$  liegt. Durch die Wahl eines großen Widerstandes  $R_1$  kann immerhin der unerwünschte Querstrom reduziert werden, eine vollkommene Unterbindung ist jedoch nicht möglich [11, S. 195ff].

Eine ähnliche Situation zeigt sich in der in Abbildung 2.8b gezeigten HV Variante der Sourceschaltung. Hier wurde unter  $M_1$  ein Stromspiegel  $M_3/M_2$  als aktive Last eingesetzt, um einen kontrollierten Stromfluss durch den Widerstand  $R_1$  zu erhalten. Der Grund dafür liegt in der notwendigen Kontrolle des Knotens  $V_{G,M10}$ . Damit der Sourceanschluss des HV PMOSFETs  $M_{10}$  an einer Versorgungsspannung angeschlossen werden kann, die größer als die maximale  $V_{GS}$  ist, darf der Spannungsabfall an  $R_1$  nicht größer als  $V_{GS,max,M10}$  sein. Der Vorteil dieser HV Modifikation gegenüber der ursprünglichen Version liegt nur in der Möglichkeit mit 5 V Eingangssignal hohe Spannungen zu schalten. Diese Eigenschaft wurde mit einem zusätzlichen Strompfad erkauft, der immer zu tragen kommt, wenn am Eingang ein logisch HI anliegt.

### 2.5.2 Level Shifter Grundstruktur für hohe Versorgungsspannungen

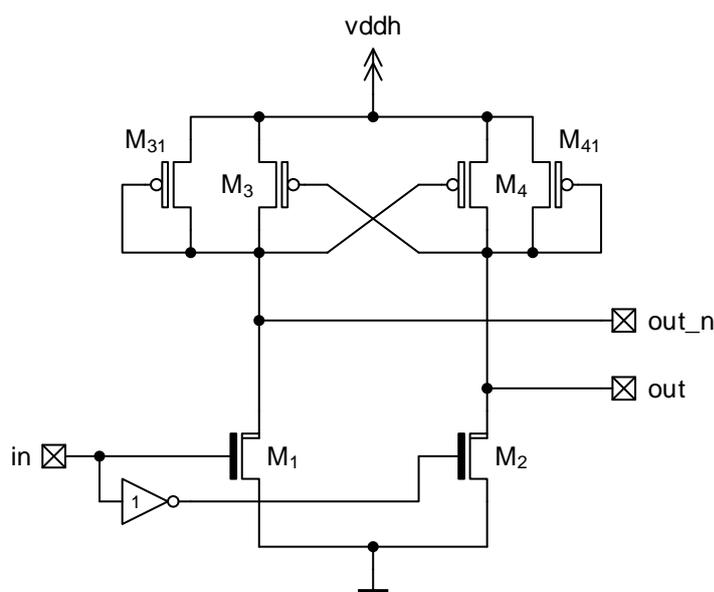


Abbildung 2.9: Erweiterung des Level Shifters für höhere Spannungen

Wird in der vorhandenen Technologie kein HV fester PMOSFET bereitgestellt, müssen andere Methoden entwickelt werden, ein Eingangssignal in eine höher Spannungsebene zu heben. Der in Abbildung 2.9 gezeigte Ansatz wurde von [14, S. 1947] beschrieben und zeigt eine Möglichkeit auf, Transistoren vor unzulässig hohen Spannungen zu schützen, ohne dass ein HV PMOSFET eingesetzt werden muss. Im Gegensatz zu den zuvor beschriebenen primitiven Level Shifter Ansätzen, wird hier eine Grundstruktur verwendet, die durch die gekreuzte Ansteuerung der beiden PMOSFETs  $M_3$  und  $M_4$  dauerhafte Querströme unterbindet. Immer wenn  $M_1$  leitend ist, wird durch den ebenfalls leitfähigen PMOSFET  $M_4$  der Gatekontakt von  $M_3$  nach oben gezogen. Demnach liegt keine Gate Source Spannung an

$M_3$  an, wodurch sich der Transistor im Sperrbereich befindet. Soll nun der Level Shifter in einem Spannungsbereich betrieben werden, bei dem die Versorgungsspannung die maximal zulässige Drain Source Spannung von  $M_3$  und  $M_4$  überschreitet, wirken  $M_{31}$  bzw.  $M_{41}$  als Schutzstrukturen. Dadurch dass die Gateanschlüsse mit den Drains der entsprechenden **NMOSFETs** verbunden sind, ist entweder der zu schützende **PMOSFET** leitfähig, oder dessen Schutzstruktur. Durch diese Konstellation ist ein Anliegen einer zu hohen Drain Source Spannung an  $M_3$  bzw.  $M_4$  nicht möglich. Aus diesem Grund können alle **PMOSFETs** eine niedrigere Spannungsfestigkeit zwischen Drain und Source aufweisen, als die darunter liegenden Bauteile. Der größte Nachteil beim Einsatz dieses „Überspannungsschutzes“ ist die Außerkraftsetzung des stromlosen Betriebes. Sobald sich der Level Shifter in einem stabilen Zustand befindet, als Beispiel kann der Eingang als logisch HI angenommen werden, fließt ein Querstrom von der Versorgungsspannung kommend über  $M_{31}$  und  $M_1$  in Richtung *gnd* ab. Ein weiterer Punkt, auf den bei der Dimensionierung geachtet werden muss, ist die maximal zulässige Gate Source Spannung der beiden **PMOSFETs**  $M_3$  und  $M_4$ . Durch die passende Dimensionierung von  $M_1$  zu  $M_{31}$  muss das Gatepotential auf einer ausreichenden Höhe gehalten werden. Die Größe des fließenden Stromes kann nur durch die Dimensionierung von  $M_{31}$  begrenzt werden, da bei einem zu schwach dimensionierten **NMOSFET**  $M_1$  die Umschaltgeschwindigkeit des Level Shifters negativ beeinflusst wird. Trotz dieser ungünstigen Eigenschaft wird der Ansatz der zugrundeliegenden Struktur der beiden gekreuzten **PMOSFETs** für die weitere Entwicklung eines passenden Level Shifters herangezogen. Für niedrige Versorgungsspannungen wurde diese Variante im Zuge der Realisierung des Gate Treibers umgesetzt. Ein genauer Ablauf eines Umschaltvorganges, sowie Simulationsergebnisse der gebauten Schaltung, wird in Kapitel 4 abgehandelt.

### 2.5.2.1 Reduktion des auftretenden Querstromes

Um den auftretenden Querstrom reduzieren zu können, wurde in [14, S. 1947] eine Möglichkeit aufgezeigt, den zuvor behandelten Level Shifter so zu erweitern, dass eine Reduktion des Querstromes um mehrere Zehnerpotenzen möglich wird. Bewerkstelligt wird dies mit dem Einsatz von Stromspiegeln, die den erlaubten Querstrom vorgeben. Abbildung 2.10 zeigt eine mögliche Implementierung. Die beiden **NMOSFETs**  $M_7$  und  $M_8$  bilden zusammen mit  $M_6$  diese Stromspiegel. Als Last, die zur Generierung des gewünschten Stromes benötigt wird, dient der als MOS-Diode geschaltete **NMOSFET**  $M_5$ . Als weitere Änderung müssen die beiden **NMOSFETs**  $M_1$  und  $M_2$  durch Transistoren ersetzt werden, bei denen der Bulkkontakt frei verschaltbar und nicht fest mit Source verbunden ist. Da es sich bei diesen beiden Bauteilen um Transistoren handelt, welche die gesamte Versorgungsspannung zwischen Drain und Source bewältigen müssen, ist es je nach der Höhe der Versorgungsspannung notwendig, **DMOSFETs** zu verwenden. Somit muss sichergestellt werden, dass die verwendete Technologie ein solches Bauteil auch zur Verfügung stellt. Durch diese Modifikation ergeben sich im Vergleich zu der in Abbildung 2.9 gezeigten Schaltung erhebliche Nachteile. Zum einen wird es durch den frei verschaltbaren Bulkanschluss zu einer Vergrößerung der Schaltungsfläche kommen und zum anderen vergrößert sich die Verzögerungszeit, mit der der Level Shifter auf eine Änderung am Eingang reagieren kann. Der Grund dafür liegt in der reduzierten Stärke der Eingangstransistoren  $M_1$  und  $M_2$ . Sie können das Gatepotential der betreffenden **PMOSFETs** nicht mehr mit derselben Geschwindigkeit nach unten ziehen wie zuvor, da deren maximaler Drainstrom durch die Vorgabe der Stromspiegel reduziert wurde.

Diese Kriterien führen zusätzlich zu dem noch immer auftretenden DC Strom zu einem Ausschluss der Schaltung.

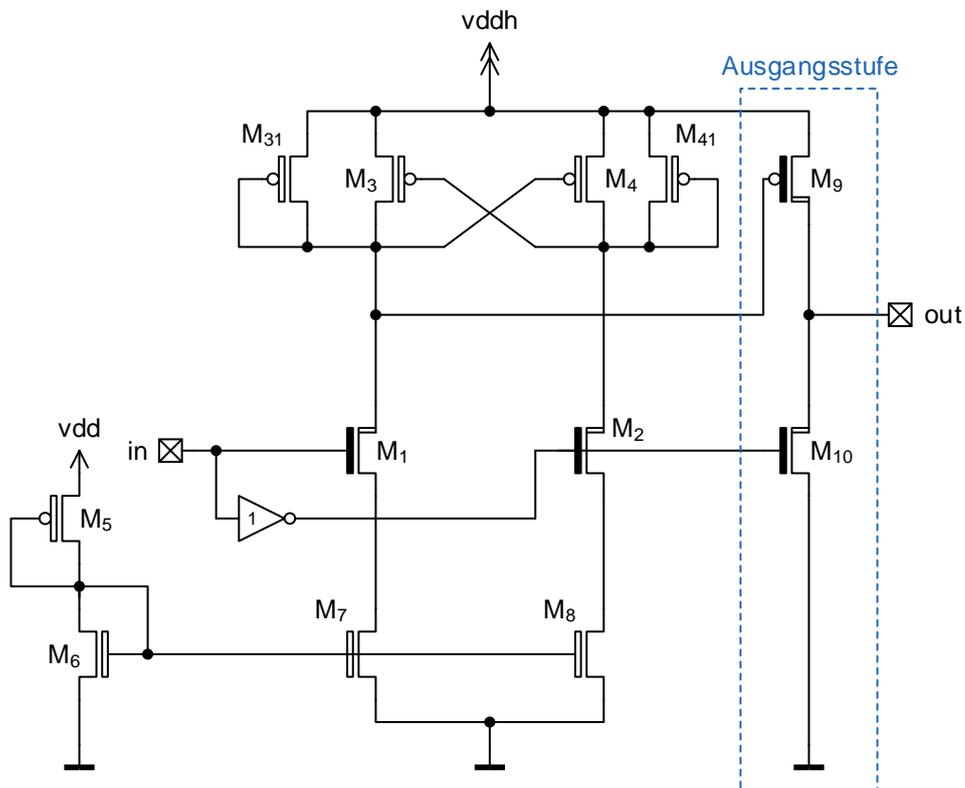


Abbildung 2.10: Reduktion des Querstromes des Level Shifters von Abbildung 2.9

### 2.5.3 Level Shifter mit gepulsten Eingangssignalen

Ein vollkommen anderer Ansatz wird von [12] dokumentiert, bei dem auf die bisher beschriebenen Grundstrukturen mit gekreuzten PMOSFETs verzichtet wurde. Anstatt dessen wurde die Kreuzung durch einen PMOSFET Stromspiegel ersetzt. Abbildung 2.11 zeigt den Aufbau der beschriebenen Schaltung, die von [14] adaptiert wurde. Um eine geringe Leistungsaufnahme zu gewährleisten, wird das Design so gewählt, dass die Funktion durch eine gepulste Ansteuerung der beiden Transistoren  $M_1$  und  $M_2$  gewährleistet wird. Soll der Level Shifter abermals in hohen Versorgungsspannungen betrieben werden, müssen zumindest diese beiden Eingangstransistoren als DMOSFETs ausgeführt werden. Wird die Z-Diode  $D_1$  so dimensioniert, dass die maximale Drain Source Spannung von  $M_4$  nicht erreicht wird, kann dieser als normaler PMOSFET ausgeführt werden.

Ein Umschaltvorgang dieses Level Shifter Typs kann folgendermaßen beschrieben werden: Die Kapazität  $C_1$  ist auf eine Spannung von 5 V geladen, wodurch  $M_5$  vollkommen leitend ist und der Ausgang mit der Versorgungsspannung verbunden ist. Damit es zu keinem Querstrom kommt, muss  $M_6$  durch das Steuersignal von  $in_3$  ausgeschaltet sein. Liegt nun der Gateanschluss von  $M_2$  auf  $gnd$ ,

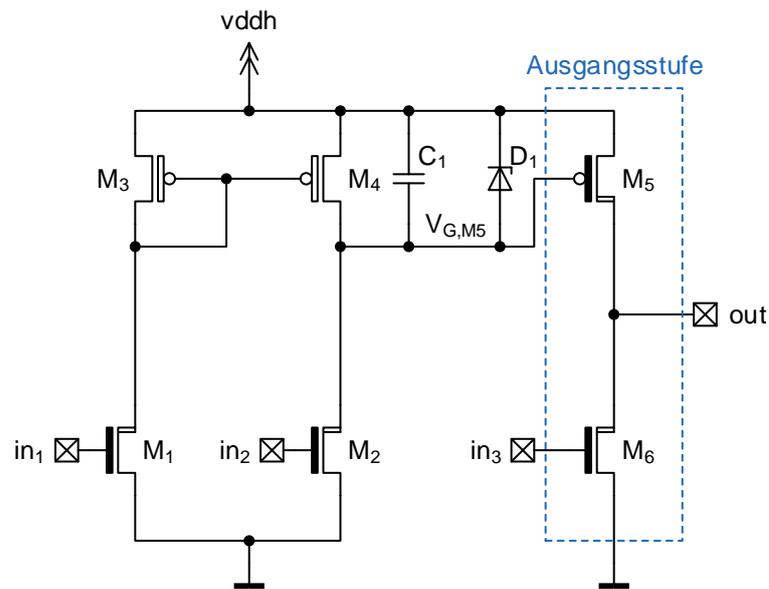


Abbildung 2.11: Level Shifter mit gepulsten Steuersignalen

kann durch ein gepulstes Signal an  $in_1$  der **DMOSFET**  $M_1$  kurzzeitig eingeschaltet werden. Der somit entstehende Drainstrom wird durch den Stromspiegel  $M_3 / M_4$  in den zweiten Pfad gespiegelt. Da  $M_2$  geschlossen ist, kommt es zu einer Erhöhung des Gatepotentials von  $M_5$  und somit zu einer Reduktion der Spannung von  $C_1$ . Das Resultat ist die Reduktion der Gate Source Spannung des **PDMOSFETs** der Ausgangsstufe, bis er in den Sperrbereich übergeht. Nachdem der **DMOSFET**  $M_6$  durch ein Steuersignal an  $in_3$  eingeschaltet wurde, ist der Ausgang mit  $gnd$  verbunden, wodurch der Umschaltvorgang abgeschlossen wird. Bei einer gewollten Zustandsänderung des Level Shifters muss  $M_6$  geöffnet und die Kapazität  $C_1$  erneut aufgeladen werden. Dies geschieht, indem die beiden **DMOSFETs** durch einen Spannungspuls zugleich eingeschaltet werden. Der Grund für diese gleichzeitige Ansteuerung liegt in der Notwendigkeit, den Drainanschluss von  $M_4$  nur bis zu einem vorgegebenen Level absinken zu lassen. Bei einem alleinigen Ansteuern des **NMOSFETs**  $M_2$ , würde dieser Potentialknoten auf  $gnd$  gezogen und somit  $C_1$  auf die gesamte Versorgungsspannung bzw. auf die Durchbruchspannung von  $D_1$  aufgeladen. Eine Überschreitung der maximalen Gate Source Spannung von  $M_5$  wäre die Folge. Ist der Spannungspuls an  $in_1$  und  $in_2$  wieder auf 0 V abgesunken, bleibt – durch das nun isolierte Gate von  $M_6$  – die Ladung in  $C_1$  gespeichert und der Ausgang auf der Versorgungsspannung.

Der größte Nachteil dieses Level Shifters ist die geringe zeitliche Robustheit. Obwohl die beiden Transistoren  $M_2$  und  $M_4$  den Knoten  $V_{G,M5}$  isolieren, wird sich  $C_1$  durch den im Subthreshold Bereich auftretenden Leckstrom von  $M_4$  entladen. Ein zyklisch auftretender Aufladevorgang ist somit notwendig, um die Funktionalität des Level Shifters zu gewährleisten.

### 2.5.4 Auswahl des verwendeten Level Shifters

Die bisher behandelten Level Shifter Varianten geben einen Überblick über die vielfältigen Realisierungsmöglichkeiten und zeigen Vor- und Nachteile der einzelnen Strukturen auf. Tabelle 2.1 fasst die erhaltenen Erkenntnisse nochmals zusammen.

Level Shifter Grundstrukturen	Vorteile	Nachteile
Sourceschaltung	einfacher Aufbau; geringer Flächenaufwand	großer Querstrom; nicht HV tauglich
HV Sourceschaltung	HV fest	dauerhafter Querstrom
gekreuzte Grundstruktur HV	bedingt HV tauglich; gute Grundstruktur	dauerhafter Querstrom; langsam bei reduziertem Querstrom
Grundstruktur verbessert	geringer Querstrom möglich	DMOSFETs mit frei verschaltbarem Bulkanschluss; langsam bei reduziertem Querstrom; dauerhafter Querstrom
gepulste Eingänge	Querstrom nur bei Umschaltvorgängen; HV tauglich	nicht zeitlich robust

Tabelle 2.1: Vor- und Nachteile der untersuchten Level Shifter

Aufgrund der Tatsache, dass der geplante Gate Treiber in einem System eingesetzt werden soll, indem die Versorgungsspannung von einer begrenzten Energiequelle zu Verfügung gestellt wird, ist die Leistungsaufnahme der entscheidende Faktor bei der Auswahl des Level Shifters. In einer ersten, oberflächlichen Betrachtung würde die Wahl auf die zuletzt besprochene Schaltung von Abbildung 2.11 fallen. Da jedoch die Robustheit in automobilen Anwendungen einen großen Sicherheitsfaktor darstellt und wiederum für den Erhalt des gewünschten Zustandes eine zyklische Energiezufuhr notwendig ist, kann diese Version nicht verwendet werden. Demzufolge bleibt als einzige Möglichkeit eine Adaptierung des Level Shifter von Abbildung 2.9. Um den auftretenden Querstrom zu verhindern, kann jedoch nur die gekreuzte Grundstruktur verwendet werden. Je nachdem wie hoch die anliegende Versorgungsspannung werden kann, ist ein Einsatz von HV DMOSFETs für  $M_3$  und  $M_4$  bzw. das Vorsehen einer geeigneten Schutzvorrichtung notwendig. Die für diese Arbeit gewählte Topologie wurde von [18] beschrieben. Der genaue Aufbau wird in Kapitel 4.2 behandelt.

## 2.6 Referenzspannungserzeugung

Sei es bei der Erzeugung einer benötigten Gate Spannung oder einer konstanten Stromquelle, bei der Entwicklung von integrierten Schaltungen ist die Erzeugung von Spannungs- und Stromreferenzen oft notwendig. Das häufigste Mittel der Wahl stellt eine temperatur- und spannungsunabhängige

Bandabstandsreferenz dar [23, S. 400]. Obwohl diese Schaltungsstruktur zu den Standardbausteinen eines jeden Schaltungsdesigns zählt, kann unter bestimmten Voraussetzungen auf die Eigenschaft der Temperaturunabhängigkeit verzichtet werden bzw. ist eine Abhängigkeit sogar erwünscht. In diesen Fällen kann die Komplexität der Referenzspannungserzeugung erheblich gesenkt werden, indem das Konzept einer versorgungsunabhängigen Stromreferenz, der so genannten „beta multiplierer“ Referenz von Abbildung 2.12 verwendet wird [23, S. 377ff], [22], [1, S. 621-626].

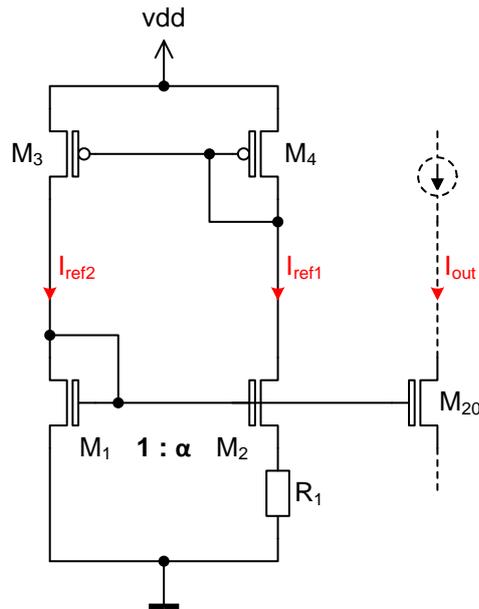


Abbildung 2.12: Konzept einer versorgungsunabhängigen Stromreferenz

Der Aufbau besteht aus zwei verschalteten Stromspiegeln, die den erzeugten Referenzstrom  $I_{ref1}$  gegenseitig kopieren und in einer Art Zirkulation halten. Die eigentliche Funktion stellt der Stromspiegel  $M_1/M_2$  mit dem dazu gehörigen ohmschen Widerstand  $R_1$  zur Verfügung. Aufgrund des entstehenden Spannungsabfalls an  $R_1$  haben  $M_1$  und  $M_2$  nicht dieselben Gate Source Spannungen und somit unterschiedliche Drainströme. Dieser Umstand würde bei einer Verbindung des Bulk Kontaktes von  $M_2$  auf  $gnd$  noch verstärkt werden, da sich die Schwellspannung aufgrund des Body Effektes vergrößern würde. Für die nachfolgende Betrachtung wird angenommen, dass die Bulk- und Sourceanschlüsse miteinander verbunden werden können, was eine Vernachlässigung dieses Effektes ermöglicht.

Aufgrund dieser Umstände müssen die beiden PMOSFETs  $M_3$  und  $M_4$  verbaut werden, um die für die Funktion notwendige Bedingung  $I_{ref2} \stackrel{!}{=} I_{ref1}$  zu erzeugen. Als ersten Schritt zur Erklärung des Funktionsablaufes ist die Aufstellung der Maschengleichung

$$-V_{R1} - V_{GS,M2} + V_{GS,M1} = 0 \quad (2.9)$$

$$I_{ref1} \cdot R_1 = V_{GS,M1} - V_{GS,M2} \quad (2.10)$$

notwendig.

Nun kann die bekannte Gleichung für den Drainstrom eines in Sättigung betriebenen MOSFETs

$$I_D = \frac{\beta}{2} (V_{GS} - V_{th})^2 \quad (2.11)$$

verwendet werden, um damit die beiden Gate Source Spannungen zu substituieren. Der Transistorverstärkungsfaktor  $\beta$  beschreibt darin den Zusammenhang des Prozessverstärkungsfaktors  $K'$  mit den Transistorabmessungen.

$$\beta = K' \cdot \frac{W}{L} \quad (2.12)$$

Die in den Gleichungen (2.13) bis (2.18) verwendete Dimensionierungsangabe  $W/L$  bezieht sich auf die beiden NMOSFETs  $M_1$  und  $M_2$ .

$$I_D = \frac{1}{2} K' \cdot \frac{W}{L} (V_{GS} - V_{th})^2 \quad (2.13)$$

$$V_{GS} = \sqrt{2 \cdot I_D \cdot \frac{1}{K'} \cdot \frac{L}{W}} + V_{th} \quad (2.14)$$

$$I_{ref1} \cdot R_1 = \sqrt{2 \cdot I_{ref2} \cdot \frac{1}{K'} \cdot \frac{L}{W}} + V_{th,M1} - \left( \sqrt{2 \cdot I_{ref1} \cdot \frac{1}{K'} \cdot \frac{1}{\alpha} \cdot \frac{L}{W}} + V_{th,M2} \right) \quad (2.15)$$

Durch die Annahme, dass es sich bei dem Stromspiegel  $M_1 / M_2$  um matchende Bauteile mit derselben  $V_{th}$  und auch demselben Strom handelt, vereinfacht sich die Gleichung (2.15) zu der in (2.18) gezeigten, endgültigen Beziehung für den generierten Strom  $I_{ref1}$ .

$$I_{ref1} \cdot R_1 = \sqrt{2 \cdot I_{ref2} \cdot \frac{1}{K'} \cdot \frac{L}{W}} \left( 1 - \frac{1}{\sqrt{\alpha}} \right) \quad (2.16)$$

$$(I_{ref1} \cdot R_1)^2 = 2 \cdot I_{ref1} \cdot \frac{1}{K'} \cdot \frac{L}{W} \left( 1 - \frac{1}{\sqrt{\alpha}} \right)^2 \quad (2.17)$$

$$I_{ref1} = 2 \cdot \frac{1}{K' \cdot W/L} \cdot \frac{1}{R_1^2} \left( 1 - \frac{1}{\sqrt{\alpha}} \right)^2 = \frac{2}{\beta_{M1}} \cdot \frac{1}{R_1^2} \left( 1 - \frac{1}{\sqrt{\alpha}} \right)^2 \quad (2.18)$$

Gleichung (2.18) beweist nun die Unabhängigkeit des erzeugten Stromes von der Versorgungsspannung der Schaltung. Der einzige Parameter, der neben den Transistorabmessungen einen Einfluss auf das Ausgangssignal besitzt, ist der ohmsche Widerstand  $R_1$ . Durch die quadratische Abhängigkeit des Stromes vom verbauten Widerstand, kann mit  $R_1$  der Referenzstrom zu größten Teilen beeinflusst werden. Nun bleibt noch zu klären, ob es einen bevorzugten Wert für  $\alpha$  gibt. Formt man dazu die zuvor aufgestellte Maschengleichung 2.9 auf  $V_{GS,M1}$  um, ist erkennbar, dass  $V_{GS,M1} > V_{GS,M2}$  sein muss. Dies schränkt die Wahl von  $\alpha$  schon auf Werte ein, die ein positives Vorzeichen haben, da durch  $M_1$  und  $M_2$  der gleiche Strom fließen muss. Somit benötigt  $M_2$  einen größeren Wert für dessen Transistorverstärkungsfaktor  $\beta$  (2.12). Erfüllt wird dies, indem die Weite von  $M_2$  um den Faktor  $\alpha$  vergrößert wird. Aus diesem Grund ergibt sich auch die Namensgebung dieser Schaltung.

Wird nun ein willkürlicher Wert von  $\alpha \stackrel{!}{=} 4$  gewählt, können folgende Überlegungen getroffen werden: Bei der Verwendung des Blockes als Spannungsreferenz kann  $V_{GS,M1}$  als Referenzspannung  $V_{ref}$  angenommen werden. Dadurch dass  $I_{ref}$  bekannt ist, kann durch Umformung der Transistorgleichung (2.11) folgender Zusammenhang ermittelt werden:

$$V_{GS} = \sqrt{\frac{2I_D}{\beta}} + V_{th} \quad (2.19)$$

$$V_{GS,M1} = V_{ref} \quad (2.20)$$

$$V_{ref} = \sqrt{\frac{\frac{4}{\beta_{M1}} \cdot \frac{1}{R_1^2} \left(1 - \frac{1}{\sqrt{\alpha}}\right)^2}{\beta_{M1}}} + V_{th} = \quad (2.21)$$

$$= \frac{4 \cdot \left(1 - \frac{1}{\sqrt{\alpha}}\right)^2}{\beta_{M1}^2 \cdot R_1^2} + V_{th} = \quad (2.22)$$

$$= \frac{2}{R_1 \cdot \beta_{M1}} \left(1 - \frac{1}{\sqrt{\alpha}}\right) + V_{th} \quad (2.23)$$

Wird nun der zuvor festgelegte Wert  $\alpha = 4$  eingesetzt, vereinfacht sich  $V_{ref}$  zu folgendem Ausdruck:

$$V_{ref} = \frac{1}{R \cdot \beta_{M1}} + V_{th} \quad (2.24)$$

Mit diesem Ergebnis ist eine weitere Eigenschaft dieser Schaltung erkennbar. Bei der richtigen Wahl des Spiegelverhältnisses kann sichergestellt werden, dass die Skalierung des Transistors  $M_2$  über den Parameter  $W$  keinen Einfluss auf die Referenzspannung  $V_{ref}$  hat [17].

Ein zweiter Grund für diese Wahl ist die Vereinfachung der Transkonduktanz. Wird in die bekannte Beziehung

$$g_m = \sqrt{2 \cdot K'W/L \cdot I_D} \quad (2.25)$$

der ermittelte Strom aus (2.18) eingesetzt, ergibt sich für  $g_m$  der in (2.26) ermittelte Zusammenhang.

$$g_m = 2 \cdot \frac{1}{R} \left(1 - \frac{1}{\sqrt{\alpha}}\right) \quad (2.26)$$

Dieser allgemeine Zusammenhang vereinfacht sich für  $\alpha = 4$  in eine von jeglichem Designparameter unabhängigen Formel für  $g_m$ .

$$g_m = \frac{1}{R} \quad (2.27)$$

Aufgrund der Gleichung (2.27) wird die beta multiplierter Referenz des öfteren auch „konstant gm Stromreferenz“ genannt [1, S. 624f].

## 2.7 Entwurf eines Schmitt Triggers

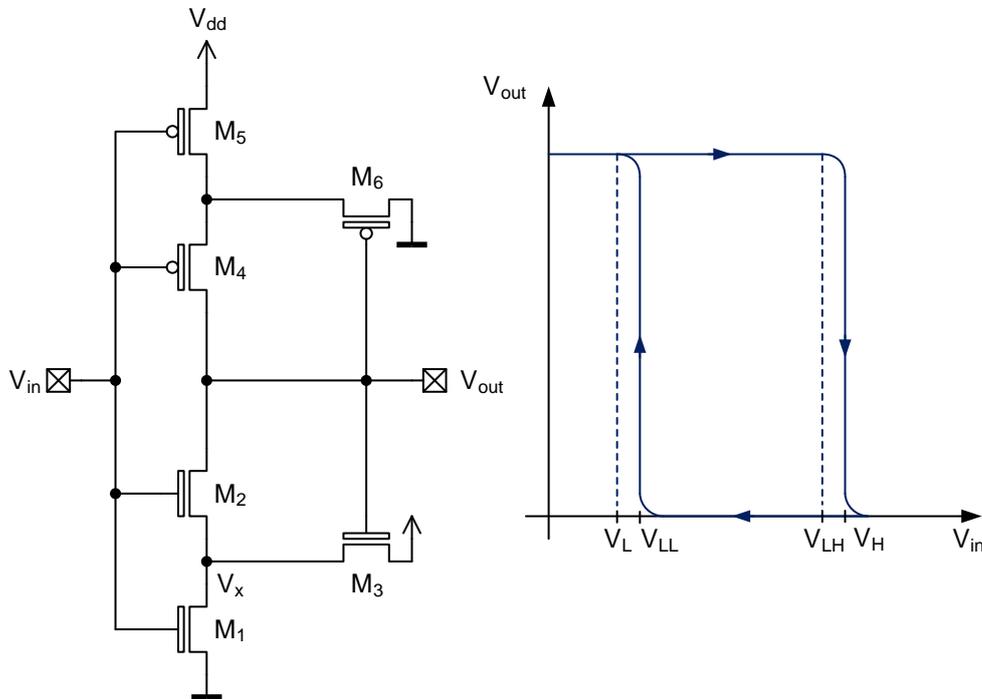


Abbildung 2.13: Struktur eines CMOS Schmitt Triggers und dessen Übertragungskennlinie

Bei einem Entwurf von analogen Schaltungen kommt es vor, dass nicht nur Eingangssignale behandelt werden, die einen streng monotonen Verlauf besitzen. Um bei solchen Signalen trotzdem einen vorgegebenen Schwellenwert detektieren zu können, ist der Einsatz von Schmitt Trigger Schaltungen eine einfache Methode um togglende Ausgänge zu vermeiden. Eine Variante dieser Schaltungsstrukturen wird in Abbildung 2.13 dargestellt. Wie in dem daneben stehenden schematischen Spannungsverlauf zu erkennen ist, kann das Verhalten mit dem eines Inverters verglichen werden, bei dem jedoch durch richtige Dimensionierung eine gewünschte Schalthysterese realisiert werden kann. Auf den nachfolgenden Seiten wird der Schaltungsentwurf in Anlehnung an [1, S. 523-526] und [8] durchgeführt. Die Bulk Anschlüsse der in Abbildung 2.13 gezeigten MOSFETs können mit dem niedrigsten – bei NMOSFETs – bzw. dem höchsten Potential – bei PMOSFETs – verbunden werden, um ein vereinfachtes Layout zu ermöglichen.

Zu Beginn der Schaltungsentwicklung kann die Schmitt Trigger Schaltung in zwei Teile eingeteilt werden. Für die Berechnung der oberen Schaltschwelle  $V_{LH}$  kann der untere Teil getrennt betrachtet werden. Als Ausgangspunkt wird eine Eingangsspannung von  $V_{in} = 0\text{ V}$  und somit eine Ausgangsspannung von  $V_{out} = V_{dd}$  angenommen. Die beiden Transistoren  $M_1$  und  $M_2$  sind ausgeschaltet und befinden sich im Sperrbereich. Am Gate von  $M_3$  liegt wie zuvor schon erwähnt die Versorgungsspannung  $V_{dd}$  an. Der Transistor ist somit vollkommen eingeschaltet und definiert das Potential zwischen  $M_1$  und  $M_2$  mit  $V_x = V_{out} - V_{GS,M3} = V_{dd} - V_{th,M3}$ . Aufgrund des Zustandes von  $M_1$  kann aber kein Strom durch  $M_3$  fließen. Die beiden PMOSFETs  $M_4$  und  $M_5$  befinden sich zwar im linearen Bereich,

ein Stromfluss wird aber durch  $M_1$  und  $M_2$  unterbunden. Diese Zustände der NMOSFETs beginnen sich zu ändern, wenn die Spannung am Eingang zu steigen beginnt und  $V_{in} > V_{th,M1}$  ist.  $M_1$  wird leitfähig und beginnt das Potential  $V_x$ , durch den in Sättigung auftretenden Strom (2.11) nach unten zu ziehen. Dies ist möglich, da  $M_2$  aufgrund des Backgate Effektes eine höhere Threshold Spannung aufweist und aufgrund dessen noch immer im Sperrbereich ist. Mit zunehmender Eingangsspannung beginnt  $M_2$  ebenfalls zu leiten und die Schaltschwelle  $V_{LH}$  wird mit

$$V_{in} = V_{LH} = V_{th,M2} + V_x \quad (2.28)$$

erreicht. Sobald  $M_2$  eingeschaltet ist, kann der Ausgang des Schmitt Triggers auf GND gezogen werden, was dazu führt, dass  $V_{GS,M3}$  kleiner wird und  $V_x$  weiter absinkt. Durch die Verringerung des Potentials  $V_x$  wird  $V_{GS,M2}$  vergrößert. Diese positive Rückkopplung bewirkt einen relativ gut definierten Umschaltzeitpunkt des Komparators und  $M_3$  geht ebenfalls schnell in den Sperrbereich über. Der zuvor vorhandene Querstrom wird folglich wieder unterbunden.

Für die Dimensionierung der beiden Transistoren  $M_1$  und  $M_3$  ist der erste Bereich ausschlaggebend, indem nur diese beiden MOSFETs leitend sind. Aus diesem Grund können folgende Beziehungen aufgestellt werden:

$$I_{DS,M1} = I_{DS,M3} \quad (2.29)$$

$$\frac{\beta_{M1}}{2} \cdot (V_{GS,M1} - V_{thn})^2 = \frac{\beta_{M3}}{2} \cdot (V_{GS,M3} - V_{thn})^2 \quad (2.30)$$

$$\frac{\beta_{M1}}{2} \cdot (V_{LH} - V_{thn})^2 = \frac{\beta_{M3}}{2} \cdot (V_{dd} - V_x - V_{thn})^2 \quad (2.31)$$

$$\frac{\beta_{M1}}{\beta_{M3}} = \frac{(V_{dd} - V_x - V_{thn})^2}{(V_{LH} - V_{thn})^2} \quad (2.32)$$

$$\frac{\beta_{M1}}{\beta_{M3}} = \frac{(V_{dd} - V_{LH})^2}{(V_{LH} - V_{thn})^2} \quad (2.33)$$

Setzt man für  $\beta$  die bekannte Beziehung von 2.12 ein, ergeben sich die notwendige Weiten zu Längen Verhältnisse für die Dimensionierung von  $M_1$  und  $M_3$  mit

$$\frac{\beta_{M1}}{\beta_{M3}} = \frac{W_1}{L_1} \cdot \frac{L_3}{W_3} \quad (2.34)$$

Mit Hilfe der Beziehungen 2.33 und 2.34 können die ersten beiden NMOSFETs für die geforderte Umschaltsschwelle dimensioniert werden. Äquivalent zu den voran gegangenen Überlegungen kann mit der Anfangsbedingung  $V_{in} = V_{dd}$  und dem daraus resultierenden Ausgangszustand  $V_{out} = 0$  V, die notwendige Beziehung der Transistoren  $M_5$  und  $M_6$  mit

$$\frac{\beta_{M5}}{\beta_{M6}} = \frac{(V_{LL})^2}{(V_{DD} - V_{LL} - |V_{thp}|)^2} \quad (2.35)$$

bzw.

$$\frac{\beta_{M5}}{\beta_{M6}} = \frac{W_5}{L_5} \cdot \frac{L_6}{W_6} \quad (2.36)$$

aufgestellt werden.

Da die Verhältnisse der beiden Transistoren bekannt sind, die für die Erreichung der notwendigen Umschaltswelle verantwortlich sind, können noch  $M_2$  und  $M_4$  bestimmt werden. Der idealisierte Spannungsverlauf von [1] ist mit realen Bauteilen nicht erreichbar. Die gewünschten Triggerschwellen für den oberen bzw. unteren Ast der Schalthysterese weisen ebenfalls eine kleine Verzögerung auf, da bei den Spannungen  $V_{LH}$  und  $V_{LL}$  der Schmitt Trigger erst mit dem Umschaltvorgang beginnt. Die Differenz von der berechneten zur realen Schwelle kann mit der Dimensionierung von  $M_2$  und  $M_4$  eingestellt und somit auch minimiert werden. In erster Näherung kann laut [1]  $\beta_{M2} > \beta_{M1}$  angenommen werden.

Um eine Minimierung der unerwünschten Schaltungsauigigkeit erreichen zu können, ist eine genauere Betrachtung der einzelnen Transistorverhältnisse erforderlich. Dazu wird die zuvor schon benötigte Betrachtung des unteren Teils der Schaltung herangezogen. Ist  $V_{in}$  soweit angestiegen, dass sich  $M_2$  einzuschalten beginnt, setzt die zuvor schon beschriebene positive Rückkopplung ein. Zu diesem Zeitpunkt befinden sich die beiden PMOSFETs  $M_4$  und  $M_5$  im linearen Bereich und können durch einen ohmschen Widerstand angenähert werden. Mit Hilfe dieser Annäherung wurden in [8] Beziehungen für die Bestimmung der ungewollten Schalthysterese der positiven ( $\Delta V_H$ ) und der negativen Schwelle ( $\Delta V_L$ ) aufgestellt.

$$\Delta V_H = V_H - V_{PH} \approx \frac{V_{dd} - V_{PH} - |V_{thp}|}{\frac{\beta_2}{\beta_4} + \frac{\beta_2}{\beta_5}} \quad (2.37)$$

$$\Delta V_L = V_L - V_{PL} \approx -\frac{V_{PL} - V_{thn}}{\frac{\beta_4}{\beta_2} + \frac{\beta_4}{\beta_1}} \quad (2.38)$$

Um das Delta aus der errechneten und realen Schaltschwelle reduzieren zu können, ist es aufgrund der beiden Gleichungen (2.37) und (2.38) notwendig, das Verhältnis von  $\beta_2/\beta_4$  konstant zu halten. Mit Hilfe einer gleichmäßigen Erhöhung von den Beziehungen zwischen  $\beta_2/\beta_5$  zur Reduzierung von  $\Delta V_H$  bzw.  $\beta_4/\beta_1$  für  $\Delta V_L$ , wird die reale schrittweise an die ideale Schaltschwelle angepasst.



## 3 Konzept

### 3.1 Ausgangspunkt

Der Ausgangspunkt dieser Masterarbeit stellt ein diskreter Schaltungsaufbau dar, welcher das Pendant zu der geplanten integrierten Gate Treiber Schaltung ist. Dieser Treiber dient zur Ansteuerung der in Abbildung 3.1 gezeigten Laden (CHG) bzw. Entladen (DCH) DMOSFETs. Der Haupteinsatzbereich dieser beiden, als diskrete Schalter verwendeten DMOSFETs, liegt in der Realisierung einer Schutzbeschaltung für Lithium Ionen Starterbatterien in Hybridfahrzeugen. Die Notwendigkeit für die doppelte Ausführung ergibt sich aus der parasitären Bulk Diode, die durch den physikalischen Aufbau dieses Leistungstransistors entsteht. Um die Ansteuerung der Gates einfacher zu gestalten und die erforderlichen Pins des zukünftigen ICs zu reduzieren, wurden die benötigten Transistoren mit den Source Anschlüssen miteinander verbunden. Abbildung 3.1 zeigt die Messschaltung der bereits bestehenden Lösung. Mit Hilfe dieses Messaufbaus ist es möglich gewesen, das Verhalten des Stromkreises bei der Unterbrechung eines Lade- (CHG) bzw. Entladevorganges (DCH) untersuchen zu können. Als Spannungsquelle wurde anstelle von Lithium Ionen Zellen ein Printed Circuit Board (PCB) mit einem Array von Superkapazitäten mit einer Gesamtkapazität von 6 F verwendet, mit denen es möglich ist den erforderlichen Strom für den Test der Schutzstruktur zu erzeugen. Das Verhalten einer KFZ Starterbatterie kann mit diesen Bauteilen ausreichend genau nachgebildet werden. Ein weiterer Grund für den Einsatz dieses Batteriesimulators war die Gewährleistung der Sicherheit während der nachfolgend beschriebenen Testversuche.

#### 3.1.1 Entladen und Kurzschluss

Um das Verhalten des Gate Treibers und dessen Signale während eines Abschaltvorganges unter Belastung untersuchen zu können, ist ein Entladevorgang und dessen Extremfall, der Kurzschluss, eine der besten Methoden. Das Ziel dieser Versuche war es, nähere Erkenntnisse über das Störverhalten des Gate Treibers in einer Umgebung zu sammeln, die dem Einsatzbereich in einem KFZ nachempfunden ist. Ein besonderes Augenmerk galt dabei dem Einfluss von vorhandenen Leitungs- bzw. Bauteilinduktivitäten, die während einer abrupten Stromänderung Induktionsspannungen durch die Beziehung

$$u(t) = L \cdot \frac{di(t)}{dt} \quad (3.1)$$

erzeugen werden können und somit eine potentielle Störquelle darstellen. Damit das Risiko von Schäden durch diese Induktionsspannungen, die besonders bei schnellen Abschaltvorgängen auftreten, reduziert wird, sind Z-Dioden an den Eingangsklemmen und zwischen Drain und Gate der Leistungstransistoren verbaut worden. Abbildung 3.1 zeigt eine mögliche Ersatzschaltung mit parasitären Elementen der aufgebauten Testumgebung. Die Schutzstruktur, welche an die Leistungshalbleiter gebaut ist, wird

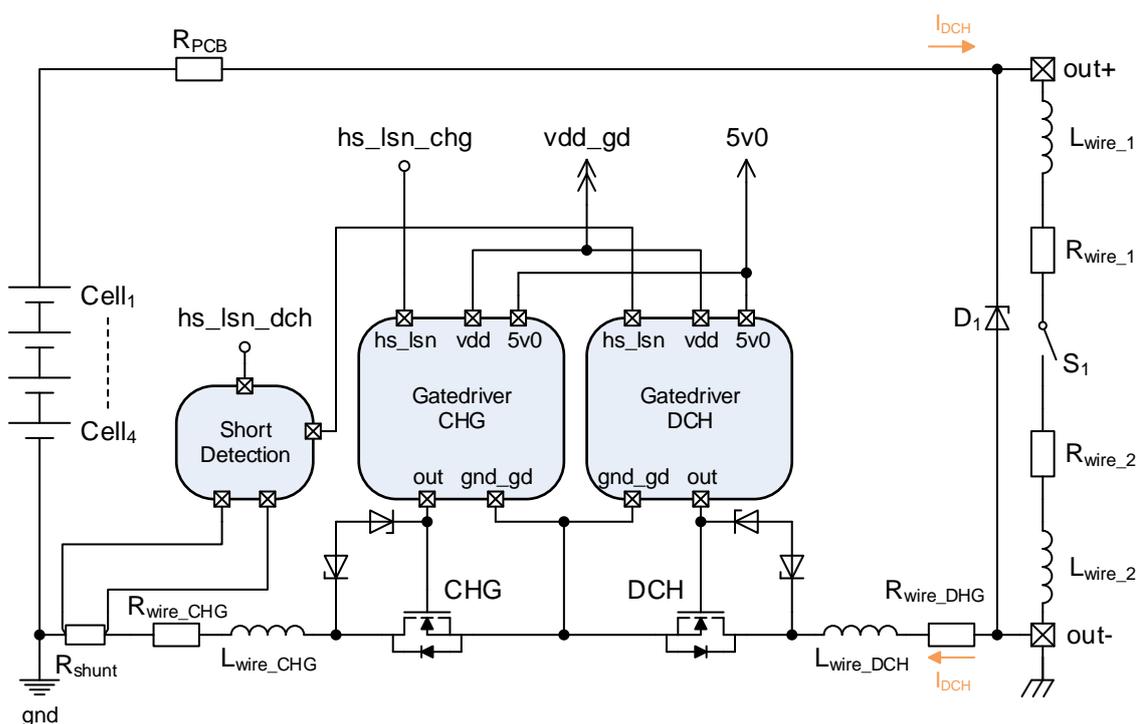


Abbildung 3.1: Messschaltung mit parasitären Leitungsinduktivitäten

als „Active Clamping (AC)“ bezeichnet [25, S. 2-67–2-84]. Abbildung 3.2 zeigt ein Beispiel eines Kurzschlussversuches, in dem die beiden Präventionsmaßnahmen aktiv sind. Der Strom (gelbe Kurve) wurde als Spannungsabfall an einem  $0,1 \text{ m}\Omega$  Messshunt mit Hilfe eines Differentialtastkopfes im AC Modus gemessen. Das grüne Signal stellt die Gate Source Spannung eines **DCH MOSFETs** dar, der rote Spannungsverlauf ist das Ausgangssignal nach dem **DCH** Schalter ( $\text{out-}$ ). Als viertes Signal wird das globale Massepotential  $\text{gnd}$  in violett dargestellt. Der gemeinsame Bezugspunkt für alle Spannungen bildet der  $\text{gnd\_gd}$  Knoten, der die Source Anschlüsse der Leistungshalbleiter darstellt. Der Stromverlauf bei einem Kurzschlussversuch kann in unterschiedliche Phasen eingeteilt werden. In Phase I ist der lineare Stromanstieg auf circa  $1100 \text{ A}$  zu erkennen, der zu Beginn von Phase II von der Kurzschlussdetektion detektiert und anschließend abgeschaltet wird. Bei diesem Abschaltvorgang sind verschiedene Charakteristiken erkennbar: Zuerst fällt der Strom schnell ab. Dieses Verhalten ist mit einem Ansprechen der Z-Diode  $D_1$  (Abbildung 3.1) erklärbar. Die parasitären Leitungsinduktivitäten  $L_{\text{wire}_1}$  und  $L_{\text{wire}_2}$  verhindern durch ihre Stromträgheit ein abruptes Abschalten, indem sie eine Spannung nach Gleichung (3.1) induzieren. Durch diesen Zustand sind Strom und Spannung an beiden Induktivitäten nicht mehr gleichgerichtet und es kommt zu einer Spannungserhöhung am Ausgangspin  $\text{out}_n$ . Als Resultat dieser Überspannung wird die Z-Diode  $D_1$  leitend und ein Teil der elektrischen Energie kann sich als Strom über die Leitungswiderstände  $R_{\text{wire}_1}$  und  $R_{\text{wire}_2}$  abbauen. Zur selben Zeit steigt die Induktionsspannung weiter an, bis die aktive Klemmung der **DCH MOSFETs** aktiviert wird. Damit dies passieren kann, muss das Potential an den Drain Anschlüssen mindestens über  $V_Z + V_D + V_{th,DCH}$  liegen, wobei  $V_Z$  die Z-Spannung der verbauten Z-Diode,  $V_D$  die Vorwärtsdiodenspannung der zweiten Z-Diode und  $V_{th,DCH}$  die Threshold Spannung eines **DMOSFETs** ist. Die Höhe dieser



Abbildung 3.2: Abschaltung nach einem Kurzschlussstrom von ca. 1100 A

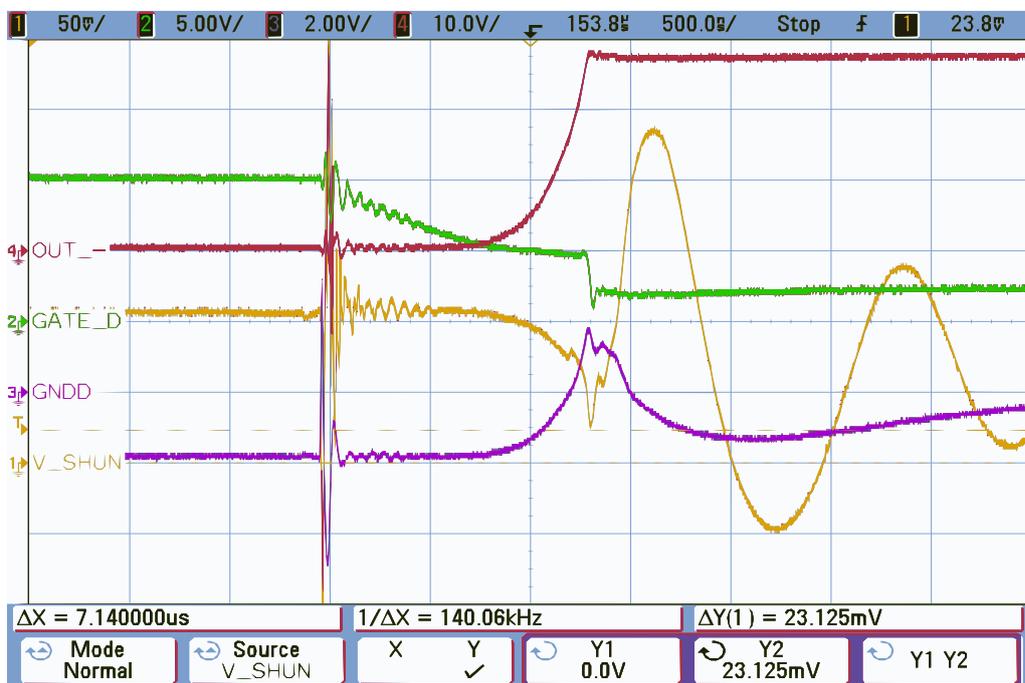


Abbildung 3.3: Detailansicht von Phase II der Abbildung 3.2

Spannung kann im Oszilloskopbild zwischen den roten und den grünen Spannungsverläufen abgelesen werden. Ist sie erreicht, wird der **DCH** Schalter eingeschaltet und die durch die parasitären Induktivitäten verursachte Überspannung, kann sich als Strom über die **CHG** Schalter,  $R_{Shunt}$ , die Kapazitäten des Batteriesimulators und schließlich über  $R_L$  solange verringern, bis die gesamte, in den Induktivitäten gespeicherte Energie, abgebaut ist. Nach dieser Zeit ist das Potential am Drain Kontakt so weit verringert, dass die für die Klemmung notwendige Spannung nicht mehr aufgebracht werden kann und somit die  $V_{GS}$  auf 0 V absinkt. In der Detailansicht des Abschaltvorganges ist in [Abbildung 3.3](#) die Reaktionszeit des Gate Treibers auf den Kurzschluss zu erkennen. Nach  $1,25 \mu\text{s}$  ist die  $V_{GS,DCH}$  bereits unter die  $V_{thn}$  der Leistungsschalter gesunken und steigt anschließend aufgrund der oben beschriebenen Klemmung wieder an.

#### 3.1.2 Erstellen des Simulationsmodells

Durch solche Kurzschlussmessungen war es nun möglich, unter Zuhilfenahme der grundlegenden Beziehung des Spannungsverlaufes an einer Induktivität von [Gleichung \(3.1\)](#), die vorhandenen parasitären Leitungsinduktivitäten des Messaufbaues zu bestimmen. Die nun noch fehlenden ohmschen Leitungswiderstände wurden durch die Methode der Vierleitermessung ermittelt. Um ein vollständiges Simulationsmodell erstellen zu können, war eine Modellierung der verwendeten **DMOSFETs** noch von Nöten. Der Umstand, dass die Leistungstransistoren nur als Schalter genutzt werden, machte eine Verwendung des rudimentären Schaltmodells von [Abbildung 2.3](#) möglich. Der Grundtransistor  $M_1$  wurde ebenfalls nur mit einem spannungsabhängigen Schalter, dessen Einschaltspannung der Thresholdspannung entspricht, approximiert. Als Überprüfung der Korrektheit des erhaltenen Modells des realen **PCBs** wurde wiederum ein Abschaltvorgang eines Kurzschlussstromes simuliert. Die Ergebnisse dieser Simulation ([Abbildung 3.4](#)) weisen im Vergleich zu den Labormessergebnissen aus [Abbildung 3.2](#) geringfügige Unterschiede auf. Die im Simulationsmodell verbauten parasitären Induktivitäten ergeben in Summe einen größeren Wert als die tatsächlich vorhandenen. Aus diesem Grund kommt es zu einer längeren Anstiegszeit, bis der maximale Kurzschlussstrom erreicht ist. Des Weiteren weicht der Verlauf von  $out\_n$  etwas von dessen Pendant ab. Zum einen ist eine unterschiedliche maximale Spannungshöhe zu erkennen, die sich mit einer höher gewählten Durchbruchspannung der **AC** Struktur erklären lässt und zum anderen ist die Abklingzeit nach dem Abschaltvorgang länger als im Laboraufbau. Dieser Sachverhalt ist zu einem geringen Teil durch die höhere Abschaltchwelle des Kurzschlussstromes begründet und der damit höheren elektrischen Energie [3.2](#), die in den parasitären Leitungsinduktivitäten gespeichert ist.

$$E = L \cdot \frac{i(t)^2}{2} \quad (3.2)$$

Der größere Faktor stellt wieder die zu groß angenommenen Leitungsinduktivitäten dar. Das Gate Treiber Bezugspotential  $gnd\_gd$  wird auf zwei unterschiedliche Potentiale bezogen. Einerseits wird der negative Pol der Starterbatterie als Referenzpotential herangezogen und andererseits  $gndd$ . Auf die Generierung dieses Potentials wird an dieser Stelle nicht näher eingegangen, sondern auf die genaue Herleitung in [Kapitel 4.8.2](#) verwiesen.

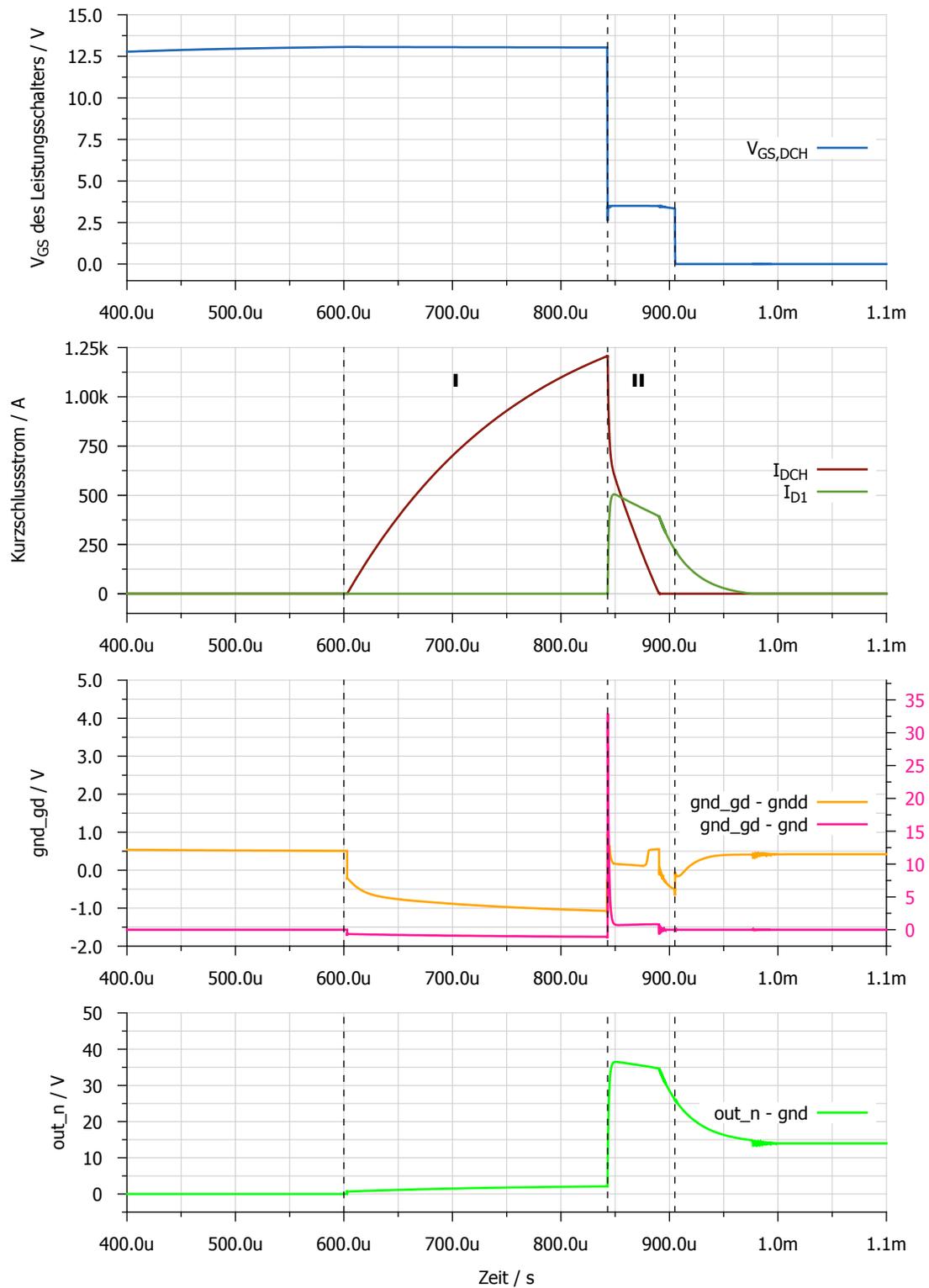


Abbildung 3.4: Simulationsergebnis zu Abbildung 3.2

## 3.2 Übersicht über das gesamte System

Aufgrund der erworbenen Erkenntnisse aus den durchgeführten Laborversuchen kann ein Konzept des gesamten Systems erstellt werden. Abbildung 3.5 zeigt eine Übersicht aller notwendigen Funktionsblöcke. Wie in der theoretischen Abhandlung in Kapitel 2.3 behandelt wurde, müssen die CHG bzw. DCH Leistungsschalter parallel ausgeführt werden. Um eine möglichst gleichmäßige Stromverteilung zu erreichen, wird durch Umformung der Gleichung (2.6) die benötigte Anzahl an Bauteilen in (3.3) ermittelt.

$$n = \left( \frac{I}{I_{max}} - 1 \right) \cdot \frac{R_{DSon,max}}{R_{DSon,min}} + 1 \quad (3.3)$$

Da es sich bei  $I_{max}$  um einen Strom handelt, der nicht von einer realen Lithium Ionen Starterbatterie erzeugt wird und somit nur für wenige ms auftreten kann, ist eine Reduktion der Leistungsschalter möglich. Für alle nachfolgenden Simulationen wurden jeweils vier DMOSFETs als CHG bzw. DCH Schalter verwendet, da sich dieser Wert bei den in Kapitel 3.1 beschriebenen Versuchen als ausreichend darstellte.

Um aus der vorhandenen externen KFZ Starterbatterie, die als einzige Spannungsquelle fungiert, alle notwendigen Spannungen zu generieren, wird ein Versorgungsblock gebaut, der die geplanten Gate Treiber versorgen kann. Sie werden ebenfalls als CHG und DCH Gate Treiber zweifach ausgeführt, da die beiden Leistungsschalter Arrays getrennt voneinander angesteuert werden müssen. Die Treiberschaltungen unterscheiden sich einzig durch deren Ansteuersignale, die sie von einer schon bestehenden integrierten Steuereinheit erhalten. Ansonsten ist der gesamte Aufbau identisch.

Ein wichtiger Aspekt ist die Bereitstellung der AC Struktur zwischen den Drain und Gate Anschlüssen der CHG und DCH Leistungsschalter. Wird diese Schutzstruktur nicht verbaut, kommt es durch die Unterbrechung des Stromes bei einem Abschaltvorgang zu einer Erhöhung des Drainpotentials der CHG bzw. DCH Leistungsschalter, bis es zu einem Durchbruch der Drain Source Strecke kommt und sich die in den parasitären Leitungsinduktivitäten gespeicherte Energie entladen kann. Die Z-Dioden  $D_2$  bis  $D_5$  dienen nur als symbolische Darstellung. In der realen Implementierung werden sie mit seriellen 8 V Z-Dioden ausgeführt. Die Anzahl der Bauteile ist einerseits abhängig von der Spannung, bei der die AC Struktur klemmen soll, und andererseits von der maximalen Drain Source Spannung von 40 V der zu schützenden externen Bauteile. Wenn diese beiden Faktoren in Betracht gezogen werden, ergibt sich das in Tabelle 3.1 zusammengefasste Setup.

	$D_2$	$D_3$	$D_4$	$D_5$
Z-Dioden Anzahl	3	2	4	2

Tabelle 3.1: Anzahl der seriellen Z-Dioden der AC Strukturen

Die beiden AC Ausgänge, die zu den einzelnen Gate Treiber Blöcken geführt werden, werden bei der CHG Struktur nach zwei und bei der DCH Struktur nach drei Z-Dioden abgegriffen. Auf den genauen Ablauf einer Aktivierung dieser AC Struktur, wird in Kapitel 4.8.1 näher eingegangen.

Als letztes Bauteil ist noch die Freilaufdiode  $D_1$  vorzusehen. Sie wird der externen, im Laborversuch verwendeten Lichtmaschinengleichrichterdiode mit einer Durchbruchspannung von 27 V nachempfunden.

### 3.2.1 Definieren der benötigten Designparameter

Bevor mit der Entwicklung des zu bauenden Gate Treibers begonnen werden kann, müssen noch wichtige Faktoren geklärt werden. Zum einen handelt es sich hierbei um den Spannungsbereich, in dem das gesamte System betrieben werden soll. Um dies zu klären, ist eine Betrachtung der in Frage kommenden **KFZ** Bordnetze und die dafür notwendigen Starterbatterien notwendig. Die übliche Spannung in Personenkraftwagen (PKWs) beträgt 12 V. Bei einer Verwendung von Lithium Ionen Zellen mit einer Nennspannung von 3,6 V ergibt sich eine Versorgungsspannung von 14,4 V bei einem Einsatz von vier Zellen [15, S. 92]. Da jede verbaute Zelle einen Spannungsbereich aufweist, in dem sich die Zellspannung bewegen kann, ergeben sich für die verbaute Starterbatterie die zwei benötigten Extrema. Tabelle 3.2 fasst die minimale und die maximale Batteriespannung zusammen, die sich bei der unteren Spannungsgrenze von 1,5 V und einer Ladeschlussspannung von 4,2 V ergeben [15, S. 53]. Neben den am meist verbreitetsten 12 V Bordnetzen muss ebenfalls eine Einsatzmöglichkeit in Hybrid und Mild-Hybrid Fahrzeugen in Betracht gezogen werden. Die dort am häufigsten eingesetzte Netzspannung liegt bei 48 V [9]. Um diese industriellen Vorgaben in der vorhandenen **BCD** Technologie in ein sinnvolles Design umsetzen zu können, ist die Verwendung von Bauteilen erforderlich, deren maximale Versorgungsspannung 60 V übersteigt. Auf den detaillierten Schaltungsentwurf wird im nachfolgenden Kapitel 4 näher eingegangen.

Bordnetzspannung [V]	Anzahl der Batteriezellen	$v_{bat_{nom}}$ [V]	$v_{bat_{min}}$ [V]	$v_{bat_{max}}$ [V]
12,0	4	14,4	6,0	16,8
48,0	14	50,4	21,0	58,8

Tabelle 3.2: Übersicht über die möglichen Bordnetzspannungen

Der zweite Punkt, der beachtet werden muss, ist die Geschwindigkeit, mit der der Gate Treiber die externen Leistungsschalter ein- bzw. ausschalten muss. Ein für diese Betrachtung wichtiges Charakteristikum der verwendeten **CHG** bzw. **DCH DMOSFETs** ist das Verhalten des Drain Source Widerstandes bei unterschiedlichen Gate Source Spannungen. Liegt die  $V_{GS}$  weit über der Thresholdspannung, haben die **DMOSFETs** den kleinsten Widerstand  $R_{DS(on)}$ . Werden sie mit geringerer Gate Source Spannung angesteuert, bleibt die Leitfähigkeit noch erhalten, jedoch kommt es bei einem zunehmenden Strom zu einer abrupten Zunahme des Kanalwiderstandes und somit zu einer Vergrößerung der Wärmeverluste, die in den **DMOSFETs** abgebaut werden müssen. Um diese Wärmeverluste zu verhindern, sollen die **DMOSFETs** nur kurzzeitig in diesem Bereich betrieben werden. Dies gilt besonders bei einem Abschaltvorgang eines Kurzschlussstromes, da sich in diesem Fall der größte Strom ausbilden wird. Aufgrund der zuvor durchgeführten Laborversuche, deren Ergebnisse in Kapitel 3.1.1 beschrieben wurden, wird der Laststrom während eines Kurzschlussfalles auf 1200 A festgelegt. Kommt es hingegen nach einem Fehlerfall zu einem Wiedereinschalten der **CHG** bzw. **DCH DMOSFETs**, wird der

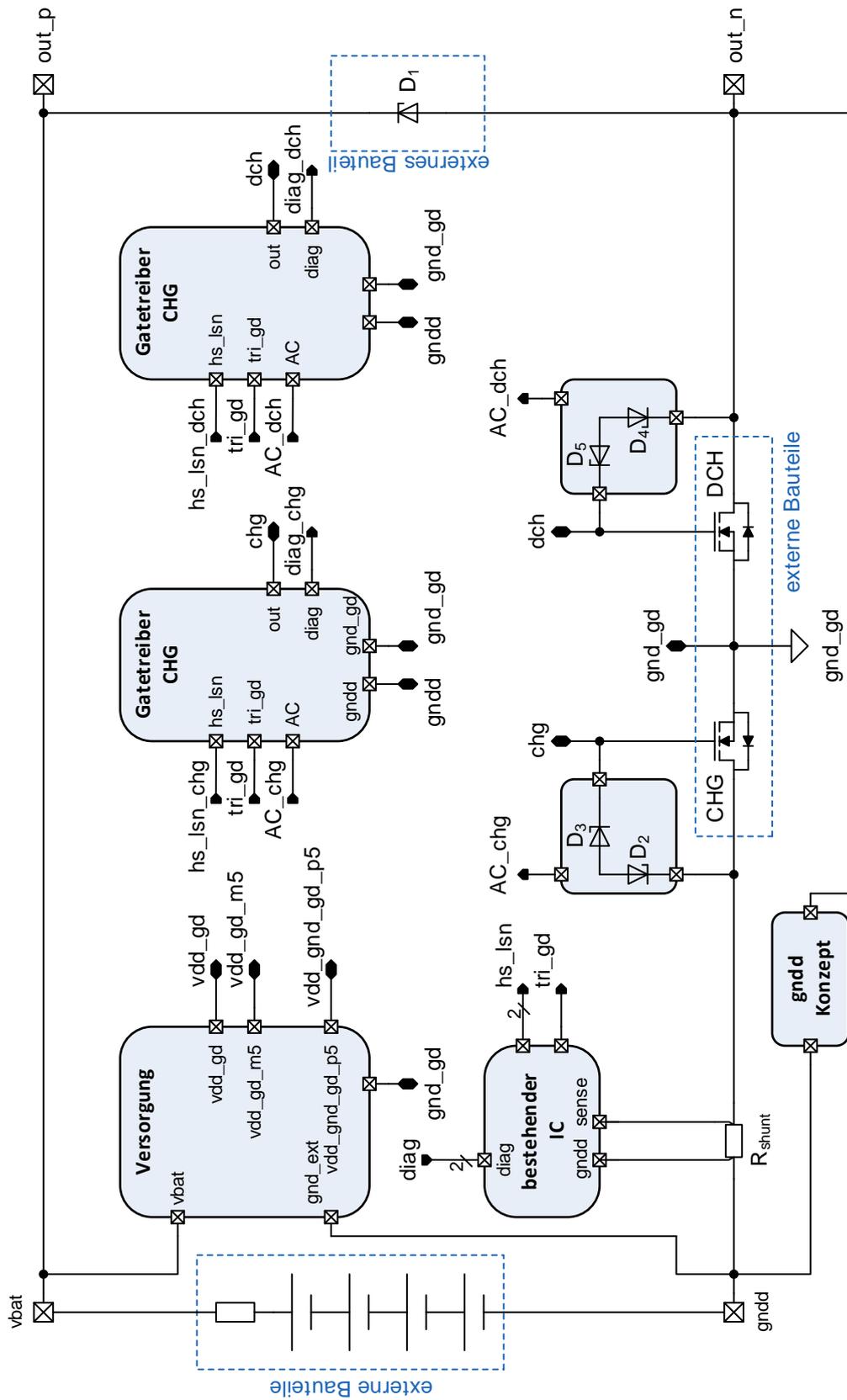


Abbildung 3.5: Übersicht des gesamten Systems

maximale Laststrom durch den im **KFZ** verbauten Generator vorgegeben. Die Größe dieses Stromes kann bei aktuellen Lichtmaschinen mit maximal 200 A angenommen werden. Aufgrund dieser Erkenntnisse wird für den Gate Treiber eine Abschaltzeit von  $1,5 \mu\text{s}$  festgelegt. Diese Zeitspanne inkludiert die Verzögerungszeit des Gate Treibers und die Zeit, die für den Ladevorgang der Lastkapazität benötigt wird. Der Einschaltvorgang kann aufgrund des geringeren erwarteten Stromes langsamer durchgeführt werden.

Darüber hinaus können noch weitere Designparameter definiert werden, die für die Erstellung des Entwurfs notwendig sind. Einer der Wichtigsten stellt die Abschätzung des möglichen gesamten, dynamischen Stromes dar. Den größten Einfluss haben dabei einerseits die Gate Kapazitäten der **CHG** und **DCH** Leistungstransistoren, da sie die Hauptlast der beiden Gate Treiber darstellen. Die genaue Eingangskapazität  $C_{ISS}$ , die hauptsächlich durch Gate Source Kapazität bestimmt wird (2.2), kann aus dem Datenblatt ermittelt werden. Andererseits ist der benötigte Strom, um die zur Umladung der Eingangskapazitäten notwendige Ladungsmenge zu erhalten, von der vorgegeben Zeit durch Beziehungen (3.4)–(3.6) abhängig.

$$i(t) = \frac{dQ(t)}{dt} \quad (3.4)$$

$$Q = C \cdot U \quad (3.5)$$

$$i_c(t) = C \cdot \frac{du_c(t)}{dt} \quad (3.6)$$

Die eigentliche Lastkapazität, die der Gate Treiber treiben muss, setzt sich aus der Anzahl der benötigten externen Leistungsschalter zusammen. Wie am Anfang dieses Kapitels schon beschrieben kann die Anzahl der **DMOSFETs** pro Gate Treiber mit vier angenommen werden. Durch die Vorgabe der maximalen Abschaltzeit von  $1,5 \mu\text{s}$  ist eine grundsätzliche Abschätzung über die dynamische Stromaufnahme am Beispiel des **CHG** Gate Treibers möglich. Die Ladekurve der Lastkapazität wird dabei linear angenommen und die Verzögerung des Gate Treibers wird vernachlässigt, da sie im unteren zweistelligen ns Bereich liegen wird.

$$C_{iss,max,CHG} = 22\,945 \text{ pF} \quad (3.7)$$

$$i_{CHG,max} = C_{L,CHG} \cdot \frac{vdd\_gd}{t_{off}} = 4 \cdot 22\,945 \text{ pF} \cdot \frac{12 \text{ V}}{1,5 \mu\text{s}} = 0,734 \text{ A} \quad (3.8)$$

Aufgrund der Höhe des in (3.8) ermittelten Stromes muss eine externe Kapazität zwischen  $vdd\_gd$  und  $gnd\_gd$  angebracht werden, um die notwendige Ladung kurzzeitig zur Verfügung stellen zu können. Der eigentliche Versorgungsblock kann mit einem geringeren Strom diese Kapazität anschließend wieder aufladen. Im Gegensatz dazu muss die Ausgangsstufe des Gate Treibers sehr wohl in der Lage sein, diesen Strom schalten zu können. Der benötigte  $R_{on}$  der Gate Treiber Ausgangsstufe kann mit der Zeitkonstante  $\tau$  bestimmt werden.

$$\tau = R \cdot C \quad (3.9)$$

$$R_{ON,CHG} = \frac{5\tau}{C_{L,CHG}} = \frac{1,5 \mu\text{s}}{4 \cdot 22\,945 \text{ pF}} = 16,34 \Omega \quad (3.10)$$

Bei der Vorgabe des benötigten Dauerstromes ist darauf zu achten, dass er so gering als möglich ausfällt. Aufgrund einer benötigten Referenzstromerzeugung und diversen Strompfaden im Versor-

gungsblock wird er mit rund  $I_{DC} = 100 \mu\text{A}$  angenommen. Mit Hilfe dieses Stromes kann die Zeit ermittelt werden, wie lange die zu entwickelnde Schaltung bei einer durchschnittlichen Lithium Ionen Starterbatterie betrieben werden kann, bis es zu einer Tiefentladung der Batteriezellen und somit zum Auftreten des zuvor erwähnten  $vbat_{min}$  kommt. Als Referenz wird eine Lithium Ionen Starterbatterie mit einer Kapazität von 80 Ah herangezogen. Bei einer dauerhaften Belastung mit  $100 \mu\text{A}$  würde es  $800 \cdot 10^3 \text{ h}$  oder rund 91 Jahre dauern, bis die Batteriezellen in den Zustand der Tiefentladung kommen. Infolgedessen kann die dauerhafte Stromaufnahme akzeptiert werden, da es durch sie nicht zu einer Entladung der Batterie kommen wird. Werden keine weiteren Verbraucher an die Starterbatterie angeschlossen, stellt die tolerierte monatliche Selbstentladungsrate von 2 % bis 8 % den limitierende Faktor für die maximale Betriebszeit des Systems dar [15, S. 20].

Ein weiterer Kennwert für den Betrieb der Schaltung ist die Umgebungstemperatur. Da es sich bei dem zu entwerfenden Gate Treiber um eine Anwendung handelt, welche die Anforderungen im automobilen Bereich erfüllen soll, muss die Funktion in einem Temperaturbereich von  $-40^\circ\text{C}$  bis  $150^\circ\text{C}$  sichergestellt werden.

Damit das gesamte System definiert ist, können als letzter Punkt alle Knotenpotentiale aus Abbildung 3.5 betrachtet und deren Extrema bestimmt werden. Der Bezugspunkt stellt – wenn nicht anders beschrieben –  $gndd$  dar. Um diese Analysen durchführen zu können, wird das Verhalten des Systems bei einer Kurzschluss- und Ladestromabschaltung herangezogen. Die Ergebnisse dieser Betrachtungen werden in Tabelle 3.3 dargestellt.

Als erstes Potential wird der Ausgangspin  $out_p$  betrachtet, der als Anschluss an eine Lichtmaschine dient. Wie in der Übersicht zu erkennen ist, ist dieser Kontakt identisch mit dem Pin der Starterbatterie  $vbat$ . Dadurch ergeben sich dieselben Spannungen, wie die in Tabelle 3.2 definierten maximalen bzw. minimalen Batteriespannungen.

Ein anderes Bild zeigt sich bei der Betrachtung von  $out_n$ . Bei einem Abschaltvorgang des CHG Leistungsschalters kommt es zu einer Spannungserhöhung, durch den in Kapitel 4.8.2 näher besprochenen Lastabwurf der Lichtmaschine. Ohne eine geeignete Maßnahme wird aufgrund der Fixierung von  $out_p$ ,  $out_n$  um  $vbat - V_{Z,D1}$  unter  $gndd$  absinken. Wird diese externe Schutzdiode nicht verwendet, kann an den Klemmen der Lichtmaschine der in Abbildung A.4 dargestellte „Load Dump“<sup>1</sup> Puls, das Potential sogar auf unter  $-80 \text{ V}$  ( $vbat - V_{load\_dump}$ ) abtauchen lassen. Dieser Zustand muss unter allen Umständen vermieden werden. Eine genauere Behandlung dieses Problems wird in Kapitel 4.8.2 durchgeführt. Im Falle einer Abschaltung des DCH Leistungsschalters kann, durch die in Kapitel 3.1.1 beschriebenen Induktionsspannungen,  $out_n$  auf die Durchbruchspannung der DCH AC Schutzstruktur angehoben werden.

Extrema	$out_p$ bzw. $vbat$ [V]	$out_n$ [V]	$gnd\_gd$ [V]
min	$vbat_{min}$	$-(vbat - V_{Z,D1})$ bzw. $vbat - V_{load\_dump}$	$out_{nmin}$
max	$vbat_{max}$	$V_{Z,AC\_DCH}$	$< 2,4$ bzw. $out_{nmax}$

Tabelle 3.3: Übersicht über alle Potentiale des gesamten Systems

<sup>1</sup>Bezeichnung für einen plötzlich auftretenden Lastabwurf einer Lichtmaschine.

Der Bezugspunkt der gebauten Gate Treiber  $gnd\_gd$  ist bei einer Ladestromabschaltung mit  $out\_n$  und bei einer Kurzschlussunterbrechung mit  $gndd$  verbunden. Die maximale positive Spannung, die über längere Zeit zwischen  $gnd\_gd$  und  $gndd$  auftreten kann, ist durch den Spannungsabfall an den ohmschen Widerständen zwischen  $gnd\_gd$  und  $gndd$  und den Strom während eines Abkommutiervorgangs definiert. Der betreffende Widerstand setzt sich einerseits aus den parasitären Leitungswiderständen und andererseits aus den vier parallel geschalteten  $R_{DS(on)}$  der CHG MOSFET, sowie dem Messshunt zusammen. Bei einem geschätzten Widerstandswert von  $2\text{ m}\Omega$  und einem vorgegebenen maximalen Kurzschlussstrom von  $1200\text{ A}$  würde sich ein Spannungsabfall von  $2,4\text{ V}$  ergeben. Da der Abkommutierstrom jedoch sicher kleiner als der abgeschaltete Kurzschlussstrom ist, wird dieser Wert nicht erreicht werden. Bei einer Betrachtung einer möglichen Spannungstransienten liegt das maximal vorkommende Potential um einiges höher. Kommt es nach einer Kurzschlussstromabschaltung zu einem Ansprechen der AC Struktur der DCH DMOSFETs, wird kurzzeitig  $V_{Z,AC\_DCH}$  an  $gnd\_gd$  anliegen.

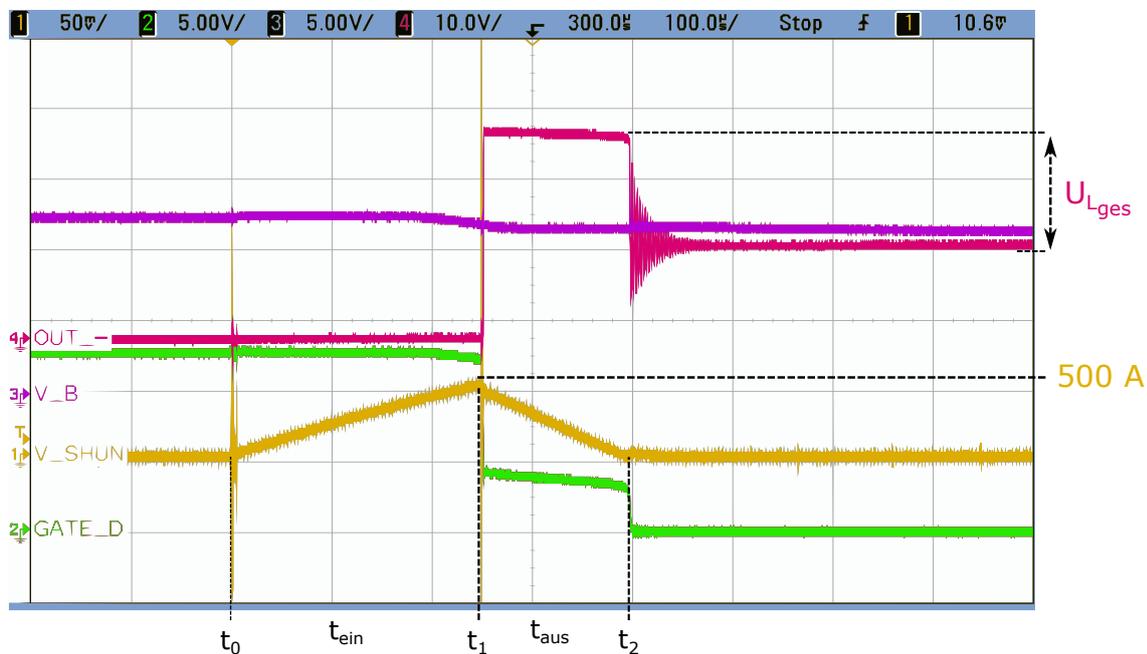


Abbildung 3.6: Abschaltvorgang eines Kurzschlussstromes ohne Freilaufdiode

Eine weitere Eigenschaft, die im Zusammenhang mit den parasitären Leitungsinduktivitäten und deren darin gespeicherten Energie steht, ist die nach dem Abschaltvorgang notwendige Abkommutierzeit. Für eine genauere Betrachtung wird ein Kurzschlussversuch ohne Freilaufdiode laut Abbildung 3.6 herangezogen. Wie bei einem Vergleich mit dem vorherigen Abschaltvorgang von Abbildung 3.2 ersichtlich ist, hat sich die Stromanstiegszeit  $t_{ein}$  verlängert. Der Grund dafür liegt in einer zusätzlichen Belastung des Versuchsaufbaus durch eine Luftpule mit einer Induktivität von  $L \approx 4\text{ }\mu\text{H}$  und einem ohmschen Anteil von  $R \approx 5\text{ m}\Omega$ . Als erster Schritt zur Verifikation der Rechenergebnisse werden die Zeiten bestimmt, die der Kurzschlussstrom benötigt, um einerseits die Abschaltchwelle von  $500\text{ A}$  zu erreichen ( $t_{ein}$ ) und andererseits auf  $0\text{ A}$  abzukommutieren ( $t_{aus}$ ). Zu diesem Zweck wird die allgemeine

Formel für den Strom durch eine Induktivität

$$i(t) = I_0 \cdot \left( 1 - e^{-\frac{t}{\tau}} \right) \quad (3.11)$$

mit dessen Zeitkonstante

$$\tau = \frac{L}{R} \quad (3.12)$$

herangezogen und umgeformt. Die notwendigen Werte für die Berechnung sind aus dem parasitären Ersatzschaltbild von Abbildung 3.1 zu entnehmen.

$$R_{ges} = 2 \cdot (4/R_{DS,on})^{-1} + R_{Pfad} + R_{Spule} = 380 \mu\Omega + 8,62 \text{ m}\Omega + 5 \text{ m}\Omega = 14 \text{ m}\Omega \quad (3.13)$$

$$I_0 = \frac{vbat}{R_{ges}} = \frac{14 \text{ V}}{14 \text{ m}\Omega} = 1 \text{ kA} \quad (3.14)$$

$$\tau = \frac{L_{ges}}{R_{ges}} \quad (3.15)$$

$$t_1 = -\tau \cdot \ln\left(1 - \frac{i_1}{I_0}\right) = -\frac{5,45 \mu\text{H}}{14 \text{ m}\Omega} \cdot \ln\left(1 - \frac{500 \text{ A}}{1 \text{ kA}}\right) = 269,83 \mu\text{s} \quad (3.16)$$

Damit die Berechnung für den folgenden Abschaltvorgang besser veranschaulicht wird, kann die parasitäre Ersatzschaltung durch die in Abbildung 3.7 gezeigten Ersatzschaltbilder vereinfacht werden.  $L_{ges}$  stellt die Summe der auftretenden parasitären Leitungsinduktivitäten dar, die vor dem DCH Leistungsschalter auftreten. Die Induktivitäten zwischen den Schaltern und der Batterie wurden in der nachfolgenden Betrachtung vernachlässigt. Der erste Teil der Abbildung zeigt die Verhältnisse während eines Kurzschlusses. Am geschlossenen CHG Leistungsschalter fällt eine Spannung zwischen den Drain- und Sourcekontakten von  $R_{DS,on}/4 \cdot i(t)$  ab. Aufgrund des niedrigen Kanalwiderstandes der parallel geschalteten externen DMOSFETs kann dieser Spannungsabfall vernachlässigt werden, was dazu führt, dass die gesamte Batteriespannung  $vbat$  an den parasitären Leitungsinduktivitäten  $L_{ges}$  anliegt. Wird nun der definierte Kurzschlussstrom  $i(t_1)$  erreicht, stellt sich eine Spannungsverteilung von Abbildung 3.7b ein. An der parasitären Induktivität, die wegen der erzeugten Induktionsspannung

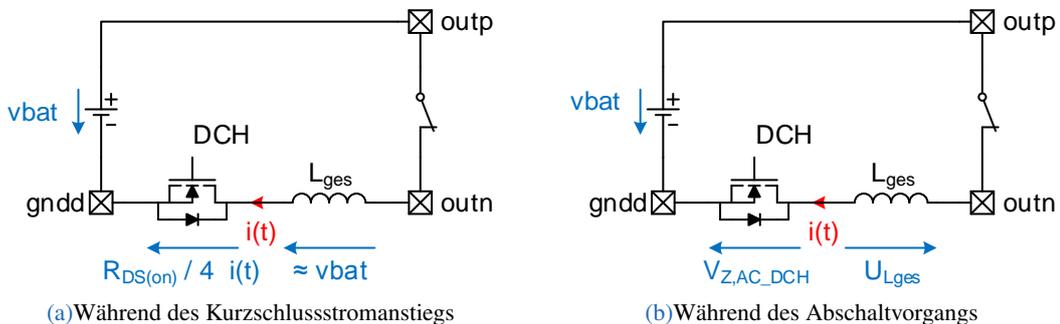


Abbildung 3.7: Ersatzschaltungen zur Berechnung von  $t_{ein}$  und  $t_{aus}$

nun als Erzeuger dient, liegt  $U_{L_{ges}} = V_{Z,AC\_DCH} - vbat$  an. Zur Kontrolle kann diese Spannung im

Oszilloskopbild von Abbildung 3.6 abgelesen werden. Das Potential an den Drainanschlüssen steigt so weit an, bis die in Tabelle 3.3 zusammengefasste Spannung an der AC Struktur  $V_{Z,AC\_DCH} = 4 \cdot V_Z + 2 \cdot V_D$  auftritt und die DCH Leistungsschalter wieder schließt. Angesichts dieses Spannungsabfalls und den sich reduzierenden Kurzschlussstrom kommt es zu einem sich ändernden Drain Source Widerstand  $r_{ds}$ , der dafür sorgt, dass  $V_{Z,AC\_DCH}$  konstant gehalten wird. Wegen dieses Verhaltens kann davon ausgegangen werden, dass der größte Teil der in den Leitungsinduktivitäten gespeicherten Energie (3.2) während des Abkommutiervorgangs für die Dauer  $t_{aus}$  von den DCH Leistungsschalter aufgenommen wird.

$$P_{DCH,DMOSFETs} = V_{DS} \cdot i(t) = (4 \cdot V_Z + 2 \cdot V_D) \cdot i(t) \quad (3.17)$$

Die Zeitspanne  $t_{aus}$  kann durch die Beziehungen (3.18) bis (3.20) bestimmt werden.

$$U_{L_{ges}} = V_{Z,AC\_DCH} - v_{bat} = 32,2 \text{ V} - 14 \text{ V} = 18,2 \text{ V} \quad (3.18)$$

$$\frac{di(t)}{dt} = \frac{U_{L_{ges}}}{L_{ges}} = \frac{18,2 \text{ V}}{5,45 \mu\text{H}} = 4,01 \text{ MA/s} \quad (3.19)$$

$$t_{aus} = i(t_1) \cdot \left( \frac{di(t)}{dt} \right)^{-1} = 500 \text{ A} \cdot \frac{1}{3,34 \text{ MA/s}} = 149,70 \mu\text{s} \quad (3.20)$$

Als Kontrolle dieser ermittelten Abkommutierdauer kann die gespeicherte Energie bestimmt werden, die wie zuvor beschrieben hauptsächlich in den DCH Leistungsschalter in Form von Wärme abgebaut werden muss.

$$E = L \cdot \frac{i(t)^2}{2} \quad (3.21)$$

$$L_{ges} \cdot \frac{i(t_1)^2}{2} \stackrel{!}{=} U_{ges} \cdot i(t_1) \cdot t \quad (3.22)$$

$$t_{aus} = L \cdot \frac{i(t_1)^2}{2} \cdot \frac{1}{U_{L_{ges}} \cdot \frac{i(t_1)}{2}} = 5,45 \mu\text{H} \cdot \frac{500 \text{ A}^2}{2} \cdot \frac{1}{18,2 \text{ V} \cdot 250 \text{ A}} = 149,73 \mu\text{s} \quad (3.23)$$



## 4 Realisierung und Schaltungsentwurf

Im nachfolgenden Kapitel wird der Entwicklungsweg des Gate Treibers beschrieben. Zu diesem Zweck werden die benötigten Funktionsblöcke bezüglich ihres Aufbaus, der Funktion und deren Robustheit über Temperatur und Prozesstoleranzen untersucht. Abschließend wird die gesamte Treiberstruktur betrachtet, die aus dem Zusammenschluss der einzelnen Komponenten besteht. In allen nachfolgenden

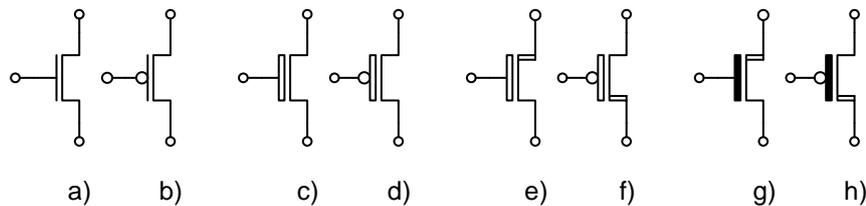


Abbildung 4.1: Übersicht MOSFET Typen: a) LV NMOSFET b) LV PMOSFET c) 5 V Flash bzw. MV NMOSFET d) 5 V Flash bzw. MV PMOSFET e) HV NMOSFET f) HV PMOSFET

Schaltbildern werden die in Abbildung 4.1 gezeigten Transistorsymbole verwendet. Sie verstehen sich als selbstsperrende MOSFETs, deren Bulk- und Sourceanschlüsse miteinander verbunden sind. Ist es aus Gründen der Funktionalität oder Reduktion von parasitären Elementen notwendig, den Bulkkontakt mit einem anderen Potential zu verbinden, wird dies für jeden Transistor individuell behandelt. Mit den Symbolen a) und b) werden alle Niedervolt Transistoren zusammengefasst, die nur ein dünnes Gateoxid besitzen und somit mit einer maximalen Gatespannung von 1,5 V angesteuert werden können. An den weiteren Symbolen stellt der verbreiterte Gatekontakt, eine dickere Gateoxiddicke dar, was einer nominalen Gatespannung von 5 V entspricht. Trotz der Vorgabe dieses Wertes darf die  $V_{GS}$  einen maximalen Wert von 9 V annehmen. Erst danach kommt es zu einem Durchbruch des Gateoxids. Der für diese Arbeit wichtigste Unterschied zwischen diesen Bauteilen ist die maximale Spannungsfestigkeit zwischen Drain und Source. Die Symbole c) und d) symbolisieren 5 V Flash Bauteile, die in einer 5 V Domäne betrieben werden können. In der nächst höheren Spannungsebene können die beiden Transistoren von e) und f) genutzt werden. Sie stellen Mittelvolt (MV) MOSFETs dar, welche für eine Verwendung in einem 65 V Spannungsbereich vorgesehen sind. Die Besonderheit der verwendeten Technologie wird in den beiden letzten Transistortypen ersichtlich. Die Symbole unter g) und h) stellen MOSFETs dar, die für einen Spannungsbereich von 90 V verwendet werden können. Diese HV Typen werden, wie die bereits vorangehenden, mit nominal 5 V  $V_{GS}$  angesteuert.

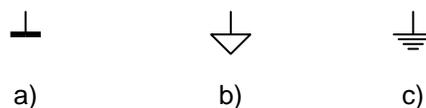


Abbildung 4.2: Übersicht gnd Typen: a) gndd b) gnd\_gd c) globales gnd



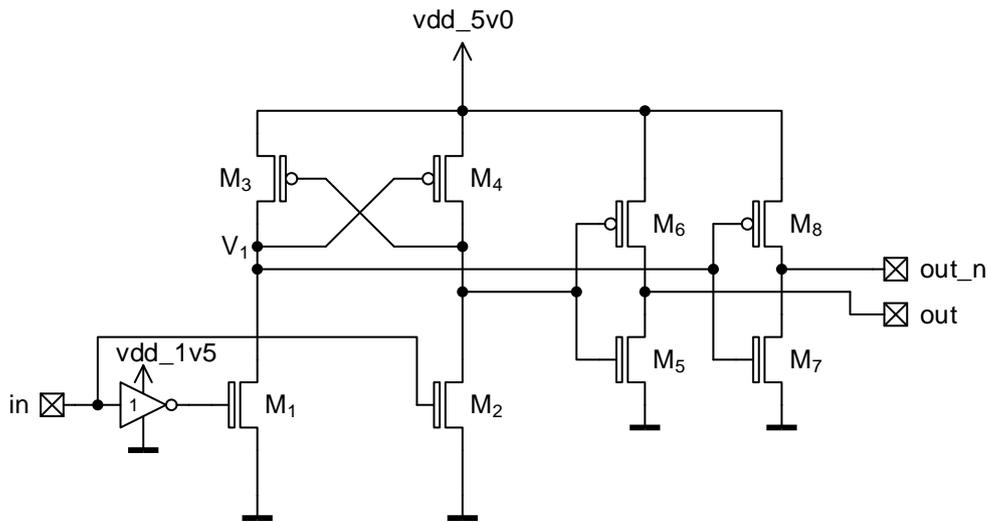


Abbildung 4.4: LV Level Shifter

ausgeschaltet ist, liegt keine  $V_{GS}$  Spannung an  $M_2$  an und es kann zu keinem Stromfluss durch  $M_2$  kommen. Der Transistor befindet sich somit im linearen Betriebszustand, auch Widerstandsbereich genannt. Bei einer Zustandsänderung am Eingang von 1,5 V auf 0 V wird  $M_1$  eingeschaltet. Damit eine korrekte Änderung des Ausgangs möglich ist und ein dauerhafter Querstrom zwischen  $M_1$  und  $M_3$  unterbunden wird, müssen die beiden Transistoren  $M_1$  und  $M_3$  so dimensioniert werden, dass  $M_1$  mehr Strom benötigt, als  $M_3$  zu liefern imstande ist, damit das Potential des linken Astes auf mindestens

$$V_1 = vdd\_5v0 - |V_{thp,M4}| \quad (4.1)$$

nach unten gezogen werden kann. Ist dies nicht, oder nur langsam möglich, kommt es zu einer Erhöhung der Reaktionszeit der Schaltung.

Der eigentliche Umschaltvorgang des Ausganges  $out_n$  von logisch HI auf logisch LOW kann wie folgt beschrieben werden. Kommt es am Eingang zu einer Spannungsänderung, wird an  $M_1$  eine Spannung zwischen Gate und Source anliegen, die den zuvor im Sperrbereich betriebenen Transistor  $M_1$  voll aufsteuert und sich somit ein Strom, laut der allgemeinen Formel für einen MOSFET in Sättigung (2.11), ausbilden kann. Der darüber liegende PMOSFET  $M_3$  befindet sich nach wie vor im Widerstandsbereich, da – obwohl  $M_2$  durch die Zustandsänderung im Sperrbereich ist – der Gateanschluss noch nicht auf  $vdd\_5v0$  gezogen wurde. Der maximale Stromfluss durch  $M_3$  ist durch die Stromgleichung für einen MOSFET im linearen Bereich

$$I_D = \beta \left[ (V_{GS} - V_{th}) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (4.2)$$

bestimmt. Während dieses Umschaltvorganges, müssen die beiden Drainströme durch  $M_1$  und  $M_3$  die

gleiche Größe aufweisen. Demnach müssen folgende Beziehungen gültig sein:

$$I_{D,M1} = I_{D,M3} \quad (4.3)$$

$$\frac{\beta_{M1}}{2} (vdd_{1v5} - V_{th,M1})^2 = \beta_{M3} \left[ (vdd_{5v0} - |V_{thp,M3}|) \cdot |V_{thp,M3}| - \frac{|V_{thp,M3}|^2}{2} \right] \quad (4.4)$$

$$\frac{\beta_{M1}}{\beta_{M3}} = \frac{2 \cdot \left[ (vdd_{5v0} - |V_{thp,M3}|) \cdot |V_{thp,M3}| - \frac{|V_{thp,M3}|^2}{2} \right]}{(vdd_{1v5} - V_{thn,M1})^2} \quad (4.5)$$

Wenn man den Zusammenhang von (2.12) berücksichtigt, kann man das notwendige Verhältnis der beiden Transistorweiten anschreiben:

$$\frac{(w/L)_1}{(w/L)_3} = \frac{K'_{M3}}{K'_{M1}} \cdot \frac{2 \cdot \left[ (vdd_{5v0} - |V_{thp}|) \cdot |V_{thp}| - \frac{|V_{thp}|^2}{2} \right]}{(vdd_{1v5} - V_{thn})^2} \quad (4.6)$$

Durch die Beziehung 4.6 kann eine grundlegende Dimensionierung der Transistoren  $M_1$  bis  $M_4$  vorgenommen werden.

Trotz des symmetrischen Aufbaus des Level Shifters werden die beiden Ausgangssignale *out* und *out\_n* einen geringfügigen zeitlichen Versatz aufweisen, da die beiden Eingangstransistoren  $M_1$  und  $M_2$  unterschiedlich angesteuert werden. Wie in Abbildung 4.4 erkennbar ist, sind nach der eigentlichen Level Shifter Schaltung zwei Inverter verbaut. Mit Hilfe dieser Maßnahme wird sicher gestellt, dass beide Schaltungsäste symmetrisch belastet werden. Trotz dieser Vorkehrung wird sich die geringfügige Unsymmetrie der Ausgänge nicht ausgleichen.

## 4.2 Mittelvolt Level Shifter

Aufbauend auf die Dimensionierung des einfachen Level Shifters des vorherigen Kapitels 4.1, kann eine **MV** Variante laut [18] entwickelt werden. Aufgrund der erhöhten Versorgungsspannung von 20 V muss sichergestellt werden, dass einerseits Transistoren, die nur bei einer niedrigen Einsatzspannung betrieben werden können, geschützt werden und andererseits müssen, wenn benötigt, die ursprünglichen **MOSFETs** durch **MV** Typen ersetzt werden. Eine Variante um einen solchen **MV** Level Shifter zu realisieren, ist die Verwendung eines Schutztransistors mit einer höheren maximalen Drain Source Spannung (Abbildung 4.5). Dabei wird über den **NMOSFET**  $M_1$  eine Kaskode verbaut, die zu einer höheren Spannungsklasse gehört.  $M_2$  wird mit einer konstanten Biasspannung versorgt, welche gleich groß wie die maximale  $V_{DS}$  des darunter liegenden Transistors, verringert um die Threshold Spannung von  $M_2$ , sein kann. Steigt das Potential  $V_X$  wird die  $V_{GS}$  von  $M_2$  kleiner, bis  $M_2$  im Sperrbereich betrieben wird. Somit kann der Drain Anschluss von  $M_1$  nur auf eine maximale Spannung von  $V_{bias} - V_{th,M2}$  ansteigen. Wenn es von der bestehenden Schaltungsstruktur nicht notwendig ist,  $M_1$  zu verwenden, so kann dieser ersatzlos durch  $M_2$  ersetzt werden. Dies hat eine Verringerung der benötigten Fläche zur Folge. Beim Aufbau des **MV** Level Shifters (Abbildung 4.6) konnte dies

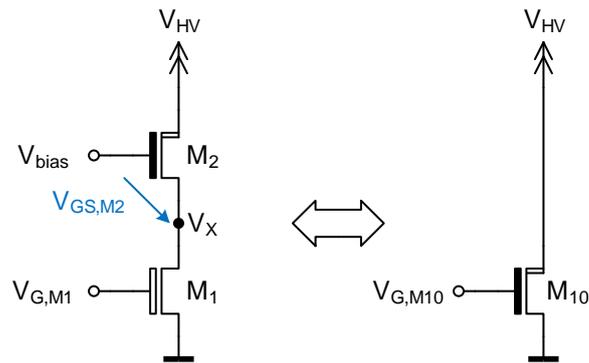


Abbildung 4.5: Kaskode als Schutz des darunterliegenden Bauteils

durchgeführt werden. Die Transistoren  $M_1$  und  $M_2$  wurden als 20 V **DMOSFETs** ausgeführt. Um eine symmetrische Ansteuerung der Eingangstransistoren zu erhalten, wurden vor beiden ein Push-Pull Inverter verbaut. Ein weiterer Vorteil dieser Variante ist, dass der Level Shifter Block ohne Rücksicht auf die Treiberfähigkeit der Ansteuerschaltung verbaut werden kann. Die Push-Pull Stufen können genau auf die  $C_{GS}$  von  $M_1$  und  $M_2$  abgestimmt werden, was sich positiv auf die Verringerung der Umschaltzeit auswirkt. Die Transistoren  $M_3$  und  $M_4$  bilden das zuvor schon beschriebene Schutzkonzept mit

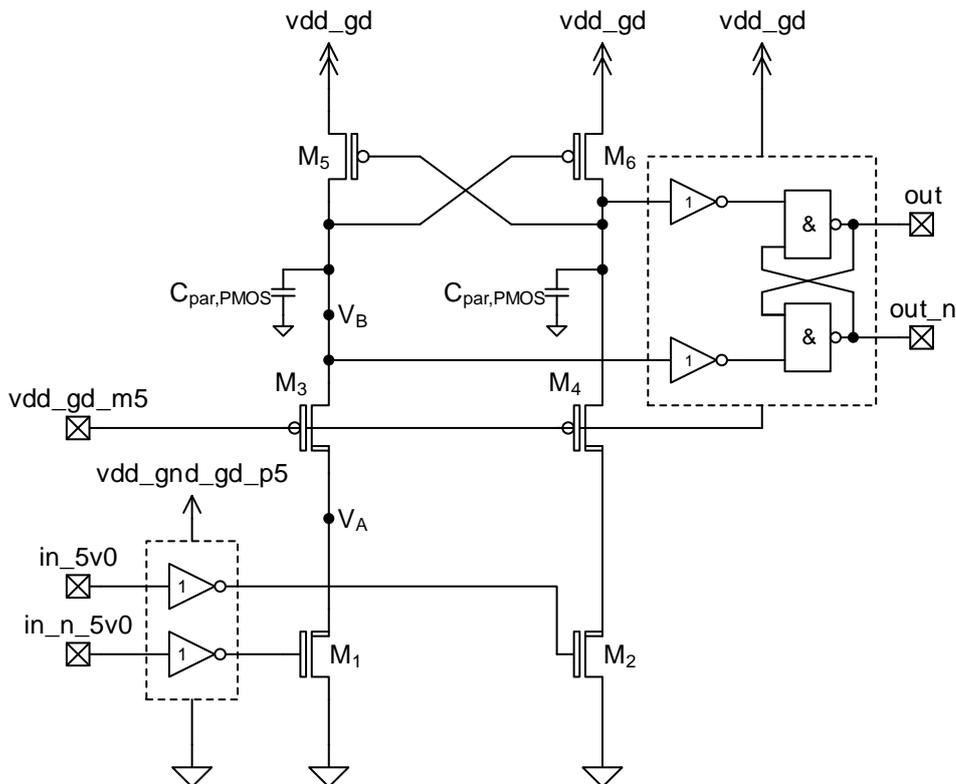


Abbildung 4.6: Erweiterung des einfachen Level Shifters für höhere Versorgungsspannungen

**PMOSFETs** nach. Die verwendeten Typen müssen ebenfalls 20 V tauglich sein, da der Drain und Source Anschluss auf maximal  $vdd\_gd$  bzw.  $gndd$  liegen kann. Mit Hilfe dieser beiden **MV** Bauteile wird eine 5 V Versorgungsspannung erzeugt, mit der sichergestellt wird, dass die Gatepotentiale der darüber liegenden Bauteile nicht unter die maximale  $V_{GS}$  absinken können. Wie auch schon in der zuvor beschriebenen Low Volt (LV) Variante sind an den beiden Ausgängen Inverter verbaut. In dieser Schaltungsvariante dienen sie aber nicht vorrangig dazu, ein symmetrisches Ausgangssignal zu erzeugen, sondern haben noch eine beschleunigende Wirkung. Durch die Wahl des Umschaltzeitpunktes kann die Reaktionszeit beschleunigt werden, da je nach Dimensionierung der Verlauf des Potentials  $V_B$  unterschiedlich lange auf einem Spannungsniveau bleiben kann, bis es anschließend endgültig auf die Höhe von  $vdd\_gd\_m5$  absinkt. Eine genaue Dimensionierung und deren Begründung wird im Zuge der Diskussion der einzelnen Spannungsverläufe besprochen. Eine weitere Veränderung im Bezug auf die **LV** Variante stellt das abschließende Nand Latch dar. Es wurde eingebaut, um eine Synchronizität zwischen dem invertierten und dem nicht invertierten Ausgang zu erhalten.

### 4.2.1 Ablauf eines Umschaltvorganges

Um eine Betrachtung des Verhaltens der Schaltung durchzuführen, werden folgende Anfangszustände angenommen: Das Eingangssignal  $in\_5v0$  liegt auf 5 V, der Transistor  $M_1$  wird in starker Inversion betrieben und ist vollkommen leitend. Komplementär dazu liegt an  $M_2$  eine  $V_{GS}$  von 0 V an, was dazu führt, dass der Transistor abgeschaltet ist. Das Potential  $V_B$  befindet sich auf dem niedrigst möglichen Zustand von  $vdd\_gd\_m5$ . Um dies zu ermöglichen, muss der **MOSFET**  $M_5$  im Sperrbereich betrieben werden. Das Potential  $V_A$  befindet sich auf  $gnd\_gd$ . Am Ausgang  $out$ , der auf  $vdd\_gd\_m5$  bezogen wird, liegt die maximale Spannung an. Die Transistoren des rechten Astes des Level Shifters befinden sich im Vergleich zu ihren Pendanten genau im invertierten Zustand. Dieses Charakteristikum ist durch den strukturellen Aufbau dieser Level Shifter Variante begründet und wird sich auch bei jeder Zustandsänderung widerspiegeln. Aus diesem Grund wird bei der nachfolgenden Beschreibung des Umschaltvorganges immer nur auf einen Ast der Schaltung näher eingegangen. Wird nun die Spannung am Eingangspin  $in\_5v0$  auf 0 V geändert, geschieht folgender Ablauf: Der Transistor  $M_1$  geht in den Sperrbereich über, was dazu führt, dass der Knoten  $V_A$  einen schlecht definierten Zustand zwischen  $vdd\_gd\_m5$  und  $gnd$  einnimmt. Gleichzeitig wird  $M_2$  eingeschaltet. Dadurch dass  $M_6$  noch im Zustand der starken Inversion und somit leitend ist, kann sich aufgrund der unterschiedlichen Dimensionierung –  $W_{M4}$  ist größer als  $W_{M6}$  – ein Querstrom ausbilden, der von  $M_6$  bestimmt wird. Um in diesem unerwünschten Zustand so kurz wie möglich zu bleiben, muss der Transistor  $M_2$  so dimensioniert werden, dass er mehr Strom aufnehmen kann, als  $M_6$  in der Lage ist zu liefern. Dadurch wird im ersten Moment das Gatepotential von  $M_5$  so weit nach unten gezogen, dass an  $M_5$  mindestens eine  $|V_{thp}|$  Spannung anliegt. Somit kann sich zwischen Drain und Source ein Kanal ausbilden, der  $M_5$  leitfähig macht. Das Potential  $V_B$  kann dadurch von  $vdd\_gd\_m5$  nach oben gezogen werden, was eine Reduktion von  $V_{GS,M6}$  zur Folge hat. Dies resultiert in einer Reduktion des Querstromes im rechten Ast und somit auch einer schnelleren Abwärtsbewegung des Gatepotentials von  $M_5$ , welches bis auf  $vdd\_gd\_m5$  absinken kann und  $M_5$  ganz aufsteuert. Damit  $V_B$  so weit nach oben ansteigen kann, dass  $M_6$  in den Sperrbereich übergeht, muss  $V_A$  ebenfalls ganz nach oben auf  $vdd\_gd$  gezogen werden. Ist dies geschehen, kann auch das Potential im rechten Ast auf  $gnd$  Niveau absinken, wodurch der Level Shifter einen stabilen Zustand erreicht hat und den Umschaltvorgang abschließt.

Um einen Einfluss auf die unterschiedlichen Umladegeschwindigkeiten der parasitären Kapazitäten der beiden Level Shifter Äste zu erhalten, wurden nach den Ausgängen Inverter verbaut, die wiederum den Eingang eines Latches bilden. Es kann dadurch eine Symmetrie der Ausgangssignale  $out$  und  $out_n$  im Rahmen der Gatterverzögerung des Latches sichergestellt werden. Die resultierende gesamte Verzögerungszeit kann durch geschickte Wahl der verbauten MOSFETs auf ein Minimum reduziert werden. Einerseits ist die sich ergebende Zeitkonstante proportional der unterschiedlichen Kanalwiderstände der Transistoren eines Astes und andererseits der parasitären Gate Source Kapazitäten der einzelnen Transistoren (4.8). Betrachtet man den linken Zweig des Level Shifters, kann die Formel für die Zeitkonstante angeschrieben werden.

$$\tau = (R_{DS(on),M3} + R_{DS(on),M5}) \cdot C_{par,PMOS} \quad (4.7)$$

$$C_{par,PMOS} = C_{GS,M3} + C_{GS,M6} \quad (4.8)$$

Eine Vergrößerung von  $W$  wirkt indirekt proportional auf  $R_C$  und folglich positiv auf die Verzögerung der Schaltung. Damit einhergehend erhöht sich die Fläche unter dem Gate und somit die parasitären Kapazitäten, im speziellen die für diese Betrachtung ausschlaggebende  $C_{GS}$ , was wiederum eine Reduktion der Umschaltgeschwindigkeit zur Folge hat.

Wie in [18] gezeigt wurde, hat diese einfache Schaltungsstruktur erhebliche Schwächen in diversen Prozesscornern. Eine Verringerung der maximalen Umschaltzeit kann durch eine im nachfolgenden Kapitel 4.2.2 behandelte Verbesserung erreicht werden.

### 4.2.2 Verbesserter Mittelvolt Level Shifter

Um ein robusteres Verhalten über Prozesscorner zu erhalten, kann der ursprüngliche Level Shifter (Abbildung 4.6) adaptiert werden. Abbildung 4.7 zeigt die endgültige MV Level Shifter Schaltung. Die beiden NMOSFETs  $M_7$  und  $M_8$  bilden zusammen mit  $M_5$  und  $M_6$  eine Push-Pull Stufe, die verwendet wird, um einen Geschwindigkeitszuwachs bei einem Umladevorgang des Potentials  $V_B$  von  $vdd\_gd$  auf  $vdd\_gd\_m5$  zu erreichen.

Der limitierende Faktor der Geschwindigkeit eines Astes stellt die Stärke des PMOSFETs  $M_5$  dar. Bei einer Änderung von  $in_n\_5v0 = 0$  V auf 5 V soll das Potential  $V_B$  so schnell wie möglich nach  $vdd\_gd$  gezogen werden. Dies kann durch eine Vergrößerung von  $W$  des Transistors  $M_5$  erreicht werden. Mit dieser „Verbesserung“ kann ebenfalls die Zeit, mit der sich  $V_A$  bis zu  $vdd\_gd$  bewegt, verringert werden. Solange  $V_A$  nicht auf  $vdd\_gd$  aufgeladen ist, solange kann  $V_B$  nicht auf  $vdd\_gd$  geladen werden. Der Nachteil eines zu starken  $M_5$  und somit eines schlecht gewählten Verhältnisses von  $M_1$  und  $M_5$ , ist sofort bei einer Änderung des Eingangssignals erkennbar. Der Drain Anschluss von  $M_5$  kann durch  $M_1$  nicht mehr nach unten gezogen werden. Es kommt abermals zu einer Verschlechterung der Performance. Um dieses Problem zu umgehen, muss  $M_5$  nur dann vergrößert werden, wenn  $V_B$  nach oben gezogen wird. Umgekehrt kann man  $M_7$  verwenden, um  $M_5$  bei einem Umladevorgang des  $V_B$  Potentials von  $vdd\_gd$  auf  $vdd\_gd\_m5$  zu verschlechtern [18, S. 492f]. Ein weiterer Vorteil von  $M_7$  ist die Überbrückung der Thresholdspannung der Kaskode  $M_3$ . Demnach ist es möglich den NMOSFET des Ausgangsinverters vollkommen auszuschalten und infolgedessen den zuvor entstandenen Querstrom zu verhindern.

Bei der Dimensionierung haben sich zum Vergleich zur einfacheren MV Level Shifter Version die Bedingungen nicht geändert. Die beiden MV NMOSFETs  $M_1$  und  $M_2$  werden mit den symmetrischen Eingangsinvertern angesteuert. Die PMOSFETs  $M_5$  und  $M_6$  stellen, wie zuvor schon beschrieben, die Gegenkraft zu  $M_1$  und  $M_2$  dar. Die beiden NMOSFETs  $M_7$  and  $M_8$  sollen mit  $W < L$  schwach dimensioniert werden, damit sich die Schaltschwelle des sich bildenden Inverters bei  $V_{dd\_gd} - V_{th,PMOS}$  einstellt. Durch den Einsatz der beiden Transistoren  $M_3$  und  $M_4$  ergibt sich für die darüber liegenden Transistoren, die in Abbildung 4.5 dargestellte Schutzstruktur. Im Zuge der Dimensionierung ist darauf zu achten, dass  $W$  so groß gewählt wird, um  $M_1$  und  $M_5$  nicht zu behindern, die Knotenpotentiale  $V_A$  bzw.  $V_B$  nach unten bzw. noch oben zu bewegen. Wiederum darf aber der DMOSFET nicht zu groß gewählt werden, da mit steigender Fläche die n-dotierte Epitaxieschicht und somit die parasitäre Kapazität zunimmt. Die isolierende n-Epitaxieschicht wird bei diesem Transistor Typ mit dem Source Anschluss kontaktiert. Aus diesem Grund ergibt sich zusätzlich zu den schon bekannten parasitären Kapazitäten im Signalpfad, die als  $C_{par,PMOS}$  zusammengefasst werden, eine Kapazität, die sich zwischen der n<sup>-</sup> Epitaxie und den p<sup>-</sup>-dotierten Substrat ausbildet. Dieser zusätzliche Parasit bewirkt bei jedem Umschaltvorgang eine vergrößerte Lastkapazität und demnach eine Reduktion der Umschaltgeschwindigkeit. Die bei  $M_1$  und  $M_2$  ebenfalls vorhandene  $C_{epi}$  hat auf den Knoten  $V_A$  keinen Einfluss,

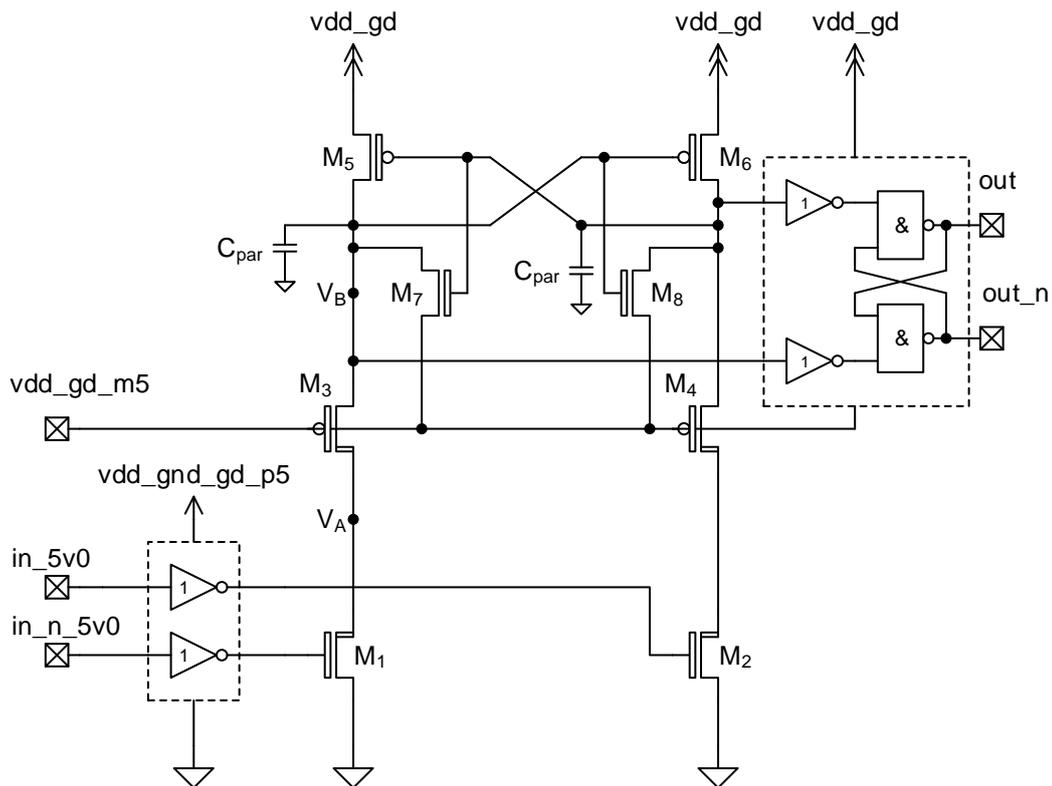


Abbildung 4.7: Verbessertes MV Level Shifter

da die betreffenden Epitaxie mit  $vdd\_gd$  verbunden ist.

$$C_{par} = C_{par,PMOS} + C_{epi,M3} \quad (4.9)$$

Die Abbildungen 4.8 und 4.9 zeigen die Verläufe der einzelnen Potentiale sowie des auftretenden Querstromes während eines Umschaltvorganges: Beginnend mit der steigenden Eingangsflanke geht  $M_1$  vom Sperrbereich in starke Inversion über. Nachdem die  $V_{th,M1}$  überschritten ist, wird  $V_A$  und somit auch  $V_B$  so weit nach unten gezogen, bis  $V_B$   $V_{th,M6}$  erreicht hat. Ab diesem Zeitpunkt kann  $M_6$  beginnen, den Gateanschluss von  $M_5$  ( $V_{B,n}$ ) nach oben zu ziehen. Das Potential am Knoten B wird bezogen auf  $vdd\_gd\_m5$  dargestellt. Ist das Gatepotential von  $M_5$  nun so weit nach oben angestiegen, dass die  $V_{GS,M4}$  größer als  $V_{th,M4}$  geworden ist, kann der Knoten  $A_n$ , durch den  $M_6$  und den leitend gewordenen **DMOSFET**  $M_4$ , ebenfalls nach  $vdd\_gd$  ansteigen. Ein weiterer signifikanter Knick beim Anstieg von  $V_{B,n}$  kann bei A erkannt werden. Hier beginnt der Transistor  $M_7$  leitfähig zu werden und den noch in starker Inversion befindlichen  $M_5$  zu schwächen. Die Schaltschwelle des Inverters  $M_5 / M_7$  ist kurz danach erreicht und  $V_B$  sinkt so weit ab, dass  $M_6$  voll eingeschaltet ist und  $V_{B,n}$  auf  $vdd\_gd$  aufgeladen werden kann. Der Umschaltvorgang ist damit abgeschlossen. Währenddessen bildet sich ein Querstrom aus, der in beiden Schaltungsteilen zu fließen kommt. Begrenzt wird er durch die Summe der Kanalwiderstände der einzelnen Transistoren.

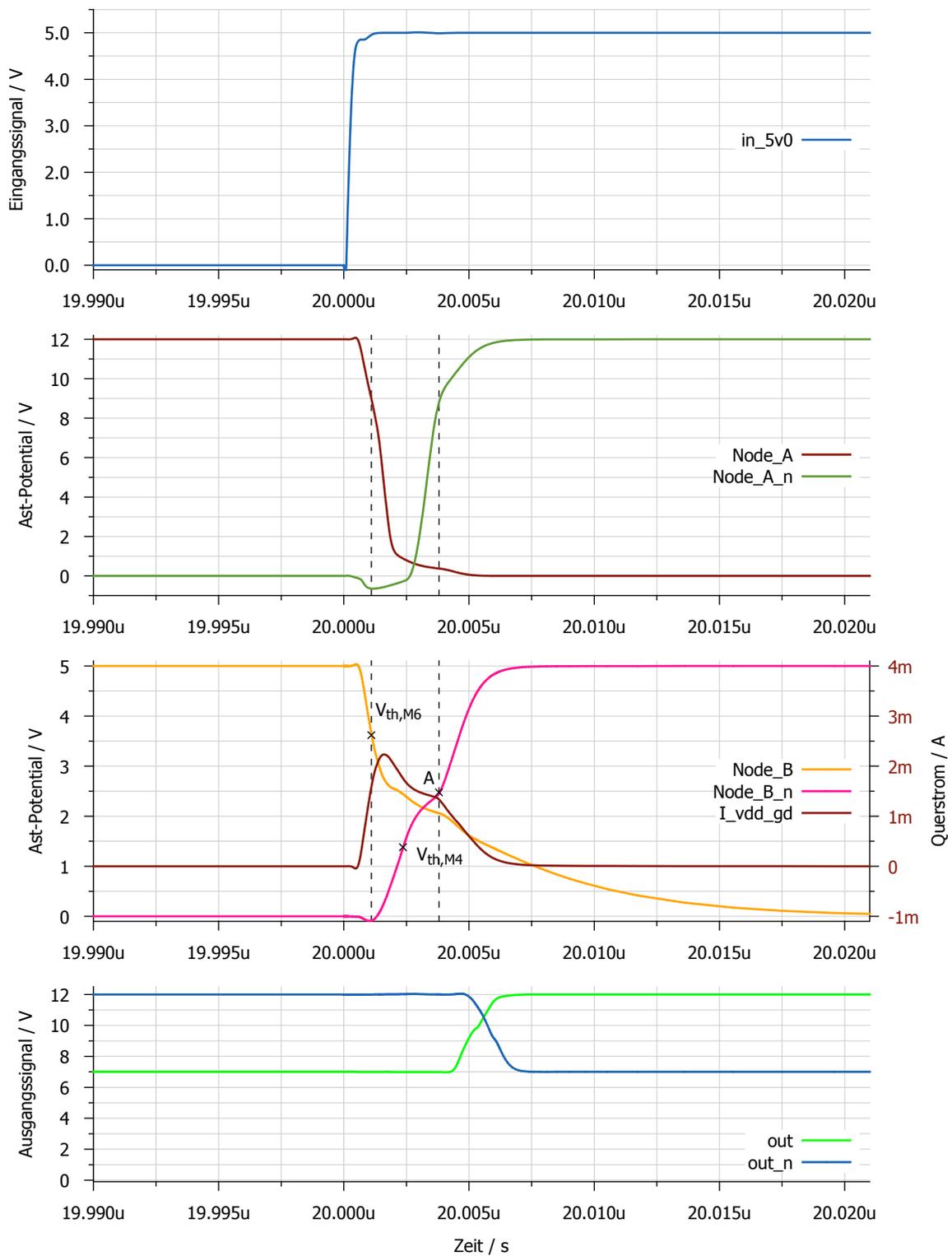


Abbildung 4.8: Spannungsverläufe des verbesserten MV Level Shifters bei steigendem Eingangssignal

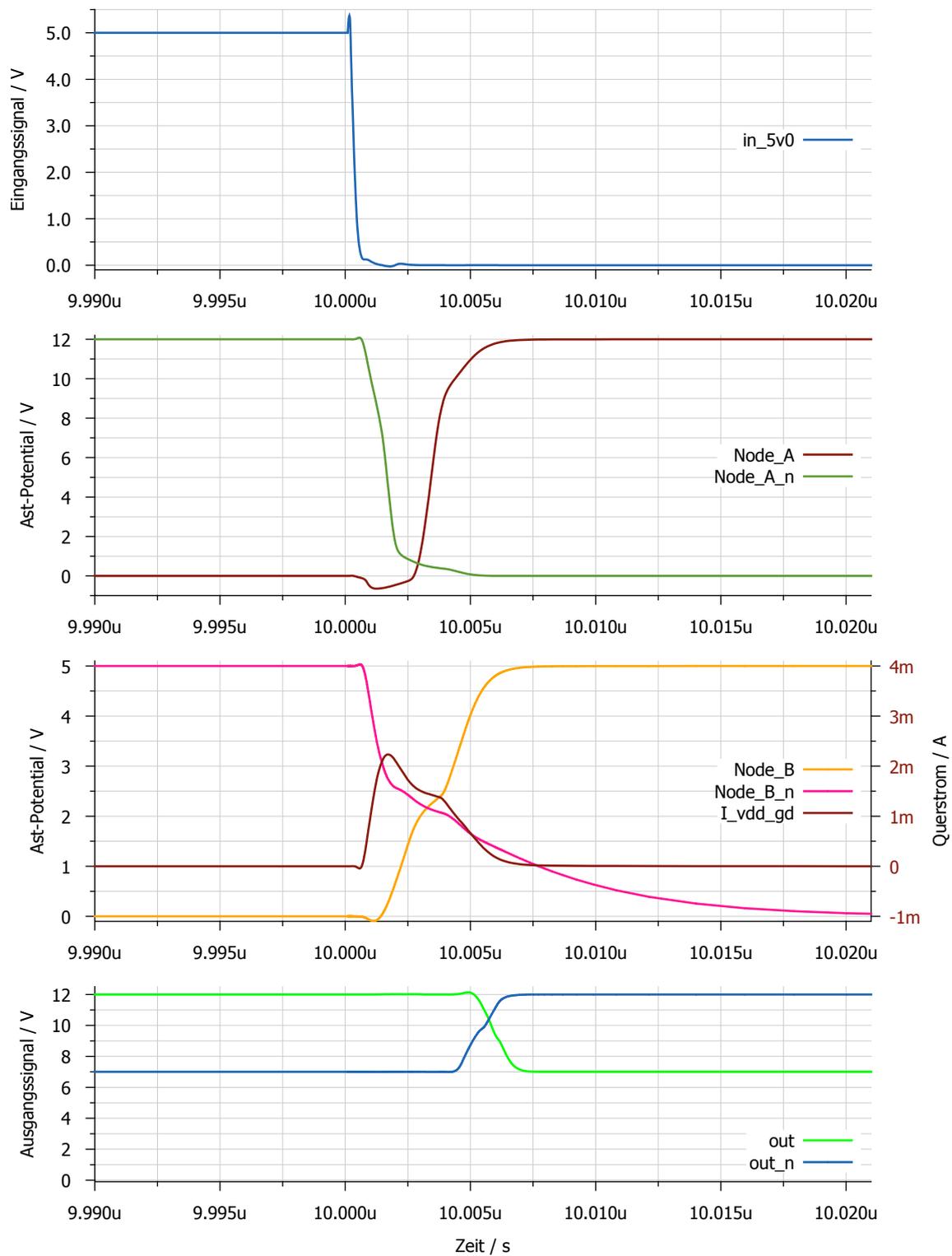


Abbildung 4.9: Spannungsverläufe des verbesserten MV Level Shifters bei fallendem Eingangssignal

### 4.2.3 Corner Simulation

Die in Tabelle 4.1 angegebenen Verzögerungszeiten sind über alle Prozesscorner und den im automobilen Sektor üblichen Temperaturbereich von  $-40\text{ }^{\circ}\text{C}$  bis  $150\text{ }^{\circ}\text{C}$  simuliert worden. Die Einsatzspannung, für die der Level Shifter entworfen wurde, liegt in einem Bereich von  $12\text{ V}$  bis  $20\text{ V}$ . Sie wurde bei allen Corner Simulationen jeweils um  $10\%$  ausgelenkt. Die Ergebnisse des invertierten und nicht invertierten

	Eingangssignal	nom [ns]	min [ns]	max [ns]
<b>out</b>	steigende Flanke	4,88	3,56	7,19
	fallende Flanke	5,61	4,11	8,30
<b>out_n</b>	steigende Flanke	5,64	4,14	8,33
	fallende Flanke	4,94	3,59	7,31

Tabelle 4.1: Verzögerungszeiten des MV Level Shifters

Ausgangs, *out* bzw. *out\_n*, sind wie erwartet bei beiden Flanken aufgrund der Gatterverzögerungszeit des Latches nicht gleich. Eine Übersicht über die erhaltenen Verzögerungszeiten über die gesamte Corner Simulation wird mit dem Histogramm in Abbildung 4.10 dargestellt. Um eine repräsentative Darstellung zu erhalten, sind die einzelnen Ergebnisse mit einer Klassenbreite von  $250\text{ ps}$  zusammengefasst worden. Das Resultat der nominalen Simulation wird mit einer strichlierten Linie im Histogramm gekennzeichnet. Gut erkennbar ist hier die sehr geringe Streuung sowie die selten auftretenden worst case Ergebnisse. Die nominalen Prozesscorner sind bei diesem Ergebnis nicht enthalten.

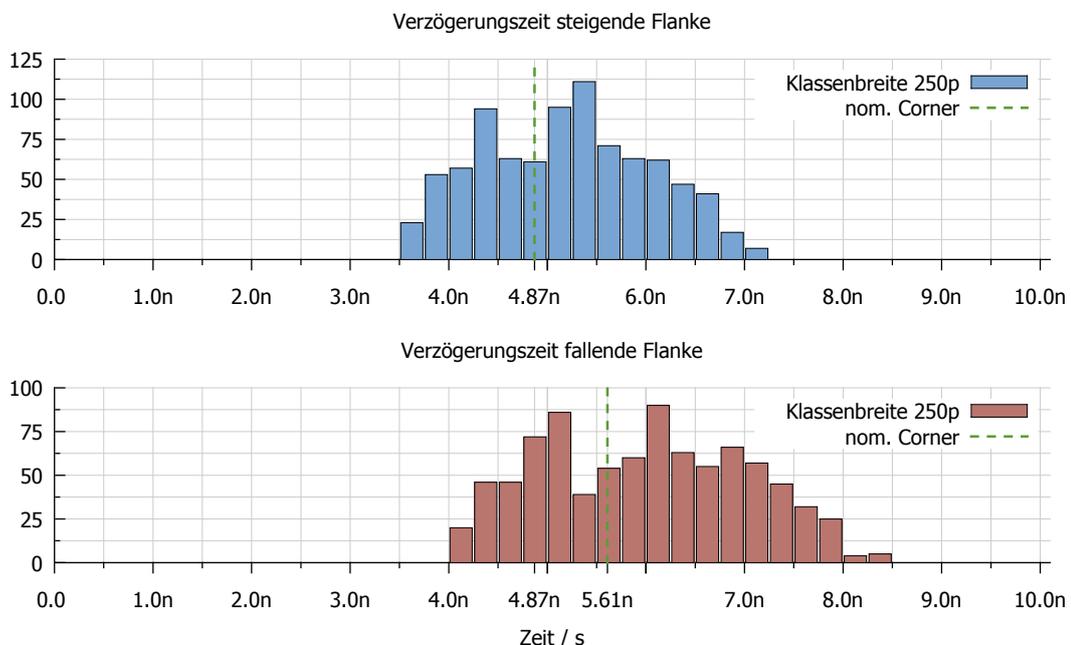


Abbildung 4.10: Verzögerungszeiten des MV Level Shifters über alle Corner



Durch den weiterhin vorhandenen symmetrischen Aufbau kann zur Betrachtung nur eine Schaltungshälfte herangezogen werden.

Die Inverter  $I_3$  und  $I_4$ , die zuvor symmetrisch gewählt wurden, werden nun so dimensioniert, dass die Schaltschwelle kurz nach  $V_{dd\_gd} - V_{th,PMOS}$  zu liegen kommt.  $I_6$  kann anschließend wieder als Standardinverter gebaut werden. Somit kann, wie schon erwähnt, der Drainkontakt von  $M_8$  viel schneller in Richtung  $v_{dd\_gd}$  gezogen werden. Der begrenzende Faktor stellt, wie in den Spannungsverläufen von Abbildung 4.12 erkennbar ist, jene Zeit dar, die benötigt wird um das Knotenpotential  $V_A$  von  $g_{ndd}$  auf  $v_{dd\_gd\_m5}$  zu laden. Ein weiterer signifikanter Unterschied besteht in der Größe von  $M_7$ . Da nun die Ansteuerung des Gates nicht mehr durch den unkontrollierten Verlauf von  $V_{B,n}$  durchgeführt wird, kann der NMOSFET viel stärker ausgeführt werden. Die restliche Dimensionierung gestaltet sich sehr ähnlich, die Transistoren  $M_1$  bis  $M_6$  werden vergrößert, um die benötigten Umschaltzeiten zu erhalten.

Bei der Betrachtung der parasitären Kapazitäten des gesamten Signalpfades, können diese in zwei Teile zusammengefasst werden. Die Kapazität  $C_{par,HS}$  setzt sich hauptsächlich aus den Parasiten zusammen, die durch den HV PDMOSFET  $M_3$  entstehen. Im Gegensatz zur vorherigen MV Level Shifter Variante kann die n<sup>-</sup>-dotierte Epitaxie nicht mehr mit  $v_{dd\_gd}$  verbunden werden, wodurch sie bei jedem Zustandswechsel umgeladen werden muss.

$$C_{par,HS} = C_{GS,M3} + C_{epi,M3} \quad (4.10)$$

$$C_{par,LS} = C_{epi,M1} \quad (4.11)$$

Eine Schwachstelle dieses Designansatzes liegt einerseits in dem langsamen Verlauf von  $V_B$  und in der Gefahr eines schlecht definierten Zustandes des Inverters  $I_4$ . Andererseits ist ein hoher Querstrom erkennbar, der während des Umschaltvorganges auftritt und nur durch die geometrischen Abmessungen der Transistoren begrenzt wird. Ein weiteres Verbesserungspotenzial wird bei den Verläufen der Ausgangsspannungen  $out$  und  $out_n$  sichtbar. Ist es notwendig diese Signale weiter zu beschleunigen, kann ein Inverter jedem Ausgang vorgeschaltet werden.

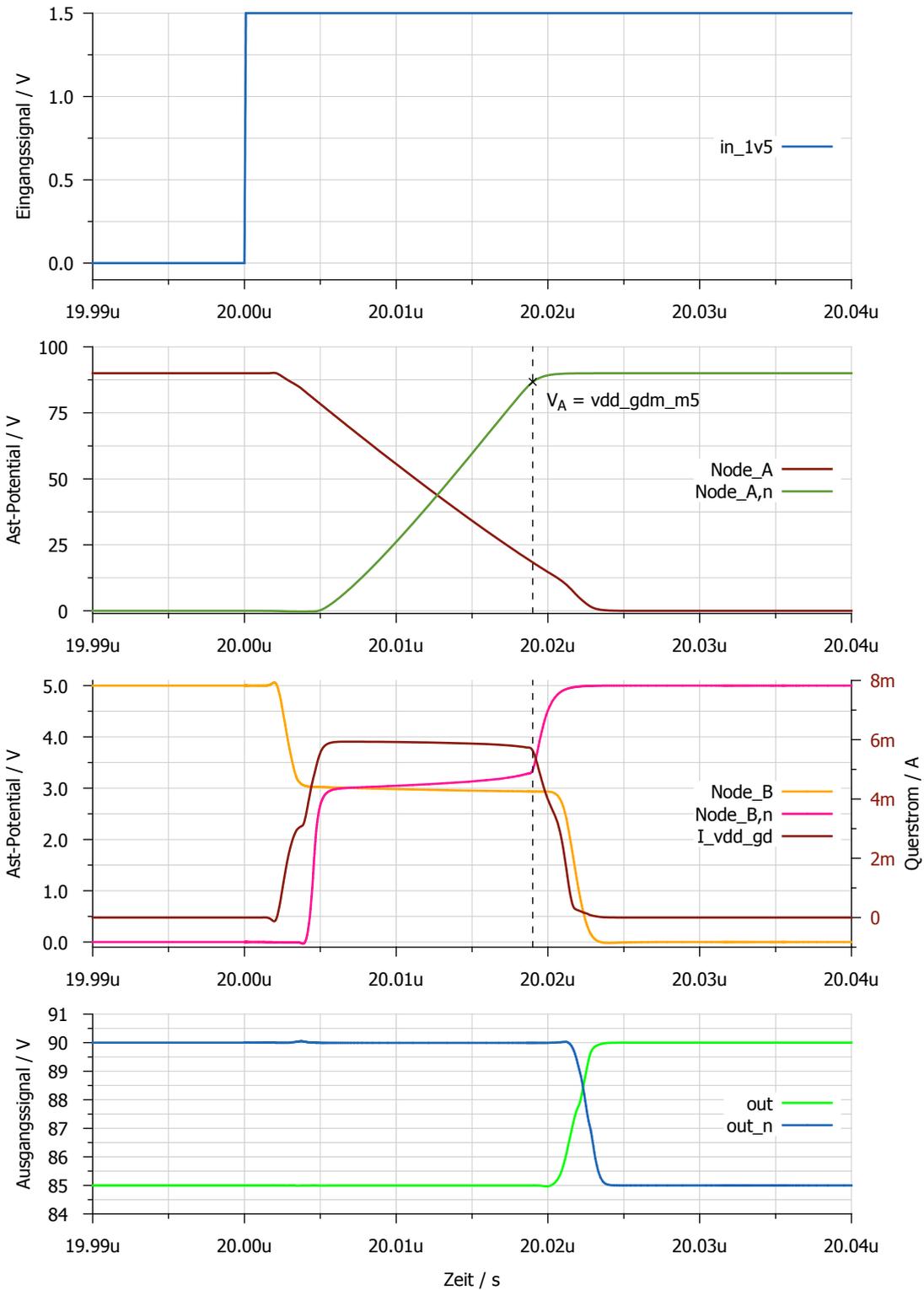


Abbildung 4.12: Spannungsverläufe des HV Level Shifters bei steigendem Eingangssignal

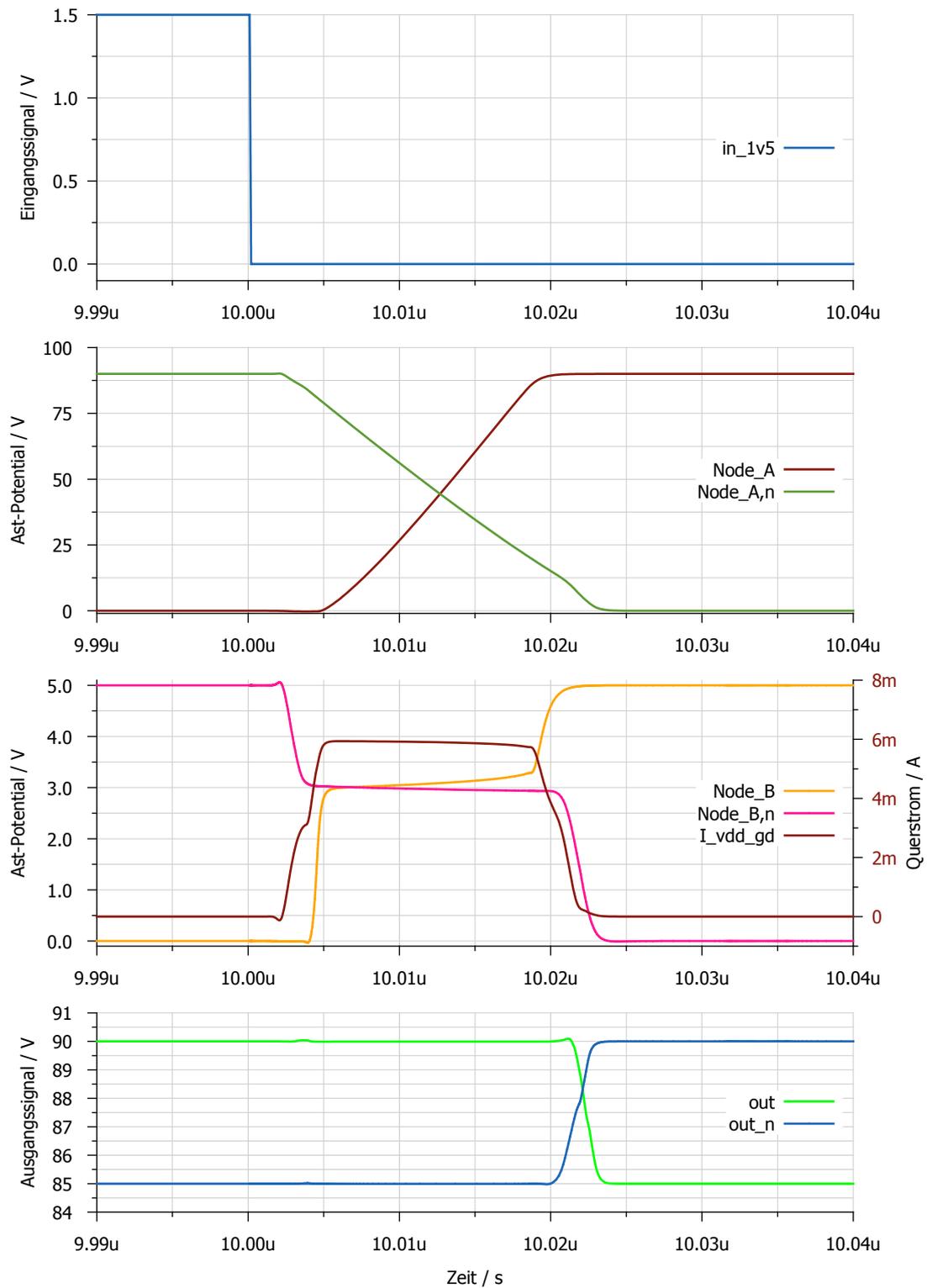


Abbildung 4.13: Spannungsverläufe des HV Level Shifters bei fallendem Eingangssignal

### 4.3.1 Corner Simulation

Wie auch in der vorherigen Corner Simulation (Kapitel 4.2.3) wurde über die maximale bzw. minimale Temperatur sowie über alle Prozesscorner simuliert. Um den Geschwindigkeitszuwachs des „Fast Operation“ Level Shifters im Vergleich zu der vorherigen Schaltungsstruktur vergleichen zu können, sind in Tabelle 4.2 zusätzlich zu den Ergebnissen des verwendeten Level Shifters, die Umschaltgeschwindigkeiten der MV Struktur dargestellt. Bei einer Gegenüberstellung ist eine positive Tendenz seitens des neu entwickelnden Level Shifters zu erkennen. Speziell bei den worst case Cornern ist, wie schon in [18] beschrieben, ein signifikanter Performancezuwachs von ca. 40 % erkennbar.

	Eingangssignal	Fast Operation			MV Struktur		
		nom [ns]	min [ns]	max [ns]	nom [ns]	min [ns]	max [ns]
out	steigende Flanke	10,87	7,52	42,03	14,23	8,59	70,14
	fallende Flanke	10,51	7,04	41,03	15,00	9,09	71,50
out_n	steigende Flanke	11,30	7,52	42,46	14,99	9,07	71,52
	fallende Flanke	10,26	6,90	40,53	14,34	8,67	70,32

Tabelle 4.2: Vergleich der Verzögerungszeiten der HV Level Shifter Strukturen

Die Verteilung der Umschaltzeiten über die gesamten Simulationen ist wiederum in einem Histogramm in den Abbildungen 4.14 und 4.15 zusammengefasst. Um einen Vergleich zwischen dem normalen Einsatzbereich und dem Extremfall mit einer Versorgungsspannung von 90 V zu bekommen, sind die nominalen Corner Ergebnisse im Diagramm eingetragen worden. Wie hier erkennbar ist, steigt die Umschaltzeit bei höher werdender Spannung an, da die umzuladende elektrische Ladung, die in den parasitären Kapazitäten durch (3.5) gespeichert ist, vergrößert wird.

#### 4.3.1.1 Vorschläge zur Verbesserung der Schaltperformance

Um die Umschaltgeschwindigkeit weiter zu erhöhen, können die DMOSFETs  $M_3$  und  $M_4$  durch Transistoren ersetzt werden, bei denen es möglich ist, die Epitaxie Kontaktierung frei zu verschalten. Die vorhandene parasitäre Kapazität kann nicht verhindert werden, aber es ist möglich, sie aus dem Signalpfad zu entfernen, indem der Anschluss an die konstante Versorgungsspannung angeschlossen wird. Ist dies nicht möglich, wird die vorhandene  $C_{GS}$  mit der  $C_{epi}$  vergrößert, wodurch sich eine vergrößerte Lastkapazität für den darüber liegenden Transistor bildet. Andernfalls muss die zusätzliche Epitaxie Kapazität bei einer Zustandsänderung des Level Shifters nicht umgeladen werden. Dies müsste zu einem Zuwachs in der Umschaltgeschwindigkeit und der Störfestigkeit der Schaltung führen. Ein geringfügiger Nachteil stellt die Erhöhung der  $V_{th}$  der betreffenden Transistoren dar, da der Anschluss der Epitaxie auch der Bulkanschluss ist und somit der Backgate Effekt zum Tragen kommt.

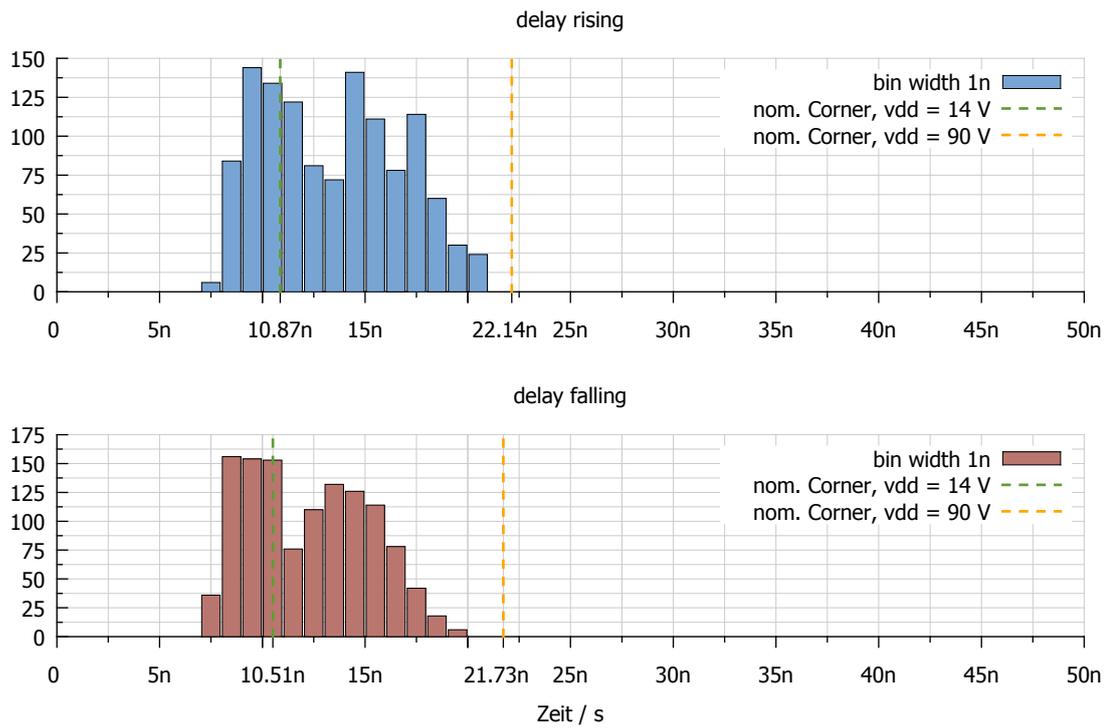


Abbildung 4.14: Verzögerungszeiten des HV Level Shifters über alle Corner bei 14 V Versorgungsspannung

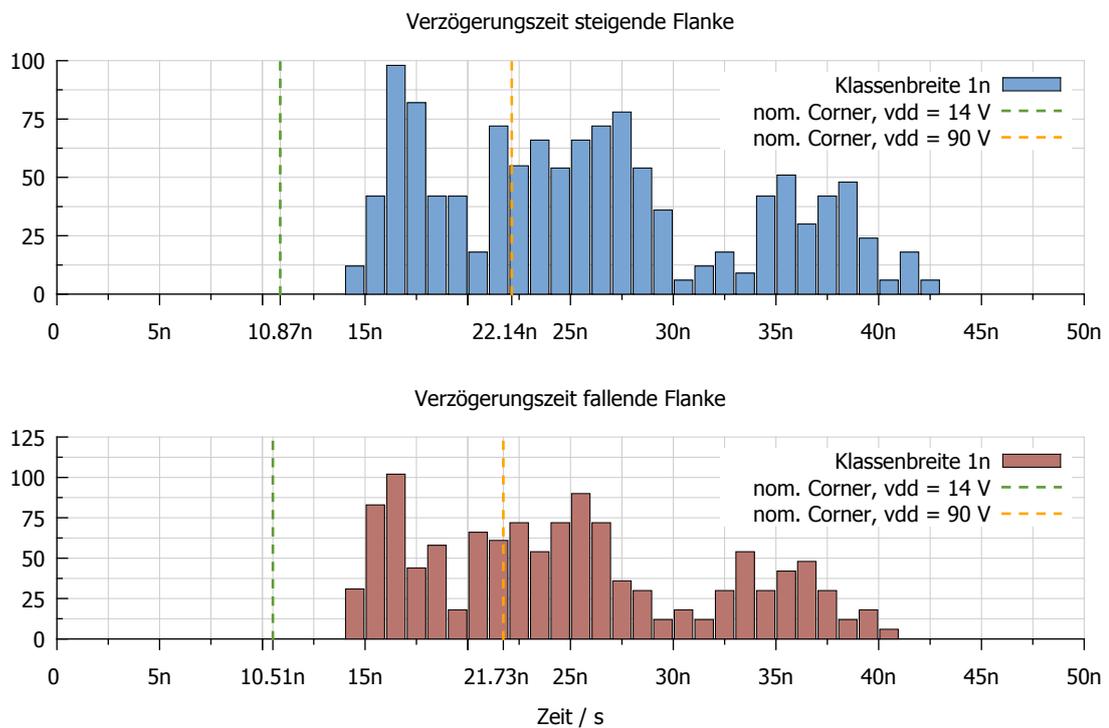


Abbildung 4.15: Verzögerungszeiten des HV Level Shifters über alle Corner bei 90 V Versorgungsspannung

Als letzte Methode zur Beschleunigung der Level Shifter Schaltung ist die Implementierung eines „ultra fast“ Betriebes laut [18, 493f] möglich. Für diese Modifikation wird ein zusätzliches Signal in der Spannungsebene zwischen  $vdd\_gd$  und  $vdd\_gd\_m5$  benötigt, mit dem der „ultra fast“ Modus aktiviert werden kann. Im Zuge dieser Arbeit wurde diese Modifikation nicht implementiert, da die bereits vorhandene Level Shifter Performance für den Einsatz eines Gate Treibers schnell genug ist, um die geforderten Spezifikationen zu erfüllen.

## 4.4 Level Shifter nach unten

Um Steuersignale über die vorhandenen Spannungsebenen – 5 V, 20 V und 90 V – übertragen zu können, sind neben der Verwendung der bisher beschriebenen Level Shifter noch Versionen notwendig, mit denen man von einer höheren Spannungsebene in eine niedrigere wechseln kann. Wie auch zuvor wird bei diesen Derivaten dieselbe Schaltungsstruktur verwendet, damit ein dauerhafter Querstrom sicher unterbunden wird. Aus diesem Grund wird auf den Aufbau der LV und MV Level Shifter nicht näher eingegangen, sondern sofort die HV Ausführung besprochen. Alle weiteren Schaltungen sind im Anhang A.2 zu finden.

### 4.4.1 Hochspannungs Level Shifter

Da sich das Eingangssignal des Level Shifters in der 5 V Ebene zwischen  $vdd\_gd$  und  $vdd\_gd\_m5$  befindet, wird die bisher bekannte Struktur gespiegelt (Abbildung 4.16). Die beiden PDMOSFETs  $M_1$  und  $M_2$  bilden den Eingang. Als Schutz bzw. als Möglichkeit um den benötigten 5 V Bereich erzeugen zu können, ist der Einsatz der HV NDMOSFETs  $M_3$  und  $M_4$  notwendig, die das bekannte Kaskoden Schutzkonzept bilden. Um die Schaltungsperformance des zukünftigen Gesamtaufbaus so wenig wie möglich zu beeinträchtigen, wird der Designansatz des „Fast Operation“ HV Level Shifters verwendet. Vor der Betrachtung der genauen Spannungsverläufe muss abermals der Ausgangszustand definiert werden: Am Eingang  $in\_hv$  liegt eine Spannung von 0 V an. Die Transistoren  $M_1$  und  $M_6$  befinden sich in starker Inversion und sind vollkommen leitend. Im Gegensatz dazu liegt zwischen den Gate und Source Kontakten von  $M_2$  und  $M_5$  keine Spannung an, was dazu führt, dass die beiden Transistoren im Sperrbereich betrieben werden. Die Betriebszustände von  $M_7$  und  $M_8$  sind genau invertiert zu ihren dazugehörigen NMOSFETs  $M_5$  bzw.  $M_6$ .  $V_A$  und  $V_B$  haben sich auf  $vdd\_gd$  aufgeladen. Kommt es nun zu einer Änderung am Eingang, läuft der Umschaltvorgang ähnlich ab wie in der normalen HV Level Shifter Variante:  $M_1$  geht vom leitenden in den sperrenden Zustand über, wodurch  $V_A$  von  $vdd\_gd$  getrennt wird. Im selben Augenblick wird  $M_2$  leitend und die Knoten  $V_{A,n}$  und  $V_{B,n}$  werden von  $gndd$  in Richtung  $vdd\_gd$  gehoben. Sobald  $V_{B,n}$  über die Schwelle des Inverters  $I_3$  gebracht wurde, wird das Gatepotential der Push–Pull Stufe  $M_5 / M_7$  getoggelt und  $M_5$  kann  $V_B$  nach unten ziehen. Damit  $V_{B,n}$  vollständig auf  $vdd\_gnd\_p5$  gezogen werden kann, muss  $V_{A,n}$  den gesamten Spannungsbereich von 0 V bis 90 V durchlaufen, währenddessen sich wiederum ein großer Querstrom ausbildet. Äquivalent dazu sinkt  $V_A$  ab, bis der Knoten  $V_B$  auf die Inverterschwelle von  $I_4$  absinken kann. Nachdem der Transistor  $M_8$  eingeschaltet wurde, wird  $V_{B,n}$  auf  $vdd\_gnd\_p5$  gezogen. Dies ist die Voraussetzung dafür, dass  $V_{A,n}$  vollständig auf  $vdd\_gd$  geladen werden kann. Zur selben Zeit sinkt  $V_A$  und somit  $V_B$  weiter ab; die Ausgänge wechseln ihre Zustände und der Umschaltvorgang ist beendet.

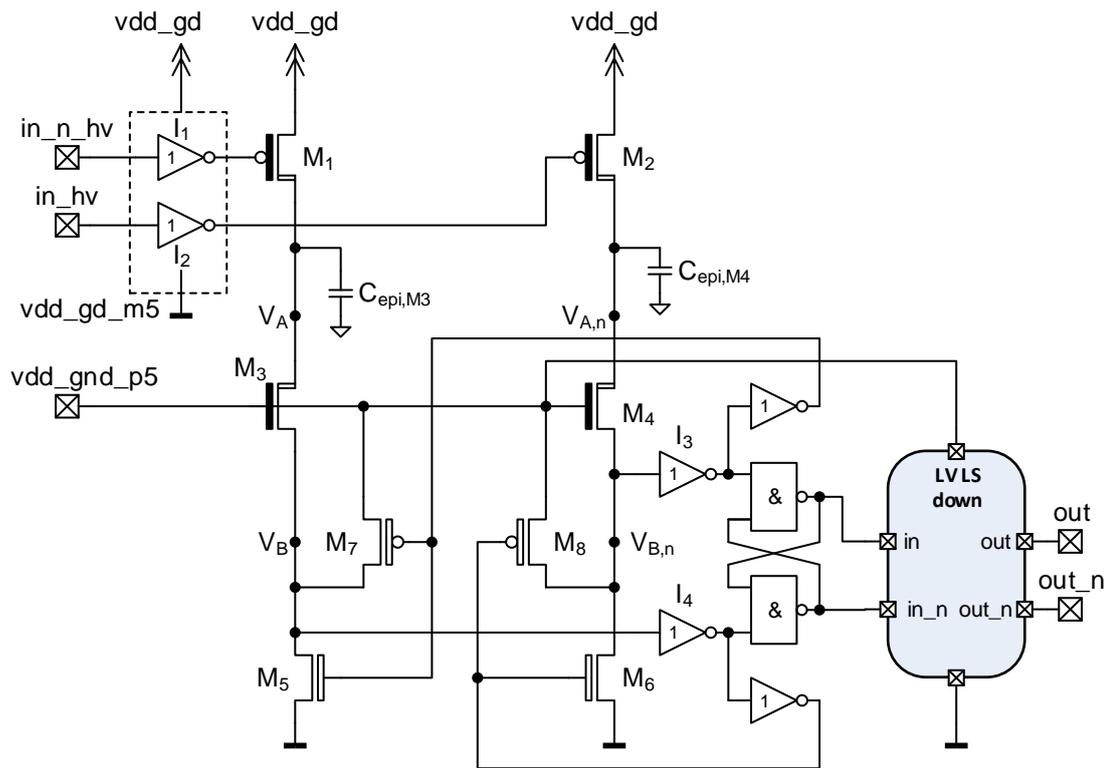


Abbildung 4.16: HV Level Shifter nach unten

#### 4.4.1.1 Corner Simulation

Bei einer Simulation über die Prozesscorner und den definierten Temperaturbereich verhält sich der inverse Level Shifter ähnlich wie sein Pendant. Ein Charakteristikum ist die Einflussnahme der Versorgung auf die Extrema der Verzögerungszeiten, die in Tabelle 4.3 zusammengefasst sind. Die schnellsten Umschaltzeiten ergeben sich naturgemäß bei kleinen  $vdd\_gd$ . Dies und das Faktum einer geringeren Streuung bei niedrigen Versorgungsspannungen, ist ebenfalls in den Histogrammen von Abbildung 4.19 und 4.20 erkennbar.

	<b>Eingangssignal</b>	<b>nom</b> [ns]	<b>min</b> [ns]	<b>max</b> [ns]
<b>out</b>	steigende Flanke	5,55	3,71	29,33
	fallende Flanke	5,59	3,47	29,00
<b>out_n</b>	steigende Flanke	5,56	3,74	29,31
	fallende Flanke	5,59	3,44	29,81

Tabelle 4.3: Verzögerungszeiten des inversen HV Level Shifters

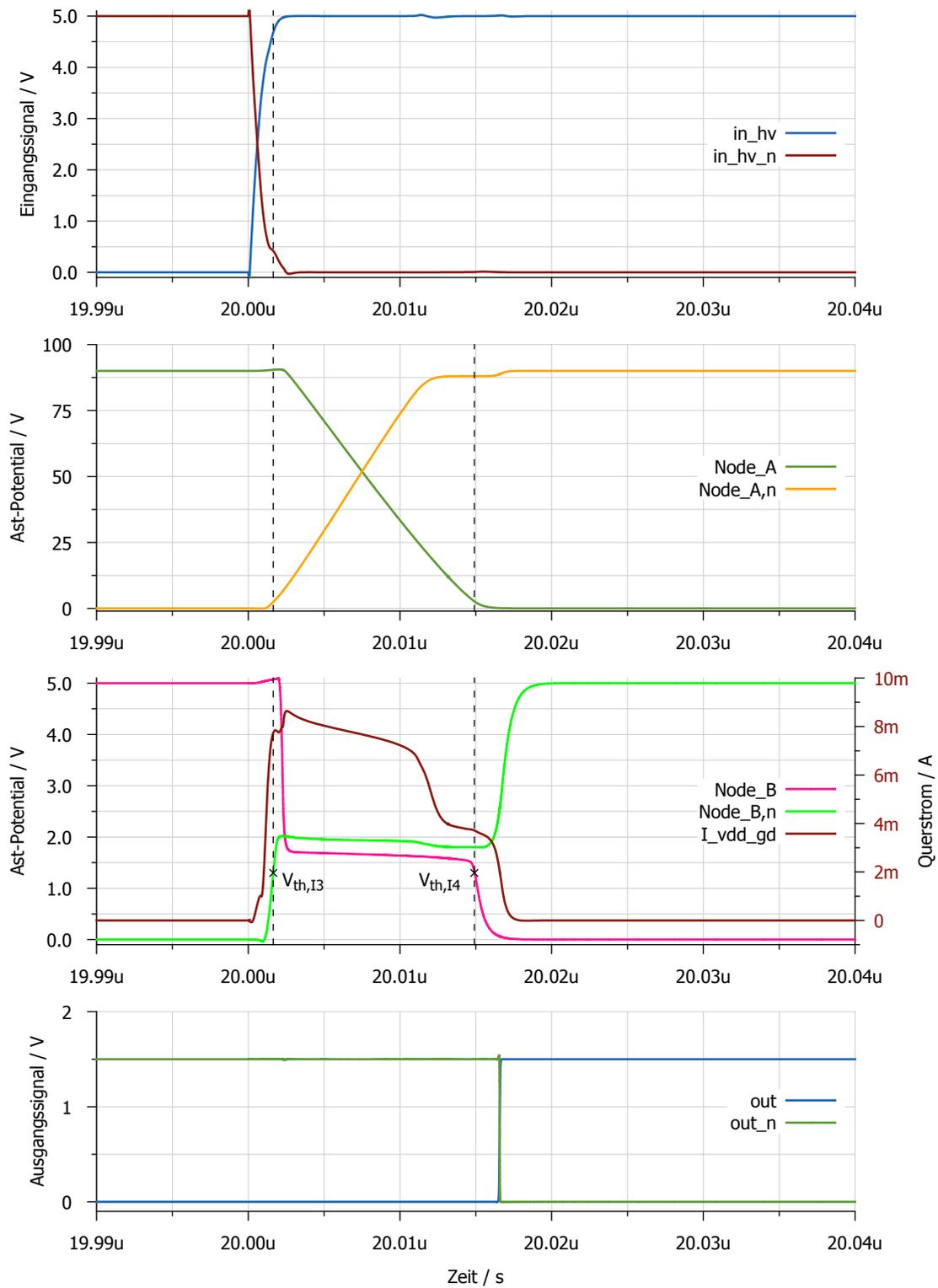


Abbildung 4.17: Spannungsverläufe des inversen HV Level Shifters bei steigendem Eingangssignal

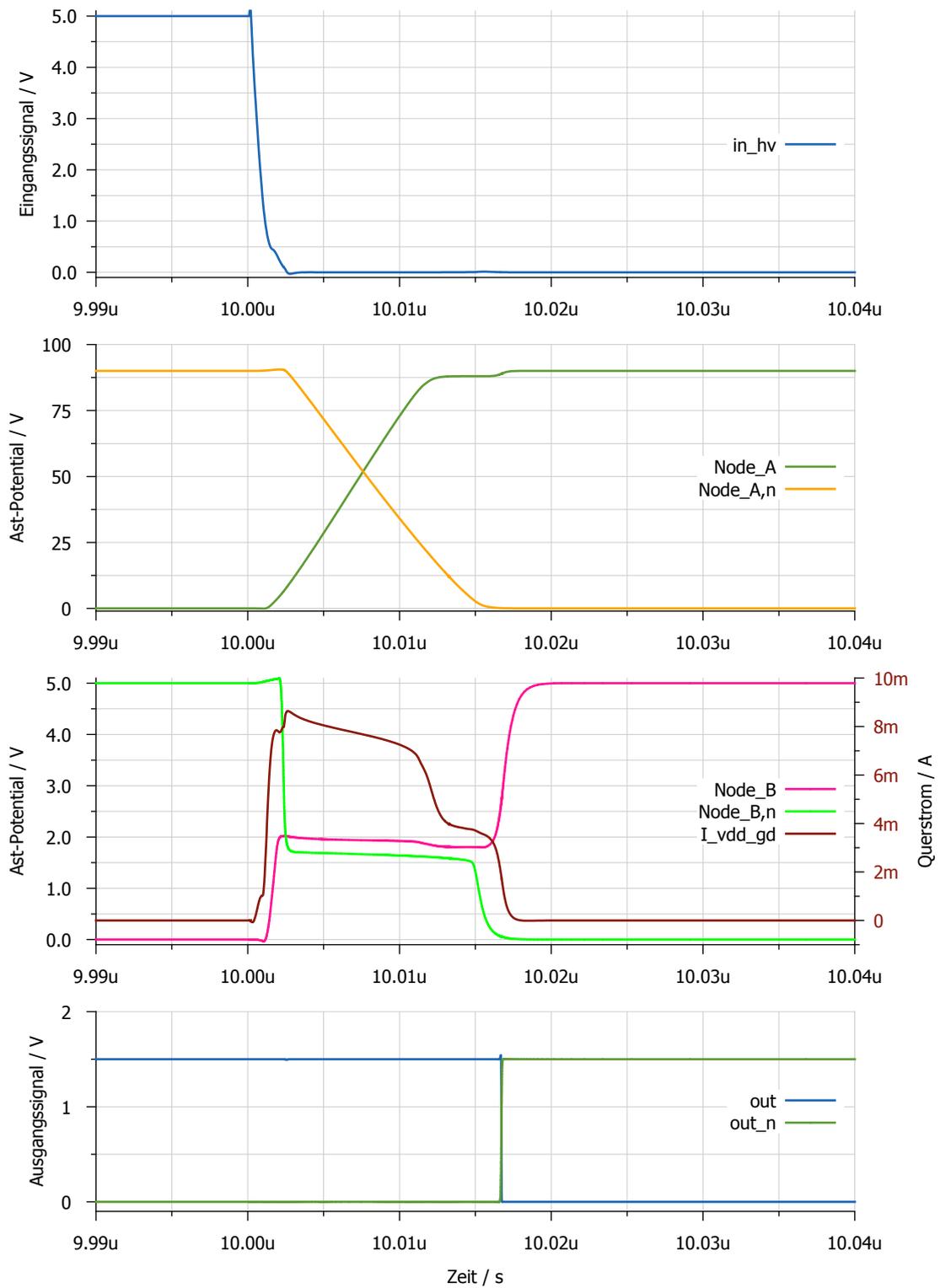


Abbildung 4.18: Spannungsverläufe des inversen HV Level Shifters bei fallendem Eingangssignal

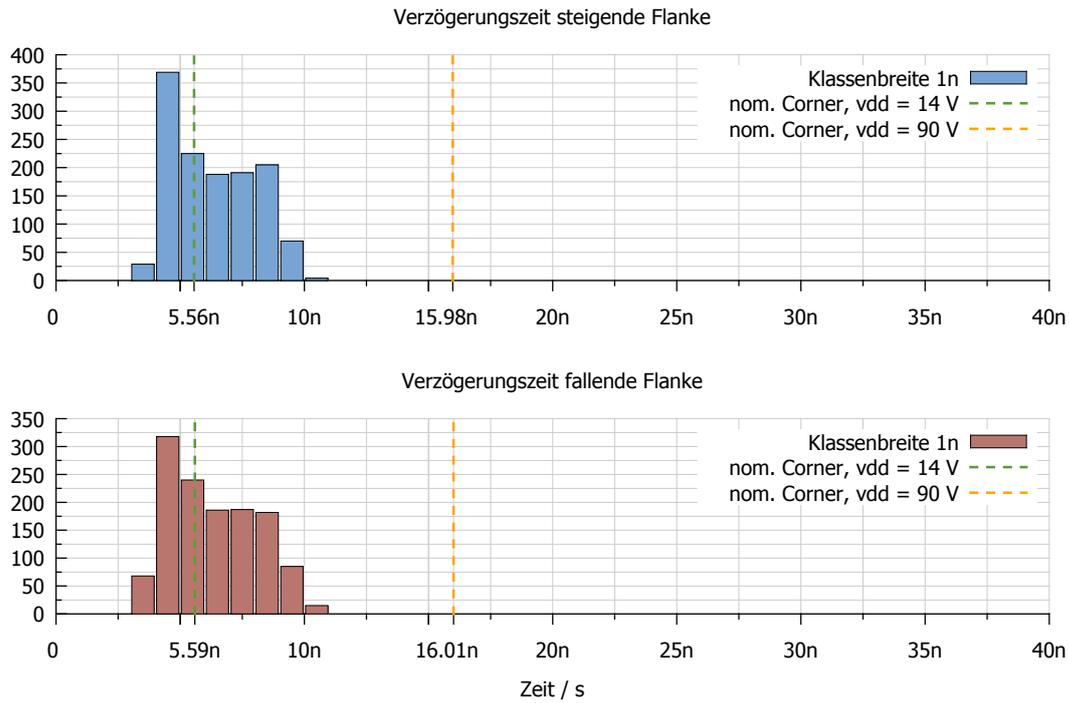


Abbildung 4.19: Verzögerungszeiten des HV Level Shifters über alle Corner bei 14 V Versorgungsspannung

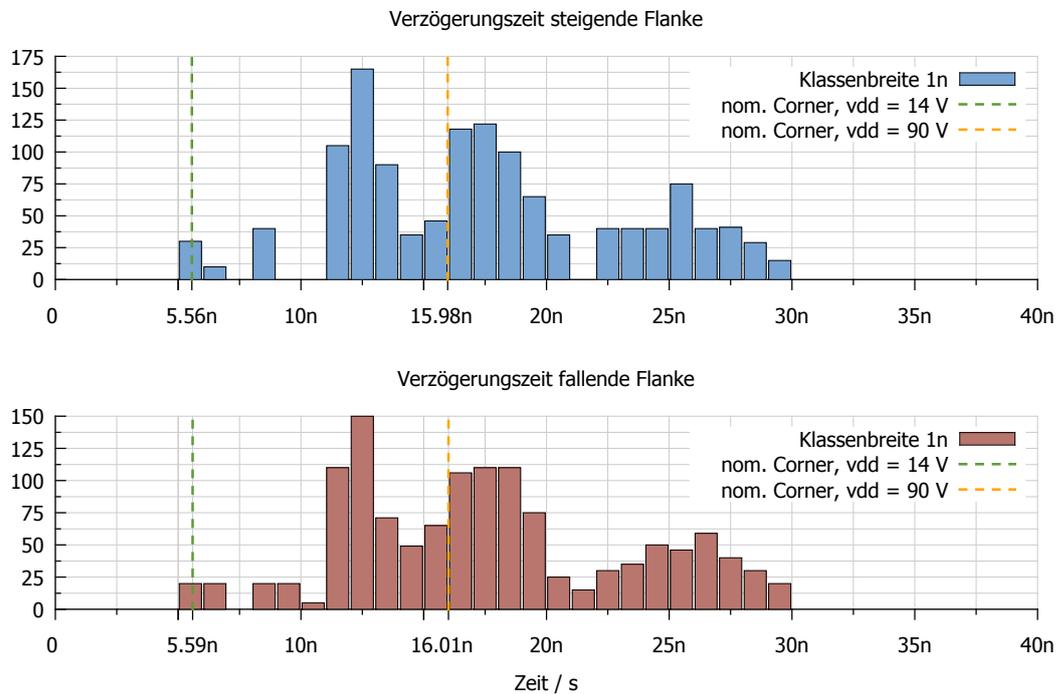


Abbildung 4.20: Verzögerungszeiten des HV Level Shifters über alle Corner bei 90 V Versorgungsspannung

## 4.5 Diagnose Schaltung

Um die Funktionsfähigkeit des Gate Treibers bzw. das Vorhandensein der erwarteten externen Leistungsschalter überprüfen zu können, wurde der Spannungsverlauf des Ausgangs und somit der Gate Source Spannungen der externen, diskreten Transistoren analysiert. Das Ziel war es, eine Rückmeldung zu bekommen, ob die bekannte Lastkapazität vollständig ge- oder entladen wurde, um eine Beurteilung über den Zustand der externen Leistungsschalter zu erhalten. In Abbildung 4.21 wird der zeitliche Verlauf aller relevanten Signale dargestellt.

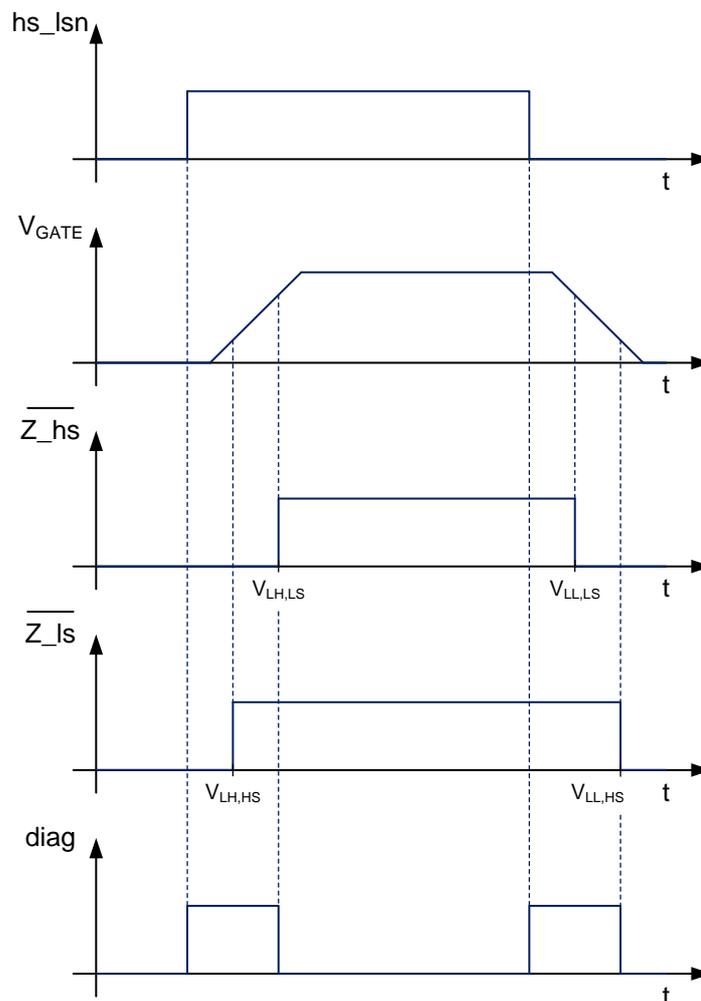


Abbildung 4.21: Anforderungen an die Diagnose

Aufgrund der geringen Komplexität der geforderten Diagnosefunktion, wurden zwei Schmitt Trigger mit einer kleinen Hysterese verbaut. Die für eine Dimensionierung erforderlichen Betrachtungen wurden in Kapitel 2.7 behandelt. Mit Hilfe der beiden Gleichungen (2.34) und (2.36) kann die Diagnoseschaltung laut Abbildung 4.22 berechnet und zusammengebaut werden.



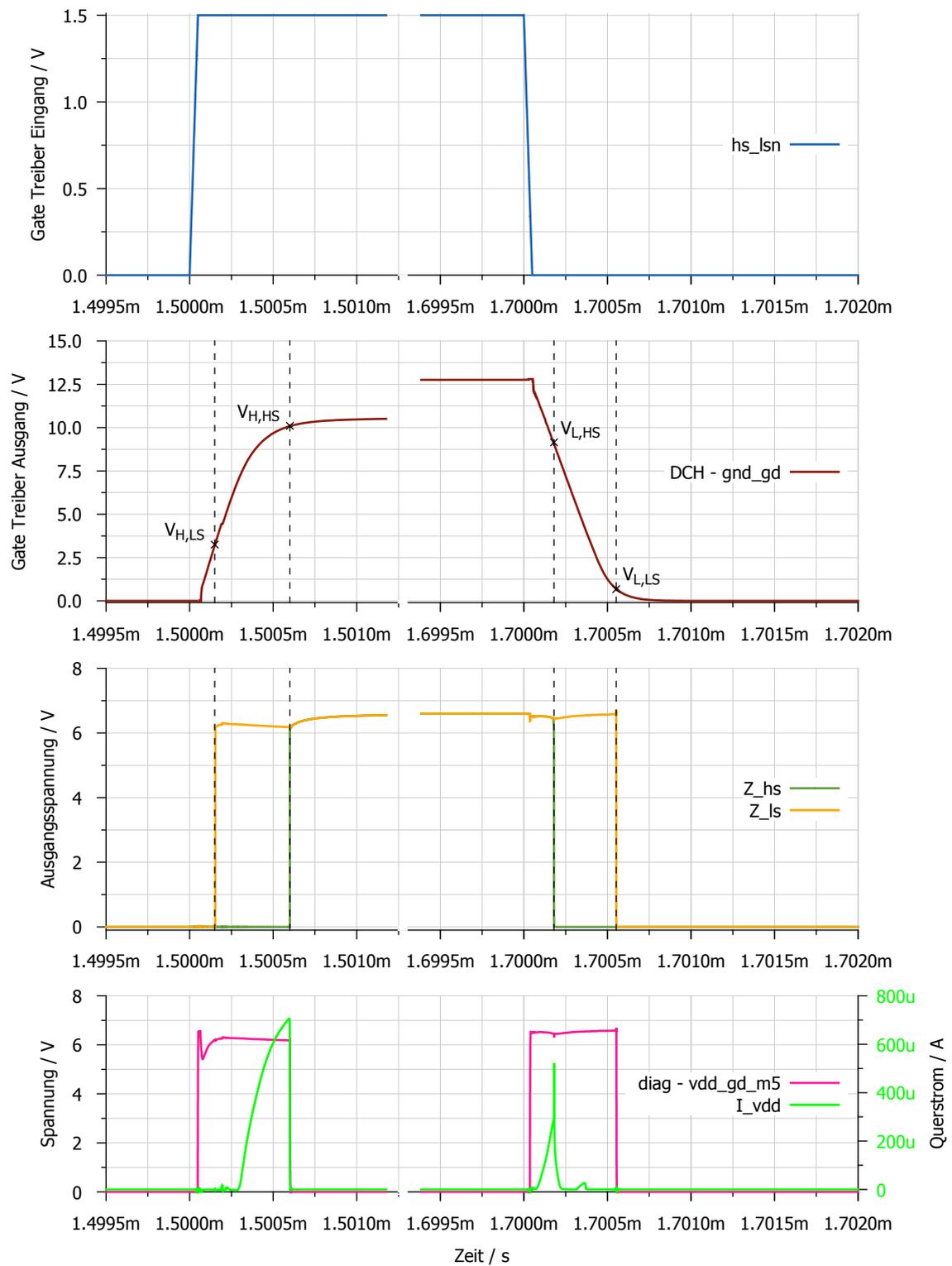


Abbildung 4.23: Simulationsergebnis der Diagnoseschaltung

Um die betreffenden Signale darstellen zu können, wurde in Abbildung 4.23 eine Unterbrechung der x-Achse vorgenommen. Bei der Darstellung des Gate Treiber Ausgangssignals ist dieser Bruch besonders erkennbar, da sich in der nicht dargestellten Zeit die Gate Treiber Versorgungsspannung auf den Maximalwert auflädt. Alle weiteren Signale können wie erwartet realisiert werden und spiegeln somit die vorgegebenen Verläufe von Abbildung 4.21 wider. Ein Nachteil des gewählten Schaltungsaufbaus ist an der Stromaufnahme des gesamten Diagnose-Blockes ersichtlich. Sobald der Schmitt Trigger die Schaltschwelle erreicht, fließt solange ein Querstrom, bis das in den Gleichungen (2.37) und (2.38) ermittelte Delta durchlaufen ist. Dieses Verhalten ist auf die Struktur des Schmitt Triggers zurückzuführen und wird somit toleriert.

#### 4.5.1 Corner Simulation

In der Corner Simulation ist die Funktionalität der Diagnoseschaltung aus Abbildung 4.22 ersichtlich. Die in Tabelle 4.4 angegebenen Werte sind durch die übliche Kombination aus Prozesscornern und der möglichen Variation der  $vdd\_gd$  Versorgungsspannung von bis zu 20 V entstanden. Sie beziehen sich auf das Ausgangssignal des Gate Treibers, welches hier dem Eingangspin  $V_{in}$  zugeführt wird. Die äußerste Spalte zeigt die Schwellspannungen des **HS** bzw. des **LS** Schmitt Triggers. Um sie mit den Eingangsspannungen vergleichen zu können, muss der Spannungsoffset des **HS** Schmitt Triggers mitberücksichtigt werden, der durch  $vdd\_gd\_m5 \approx 6,6$  V vorgegeben wird. Diese Spannung wird, wie im Kapitel 4.6 gezeigt ist, aus  $vdd\_gd$  erzeugt und ist aufgrund dessen ebenfalls von Prozesscornern und der Umgebungstemperatur abhängig. Dieser Umstand muss in gleicher Weise bei der Betrachtung der nachfolgenden Simulationsergebnisse mitberücksichtigt werden. Trotz dieser Umstände kann eine schlechte Genauigkeit der verwendeten Struktur erkannt werden. Aufgrund des Einsatzgebietes ist jedoch eine exakte Erkennung der Schaltschwellen nicht erforderlich, somit sind die Schwankungen der Schmitt Trigger Pegel  $V_L$  und  $V_H$  über die Prozesscorner noch akzeptabel. Die  $V_L$  des **LS** Schmitt Triggers wurde so nah wie möglich an die  $V_{th}$  der verbauten **NMOSFETs** dimensioniert, um die Auslöseschwelle so weit wie möglich nach unten schieben zu können.

		Eingangsspannung ( $DCH - gnd\_gd$ )			vorgegebene Schwellspannung [V]
		nom [V]	min [V]	max [V]	
<b>HS</b>	$V_H$	10,1	8,46	11,90	3,55
	$V_L$	9,15	8,84	9,42	2,65
<b>LS</b>	$V_H$	3,25	2,21	4,25	1,90
	$V_L$	0,675	0,446	0,873	1,00

Tabelle 4.4: Eingangsspannung der Diagnoseschaltung bezogen auf  $gnd\_gd$

## 4.6 Versorgungsblock

Um die zu bauende Gate Treiber Schaltung im automobilen Bereich einsetzen zu können, steht für die Generierung aller notwendigen Spannungsebenen nur eine Spannungsquelle zur Verfügung. Zu Beginn wird diese Quelle durch eine 12 V bzw. 48 V Starterbatterie gebildet, die nach dem Hochlauf des gesamten Systems vom Generator abgelöst wird.

Ein wichtiges Kriterium für die geforderten Anwendungsgebiete ist die Bereitstellung von verschiedenen 5 V Versorgungsspannungen, die einerseits auf ein fest vorgegebenes *gnd* Potential bezogen werden und andererseits frei beweglich bleiben müssen. Damit diese beiden Bereiche unterschieden werden können, wurden sie in der Veranschaulichung von Abbildung 4.24 in eine **HV** und eine **MV** Ebene unterteilt. Die beiden Spannungen *vdd\_1v5* und *vdd\_gnd\_p5*, die auf *gndd* bezogen sind, müssen schon bei einer übergeordneten Steuereinheit vorhanden sein und können davon übernommen werden.

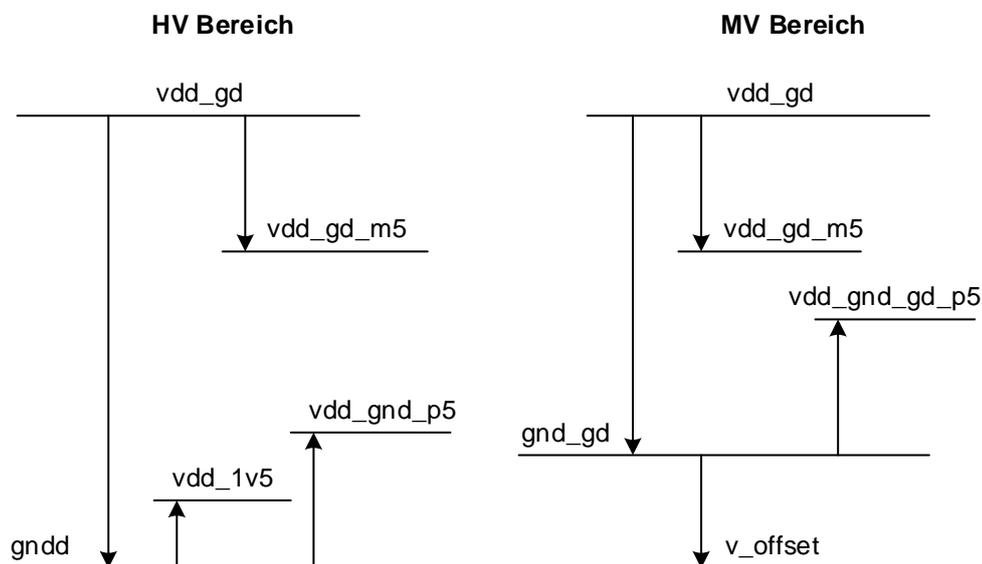


Abbildung 4.24: Übersicht über die benötigten Spannungsbereiche

Die Vorgabe für den **HV** Bereich sieht, aufgrund der in Tabelle 3.2 zusammengefassten möglichen Batteriespannungen, einen gültigen Spannungsspielraum von 6 V bis 16,8 V für den Betrieb in normalen **KFZs** bzw. 20 V bis 58,8 V bei elektrisch betriebenen Nutzfahrzeugen vor. Somit wäre eine Verwendung von **MV** Transistoren mit einer maximalen Drain Source von 65 V möglich. Da jedoch bei einer geringen Zellspannungserhöhung bzw. bei einer Verwendung von Batteriezellen mit einer unterschiedlichen chemischen Zusammensetzung diese 65 V überschritten werden können, wird die maximale Obergrenze für *vdd\_gd* im **HV** Bereich auf 90 V festgelegt.

Die Definition der Versorgungsspannung des **MV** Bereiches wird auf 20 V festgelegt, da die externen Leistungsschalter, für die der Gate Treiber gebaut wird, mit 20 V zwischen Gate und Source betrieben werden dürfen.



des Gate Treibers bestimmen zu können. Werden die MOSFETs mit einer zu geringen Weite gebaut, kommt es zu einem Einbruch der erzeugten Spannungen. Dies kann wiederum bei einem zu starken Absinken zu einem Zustand führen, in dem die betriebenen Level Shifter, entgegen ihrer eigentlichen Eigenschaft, einen dauerhaften Querstrom zulassen. Durch diese erneute, erhöhte Belastung schwingt sich das System immer mehr auf, bis es zu einem Zusammenbruch aller Spannungsebenen und somit der gesamten Funktion kommt. Damit dieser größte anzunehmende Unfall (GAU) niemals auftreten kann, muss der Versorgungsblock über alle Corner und Temperaturen zusammen mit dem gesamten Aufbau (Kapitel 4.7) unter realen Schaltverhältnissen getestet werden. Eine weitere Maßnahme kann der Einsatz von Stützkapazitäten für alle 5 V Spannungen und für die  $vdd\_gd$  sein, um die temporären Einbrüche während eines Umschaltvorganges zu vermindern. Alle näheren Betrachtungen und die genaue Dimensionierung der benötigten integrierten und externen Stützkapazitäten werden im Kapitel für den Gesamtaufbau des Gate Treibers (Kapitel 4.7) abgehandelt. Für die Verwendung dieser Spannungspuffer muss unter bestimmten Voraussetzungen ein Schutz verbaut werden, um eine ungewollte Entladung zu verhindern. Einer dieser Fälle stellt ein KFZ Startvorgang dar, bei dem es durch die erhöhte Stromaufnahme des Starters zu einem Einbruch von  $vbat$  kommt<sup>1</sup>. Tritt diese Belastung bei einer Bordnetzspannung von 12 V auf, würde ohne  $D_1$  ein Entladepfad über  $M_1$  hin zu  $vbat$  entstehen, der die Funktion des Gate Treibers beeinflussen würde. Ein erfolgreiches Simulationsergebnis bei dieser Belastung wird im Anhang A.3 gezeigt.

### 4.6.1 Maßnahmen zur Reduktion der minimalen Batteriespannung

Damit die Spannungserzeugung auch für niedrige Batteriespannungen möglich ist, sind zwei Optimierungsmethoden vorstellbar. Zum einen kann die Diode  $D_1$  durch einen Transistor mit passender Ansteuerschaltung ersetzt werden, wodurch ein Spannungsabfall von ca. 1,2 V im normalen Betrieb vermieden werden kann. Als zweite Methode, die auch im Zuge dieser Arbeit realisiert wurde, kann der als Spannungssteller fungierende DMOSFET  $M_1$  überbrückt werden. Die Herausforderung für diese Umsetzung besteht in der Findung eines passenden Eventtriggers, damit der Schutz vor zu hohen Versorgungsspannungen der nachfolgenden Transistoren bestehen bleibt. In der Übersicht des vollen Funktionsumfangs des Versorgungsblockes in Abbildung 4.27 ist der vorherige Entwurf um diese Überbrückungsschaltung erweitert worden. Sie besteht aus dem PDMOSFET  $M_{100}$  und dessen Ansteuerschaltung. Die Funktion besteht darin, dass  $M_{100}$  bei einer geringen  $vbat$  geschlossen werden kann, um die kleinst mögliche Batteriespannung um  $V_{th,M100} = 1,5\text{ V}$  zu senken. Als Diagnose und Ansteuerschaltung wird ein Referenzstrom und der bereits vorhandene Querstrom durch die Z-Diode  $D_{12}$  verwendet, um einen Spannungsabfall am Gate Source Widerstand  $R_4$  zu erzeugen und somit den PDMOSFET ein- bzw. auszuschalten. Für die Bestimmung des korrekten Schaltpunktes ist es wichtig einen Bereich zu definieren, bei dem  $vdd\_gd$  mit  $vbat\_int$  verbunden werden kann.

Die oberste Schwelle kann mit dem Level beschrieben werden, bei dem  $vbat\_int$  in einen Bereich kommt, der unter der höchsten Versorgungsspannung des Gate Treibers bzw. der maximalen  $V_{GS}$  der anzusteuern externen Leistungsschalter ist. Dies würde 20 V bedeuten. Da jedoch in der verwendeten Technologie 8 V Z-Diode zur Verfügung stehen, mit denen die  $vdd\_gd$  erzeugt wird

---

<sup>1</sup>In englischsprachiger Literatur wird diese spezielle Belastung als „cranking“ bezeichnet. Der exakte Kurvenverlauf wird durch die Norm ISO7637-2 beschrieben; er wird im Anhang in Abbildung A.4 dargestellt.

(Abbildung 4.25) und eine exakte Erkennung der Schaltschwelle über alle Prozesscorner hinweg mit der gewählten Referenzstrom Generierung nicht möglich ist, wurden folgende Grenzen gewählt:

$$M_{100} = \begin{cases} EIN & vbat\_int < 12 \text{ V bis } 16 \text{ V} \\ AUS & vbat\_int > 16 \text{ V} \end{cases} \quad (4.13)$$

Die Diagnose wird mit dem im Kapitel 2.6 behandelten, spannungsunabhängigen  $I_{Bias}$ -Block realisiert, der den benötigten Referenzstrom  $I_{ref}$  liefert. Dieser Strom wird anschließend mit dem Z-Dioden Strom  $I_{ZD}$  verglichen.

$$I_{ref} - I_{ZD} = \begin{cases} > \frac{|V_{th,M100}|}{R_4} & vdd\_gd \leq 12 \text{ V} \\ \leq \frac{|V_{th,M100}|}{R_4} & sonst \end{cases} \quad (4.14)$$

Durch die Aufstellung der Maschengleichung im endgültigen Versorgungsblock (Abbildung 4.27) kann  $I_{ZD}$  berechnet werden.

$$0 = -U_{R3} - V_{D,M10} - V_{GS,M100} + V_{Z,D1} + V_{Z,D2} - V_{Z,D12} \quad (4.15)$$

$$U_R = V_{Z,D1} - V_{D,M10} - V_{GS,M100} = \quad (4.16)$$

$$= 8 \text{ V} - 1,5 \text{ V} - 1,5 \text{ V} = 5 \text{ V} \quad (4.17)$$

$$I_{ZD} = \frac{U_R}{R_1} = \frac{5 \text{ V}}{1 \text{ M}\Omega} = 5 \mu\text{A} \quad (4.18)$$

Mit Hilfe der schematischen Darstellung des Verlaufes von  $I_{ZD}$  laut Abbildung 4.26, kann jener Wert ermittelt werden, der sich bei der gewählten  $vdd\_gd$  Schwelle einstellt.

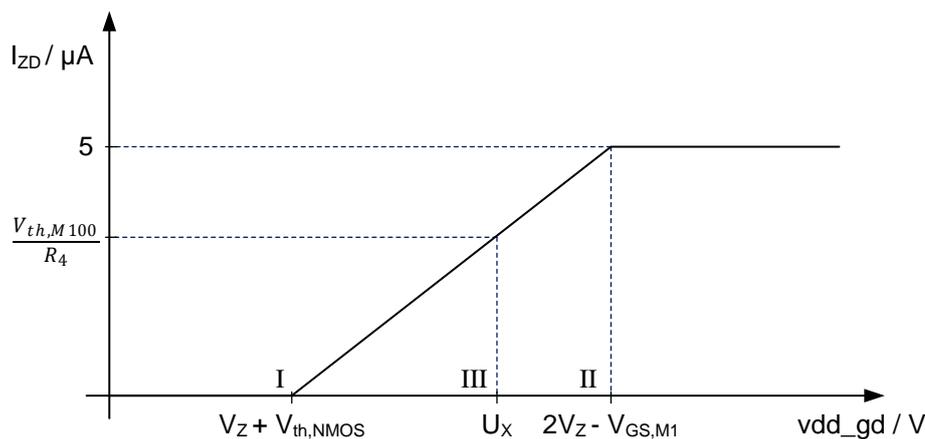


Abbildung 4.26: Schematischer Verlauf von  $I_{ZD}$

**I** gibt die Spannung ( $V_{Z,D12} + V_{D,M10}$ ) an, ab der  $I_{ZD}$  zu fließen beginnt. Dieser Strom steigt so lange proportional mit zunehmender Spannung an, bis bei **II** die Z-Dioden  $D_{10}$  und  $D_{11}$  das Gate von  $M_1$  auf eine konstante Spannung klemmen.



$$\text{I: } V_Z + V_{D,PMOS} = 8V - 1,5V = 6,5V \quad (4.19)$$

$$\text{II: } 2 \cdot V_Z - V_{GS,M1} = 16V - 1,5V = 14,5V \quad (4.20)$$

$$U_X = vdd\_gd \stackrel{!}{=} 12V \quad (4.21)$$

$$U_R = vdd\_gd - V_Z - V_{D,NMOS} = 12V - 8V - 1,5V = 2,5V \quad (4.22)$$

$$I_{ZD} = \frac{U_R}{R_3} = \frac{2,5V}{1M\Omega} = 2,5\mu A \quad (4.23)$$

Abschließend muss der Referenzstrom bestimmt werden. Er soll ab  $vdd\_gd \leq 12V$  so groß sein, dass der Strom durch  $R_4$  größer als  $2,6\mu A$  ist, damit durch den Spannungsabfall an  $R_4$   $M_{100}$  eingeschaltet wird.

$$\frac{|V_{th,M100}|}{R_4} = \frac{1,34V}{500k\Omega} = 2,6\mu A \quad (4.24)$$

$$V_{GS,M100} = (I_{ref} - I_{ZD}) \cdot R_{GS} \stackrel{!}{=} V_{th,M100} \quad (4.25)$$

$$I_{ref} = \frac{|V_{th,M100}|}{R_4} + I_{ZD} = \frac{1,34V}{500k\Omega} + 2,5\mu A = 5,18\mu A \quad (4.26)$$

Aufgrund dieses in (4.26) ermittelten Stromes kann das Design der Schaltung erstellt werden.

#### 4.6.1.1 Referenzstromgenerierung

Bei der Wahl der passenden Schaltung um den benötigten Referenzstrom erzeugen zu können, muss darauf geachtet werden, dass  $I_{ref}$  sich bestmöglich den Änderungen von  $I_{ZD}$  anpasst. Bei einer Betrachtung von Gleichung (4.23) ist die indirekt proportionale Abhängigkeit des Stromes  $I_{ZD}$  von  $R_3$  erkennbar. Neben der Eigenschaft, einer von der Versorgungsspannung unabhängigen Stromerzeugung, kommt eine von einem ohmschen Widerstand lineare Abhängigkeit hinzu, um eine Änderung von  $I_{ZD}$  bei unterschiedlichen Prozesscornern folgen zu können. Diese Eigenschaften können am besten von der im Kapitel 2.6 behandelten „beta multiplier“ Referenz erfüllt werden. Abbildung 4.28 zeigt die Struktur der verbauten Schaltung. Die beiden NMOSFETs  $M_1$  und  $M_2$  dienen zusammen mit dem Widerstand  $R_1$  zur Festlegung des spannungsunabhängigen Stromes  $I_{ref\_int1}$ . Um  $R_1$  verbauen zu können, muss der Stromspiegel  $M_1 / M_2$  mit unterschiedlichen Weiten gebaut werden, damit bei gleichem Strom  $V_{GS,M2}$  kleiner als  $V_{GS,M1}$  sein kann. Der eigentliche Stromspiegel wird von den PMOSFETs  $M_3$  und  $M_4$  gebildet. Um die geforderte Gleichheit zu erreichen, sind sie mit einem großen  $L$  gebaut worden. Eine genaue Herleitung der Funktion ist in Kapitel 2.6 zu finden.

Ein Problem dieser Schaltungsstruktur ist, dass es neben dem Arbeitspunkt, in dem der gewünschte Strom  $I_{ref\_int1}$  fließt, einen weiteren stabilen Zustand gibt, wo sich kein Strom einstellt. Dieser Extremfall kann zustande kommen, wenn bei einem Hochlauf der Versorgungsspannung die Gate Source Spannungen aller Transistoren  $0V$  betragen. Dieser „degenerated bias point“ muss mit Hilfe



[20] vorgestellte Variante ohne Widerstand behoben werden, jedoch muss eine lineare Abhängigkeit von  $R_1$  unter allen Umständen sichergestellt werden.

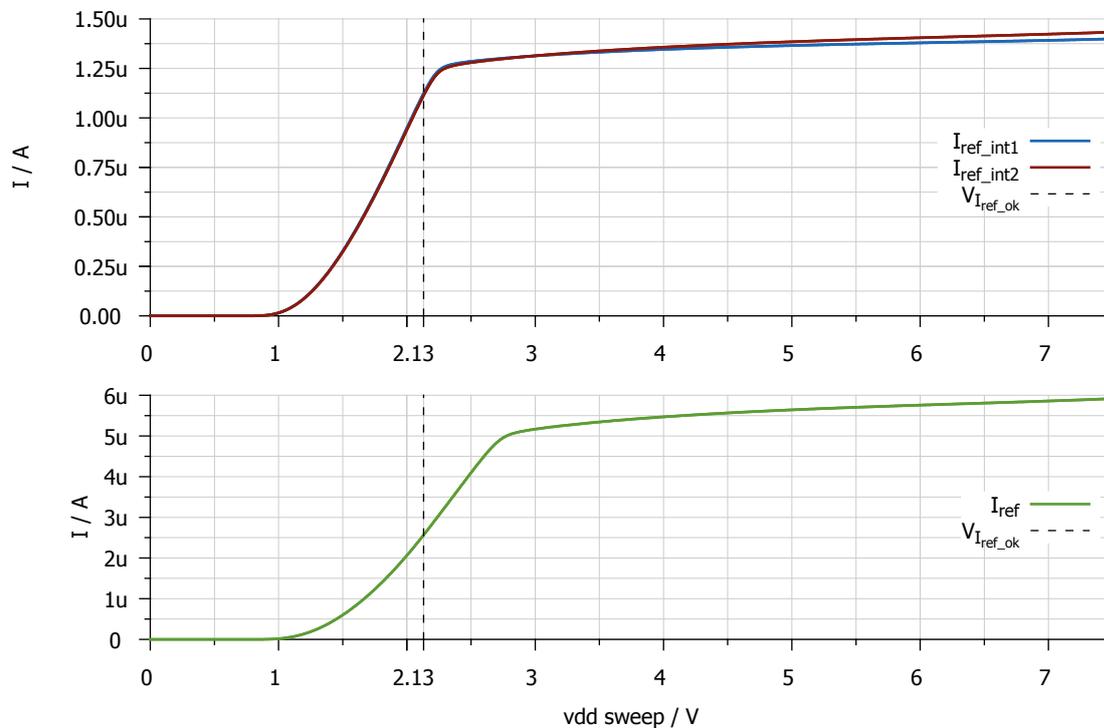


Abbildung 4.29: Ströme der Stromreferenz

#### 4.6.1.2 Ergebnisse und Corner Simulation

Um das Zusammenspiel des Referenzblockes mit den übrigen Komponenten und somit den Entwurf der Überbrückung des Transistors  $M_1$  von Kapitel 4.6.1 überprüfen zu können, ist ein DC-Sweep der Versorgungsspannung  $v_{bat}$  die perfekte Methode. Aus dem Ergebnis dieser Simulation von Abbildung 4.30 sind zwei auffällige Batteriespannungen zu beobachten. Der erste unetstige Punkt stellt sich bei einer Spannung von  $v_{bat} = 6,05 \text{ V}$  ein. Ab dieser Spannung wird die Referenzstromquelle mit  $v_{dd\_gd\_m5} = 2 \text{ V}$  versorgt, was einem  $I_{ref}$  von  $2 \mu\text{A}$  entspricht. Durch die noch geringe  $v_{dd\_gd}$  Spannung ist noch kein Strom  $I_{ZD}$  vorhanden. Aus diesem Grund ist schon dieser geringe  $I_{ref}$  ausreichend, um durch  $R_4$  einen Stromfluss hervorzurufen. Dieses Simulationsergebnis bezieht sich auf die normalen Prozesscorner. Der maximal benötigte Strom im worst case corner, um die  $V_{th}$  des PDMOSFETs  $M_{100}$  zu erreichen, kann folgendermaßen berechnet werden:

$$(I_{ZD} - I_{ref})_{max} = \frac{V_{thmax,M100}}{R_{4,min}} = \frac{1,6 \text{ V}}{500 \text{ k}\Omega \cdot 0,8} = 4 \mu\text{A}. \quad (4.28)$$

Geht  $M_{100}$  vom Sperrbereich in die starke Inversion über, kommt es zu einem sprunghaften Anstieg von  $v_{dd\_gd}$ . Durch diesen erhöhten Pegel und den somit auftretenden Strom durch die Z-Diode  $D_{12}$ ,

muss die Versorgungsspannung noch weiter ansteigen, bis  $M_{100}$  den Spannungssteller zur Gänze überbrücken kann. Ab  $vbat = 7,4\text{ V}$  sind  $vbat\_int$  und  $vdd\_gd$  vollkommen miteinander verbunden und die unnötige Spannungsreduktion durch  $V_{GS,M1}$  ist abgewehrt. Diese Schwelle gibt die minimale Versorgungsspannung vor, bei dem ein Betrieb der Gate Treiber Schaltung möglich ist. Bei dieser Batteriespannung ist ein Sprung in den Verläufen der Spannungen  $vdd\_gd\_m5$  bzw.  $vdd\_gnd\_gd\_p5$  erkennbar. Dies ist ein weiteres Indiz dafür, dass sich die verbauten Level Shifter in einem gut definierten Zustand befinden und somit der zuvor vorhandene Querstrom den Versorgungsblock nicht mehr belastet. Die Überbrückung bleibt aktiv, bis  $vdd\_gd$  auf ca.  $13,6\text{ V}$  angestiegen ist.

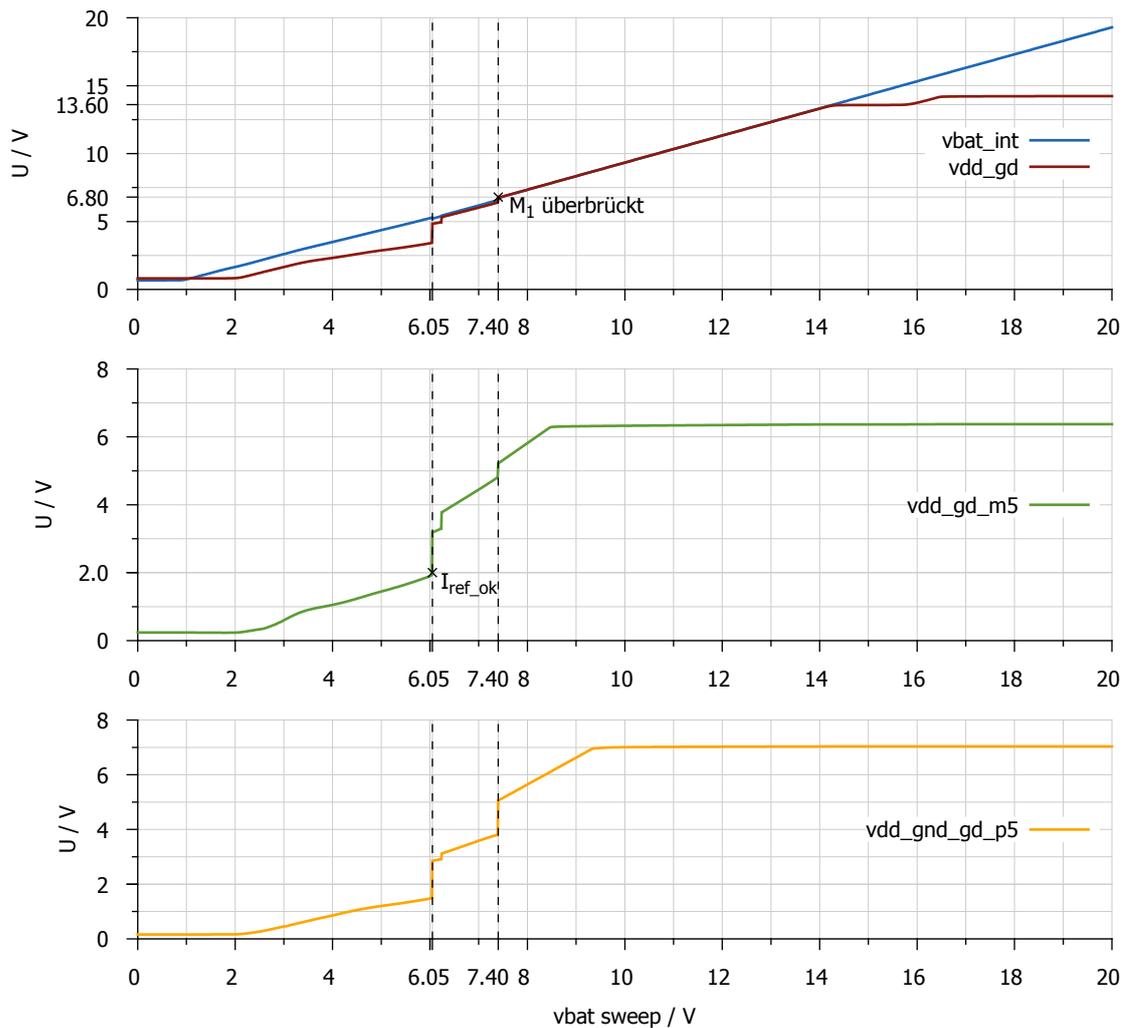


Abbildung 4.30: Versorgungsspannungen bei einem Batterie-Hochlauf

Tabelle 4.5 fasst die Ergebnisse der Corner Simulation mit einer Batteriespannung von  $14\text{ V}$  zusammen und zeigt demnach auch die Schwäche dieses Entwurfes auf. Jede Spannungsebene ist von den Gate Source Spannungen von diversen Transistoren und Z-Dioden Spannungen abhängig. Diese Parameter weisen über Temperatur und Prozesscorner eine große Streuung auf. Als Beispiel können die Z-

Dioden betrachtet werden. Der positive Temperaturkoeffizient lässt die Z-Spannung  $V_Z$  von 7,7 V bei  $-40\text{ °C}$  auf 8,7 V bei einer Temperatur von  $175\text{ °C}$  variieren. Der nominale Wert bei Raumtemperatur liegt bei 8 V. Werden nun die Abhängigkeiten der Thresholdspannungen der einzelnen Transistoren mitberücksichtigt, ergeben sich die gezeigten Spannungswerte.

#### 4.6.2 Spannungseinbruch während eines Einschaltvorganges

Im realen Betrieb des Gate Treibers kommt es nur im Fehlerfall einer Überladung bzw. eines Kurzschlusses zu einer Änderung des Ausgangszustandes. Trotz dieser geringen Schalthäufigkeit muss auf die Einhaltung der Versorgungsspannungsgrenzen aller generierten 5 V Spannungsebenen während eines Schaltvorganges geachtet werden. Eine spezielle Belastung kommt auf  $vdd\_gd$  zu. Bei einem Einschaltvorgang bildete die Gate Source Kapazität der externen Leistungsschalter die Hauptlast, die geladen werden muss. Um einen Spannungseinbruch von  $vdd\_gd$  und somit von allen anderen daraus generierten Spannungen zu verhindern, ist eine externe Kapazität von  $C_{st} = 200\text{ nF}$  vorgesehen, um den benötigten Ladestrom kurzzeitig zur Verfügung zu stellen. Ist der größte Teil der benötigten Ladung von der Stützkapazität abgegeben worden, muss der Versorgungsblock einen viel geringeren Strom zur Verfügung stellen, um diese Kapazität wieder aufzuladen. Trotz dieses verbauten Spannungspuffers ist ein Einbruch der  $vdd\_gd$  zu beobachten. Eine Reduktion dieses Spannungsdeltas ist nur durch eine Vergrößerung der eingesetzten Stützkapazität zu bewerkstelligen. Bei einer Erhöhung des maximalen Ladestromes, welcher der Versorgungsblock zur Verfügung stellen kann, würde sich nur die Wiederaufladezeit der Stützkapazität verkürzen. Um eine mögliche Dimensionierung dieses externen Bauelementes durchzuführen, können folgende Überlegungen geleistet werden.

Der Spannungseinbruch  $\Delta U = vdd\_gd - vdd\_gd_{neu}$  ist abhängig von der Höhe von  $vdd\_gd$ . Die gespeicherte Ladung

$$Q_{st} = C_{st} \cdot vdd\_gd \quad (4.29)$$

steht für den Ladevorgang der Lastkapazität zur Verfügung. Nach einem Schaltvorgang mit einer definierten Lastkapazität  $C_{Last}$  sinkt sie auf den Wert von (4.31) ab.

$$Q_{Last} = C_{Last} \cdot vdd\_gd \quad (4.30)$$

$$Q_{t1} = Q_{st} - Q_{Last} \quad (4.31)$$

	<b>nom</b>	<b>min</b>	<b>max</b>
	[V]	[V]	[V]
$vdd\_gd$	13,02	11,17	13,48
$vdd\_gd\_m5$	7,54	6,65	7,80
$vdd\_gnd\_gd\_p5$	7,06	6,20	8,30

Tabelle 4.5: Abhängigkeit der Versorgungsspannungen von Prozesscorner mit  $vbat = 14\text{ V}$

Dies entspricht einer Spannung von:

$$vdd\_gd_{neu} = \frac{Q_{t1}}{C_{st}} \quad (4.32)$$

Bei einer Reduktion der Versorgungsspannung verringert sich der Einbruch  $\Delta U$  ebenfalls um denselben Faktor, da ein proportionaler Zusammenhang mit  $vdd\_gd$  über (4.29) besteht. Ist nun die maximale Versorgungsspannung bekannt, kann mit Hilfe der Stützkapazität ein maximal möglicher Spannungseinbruch  $-\Delta U = vdd\_gd - vdd\_gd_{neu}$  berechnet werden.

Ebenso wie die  $vdd\_gd$  Spannungsebene vor einem zu starken Einbruch gestützt werden muss, so sollen auch bei den beiden anderen erzeugten 5 V-Pegeln Kapazitäten vorgesehen werden. Hierzu werden integrierte Transistoren als MOS-Kapazität  $C_1$  und  $C_2$  verschalten, die anschließend wie diskrete Kondensatoren verbaut werden können. Durch diese Maßnahmen ist es möglich, das Ausmaß des Spannungseinbruches  $\Delta U$  zu reduzieren, jedoch nicht zu verhindern. Der Grund für den Einbruch liegt, am Beispiel der  $vdd\_gnd\_gd\_p5$ , unter anderem am Ladevorgang der Gate Source Kapazität des NMOSFETs der Gate Treiber Ausgangsstufe.

### 4.7 Aufbau des gesamten Gate Treibers

Nachdem nun alle einzelnen Komponenten bekannt sind, kann mit dem Zusammenbau des Gate Treibers begonnen werden. Die dafür notwendigen Spannungsebenen beziehen sich auf die bereits vorgestellte Übersicht von Abbildung 4.24 des Kapitels 4.6.

Im ersten Schritt steht die Bereitstellung der Grundfunktion im Vordergrund. Alle nachfolgenden Beschreibungen beziehen sich auf die Gate Treiber Übersicht von Abbildung 4.31. Um das Steuerungssignal in den HV Bereich anzuheben und somit eine Überbrückung der vorhandenen  $gnd$  Potentiale vornehmen zu können, wird der HV Level Shifter eingesetzt. Ist dies gelungen, könnte bereits der PDMOSFET der Ausgangs Push-Pull Stufe angesteuert werden. Das Gate des NDMOSFETs liegt in der  $vdd\_gnd\_gd\_p5$  Spannungsschiene, das nach einem Einsatz eines Level Shifter nach unten verlangt. Damit mit diesen beiden Level Shiftern die Ausgangsstufe angesteuert werden kann, muss einerseits sichergestellt werden, dass die  $V_{GS}$  der beiden Leistungstransistoren so groß als möglich ist. Ein weiteres Kriterium ist die Einhaltung der vorgegebenen Ansteuerzeiten. Somit muss ebenfalls sichergestellt werden, dass ein ausreichend großer Strom für den Umladevorgang der Gate Source Kapazitäten von  $M_1$  und  $M_2$  zu Verfügung gestellt wird. Um die Fläche der Level Shifter nicht unnötig zu vergrößern und deren Wiederverwendbarkeit nicht zu opfern, werden nach den Level Shifter Ausgängen drei kaskadierte Push-Pull Stufen eingesetzt, die die benötigte Treiberfähigkeit besitzen. In der Übersicht von Abbildung 4.31 sind diese Kaskaden zu einem Invertersymbol zusammengefasst.

Eine weitere wichtige Spezifikationsvorgabe ist die Unterbindung einer überlappenden Ansteuerung von  $M_1$  und  $M_2$ , um das Auftreten von Querströmen zu verhindern. Zu diesem Zweck wird eine einfache „break before make“ Struktur laut Abbildung 4.32 mit Hilfe von NAND Gattern verbaut, die sich zwischen den Level Shiftern und der Ausgangsstufe befindet. Die Realisierung der beiden Verzögerungszeiten  $t_1$  und  $t_2$  wird einerseits mit dem MV Level Shifter und andererseits mit der Inverterkaskade vor dem PMOSFET  $M_2$  umgesetzt.

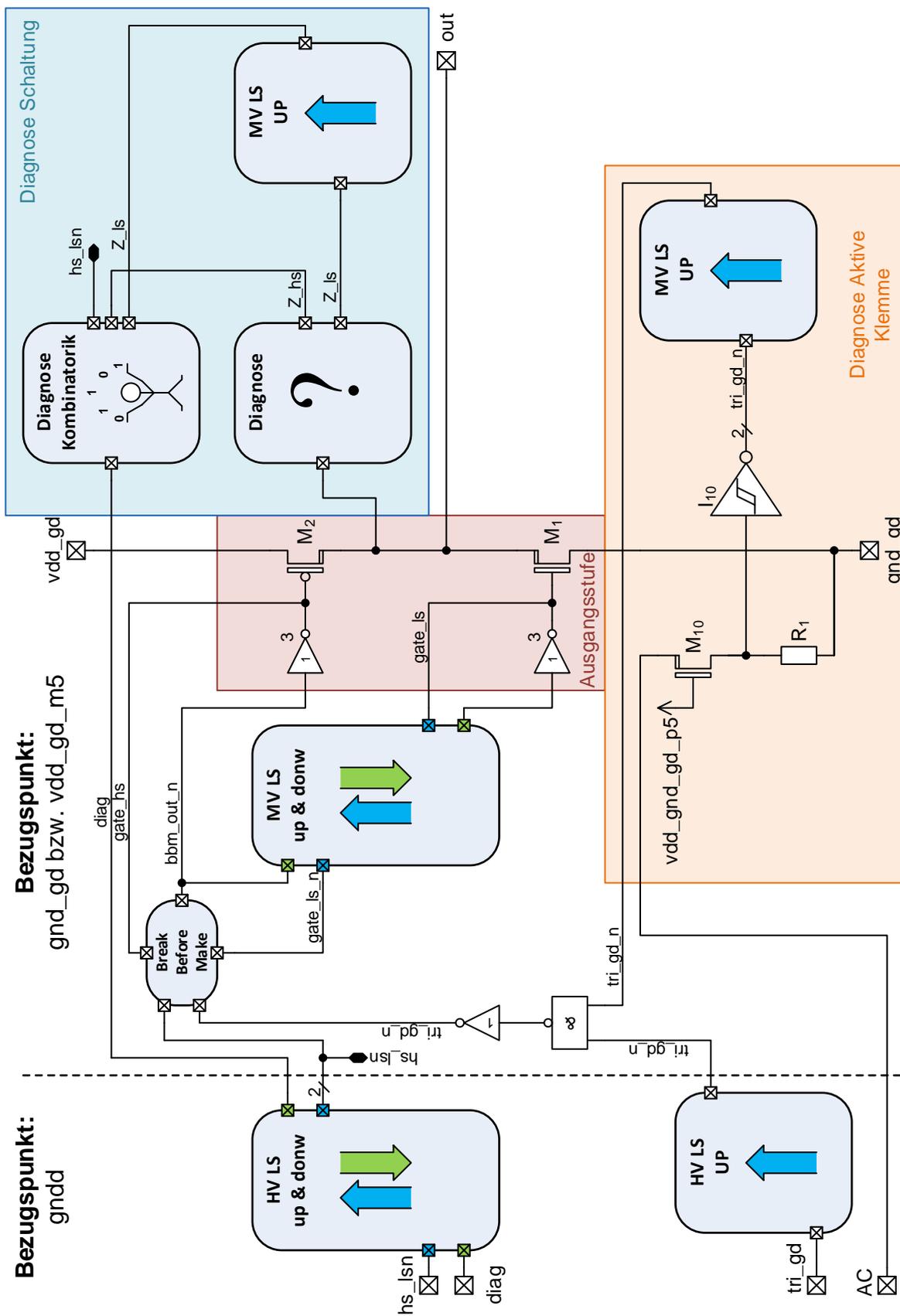


Abbildung 4.31: Struktur des gesamten Gate Treibers

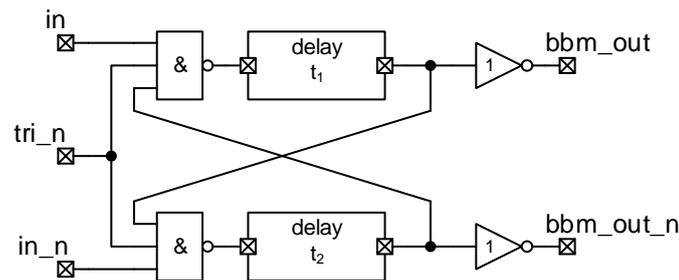


Abbildung 4.32: Unterbindung überlappender Schalter – Break Before Make

Der dritte Pin *tri\_n* wird benötigt, um den Gate Treiber auszuschalten und in einen Tri-State Zustand zu bringen. Diese hochohmige Konstellation kann einerseits vom *tri\_gd* Eingang über einen **HV** Level Shifter gesteuert werden und andererseits von der Diagnosefunktion zur Überwachung der aktiven Klemmstruktur der extern verbauten Leistungsschalter. Ein Beispiel für den Einsatz dieser Schutzstruktur wird bei der Abhandlung einer Kurzschluss Abschaltung in Kapitel 4.8.1 besprochen.

Als dritten großen Funktionsblock kann die in Kapitel 4.5 besprochene Diagnosefunktion mit deren Auswertung angesehen werden. Da sich die Diagnoseschaltung mit ihrer Versorgung zwischen *vdd\_gd* und *gnd\_gd* befindet, muss für einen Ausgang abermals ein **MV** Level Shifter verbaut werden, um in die *vdd\_gd\_m5* Ebene zu kommen, in der sich die Auswerteschaltung befindet. Das Resultat dieser Kombinatorik wird anschließend in ein 1,5 V Signal verwandelt, um es einer übergeordneten Steuereinheit übergeben zu können.

Der vierte und letzte Funktionsblock bildet die Diagnoseschaltung der aktiven Klemme der externen Leistungsschalter. Als Eingangssignal wird das durch drei 8 V Z-Dioden begrenzte Drain Signal verwendet, um einen Anstieg der Drain Source Spannung zu erkennen. Die eigentliche Ermittlung der Schaltschwelle wird mit dem Schmitt Trigger  $I_{10}$  durchgeführt, dessen Eingang bei fehlendem AC-Signal durch den Widerstand  $R_1$  auf *gnd\_gd* kurzgeschlossen wird.  $M_{10}$  bildet den schon zuvor oftmals verbauten Hochvolt Schutz. Liegt nun an einem Drain Anschluss der **CHG** bzw. **DCH** Transistoren eine Spannung an, die größer als die Summe der Durchbruchspannungen  $V_Z$  der verbauten Z-Dioden ist, kommt es zu einem sprunghaften Anstieg des Potentials am Eingang von  $I_{10}$ . Als Resultat dieses Ereignisses wird der Gate Treiber durch die Ansteuerung des betreffenden Eingangspins der Break Before Make Schaltung in den hochohmigen Tri-State Zustand versetzt.

## 4.8 Simulation des Gesamtsystems

In diesem Kapitel wird der neu entwickelte Gate Treiber in das Gesamtsystem von Abbildung 3.5 integriert. Um die geforderte Funktionalität zu testen und einen Vergleich zwischen dem integrierten Systemaufbau und dem im Vorfeld entwickelten PCB ziehen zu können, werden wie in Kapitel 3.1 ein Kurzschluss- und ein Ladeversuch simuliert. Das Ziel dieser Simulationen ist es, ein qualitativ ähnliches Ergebnis wie im Laboraufbau zu erzielen.

### 4.8.1 Simulation eines Kurzschlusses

Um den Gate Treiber für den bevorstehenden Test betreiben zu können, ist eine übergeordnete Steuereinheit erforderlich, die die Eingangssignale des CHG und des DCH Gate Treibers erzeugt. Da die notwendige Strommessung noch nicht als IC realisiert wurde, ist für den Kurzschlussversuch der Abschaltzeitpunkt manuell so gewählt worden, dass ein Kurzschlussstrom von ca. 1200 A zu fließen kommt. Gesteuert werden die Gate Treiber durch zwei ideal erzeugte Eingangssignale  $hs\_lsn\_chg$  bzw.  $hs\_lsn\_dch$ , deren Bezugspunkt  $gndd$  ist.

Abbildung 4.33 zeigt die Ergebnisse einer Kurzschlussabschaltung, die wie bei der Abhandlung von Kapitel 3.1.1 in zwei Phasen eingeteilt werden kann. Zu Beginn der Phase I, bei einer Simulationszeit von  $600\ \mu\text{s}$ , wird der Kurzschluss an den Ausgangspins  $out\_n$  und  $out\_p$  (Abbildung 3.5), über die im Laboraufbau ermittelten Leitungsparasiten  $L_{wire_1}$ ,  $R_{wire_1}$ ,  $R_{wire_2}$  und  $L_{wire_2}$ , erzeugt. Durch die verbauten parasitären Leitungsinduktivitäten kommt es zu einem langsamen Anstieg des Stromes  $I_{DCH}$ , bis der gewünschte Strom von 1200 A erreicht ist. Zu diesem Zeitpunkt, der den Beginn von Phase II darstellt, bekommt der DCH Gate Treiber das Signal zum Öffnen der Transistoren. Nach einer gewissen Reaktionszeit der im Gate Treiber verbauten Level Shifter, wird der Abschaltvorgang eingeleitet. Dies geschieht, indem der NDMOSFET der Ausgangs Push–Pull Stufe des DCH Gate Treibers das geladene Gate des externen Leistungsschalters versucht auf  $gnd\_gd$  zu ziehen. Wie im dritten Teil der Abbildung 4.33 erkennbar ist, kommt es zu einem schlagartigen Absinken der Gate Source Spannung, die aber nicht auf 0 V absinkt, sondern auf einem konstanten Niveau bleibt. Der Grund dafür ist die verbaute aktive Klemmung und das Ansprechen der in Abbildung 4.31 dargestellten Diagnose. Im Zuge des abrupten Abschaltens des Kurzschlussstromes  $I_{DCH}$  wird durch die bestehenden Leitungsinduktivitäten eine Spannung induziert, welche die verbaute aktive Klemmstruktur veranlasst, die Gateanschlüsse der DCH Leistungsschalter anzuheben und somit die dargestellte Gate Source Spannung zu erreichen. Den Verlauf und die Höhe dieses induzierten Spannungspulses wird im zweiten Teil der Abbildung 4.33 gezeigt. Um einen erneuten Anstieg der  $V_{GS,DCH}$  zu ermöglichen, muss der Gate Treiber aufhören seinen Ausgang auf  $gnd\_gd$  zu schließen, um ein Ableiten der durch die Zener Klemmung erzeugten Spannung auf  $gnd\_gd$  zu verhindern. Aufgrund dieser Intention kommt es durch die verbaute Diagnoseschaltung zu einer Aktivierung des Tri–State Zustandes des Gate Treibers, indem beide Transistoren der Ausgangs Push–Pull Stufe mit Hilfe der Break Before Make Schaltung in einem hochohmigen Zustand gebracht werden. Somit kann über die DCH MOSFETs ein Teil der in den Induktivitäten gespeicherten Energie in Form eines Stromes abgebaut werden. Das Resultat ist eine Reduktion der Spannung am Ausgangspin  $out\_n$ . Bei einer Betrachtung des Kurzschlussstromes ist ebenfalls das Ansprechen der Aktiven Klemme zu erkennen. Zu Beginn der Phase II kommt es zu

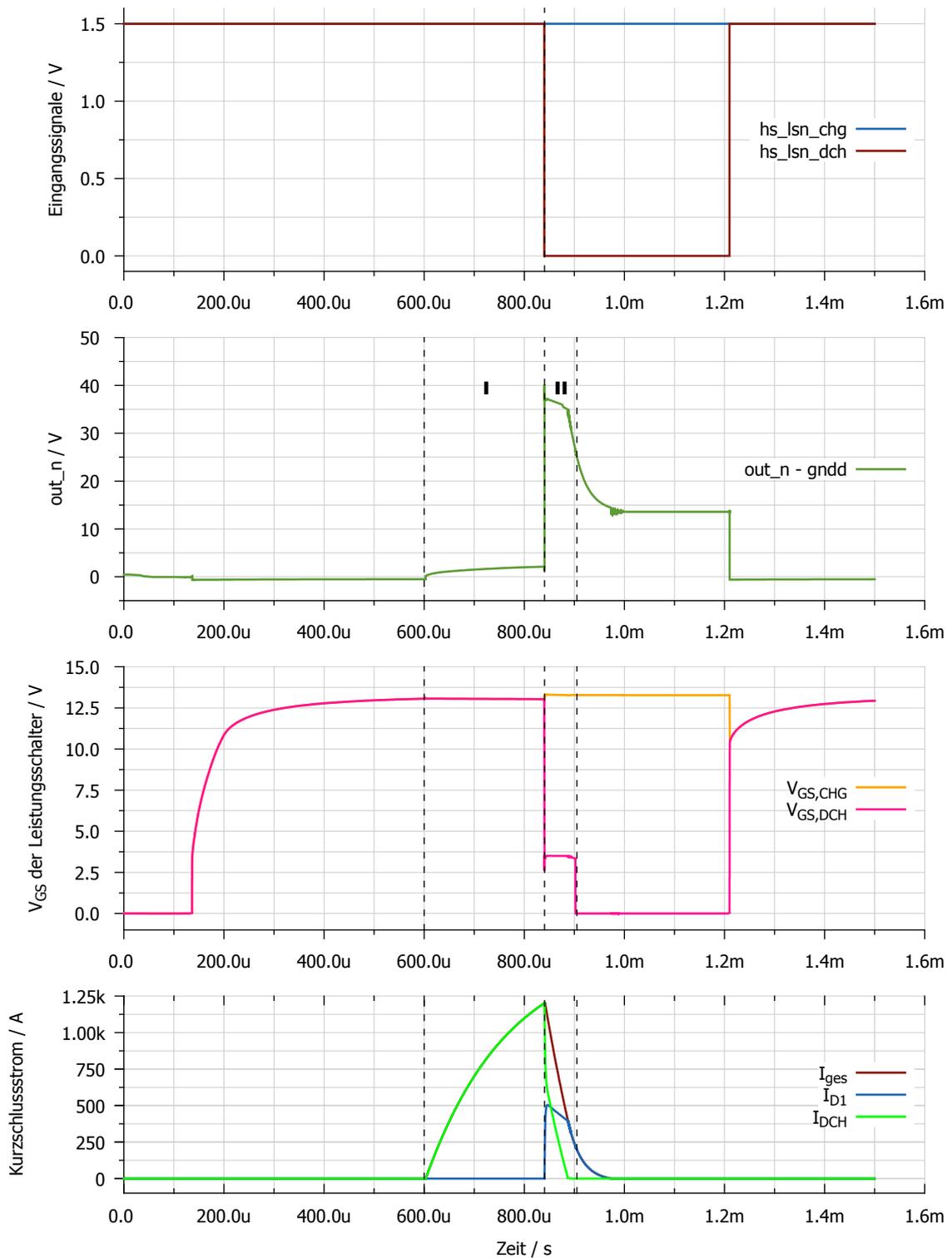


Abbildung 4.33: Simulation eines Kurzschlusses mit ca. 1200 A

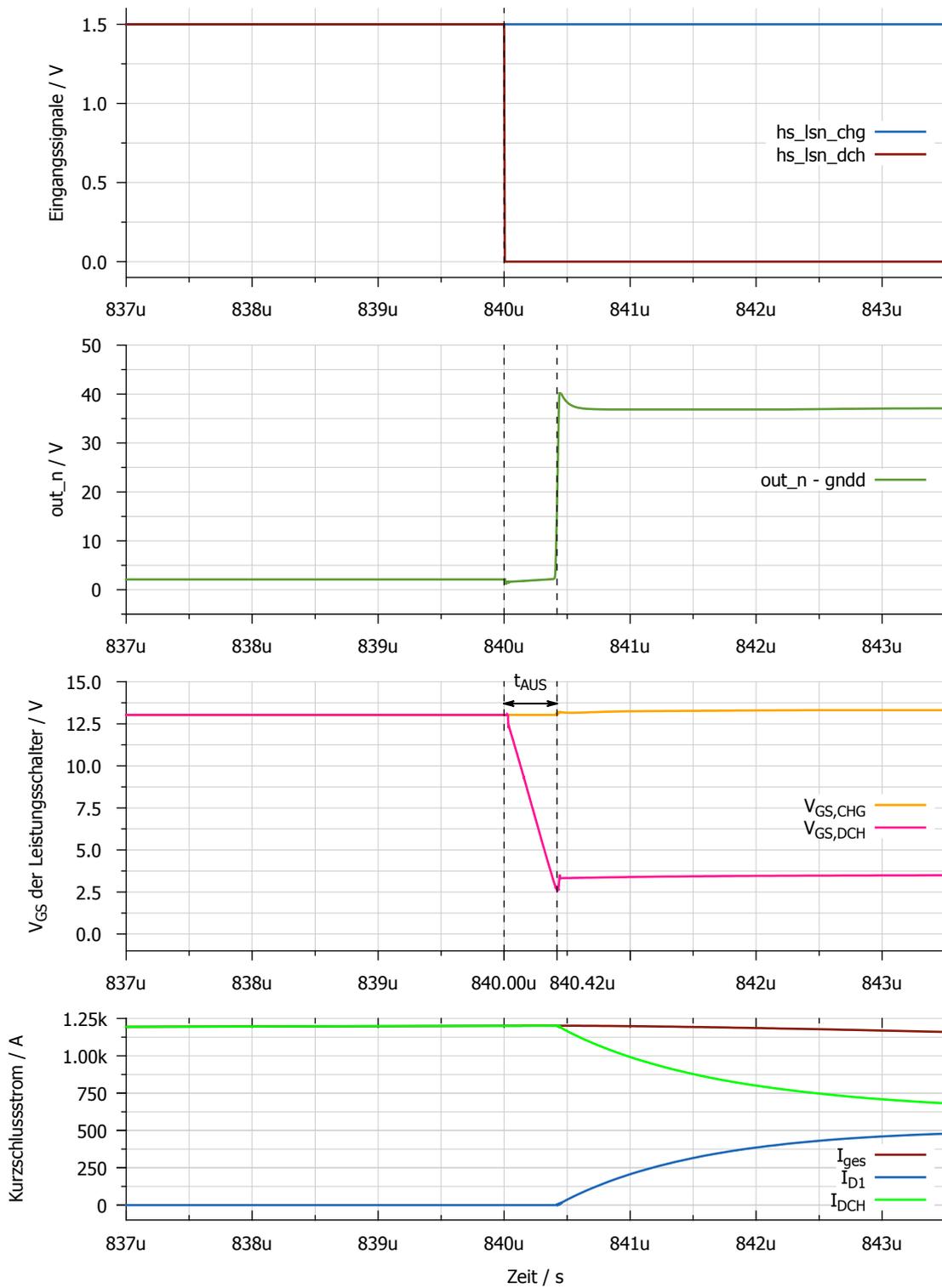


Abbildung 4.34: Detailansicht des Abschaltvorganges von Abbildung 4.33

einem sprunghaften Abfall des Stromes, da die Diode  $D_1$  den gesamten Strom übernimmt. Sobald durch die Klemmstruktur die **DCH** Schalter wieder geschlossen werden, ist ein Strom  $I_{DCH}$  durch den Shuntwiderstand messbar. Ist die Spannung am  $out\_n$  unter die Klemmspannung abgesunken, geht die  $V_{GS,DCH}$  auf 0 V zurück und der Kurzschlussstrom ist endgültig unterbrochen. Nach dem Ende der Phase II fließt noch kurzzeitig der Strom  $I_{D1}$ , der die Spannung am  $out\_n$  auf den letztendlichen Wert reduziert. Dieses Potential liegt so lange an, bis es wieder zum Einschalten der **DCH** Schalter kommt.

	<b>nom</b> [s]	<b>min</b> [s]	<b>max</b> [s]
<b>EIN</b>	533,60 n	527,80 n	11,44 u
<b>AUS</b>	418,30 n	250,40 n	647,10 n

Tabelle 4.6: Ein- und Ausschaltzeiten des Gate Treibers bei einem Kurzschluss mit  $v_{bat} = 14$  V über Prozesscorner und Temperatur

Tabelle 4.6 gibt eine Übersicht über die Abhängigkeit des Gate Treiber Ein- und Ausschaltverhaltens bezüglich der Variation von Temperatur und Prozesscorner. Anders als bei den zuvor dargestellten Ergebnissen einer Cornersimulation wird hier die Einschaltzeit nicht zwischen 50 % der Eingangsspannung und 50 % des Ausgangssignals gemessen, sondern an das Aufladeverhalten der Stützkapazität angepasst. Das in Abbildung 4.33 dargestellte Gate Treiber Ausgangssignal lässt einen Knick zwischen 10 V und 11 V erkennen, ab dem der Spannungsverlauf nur noch vom Ladeverhalten einer Kapazität abhängig ist. Somit wurde die Spannung, ab der der Gate Treiber die Leistungsschalter eingeschaltet hat, zwischen diesen Spannungswerten definiert, um eine objektive Einschätzung über die Schaltgeschwindigkeit zu erhalten. Diese Ungenauigkeit kann ohne Bedenken akzeptiert werden, da die maximale Threshold Spannung und die Spannung, bei der das Miller Plateau durchlaufen ist, um den Faktor zwei kleiner als die angenommene Schwelle ist. Wie schon in der Betrachtung des Versorgungsblockes in Kapitel 4.6.1.2 besprochen wurde, sinkt bei ungünstigen Cornerkombinationen die Versorgungsspannung weit unter den nominalen Wert ab. Aus diesem Grund wird die Kapazitätsladecharakteristik der  $V_{GS,DCH}$  schon bei Spannungen unter 9 V erkennbar, wodurch eine maximale Ausschaltverzögerung im zweistelligen  $\mu$ s Bereich entsteht. Eine ähnliche Problematik ergibt sich durch den Einsatz des **ACs** beim Ausschaltvorgang. Auch hier wurde die Spannung, ab der der Gate Treiber die externen Transistoren abgeschaltet hat, auf ca. 3 V festgelegt.

Bei der Darstellung der Prozesscorner Ergebnisse in Abbildung 4.35 muss auf das Einschaltverhalten keine Rücksicht genommen werden, da keine Variation über die Batteriespannung gemacht wurde. Eine weitere Besonderheit ist bei den Verzögerungszeiten rund um den nominalen Corner erkennbar. Die hier sichtbare Lücke in der Verteilung ist auf die nicht simulierten nominalen Prozesscorner aller verbauten Bauteile bzw. auf die fehlenden Variationen mit Raumtemperatur zurückzuführen. Das Histogramm der Ausschaltverzögerungen ist mit den Ergebnissen erstellt worden, die mit der zuvor erwähnten 3 V Schwelle erzielt wurden. Ein äußerst auffälliges Merkmal ist die Gruppierung der Messergebnisse in drei sich deutlich abgrenzenden Gruppen. Die linke Ansammlung zwischen 250 ns und 300 ns ergibt sich bei einer Umgebungstemperatur von  $-40$  °C und einem „fast“ Prozesscorner der **NDMOSFETs**. Diese Kombination bewirkt eine Reduktion der  $V_{GS}$  des Transistors  $M_{100}$  im Versorgungsblock und

somit eine höhere Versorgungsspannung sowie einen maximalen Gate Treiber Strom bei der Entladung der Eingangskapazität  $C_{ISS}$ . Aufgrund dieser Zusammenhänge können die externen Leistungsschalter in der schnellstmöglichen Zeit geöffnet werden.

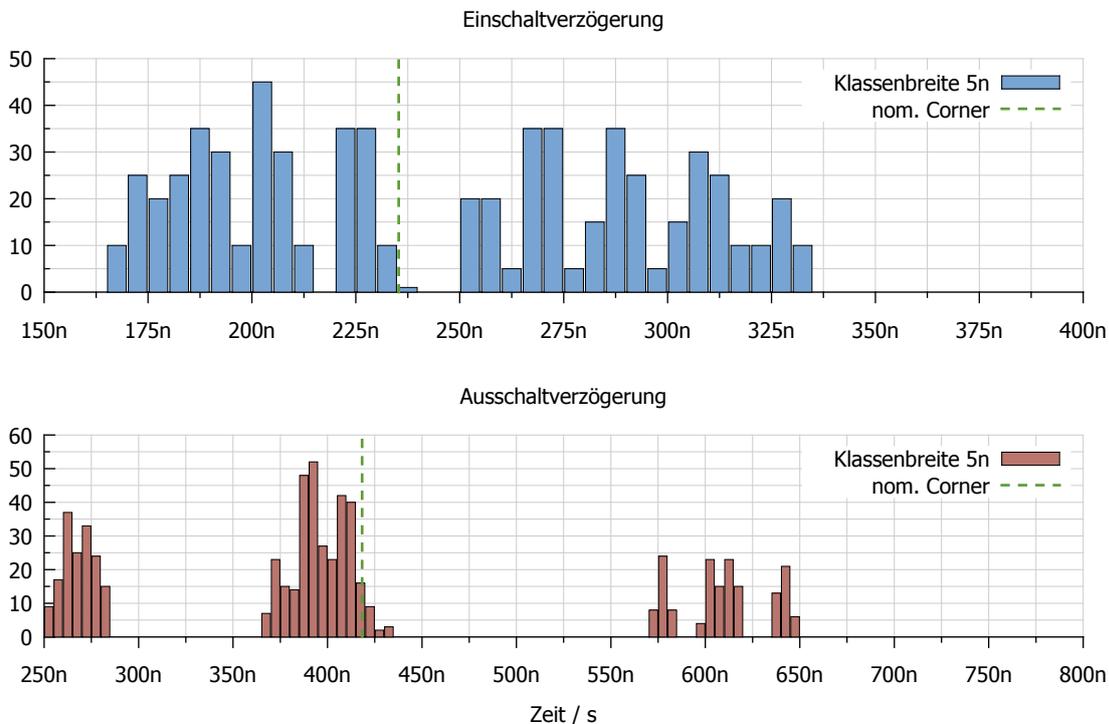


Abbildung 4.35: Ein- und Ausschaltverzögerungszeit bei einer Kurzschlussabschaltung bei  $-40\text{ °C}$  und  $150\text{ °C}$

Das andere Extremum zeigt sich in den selten auftretenden, langsamen Verzögerungszeiten, die sich in einer Gruppe zwischen  $575\text{ ns}$  und  $650\text{ ns}$  anordnen. Hier wurden Simulationen durchgeführt, bei denen sich die **NDMOSFETs** im „slow“ Corner befinden und die Umgebungstemperatur  $150\text{ °C}$  beträgt. Das Resultat ist genau das Gegenteil von zuvor, nämlich eine niedrigere Versorgungsspannung und der kleinst mögliche Drainstrom durch den **NDMOSFET** der Ausgangs Push–Pull Stufe des Gate Treibers. Die größte Gruppe bildet sich um das Simulationsergebnis des nominalen Corners mit einer Temperatur von  $27\text{ °C}$ . Die meisten Simulationen dieser Kategorie weisen eine bessere Performance auf, da sie auf Ergebnissen beruhen, bei denen die Temperatur  $-40\text{ °C}$  beträgt. Wird von dieser falsch gemessenen maximalen Einschaltzeit abgesehen, kann zusammenfassend die Performance des Gate Treibers bei der Kurzschlussabschaltung als positiv eingestuft werden, da trotz der erkennbaren Prozessstreuung die in Kapitel 3.2.1 geforderte maximale Reaktionszeit von  $1,5\text{ }\mu\text{s}$  nicht erreicht wird.

#### 4.8.2 Simulation eines Ladevorganges

Wie auch bei den Simulationsergebnissen zuvor stellt der nachfolgend behandelte Ladeversuch einen Ausnahme- bzw. Fehlerfall im Betrieb des gesamten Systems in einem **KFZ** dar. Wie schon im Kapitel

3.1 beschrieben, muss bei diesem Fehlerfall ein Leistungstransistor den Ladestrom unterbrechen, dessen Bodydiode sperrend zur Stromflussrichtung steht. Aus diesem Grund müssen die **CHG** Transistoren aus Abbildung 3.5 geöffnet werden. Der größte Unterschied zur Situation einer Kurzschlussabschaltung besteht in der Trennung des Bezugspunktes der beiden Gate Treiber ( $gnd\_gd$ ) vom allgemeinen Massepotential  $gndd$ . Somit ist  $gnd\_gd$  vollkommen einer Potentialänderung des  $out\_n$  Pins ausgeliefert. Diese Tatsache kann, wie in der nachfolgenden Beschreibung der Ladestromabschaltung beschrieben wird, sich ohne eine entsprechende Gegenmaßnahme negativ auf die Funktion des Gate Treibers auswirken.

Die Abbildungen 4.37 und 4.38 zeigen die Verläufe aller relevanten Signale, die während einer Öffnung der **CHG** Leistungsschalter auftreten. Ein spezielles Augenmerk muss wie zuvor schon erwähnt, auf den  $out\_n$  Pin gerichtet werden. Im zweiten Teil der Abbildung sind zwei unterschiedliche Varianten dieses Signals erkennbar. Zum einen wurde es auf das in der Gesamtsystemübersicht (Abbildung 3.5) dargestellte  $gnd$  Potential bezogen und zum anderen auf  $gndd$ . Als Auftakt und um später den genauen Unterschied der beiden Signale erarbeiten zu können, wird auf die  $gnd$  Variante näher eingegangen. Bei einer Betrachtung des gesamten Verlaufs kann, abgesehen von der Phase bis  $400\ \mu\text{s}$ , in welcher der Spannungshochlauf der Versorgungsspannung  $vbat$  geschieht, eine gravierende Änderung beobachtet werden. Während des Abschaltvorganges bei einer Simulationszeit von  $1\ \text{ms}$ , sinkt  $out\_n$  und mit ihm auch der gesamte Gate Treiber auf  $-15\ \text{V}$  ab. Dieses Verhalten wurde schon im Laborversuch beobachtet; die Oszilloskopbilder sind im Anhang A.1 beigefügt. Die Problematik an dieser Situation liegt bei der Ansteuerung und der Versorgung des Gate Treibers. Liegt die Batteriespannung im nominalen Bereich von ca.  $14\ \text{V}$ , wird eine Versorgungsspannung von näherungsweise  $vdd\_gd = 12\ \text{V}$  erzeugt. Kommt es nun zu diesem Spannungsversatz, wird durch die nicht auf einen fixen Bezugspunkt festgelegte Bauweise der gesamte Gate Treiber in den negativen Spannungsbereich gezogen. Ist dieser Spannungsversatz groß genug, wird die  $n^-$ -dotierte Epitaxieschicht ebenfalls auf ein negatives Potential gezogen, wodurch es zu einem Stromfluss durch die parasitäre Diode zum Substrat kommt. Des Weiteren ist es nicht mehr möglich, der Schaltung in diesem Zustand ein Steuersignal zu geben, da der notwendige **MV** Level Shifter, der zur Ansteuerung der Gate Treiber Ausgangsstufe verwendet wird, nicht mehr funktionsfähig bleibt. Insofern muss eine Schaltung entworfen werden, mit der es gelingt, das  $gndd$  Potential immer als negativsten Punkt zu definieren.

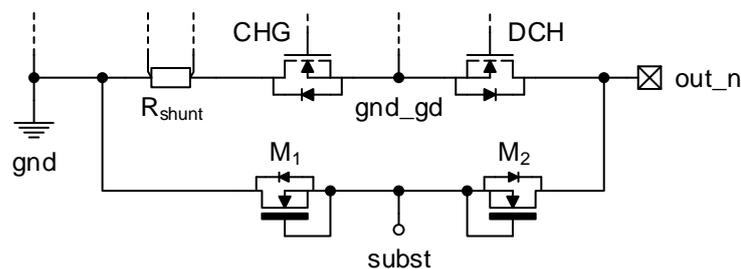


Abbildung 4.36: Realisierung eines beweglichen Substrates

Eine einfache Methode zeigt Abbildung 4.36. Hier wird  $gndd$  ebenso wie das Substrat Potential maximal eine Diodenspannung höher als  $gnd$  bzw.  $out\_n$  sein. Realisiert wird dies durch zwei **HV MOSFETs**, deren Gates mit den betreffenden Source Anschlüssen verbunden sind und damit eine Diode

zwischen Drain und Source bilden. Durch diese Erweiterung kann, wie im Verlauf von  $out\_n - gnnd$  erkennbar ist, das Abtauchen der Spannung verhindert werden.

Da die Abwehr dieses Problems nun besprochen wurde, bleibt noch festzuhalten, warum der Versatz des  $out\_n$  Pins auftreten kann. Der Grund in der Simulation liegt in den vorhandenen, im Größenbereich von  $1,5 \mu\text{H}$  liegenden Leitungsinduktivität  $L_{wire2}$ , die durch ihre Stromträgeit eine Spannung induziert und somit das  $out\_n$  Potential nach unten schiebt.

Ein noch viel prekärerer Fall ergibt sich bei einem Abschaltvorgang eines realen Ladevorgangs mit einer Lichtmaschine als Spannungsquelle. Werden hier die **CHG** Leistungsschalter geöffnet, kommt es zu einem „Load Dump“. Dabei kommt es durch das abrupte Wegfallen des Laststromes des Generators zu einem abrupten Anstieg der Generatorspannung. Der Grund dafür liegt in der Regelung der Generatorspannung und in der Trägheit des Erregerfeldes der Lichtmaschine: Der vom Generator gelieferte Strom ist bei einer konstanten Netzspannung und einer gleichbleibenden Drehzahl vom Strom durch die Erregerwicklung abhängig. Wird nun der Laststrom abrupt abgeschaltet, kommt es aufgrund des noch vorhandenen Erregerstromes und dem daraus resultierenden Erregerfeld zu einer Erhöhung der Generatordrehzahl und demzufolge zu einem Anstieg der erzeugten Spannung. Der Zusammenhang der Drehzahl mit dem Erregerstrom und der daraus resultierenden Polradspannung  $\underline{U}_p$  – der vom Läufer in der Ständerwicklung induzierten Spannung – wird mit folgender Beziehung beschrieben:

$$\omega_s = 2\pi \cdot p \cdot n \quad (4.33)$$

$$\underline{U}_p = j\omega_s \cdot L_h \cdot \underline{I}'_f = j 2\pi \cdot p \cdot n \cdot L_h \cdot \underline{I}'_f \quad (4.34)$$

Die Formel 4.34 gibt die an den Anschlussklemmen des Generators messbare Polradspannung im Leerlauf wieder. Unter Belastung kann sie messtechnisch nicht erfasst werden und stellt somit eine reine Rechengröße dar.  $\underline{U}_p$  setzt sich aus  $L_h$ , der Hauptinduktivität,  $p$ , der Polpaarzahl des Rotors,  $n$ , die resultierende Drehzahl und  $\underline{I}'_f$ , den auf die Ständerwicklung bezogenen Erregerstrom, zusammen [4, S. 512–516], [19, S. 509]. Der im Generator verbaute Regelkreis reduziert den Erregerstrom so weit als möglich, um dieser Spannungserhöhung entgegenzuwirken; ein direktes Einwirken auf das bestehende Feld ist aber nicht möglich. Um den gebauten Gate Treiber und dessen Spannungsgenerierung auf diesen realen Fehlerfall testen zu können, wird, wie auch beim Cranking-Impuls, durch die Norm ISO7637-2 [13] eine genaue Spannungsform vorgegeben.

Alle weiteren Signale aus Abbildung 4.37 bzw. in der Detailansicht von Abbildung 4.38 haben einen ähnlichen Verlauf, wie sie auch bei der zuvor behandelten Kurschlussabschaltung in Kapitel 4.8.1 aufgetreten sind. Nachdem der Abschaltbefehl durch das  $hs\_lsn\_chg$  Signal gegeben wurde, sinkt  $V_{GS,CHG}$  nach der durch den Gate Treiber verursachten Verzögerungszeit ab. Bei genauerer Betrachtung ist abermals ein kurzzeitiges Ansprechen der **AC** Struktur erkennbar. Die Länge der aktiven Klemmung ist aufgrund den geringeren Ladestrom um ein vielfaches kürzer als bei der zuvor beschriebenen Kurzschlussstromabschaltung. Das Resultat ist ein hoher Strom durch die Freilaufdiode  $D_1$ . Ein markanter Unterschied ist wiederum am  $out\_n$  Signal erkennbar. Nachdem die **CHG** Leistungsschalter den Ladestrom unterbrochen haben, kommt es durch die parasitären Leitungselemente und die Drain Source Kapazitäten der Transistoren zu einem Serienschwingkreis, der zu den ersichtlichen Störungen am  $out\_n$  Pin führt.

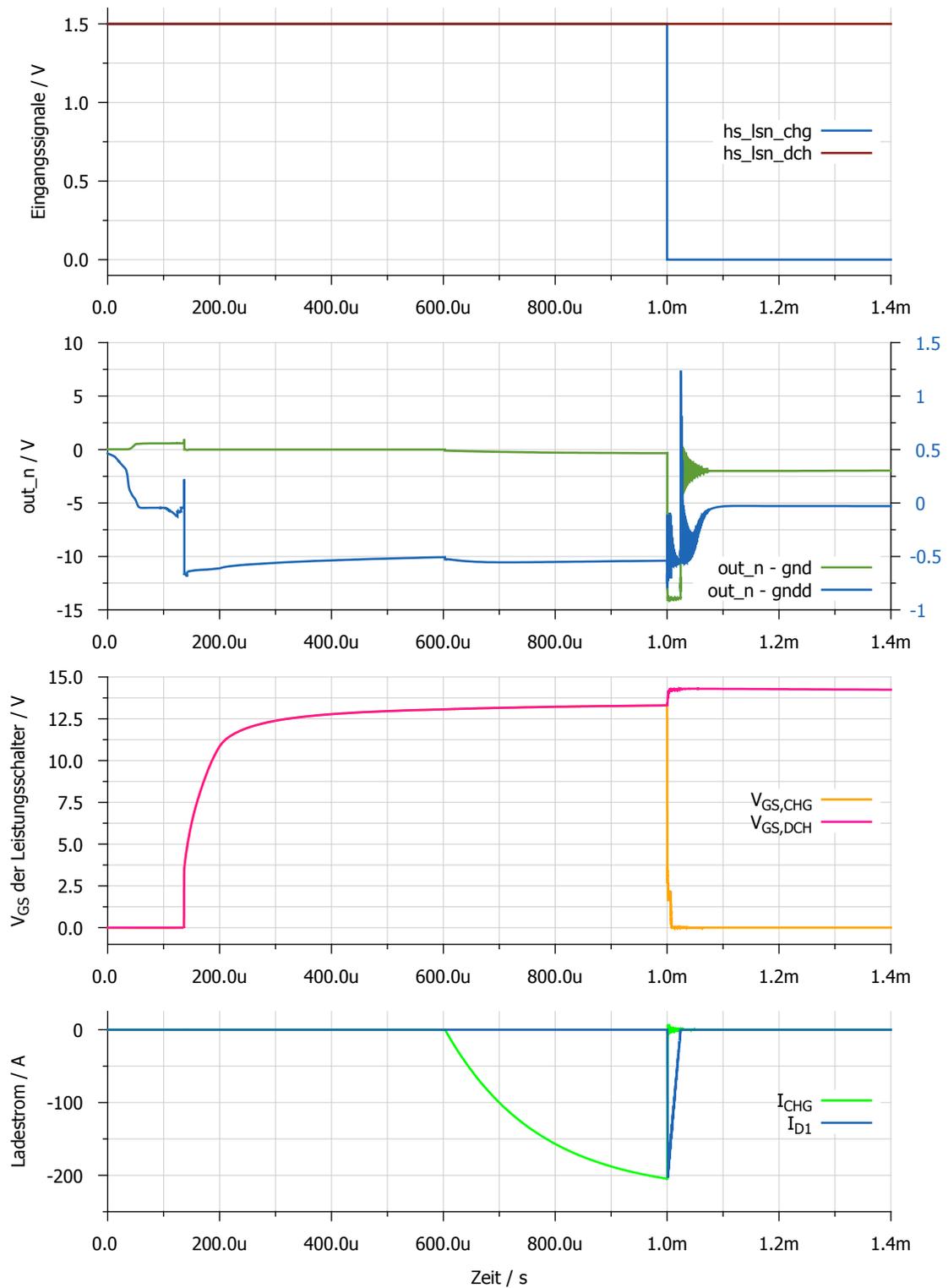


Abbildung 4.37: Simulation eines Ladevorganges mit ca. 200 A

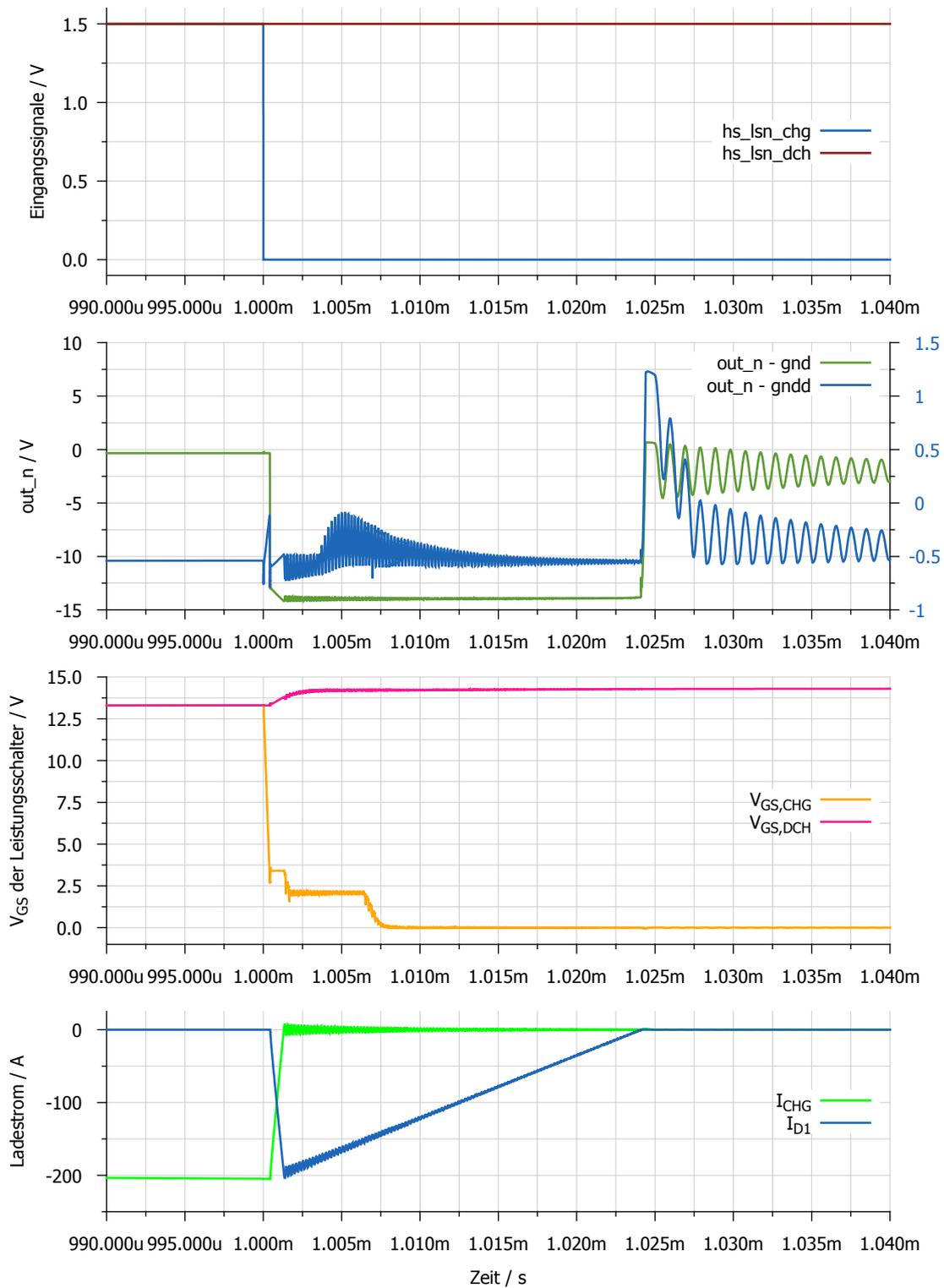


Abbildung 4.38: Detailansicht des Abschaltvorganges von Abbildung 4.37

#### 4 Realisierung und Schaltungsentwurf

Wie auch bei der Behandlung der Messergebnisse davor, werden die in Tabelle 4.7 zusammengefassten Verzögerungszeiten bis zu einem Anstieg von 9 V bzw. einer Spannung von 3 V während eines Abschaltvorganges gemessen. Durch diese Messmethode ist kein signifikanter Unterschied zwischen dem Abschaltverhalten eines Kurzschlusses und einer Ladestromabschaltung zu erwarten. Diese Annahme bestätigt sich in den Ergebnissen der Corner Simulation von Abbildung 4.39. Die maximale Einschaltverzögerung wurde im Gegensatz zur Kurzschlussmessung richtig gemessen.

	<b>nom</b> [ns]	<b>min</b> [ns]	<b>max</b> [ns]
<b>EIN</b>	338,70	269,00	427,50
<b>AUS</b>	410,70	261,20	689,70

Tabelle 4.7: Ein- und Ausschaltzeiten des Gate Treibers bei einem Ladeversuch mit einem Ladestrom von ca. 200 A über Prozesscorner und Temperatur

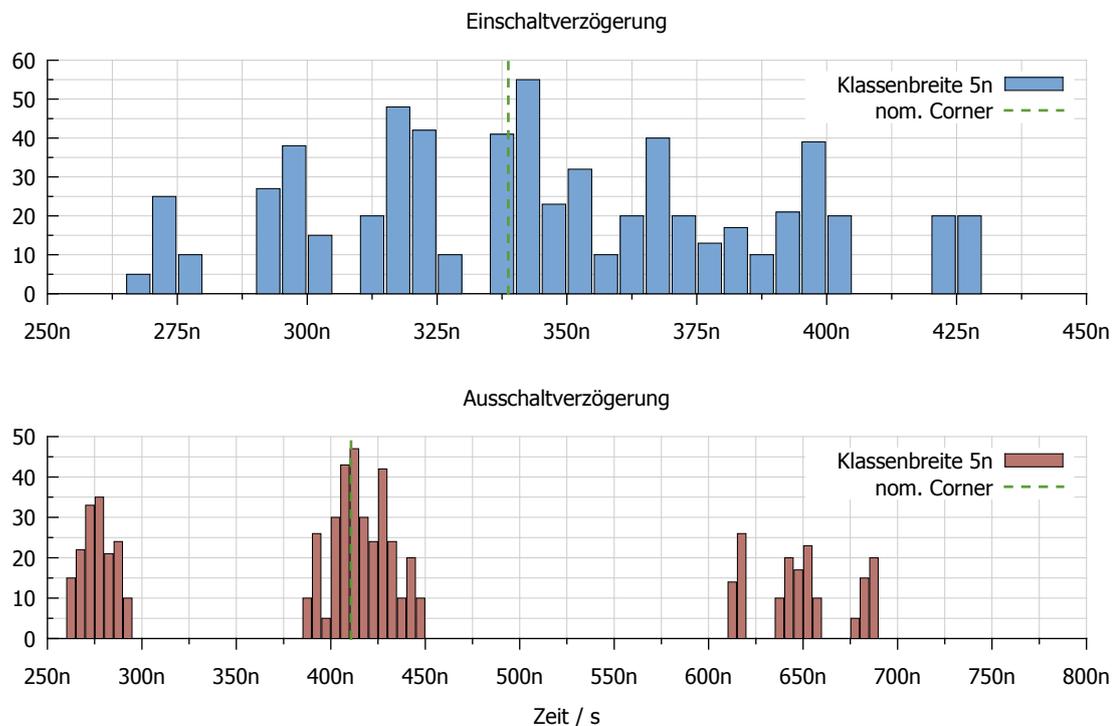


Abbildung 4.39: Ein- und Ausschaltverzögerungszeit bei einer Ladestromabschaltung bei  $-40^{\circ}\text{C}$  und  $150^{\circ}\text{C}$

## 5 Zusammenfassung und Ausblick

Das Ziel dieser Arbeit war es, eine integrierte Gate Treiber Schaltung zu entwickeln, die zur Ansteuerung von Leistungsschaltern in automobilen Anwendungen konzipiert ist. Als Grundlage diente ein diskreter Schaltungsaufbau, mit dessen Hilfe das Verhalten des Gate Treibers im Einsatz einer Überstromschutzschaltung von Lithium Ionen Akkus erforscht wurde. Die aus den Messergebnissen der diskreten Schaltung entwickelte Testumgebung beinhaltet Abschaltevorgänge der anzusteuern Leistungsschalter bei Kurschlussströmen von 1200 A, sowie Ladeversuche mit 200 A, die den realen Ladevorgang durch einen **KFZ** Generator nachempfunden sind.

Die Umsetzung in ein Design erfolgte mittels verlustleistungsoptimierter Level Shifter unterschiedlicher Spannungsklassen, die zur Ansteuerung der Ausgangsstufe dienen. Bei der Wahl der verwendeten Schaltungstopologie musste ein besonderes Augenmerk auf die notwendige Anforderung eines undefinierten Bezugspotentials gelegt werden. Aufgrund der begrenzten Spannungsquelle, die im **KFZ** zur Verfügung steht, wurde der Gate Treiber so gebaut, dass eine statische Stromaufnahme unterbunden wird.

Alle für den Betrieb der entwickelnden Schaltung benötigten Versorgungsspannungen wurden aus dem vorhandenen 12 V bzw. 48 V Bordnetz gebildet. Damit dieser breite Spannungsbereich, der sich mit einer Berücksichtigung der Spannungstoleranzen der Batteriezellen zwischen 6 V und 60 V bewegt, abgedeckt werden kann, musste besonders bei niedriger Versorgung auf ein effizientes Design geachtet werden. Eine Verbesserungsmöglichkeit des bestehenden Versorgungsblockes besteht in einem Ersatz der direkt nach den Batterieklemmen liegenden Diode  $D_1$  durch einen **MOSFET** und dazu passender Ansteuerschaltung. Dieser Ersatz würde die minimale Versorgungsspannung von derzeit  $v_{bat} = 7,4 \text{ V}$  um 1,2 V senken, wodurch der geforderte Minimalwert der Batteriespannung im nominalen Corner beinahe erreicht wäre.

Damit die Robustheit des Gate Treibers weiter erhöht werden kann, müssen die verwendeten Level Shifter Strukturen darauf hingehend adaptiert werden, dass ein Einsatz bei einer minimalen Zellspannung von 1,5 V und der daraus resultierende Bordnetzspannung von 6 V sichergestellt ist. Wird die zuvor erwähnte Diode  $D_1$  ersetzt, stehen für  $v_{dd\_gd}$  die vollen 6 V der Batterie zur Verfügung. Darüber hinaus muss das bisherige Design in ein Layout sowie in einem Testchip übergeführt werden, damit ein Funktionstest unter realen Bedingungen möglich ist. Dafür notwendig ist der vollständige Test des bereits bestehenden Konzeptes um Beschädigungen durch elektrostatische Entladungen (ESD) zu verhindern.



# Anhang A

## Appendix

### A.1 Messergebnisse des Laboraufbaus

Dieses Kapitel gibt eine Übersicht über die im Vorfeld gewonnenen Messergebnisse, die als Grundlage bzw. Referenz für die durchgeführten Arbeit dienen.

Um die Kurzschlussversuche durchführen zu können, die als Grundlage für Bestimmung des Simulationsmodells dienen, wurde ein Batteriesimulator aus einem Kapazitätsarray mit einer Gesamtkapazität von 6 F gebaut. Abbildung A.1 zeigt den maximal möglichen Kurzschlussstrom von 2,65 kA bei einer simulierten Batteriespannung von 16,8 V. Der benötigte Strom 1200 A kann ausreichend lange aufrecht erhalten werden, um die geforderten Kurzschlussversuche durchführen zu können.

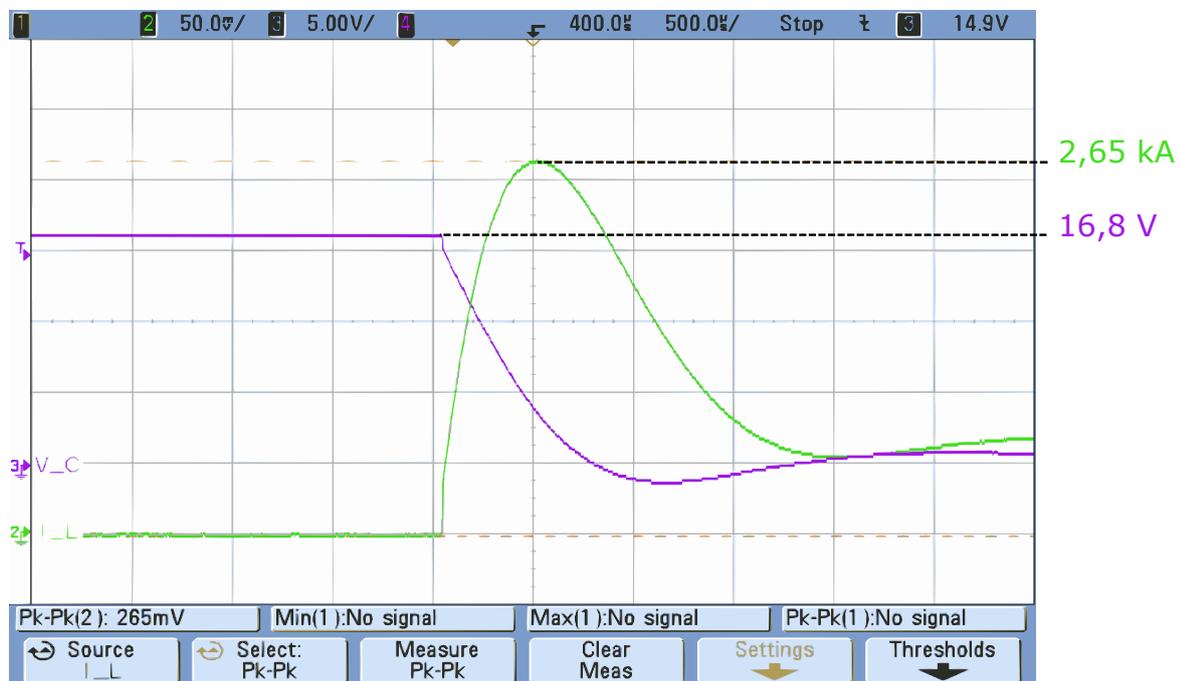


Abbildung A.1: Kurzschlussversuch des Batteriesimulators bei einer Kapazitätsspannung von 16,8 V

## A.2 Level Shifter

Abweichend zu den Entwürfen aller restlichen Level Shifter, welche dafür entworfen sind Spannungen von einem höheren Potential auf ein niedrigeres zu übertragen, ist die 1,5 V Version von Abbildung A.2 in seinem Aufbau mit dem ursprünglicher Level Shifter des Kapitels 4.1 vergleichbar. Um das benötigte inverse Verhalten realisieren zu können, ist es notwendig die beiden Transistoren  $M_1$  und  $M_2$  durch MOSFETs zu ersetzen, die mit einer Spannung von 5 V angesteuert werden können. Alle weiteren Bauteile können als 1,5 V Typen gebaut werden. Auf Umschaltvorgänge wird hier nicht eingegangen. Für den genauen Schaltablauf wird an dieser Stelle auf Kapitel 4.1 verwiesen, da es keinen Unterschied zu einem „normalen“ 1,5 V Level Shifter gibt.

Ähnliches gilt für die MV Level Shifter Struktur von Abbildung A.3. In Kapitel 4.4.1 wird der um einen Schritt verbesserte HV Typ besprochen; die grundlegende Funktion bleibt jedoch gleich.

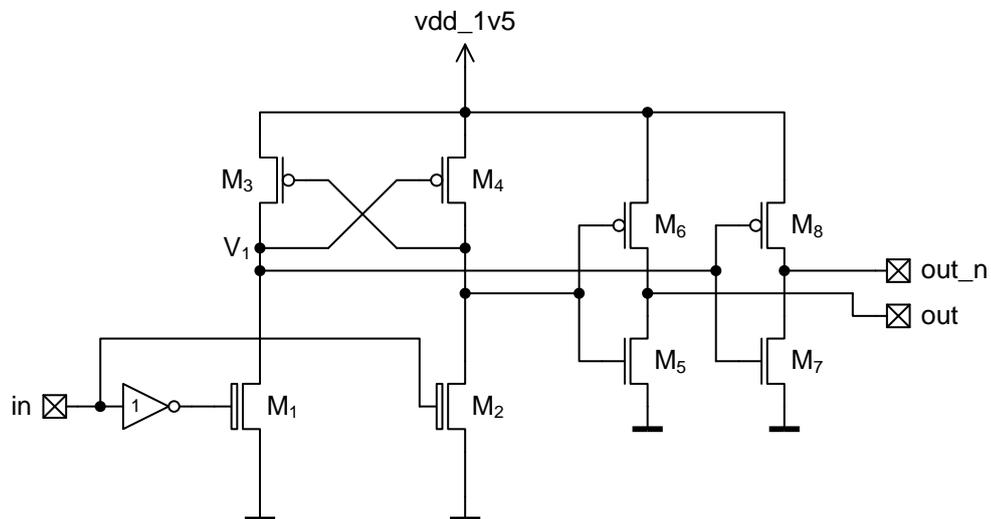


Abbildung A.2: Level Shifter um den Bereich von 5 V auf 1,5 V überbrücken zu können.



### A.3 ISO Störimpulse

Um die im täglichen Gebrauch auftretenden Belastungen einer KFZ Batterie und dem Bordnetz simulieren und testen zu können, beschreibt die Norm [13] Störimpulse, mit denen die entwickelte Schaltung getestet werden muss. Abbildung A.4 stellt die für diese Arbeit relevanten Testsignale dar, die bei einem Startvorgang (Testpuls 2b) und bei einem Lastabwurf (Testpuls 5a) auftreten können.

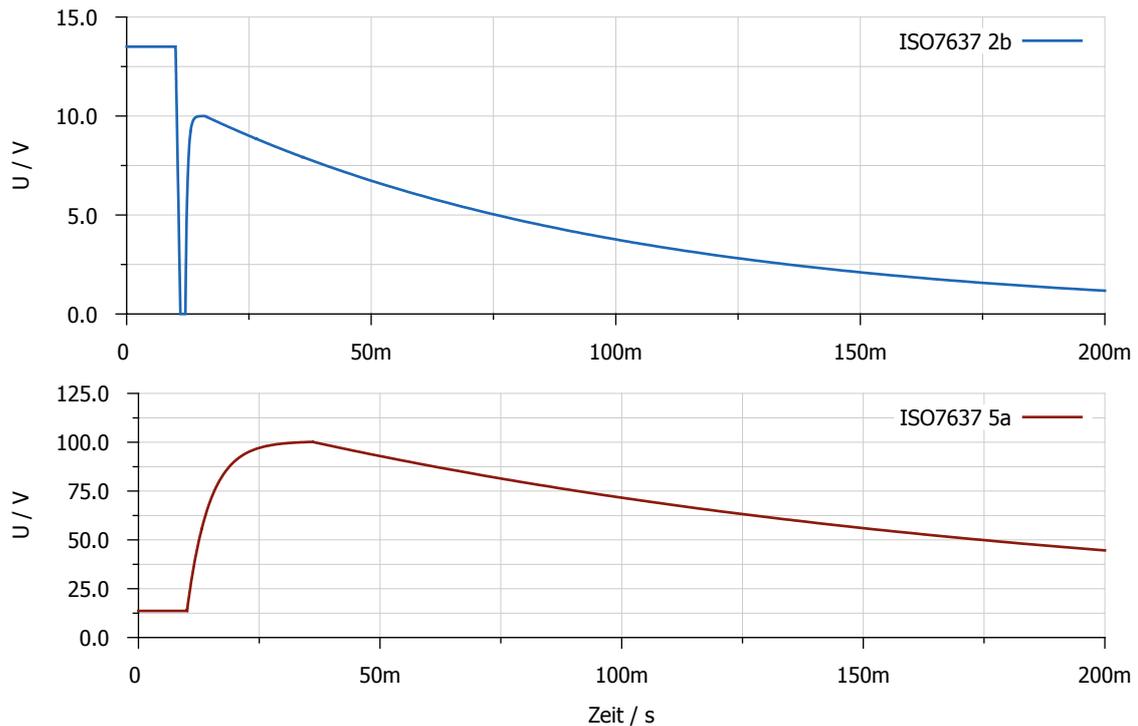


Abbildung A.4: Störimpulse der Versorgungsspannung nach ISO7637 bei einem Startvorgang und einem Lastabwurf [13]

Durch den Einsatz von passenden Gegenmaßnahmen sind bei der Anwendung dieser Testpulse keine Beeinträchtigung auf die erzeugten Versorgungsspannungen erkennbar. Im Falle der Testspannung von „ISO7637 2b“ ist dies eine direkt nach dem Batterieanschluss kommende Diode. Bei der Beanspruchung durch „ISO7637 5b“ wirkt ein verbauter DMOSFET Spannungssteller als Schutz vor einem zu starken Anstieg der Versorgungsspannung  $v_{dd\_gd}$ .

Im Simulationsergebnis von Abbildung A.5 sind jeweils nur die beiden relevanten Spannungen dargestellt worden. Alle weiteren 5 V Spannungsebenen leiten sich, wie im Aufbau des Versorgungsblockes von Abbildung 4.27 erkennbar ist, von  $v_{bat\_int}$  bzw. von  $v_{dd\_gd}$  ab und werden somit diesem Verlauf folgen.

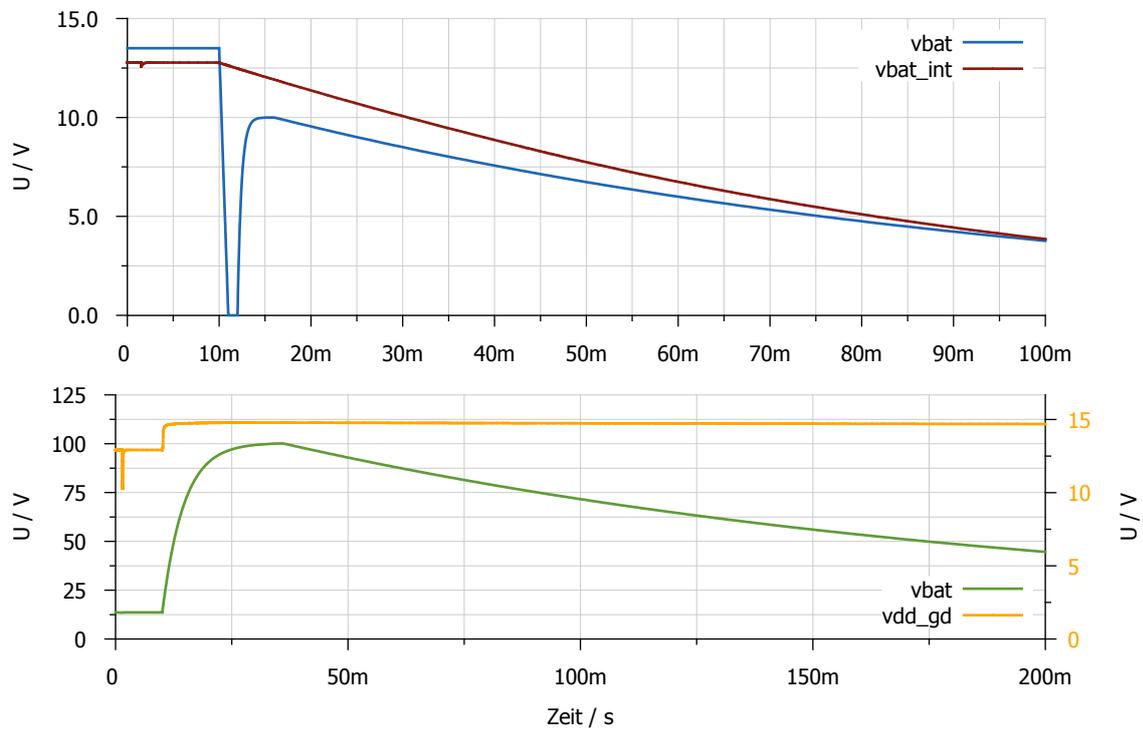


Abbildung A.5: Störimpulse von Abbildung A.4 angewandt auf den Versorgungsblock

## A.4 Datenblätter

Das Datenblatt des verwendeten externen [DMOSFETs](#) IPLU300N04S4 wurde für die im Vorfeld benötigten Dimensionierung verwendet und würde im Anhang seine Daseinsberechtigung haben. Da er aber nur als Engineering Sample vorliegt, ist eine Publikation zu diesem Zeitpunkt nicht möglich.

# Literatur

- [1] R. Jacob Baker. *CMOS Circuit Design, Layout, and Simulation*. IEEE Series on Microelectronic Systems. 3rd Edition. Wiley-IEEE Press, 7. Sep. 2010. ISBN: 9780470881323.
- [2] Laszlo Balogh. »Design And Application Guide For High Speed MOSFET Gate Drive Circuits«. In: *Texas Instruments Power Supply Design Seminar (SEM-1400)* (2001). URL: <http://www.ti.com/lit/ml/slup169/slup169.pdf> (besucht am 14. 03. 2012).
- [3] Vrej Barkhordarian. *Power MOSFET Basics*. International Rectifier. o. J. URL: <http://www.irf.com/technical-info/appnotes/mosfet.pdf> (besucht am 29. 03. 2012).
- [4] Andreas Binder. *Elektrische Maschinen und Antriebe. Grundlagen, Betriebsverhalten*. Springer, 2012. ISBN: 978-3540718499.
- [5] Tony Chan Carusone, David A. Johns und Kenneth W. Martin. *Analog Integrated Circuit Design*. 2. Edition. John Wiley & Sons, 2011. ISBN: 9780470770108.
- [6] Karl-Hermann Cordes, Andreas Waag und Nicolas Heuck. *Integrierte Schaltungen. Grundlagen – Prozesse – Design – Layout*. Pearson Studium, 2011. ISBN: 978-3-86894-011-4.
- [7] J. Doutreloigne et al. »Low-power high-voltage CMOS level-shifters for liquid crystal display drivers«. In: *The Eleventh International Conference on Microelectronics (ICM)*. 1999, S. 213–216. DOI: [10.1109/ICM.2000.884843](https://doi.org/10.1109/ICM.2000.884843).
- [8] I.M. Filanovsky und H. Baltés. »CMOS Schmitt Trigger Design«. In: *IEEE Transactions on Circuits and Systems - I: Fundamental Theory and Applications* 41.1 (Jan. 1994), S. 46–49. ISSN: 1057-7122. DOI: [10.1109/81.260219](https://doi.org/10.1109/81.260219).
- [9] Reiner Friedrich. *Das 48 V Bordnetz. Pflicht oder Kür?* Seminar für Kraftfahrzeug- und Motorentchnik. Fakultät für Verkehrs- und Maschinensysteme, Technische Universität Berlin, 31. Jan. 2013.
- [10] Düsan Graovac. *Parallel Operation of Power MOSFETs*. Infineon. 2. März 2009. URL: [http://www.infineon.com/dgdl/Parallel\\_Operation\\_of\\_Power\\_MOSFET\\_.pdf?folderId=db3a304412b407950112b426db703ad9&fileId=db3a30431ed1d7b2011eee77009e547a](http://www.infineon.com/dgdl/Parallel_Operation_of_Power_MOSFET_.pdf?folderId=db3a304412b407950112b426db703ad9&fileId=db3a30431ed1d7b2011eee77009e547a) (besucht am 19. 03. 2012).
- [11] Paul R. Gray et al. *Analysis and Design of Analog Integrated Circuits*. 5. Aufl. John Wiley & Sons, 2009. ISBN: 9780470398777.
- [12] Zhengrong Huang, Y. Savaria und M. Sawan. »Robust design of a dynamically controlled low-power level-up shifter operating up to 300 V«. In: *The 2nd Annual IEEE Northeast Workshop on Circuits and Systems (NEWCAS)*. Juni 2004, S. 321–324. DOI: [10.1109/NEWCAS.2004.1359096](https://doi.org/10.1109/NEWCAS.2004.1359096).
- [13] International Organization for Standardization. »Road vehicles — Electrical disturbances from conduction and coupling. Electrical transient conduction along supply lines only«. Part 2. Norm ISO7637-2 Third edition. 1. März 2011.

- [14] Maziyar Khorasani et al. »Low-power static and dynamic high-voltage CMOS level-shifter circuits«. In: *IEEE International Symposium on Circuits and Systems (ISCAS)*. Mai 2008, S. 1946–1949. DOI: [10.1109/ISCAS.2008.4541825](https://doi.org/10.1109/ISCAS.2008.4541825).
- [15] Jochen Linssen et al. *Netzintegration von Fahrzeugen mit elektrifizierten Antriebssystemen in bestehende und zukünftige Energieversorgungsstrukturen. Advances in Systems Analyses 1*. Abschlussbericht 150. Forschungszentrum Jülich GmbH Zentralbibliothek, 1. Okt. 2012. URL: <http://hdl.handle.net/2128/4695>.
- [16] Satoru Masaki et al. »Level Converter for CMOS from 3V to 5V«. US-Pat. 5,680,064. 21. Okt. 1997. URL: <http://www.google.com/patents/US5680064>.
- [17] Jorgen Andreas Michaelsen. *INF4420. Reference circuits*. Skriptum. University of Oslo, Department of Informatics, 13. Feb. 2012.
- [18] Yashodhan Moghe, Torsten Lehmann und Tim Piessens. »Nanosecond Delay Floating High Voltage Level Shifters in a 0.35um HV-CMOS Technology«. In: *IEEE Journal of Solid-State Circuits* 46.2 (2 Feb. 2011), S. 485–497. ISSN: 0018-9200. DOI: [10.1109/JSSC.2010.2091322](https://doi.org/10.1109/JSSC.2010.2091322).
- [19] Germar Müller und Bernd Ponick. *Grundlagen elektrischer Maschinen*. 9. Auflage. Wiley-VCH, 2005. ISBN: 978-3527405244.
- [20] Henri J. Oguey und Daniel Aebischer. »CMOS current reference without resistance«. In: *IEEE Journal of Solid-State Circuits* 32.7 (1997), S. 1132–1135. ISSN: 0018-9200. DOI: [10.1109/4.597305](https://doi.org/10.1109/4.597305).
- [21] Won-Ki Park, Cheol-Ung Cha und Sung-Chul Lee. »A Novel Level-Shifter Circuit Design For Display Panel Driver«. In: *49th IEEE International Midwest Symposium on Circuits and Systems (MWSCAS)*. Bd. 2. 2006, S. 391–394. DOI: [10.1109/MWSCAS.2006.382294](https://doi.org/10.1109/MWSCAS.2006.382294).
- [22] Shanthi Pavan. »A fixed transconductance bias technique for CMOS analog integrated circuits«. In: *Proceedings of the 2004 International Symposium on Circuits and Systems (ISCAS)*. Bd. 1. 2004, pages. DOI: [10.1109/ISCAS.2004.1328281](https://doi.org/10.1109/ISCAS.2004.1328281).
- [23] Behzad Razavi. *Design of Analog CMOS Integrated Circuits*. McGraw-Hill series in electrical and computer engineering. McGraw-Hill Companies, Incorporated, 2000. ISBN: 9780072380323.
- [24] Herwig Wappis. »Auswirkungen und Einflüsse von automobilen Zuverlässigkeitsanforderungen auf analoge Schaltungskonzepte in hochvoltfähigen Deep-Sub-Micron Technologien«. Magisterarb. Institut für Elektronik, Technische Universität Graz, 2007.
- [25] Heinz Zitta. *Smart-Power and High Voltage Circuits*. Skriptum. Institut für Elektronik, Technische Universität Graz, 2010.