

Konzept und Entwurf eines Hochvolt-Delta Sigma ADUs in einem 0,35 μm BCD Prozess für automobile Anwendungen

MASTERARBEIT

MA 727

durchgeführt von

Florian Regvar

Institut für Elektronik
der Technischen Universität Graz
Leiter: Univ.-Prof. Dipl.-Ing. Dr.techn. Wolfgang Bösch



in Zusammenarbeit mit



Infineon Technologies Austria AG

Begutachter: Ass.Prof. Dipl.-Ing. Dr.techn. Peter Söser

Externer Betreuer: Dipl.-Ing. Dr. Christoph Seidl

Graz, Oktober 2013

Statutory Declaration

I declare that I have authored this thesis independently, that I have not used other than the declared sources/resources, and that I have explicitly marked all material which has been quoted either literally or by content from the used sources.

Graz, _____
Date

Signature

Eidesstattliche Erklärung¹

Ich erkläre an Eides statt, dass ich die vorliegende Arbeit selbstständig verfasst, andere als die angegebenen Quellen/Hilfsmittel nicht benutzt, und die den benutzten Quellen wörtlich und inhaltlich entnommenen Stellen als solche kenntlich gemacht habe.

Graz, am _____
Datum

Unterschrift

¹Beschluss der Curricula-Kommission für Bachelor-, Master- und Diplomstudien vom 10.11.2008; Genehmigung des Senates am 1.12.2008

Kurzfassung

Analog-Digital-Umsetzer (ADUs) gewinnen durch die zunehmende digitale Signalverarbeitung in integrierten Schaltungen (ICs) immer mehr an Bedeutung. Deshalb sollten die Leistungsgrenzen und Eigenschaften diverser ADUs bereits in der Konzeptphase eines Chips einschätzbar sein. In dieser Arbeit wird ein Switched-Capacitor (SC)-Delta-Sigma Analog-Digital-Umsetzer (DSADU) erster Ordnung präsentiert, der vorerst in einem Lichtmaschinenregler eingesetzt werden soll. Die Schaltung wurde in einer neuen 0,35 μm -BCD-Technologie entwickelt und soll künftig auch als Modul eingesetzt werden. Durch den vorrangigen Einsatz im Automobilbereich werden hohe Anforderungen an den Betriebsbereich gestellt. Neben der Problematik eines großen Temperaturbereiches von -40°C bis 175°C kommt noch hinzu, dass die umzusetzende Batteriespannung auf bis zu 40 V ansteigen kann. Das Konzept baut auf der Forderung nach einem passiven, integrierbaren RC-Filter auf und wird mithilfe einer Direct Power Injection (DPI)-Simulation bestimmt. Danach werden die Anforderungen aller Komponenten ermittelt und anschließend die einzelnen Schaltungen entwickelt. Abschließend werden die Simulationsergebnisse des DSADUs präsentiert.

Abstract

Due to the increase of digital signal processing in integrated circuits (ICs), analog to digital converters (ADCs) become more and more important. As a result, it is necessary to already know the performance limits and properties of various ADCs in the concept phase of a chip. This work presents a switched capacitor (SC) delta sigma analog-to-digital converter (DSADC) designed for initial use in an alternator regulator. The circuit is designed in a new 0.35 μm - BCD - technology and should further be useable as a module. Due to the use in automotive applications the ADC has to meet high requirements. This means that it not only has to withstand 40 V of input range, but also has to tolerate temperature ranges from -40°C to 175°C . The concept is based on the need for an embeddable all passive RC-filter and is determined by utilizing a direct power injection (DPI) simulation. Relying on this concept the requirements of all components are calculated and designed. Finally the simulation results of the DSADC are presented.

Inhaltsverzeichnis

Kurzfassung	III
Abstract	III
Abbildungsverzeichnis	VI
Abkürzungsverzeichnis	VIII
Formelzeichen und Symbole	X
1 Einleitung	1
1.1 Motivation	2
1.2 Analog-Digital-Umsetzung	3
1.2.1 Abtastung	5
1.2.2 Quantisierung	8
1.2.3 Rauschformung	12
1.3 Kenngrößen	15
1.3.1 Allgemeine Parameter	16
1.3.2 Statische Parameter	16
1.3.3 Dynamische Parameter	19
2 Konzept	22
2.1 Anforderungen und Vorgaben	22
2.2 Eingangspfad	25
2.3 Dimensionierung der Kapazitäten und Referenzspannungen	28
2.3.1 Festlegen der Integratorkapazität C_{int}	32
2.4 Integrator	36
2.4.1 Rauschberechnung	40
2.5 Quantisierer	47
2.6 Taktgenerierung	48
2.7 Dezimation	49
3 Schaltungsentwurf	51
3.1 Eingangspfad	51
3.1.1 Simulationsergebnis Eingangsstufe	54
3.2 Integrator	55
3.2.1 Simulationsergebnis Integrator	59

3.3	Komparator	59
3.3.1	Vorverstärker	60
3.3.2	Dynamic latched Komparator	63
3.4	Analogschalter	65
3.5	Gesamtsystem	66
3.5.1	Angaben zur Spektralanalyse	66
3.5.2	Simulationsergebnisse der Cornersimulation	68
4	Zusammenfassung und Ausblick	73
A	Verilog-A Modell: Taktgenerator	75
B	Schaltplan	80
	Literatur	91

Abbildungsverzeichnis

1.1	Blockschaltbilder unterschiedlicher ADU-Systeme bezüglich Überabtastung und Rauschformung (in Anlehnung an [9])	4
1.2	Zusammenhang zwischen Aliasing und Überabtastung in Anlehnung an [9] .	7
1.3	Quantisierungsrauschen bei Nyquist-Abtastung und Überabtastung (in Anlehnung an [23, Figure 3.9, 3.11])	11
1.4	Quantisierung mittels $\Delta\Sigma$ Modulation (in Anlehnung an [5, Fig. 18.7, 18.10])	12
1.5	Einseitige Darstellung der Übertragungsfunktionen unterschiedlicher Rauschformungsordnungen (in Anlehnung an [23, Figure 3.23])	14
1.6	Maximal mögliches SNR (bzw. ENOB) eines DSADU erster und zweiter Ordnung in Anlehnung an [14, Figure 4.1]	15
1.7	Unterschiedliche Fehlerarten von ADUs (in Anlehnung an [2])	17
1.8	Übersicht dynamischer Parameter im Spektrum	19
2.1	Überblick des DSADU - Systems	24
2.2	Testschaltung DPI	26
2.3	Vorgegebener DPI-Störleistungsverlauf	27
2.4	Störspannungsspektrum bei vorgegebenem Störleistungsverlauf	28
2.5	Sprungverhalten des Integrators	38
2.6	SC-CMFB (in Anlehnung an [3, Fig. 2.])	40
2.7	Beispiel eines typischen Rauschbudgets eines SC-DSADUs (in Anlehnung an [21, Figure C.10])	43
2.8	$\Delta\Sigma$ Modulator erster Ordnung mit Rauschquellen (in Anlehnung an [22, Fig. 11.])	44
2.9	Timingdiagramm	49
2.10	Implementierung eines sinc-Filters in Anlehnung an [21, Figure 2.27]	50
2.11	Beispiel Amplitudengang eines $sinc^1$ - und $sinc^2$ -Filters. $N = 2500$, $f_s = 10$ MHz	50
3.1	Definition Transistorsymbole	51
3.2	Eingangsspannungsteiler mit 5 V Zener-Hilfsspannungsgenerierung	52
3.3	Nicht-überlappende Pegelumsetzung durch klassische Struktur nach [12, Fig.1a] zur Ansteuerung der Eingangsschalter	53
3.4	Eingangsschalter	54
3.5	Voll differenzielle, folded cascode - Verstärkerschaltung (in Anlehnung an [5, S.268-274])	57
3.6	„wide-swing-cascode“-Stromspiegel (in Anlehnung an [5, S. 261ff])	58

3.7	Realisierung von SC-CMFB (in Anlehnung an [3, Fig. 2.]	58
3.8	Voll differenzieller, kaskadierter Vorverstärker	61
3.9	Definition Sprungverhalten Vorverstärker	62
3.10	dynamischer Komparator in Anlehnung an [6, S. 25]	64
3.11	Signalverläufe „dynamic latched comparator“	65
3.12	Transmissiongate Analogschalter	66
3.13	Simuliertes Ausgangsspektrum über Prozess- und Designparameter bei Vollaussteuerung	69
3.14	Simuliertes Ausgangsspektrum über Prozess- und Designparameter bis 6 kHz bei Vollaussteuerung	70
3.15	Dynamische Parameter über Prozess- und Designparameter bei Vollaus- steuerung	71
3.16	Verlauf der SINAD über die Eingangssignalamplitude unter Normalbedin- gungen. $0 \text{ dBFS} \hat{=} 10 \text{ V}$ (Vollaussteuerung)	72

Abkürzungsverzeichnis

AC	Alternating Current; allgemeine Bezeichnung einer Wechselgröße (Strom oder Spannung)
ADU	Analog-Digital-Umsetzer
BCD	Bipolar, CMOS und DMOS ; Mischtechnologie für ICs
CM	Common Mode; Gleichtakt
CMFB	Common Mode Feedback; Gleichtakt-Rückkopplung
CMOS	Complementary Metal Oxide Semiconductor; komplementärer Metall-Oxid-Halbleiter
DAU	Digital-Analog-Umsetzer
DC	Direct Current; allgemeine Bezeichnung einer Gleichgröße (Strom oder Spannung)
DSADU	Delta-Sigma Analog-Digital-Umsetzer
DMOS	Double-Diffused Metal-Oxide-Semiconductor Field-Effect Transistor; Leistungs- MOST
DNL	Differential Nonlinearity; differentieller Linearitätsfehler
DPI	Direct Power Injection; ein Verfahren zur Ermittlung der Störanfälligkeit eines IC bezüglich HF - Störungen
DZ	Dead Zone; negativer Effekt verursacht durch endliche Leerlaufverstärkung
ENOB	Effective Number of Bits; Effektive Anzahl von Bits
ESD	Electro Static Discharge; Elektrostatische Entladung
FFT	Fast Fourier Transform; schnelle Fourier Transformation
FSR	Full Scale Range; Eingangsspannungsbereich, welcher vom ADU zu einem digitalen Wert verarbeitet werden kann
HF	Hochfrequenz

IC	Integrated Circuit; integrierter Schaltkreis
LSB	Least Significant Bit; niederwertigstes Bit
MOD	Delta-Sigma-Modulator x-ter Ordnung mit 1 Bit Quantisierung
MOST	Metal-Oxide-Semiconductor Field-Effect Transistor; Metall-Oxid-Halbleiter-Feld-effekt Transistor
MSP	Mixed Signal Processing; Signalverarbeitung mit Analog- und Digitalsignalen
MV	Mittelvolt; beschreibt abhängig der verwendeten Technologie den mittleren Spannungsbereich
nMOST	n-Kanal MOST
NTF	Noise Transfer Function; Rauschübertragungsfunktion
OPV	Operationsverstärker
OSR	Oversampling Ratio; Überabtastrate
OTA	Operational Transconductance Amplifier; Transkonduktanzverstärker
pMOST	p-Kanal MOST
PSD	Power Spectral Density; spektrale Rauschleistungsdichte
SC	Switched-Capacitor; geschaltete Kapazität
SFDR	Spurious Free Dynamic Range; störungsfreier dynamischer Bereich
SINAD	signal to (noise and distortion) ratio; Signal zu Rauschen und Verzerrung - Verhältnis
SNR	Signal to Noise Ratio; Signal-Rausch-Verhältnis
SR	Slew Rate; maximal mögliche Spannungsänderung pro Zeiteinheit am Ausgang einer Verstärkerstufe
THD	Total Harmonic Distortion; Gesamte harmonische Verzerrung

Formelzeichen und Symbole

Notation	Einheit	Beschreibung
f_s	Hz	Abtastfrequenz
f_T	Hz	Transistfrequenz
K'	$\mu\text{A}/\text{V}^2$	Prozessverstärkungsfaktor
k_B	$1,38 \cdot 10^{-23} \text{ J/K}$	Boltzmann-Konstante
U_{DS}	V	Drain-Source Spannung eines MOST
U_{Dsat}	V	minimal erforderliche U_{DS} damit ein MOST bei bestimmter U_{GS} im Sättigungsbereich betrieben wird
U_{Dsat_n}	V	minimal erforderliche U_{DS} damit ein nMOST bei bestimmter U_{GS} im Sättigungsbereich betrieben wird
U_{Dsat_p}	V	minimal erforderliche U_{DS} damit ein pMOST bei bestimmter U_{GS} im Sättigungsbereich betrieben wird
U_{GS}	V	Gate Source Spannung
U_{th}	V	Schwellspannung eines MOST
U_{th_n}	V	Schwellspannung eines nMOST
$ U_{th_p} $	V	Schwellspannung eines pMOST

1 Einleitung

Durch die zunehmende Miniaturisierung von **ICs** verlagert sich die Signalverarbeitung immer weiter in den digitalen Bereich. Dies ist durch den Umstand bedingt, dass digitale Schaltungen immer genau mit dem Verkleinerungsfaktor mitskaliert werden, analoge Schaltungen jedoch nur teilweise davon profitieren können. Die Verkleinerung der Strukturbreite (minimale Gatelänge) wird auch als „Die-Shrink“ bezeichnet. Eine bestimmte digitale Funktion benötigt eine gewisse Anzahl an logischen Bauelementen bzw. Transistoren. Es ist völlig unerheblich, mit welcher Strukturgröße diese Schaltung gefertigt wird, die Anzahl an Elementen bleibt grundsätzlich konstant. Will man die benötigte Fläche halbieren, muss die Gatelänge um den Faktor $\frac{1}{\sqrt{2}}$ verkleinert werden z. B. von 90 nm auf 65 nm. Eine digitale Funktion liegt meist nur als Code vor, der mittels Synthese oft ohne Änderungen in verschiedenen Strukturgrößen realisiert werden kann. Hat man z. B. ein digitales Filter entwickelt, kann der selbe Code in unterschiedlichen Technologien verwendet werden und die Schaltung besitzt unter den selben Voraussetzungen auch die selben Eigenschaften. Neben der Reduktion der benötigten Fläche bringt eine Reduktion der Strukturbreite im Digitalbereich sogar noch drei weitere Vorteile. Einerseits kann durch sinkende Schwellspannungen U_{th} die Versorgungsspannung und damit die Energieaufnahme reduziert werden, andererseits steigt die Transitfrequenz f_T , wodurch die Bauteile schneller getaktet werden können. Der dritte Vorteil ist, dass die Funktion einer digitalen Schaltung nicht durch Bauteiltoleranzen, Alterung und andere Faktoren beeinflusst wird. Analoge Schaltungen profitieren größtenteils auch von diesem Umstand, jedoch in geringerem Umfang. Will man in analogen Schaltungen den Vorteil nutzen, muss die gesamte Schaltung neu entwickelt, dimensioniert und ein neues Layout angefertigt werden, reines Skalieren der Bauteildimensionen (Gateweite und -länge) würde in den seltensten Fällen funktionieren. Meist wird ein Teil der eingesparten Fläche bzw. reduzierter Energieaufnahme in zusätzliche Funktionalität investiert.

Grundsätzlich versucht man aber die jeweiligen Aufgaben eines signalverarbeitenden Systems in der Domäne durchzuführen, in der sich die Aufgabe optimaler durchführen lässt und spricht daher von **Mixed Signal Processing (MSP)**. Die Auslegung des Begriffs optimal hängt immer von den individuellen Anforderungen an das System ab, ob es kostengünstig, genau, schnell, zuverlässig o.Ä. sein soll.

Durch die zunehmenden Funktionen in **ICs** und die Verlagerung der Signalverarbeitung vom Analogen ins Digitale, steigen auch die Anforderungen an **ADUs**. Einerseits werden immer höhere Auflösungen und Geschwindigkeiten gefordert, andererseits soll die Energieaufnahme und der Platzbedarf der **ADUs** so gering wie möglich sein. Um diesen Anforderungen

gerecht zu werden, bietet das Konzept der **DSADUs** einige Vorteile. Einer davon ist, dass allein durch die Wahl der Taktfrequenz ein Kompromiss zwischen Geschwindigkeit und Auflösung gewählt werden kann, ohne die Schaltung zu verändern.

1.1 Motivation

Das Hauptziel dieser Arbeit ist es, einen **DSADU** für einen integrierten Lichtmaschinenregler zu entwickeln, der zukünftig möglicherweise in einer neuen **BCD**-Technologie realisiert werden soll. Mit diesem Umstieg eröffnet sich die Möglichkeit bisherige Schaltungskonzepte neu zu überdenken. Aus unterschiedlichen Gründen soll der existierende **ADU**, basierend auf Sukzessiver Approximation, durch einen **DSADU** ersetzt werden. Dieser Technologietransfer soll jedoch nicht nur diesem Projekt Vorteile bringen, sondern für weitere Anwendungen den Weg ebnen. Ein Teil dieser weitreichenden Überlegungen ist diese Arbeit. Da es in der neuen Technologie noch keinen **DSADU** gibt, soll einer, auf den Anforderungen des Lichtmaschinenreglers aufbauend, entwickelt werden. Das Ergebnis dieser Arbeit soll den Konzeptingenieuren dabei helfen, die neue Technologie im Bezug auf **DSADUs** besser einschätzen zu können.

Wie anzunehmen sind die Leistungsgrenzen der verwendeten Technologie in Bezug auf die Delta-Sigma-Umsetzung noch nicht bekannt. Daher können zu Beginn nur Mindestanforderungen festgelegt werden.

Ein großer Teil der Arbeit beschäftigt sich mit dem Ermitteln der Anforderung an die einzelnen Baugruppen des gesamten **ADU** - Systems. Dadurch soll die optimale Systemkonfiguration ermittelt werden und erst danach kann mit der eigentlichen Schaltungsentwicklung begonnen werden. Die Entwicklung des **DSADUs** als Modul stellt sicher, dass die größtmögliche Performance bei vertretbarem Arbeitsaufwand erreicht wird und das Konzept auch in den unterschiedlichsten Produkten eingesetzt werden kann.

Da diese Arbeit in einem Unternehmen durchgeführt wird, können sich die Anforderungen an das System nachträglich ändern. Um das Projekt trotzdem in angemessener Zeit durchführen zu können, muss der Umfang klar eingegrenzt werden.

Aus diesem Grund wird die Realisierung einiger Baugruppen ausgenommen. Entweder sind diese nicht zwingend für einen Testchipaufbau erforderlich, oder werden je nach Einsatzgebiet nicht unbedingt benötigt.

- **Überspannungsschutz**

Schaltungsmaßnahmen, die sicherstellen, dass Eingangsspannungen außerhalb des **Full Scale Range (FSR)** den **DSADU** nicht dauerhaft beeinträchtigen, werden je nach Produkt individuell festgelegt und deshalb nicht realisiert. Für den funktionalen Testbetrieb des **DSADUs** auf einem Testchip hat dies keinen Einfluss, solange die

Eingangsspannung innerhalb des [FSR](#) bleibt.

- **Bereitstellung der Referenzspannungen**

Die benötigten Referenzspannungen können für den Testbetrieb extern bereitgestellt werden und müssen deshalb nicht intern generiert werden.

- **Taktgenerator**

Der Taktgenerator wird als einziges, für den Betrieb unerlässliches, Bauteil aus zeitlichen Gründen nur als Modell und nicht als Schaltung realisiert.

- **Schaltungslayout und Testchipimplementierung**

Da sich während der Durchführung dieses Projekts die Anforderungen an das System aus diversen wirtschaftlichen Gründen ändern können, wurde entschieden die Arbeit auf eine Simulation zu beschränken.

- **Dezimationsfilter**

Die Implementierung des Dezimationsfilters als Schaltung ist nicht vorgesehen, da es je nach Einsatzgebiet des [DSADUs](#) unterschiedlich realisiert werden muss. Im Labor wird der Datenstrom aufgezeichnet und kann anschließend mittels Software bearbeitet und analysiert werden.

1.2 Analog-Digital-Umsetzung

Dieses Kapitel (1.2) ist, wenn nicht anders angeführt, eine inhaltliche Zusammenführung der Quellen [9, 5, 7, 8, 15, 23].

Ein [ADU](#) ist eine elektronische Schaltung, die ein analoges (zeit- und wertkontinuierlich) Signal in ein entsprechendes digitales (zeit- und wertdiskretes) Signal umsetzt. Das Gegenstück zum [ADU](#) ist der [Digital-Analog-Umsetzer \(DAU\)](#), welcher aus einem digitalen Wert ein analoges Signal erzeugt. Im Idealfall steckt nach der Umsetzung in beiden Signal-domänen dieselbe Information, zumindest jene Informationsanteile, die benötigt werden. Das elektrische Signal kann sowohl in Form eines Stromes, als auch in Form einer Spannung vorliegen. In den meisten Fällen spricht man von einer Spannung. Fälschlicherweise wird auch oft von „Analog-Digital-Wandlern“ gesprochen. Tatsächlich wird ein analoges Signal nicht in ein digitales umgewandelt, sondern umgesetzt. Der Unterschied liegt darin, dass eine Umsetzung nur hinreichend genau durchgeführt werden kann und immer mit Informationsverlust zu rechnen ist. Das Problem ist, dass bei der Überführung eines zeit- und wertkontinuierlichen Signals in ein digitales, die Zeit und der Wert quantisiert werden muss. Quantisieren bedeutet, dass einem beliebigen analogen Signal, entsprechende digitale Codes in spezieller Reihenfolge zugeordnet werden. Der [ADU](#) ist ein [MSP](#)-System, was

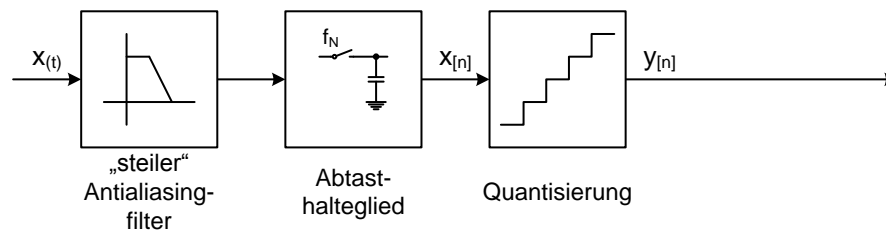
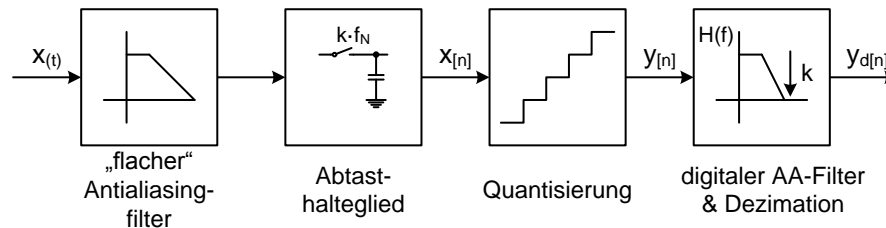
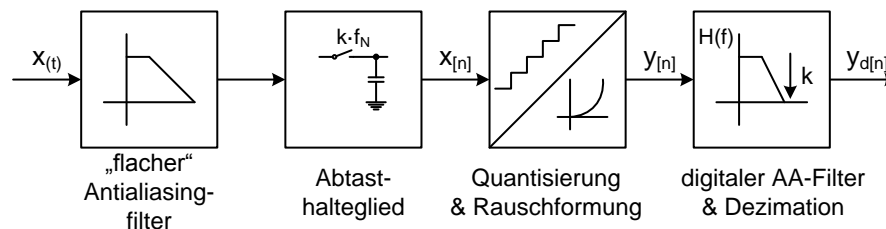
(a) Blockschaltbild eines ADUs bei Nyquist-Abtastung $f_s = f_N = 2 \cdot f_0$ (b) Blockschaltbild eines ADUs mit Überabtastung und Dezimierung $f_s = 2 \cdot f_0 \cdot k$ (c) Blockschaltbild eines ADUs mit Überabtastung, Rauschformung und Dezimierung $f_s = 2 \cdot f_0 \cdot k$

Abbildung 1.1: Blockschaltbilder unterschiedlicher ADU-Systeme bezüglich Überabtastung und Rauschformung (in Anlehnung an [9])

bedeutet, dass er gleichzeitig im Analogen und im Digitalen arbeitet. Er bildet somit die Schnittstelle zwischen der analogen und digitalen Welt.

In einfachster Form besteht ein ADU aus drei Komponenten (siehe Abbildung 1.1a), einem Filter zur Bandbegrenzung, einem Abtasthalteglied zur Zeitdiskretisierung und einem Quantisierer zur Wertdiskretisierung.

Um die Eigenschaften eines ADUs weiter zu verbessern, wird oft das Prinzip der Überabtastung (siehe Abbildung 1.1b) und der Rauschformung (siehe Abbildung 1.1c) angewendet.

1.2.1 Abtastung

Die Abtastung und deren Eigenschaften sind essenziell bei der Entwicklung von ADU-Systemen. Die einfachste Form ist die Überführung eines zeitkontinuierlichen Signals in ein zeitdiskretes mittels periodischer Abtastung. Das Nyquist-Shannon-Abtasttheorem besagt, dass ein Signal mit mindestens dem Doppelten der maximal vorkommenden Frequenz (f_0) abgetastet werden muss, um es exakt rekonstruieren zu können. Anders ausgedrückt, muss ein Signal ($S_{(f)}$), welches abgetastet werden soll, mittels Filter soweit ($H_{1(f)}, H_{2(f)}$) bandbegrenzt werden, dass das Abtasttheorem eingehalten wird (siehe Abbildung 1.2a).

$$f_s > 2 \cdot f_0 \quad (1.1)$$

Wird ein beliebiges Signal $S_{(f)}$ abgetastet, entsteht im Frequenzbereich eine um alle Vielfachen der Abtastfrequenz f_s gespiegelte Kopie des ursprünglichen Spektrums. Bei unzureichender Bandbegrenzung überlappt sich das eigentliche Spektrum mit dessen höherfrequenten Kopien. Diese spektrale Überlappung wird als Aliasing bezeichnet und ist nicht mehr korrigierbar. Um dieses Problem zu vermeiden, muss jedes Signal vor der Abtastung mittels sog. „Antialiasing-Filter“ bandbegrenzt werden. [15, S. 140ff]

Da reale Filter keine unendliche Sperrdämpfung besitzen, bleiben immer spektrale Komponenten oberhalb der Grenzfrequenz übrig. Dies stellt kein Problem dar, sofern diese Komponenten so stark gedämpft werden, dass das durch spektrale Überlappen hervorgerufene zusätzliche Rauschen im Nutzband (Aliasing) akzeptiert werden kann.

Der Zusammenhang zwischen Antialiasing-Filterfunktion und der Abtastfrequenz ist in Abbildung 1.2 verdeutlicht. In Abbildung 1.2a ist das abzutastende Signal $S_{(f)}$ und zwei unterschiedliche Tiefpassfilterfunktionen $H_{1(f)}$ und $H_{2(f)}$ abgebildet.

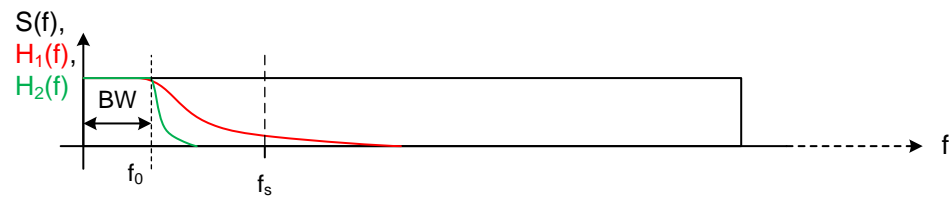
Je nach gewählter Filterfunktion $H_{1(f)}, H_{2(f)}$ bleibt ein schwach bandbegrenztetes Signal $S_{1(f)}$ (Abbildung 1.2b) oder ein stark bandbegrenztetes Signal $S_{2(f)}$ (Abb. 1.2c) über.

Werden die beiden Signale $S_{1(f)}$ und $S_{2(f)}$ mit der selben Abtastfrequenz f_s abgetastet, entstehen im Spektrum die vorher erwähnten spektralen Kopien.

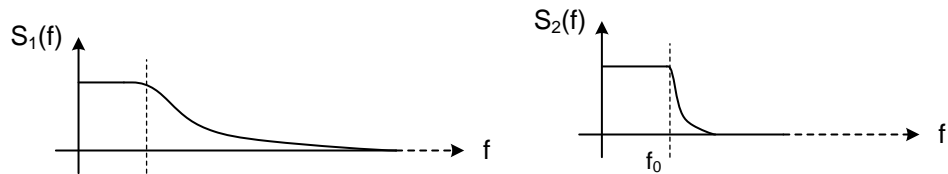
Das Spektrum von $S_{1(f)}$ nach Abtastung zeigt starkes Aliasing (Abbildung 1.2d) im Gegensatz zu dem von $S_{2(f)}$ (siehe Abb.1.2e).

Soll das Aliasing bei der Abtastung von $S_{1(f)}$ reduziert werden, kann mit viel höherer Frequenz abgetastet (Überabtastung) (siehe Abbildung 1.2f) werden. Durch diesen Vorgang werden die spektralen Kopien weiter voneinander getrennt, die Datenrate des nun vorliegenden Signals $S_{1DU(t)}$ ist jedoch um den Faktor der Überabtastung (k) höher. Soll die Datenrate auf die ursprüngliche von $S_{1D(f)}$ reduziert werden, muss vor der Dezimation (Reduktion der Datenrate) wiederum eine Bandbegrenzung stattfinden $H_{2D(f)}$. Der Vorteil

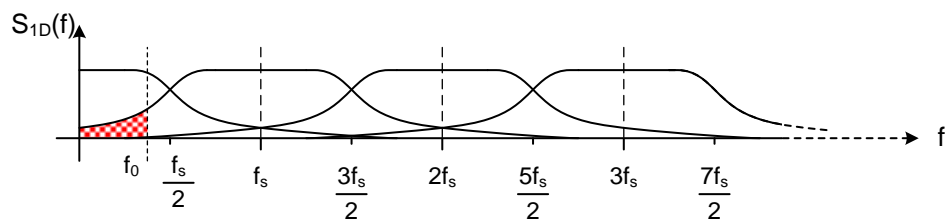
liegt darin, dass dieses Filter digital realisiert werden kann. Ein Verringern der Datenrate im Digitalen, ruft dieselben Alias-Effekte hervor, wie die Abtastung von analogen Signalen. Mittels eines Antialiasing-Filters geringer Ordnung in Verbindung mit Überabtastung, digitaler Filterung und anschließender Dezimation, kann das selbe Ergebnis erzeugt werden wie die Abtastung mit niedriger Frequenz und Antialiasing-Filter hoher Ordnung (vergleiche Abb. 1.2e mit 1.2g) ergibt. Durch die Überabtastung kann ein möglicherweise schwierig zu realisierendes analoges Antialiasing-Filter durch ein einfaches in Kombination mit einem Digitalen ersetzt werden.



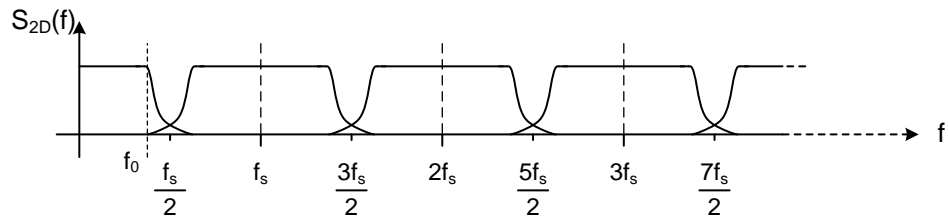
(a) Spektrum eines beliebigen Signals $S(f)$. Tiefpässe niedriger $H_1(f)$ und hoher $H_2(f)$ Ordnung



(b) Bandbegrenztes Signal $S_1(f)$ mittels Tiefpassfilter $H_1(f)$ (c) Bandbegrenztes Signal $S_2(f)$ mittels Tiefpassfilter $H_2(f)$



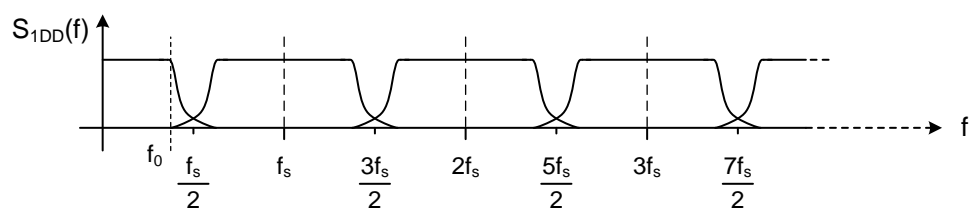
(d) Aliasing im Nutzband $S_{1D}(f)$ durch Abtastung nach unzureichender Filterung $H_1(f)$



(e) Unterdrückung von Aliasing im Nutzband $S_{2D}(f)$ nach Tiefpassfilter $H_2(f)$



(f) Unterdrückung von Aliasing im Nutzband $S_{1DU}(f)$ durch Überabtastung $k \cdot f_s$



(g) Spektrum von $S_{1DU}(f)$ nach digitaler Filterung mit $H_{2D}(f)$ und anschließender Dezimierung um k

Abbildung 1.2: Zusammenhang zwischen Aliasing und Überabtastung in Anlehnung an [9]

1.2.2 Quantisierung

Als Quantisierung wird der Vorgang bezeichnet, bei dem einem abgetasteten Signal ($x_{(n)}$ siehe Abbildung 1.1a), welches zeitdiskret aber wertkontinuierlich ist, ein digitaler Code zugeordnet wird ($y_{(n)}$). Da bei diesem Vorgang einem beliebigen Signalwert mit unendlicher Vielfalt an möglichen Werten ein Code aus einer endlichen Menge zugeordnet wird, resultiert daraus ein Fehler, der als Quantisierungsfehler bezeichnet wird. Der Quantisierungsfehler stellt eine zusätzliche Rauschquelle im ADU-System dar.

Das einfachste Beispiel für einen Quantisierer ist ein Inverter, welcher das zeitdiskrete und wertkontinuierliche Signal $x_{(n)}$ einem von zwei Digitalcodes (1-Bit $\cong 2^1 = 2$ Stufen) zuordnet. Dieser 1-Bit ADU „vergleicht“ das Eingangssignal $x_{(n)}$ mit einer Referenzspannung (z. B. $\frac{v_{dd}}{2}$) und entscheidet, ob es größer ($y_{(n)} = 1$) oder kleiner ($y_{(n)} = 0$) die Referenz ist.

Unabhängig von der Auflösung liegt der Quantisierungsfehler eines idealen ADUs zwischen $\pm \frac{LSB}{2}$. Die Wahrscheinlichkeit des Quantisierungsfehlers zwischen $\pm \frac{LSB}{2}$ ist gleich verteilt (siehe [5, Fig. 15.7]) d.h. Quantisierungsrauschen ist weißes Rauschen. Es kann gezeigt werden, dass der Effektivwert der Quantisierungsrauschleistung im Frequenzbereich von $\pm \frac{f_s}{2}$ immer

$$P_q = \frac{LSB^2}{12} \quad (1.2)$$

beträgt (siehe Abbildung 1.3a und [23, Eq. 3.3]).

Diese Eigenschaft kann ausgenutzt werden, indem man durch Überabtastung die Signalbandbreite künstlich erhöht und danach durch digitale Filterung den nicht benötigten Frequenzbereich entfernt. In Abbildung 1.3b kann man sehen, dass vorerst durch die Erhöhung der Abtastfrequenz f_s um die **oversampling ratio (OSR)** die Quantisierungsrauschleistung P_q gleich der der Nyquist-Abtastung (siehe Abbildung 1.3a) ist. Begrenzt man jedoch mittels idealer Filterfunktion $H(f)$ die Bandbreite auf die ursprüngliche Größe $\pm f_0$, hat sich die P_q im Nutzband um den Faktor $\frac{1}{OSR}$ (siehe Abbildung 1.3c) reduziert.

Eine der wichtigsten Kenngrößen eines Signalverarbeitungssystems liefert das **Signal to Noise Ratio (SNR)**.

Angenommen ein idealer Nyquist-ADU (Abtastung mit minimal erlaubter Frequenz f_N) löst Eingangssignale zwischen 0 und V_{ref} auf, ergibt sich für den gleichanteilsfreien Effektivwert V_{in} und dessen Leistung P_{in} :

$$V_{in} = \frac{\hat{V}_{ref}}{2\sqrt{2}} \quad (1.3)$$

$$P_{in} = V_{in}^2 = \frac{V_{ref}^2}{8} \quad (1.4)$$

Für das **Least Significant Bit (LSB)** eines N -Bit Quantisierers ergibt sich

$$LSB = \frac{V_{ref}}{2^N} \quad (1.5)$$

$$P_q = \frac{LSB^2}{12} = \frac{V_{ref}^2}{12 \cdot 2^{2N}} = \frac{V_{ref}^2}{12 \cdot 2^{2N}} \quad (1.6)$$

Nach [23, Eq. 3.4] kann das (bei Vollaussteuerung) maximal erreichbare **SNR** mittels N -Bit Quantisierers, wie folgt berechnet werden:

$$\begin{aligned} SNR_{max} \text{ (dB)} &= 10 \cdot \log_{10} \left(\frac{P_{in}}{P_q} \right) \\ &= 10 \cdot \log_{10} \left(\frac{\frac{V_{ref}^2}{8}}{\frac{V_{ref}^2}{12 \cdot 2^{2N}}} \right) \\ &= 10 \cdot \log_{10} \left(\frac{\frac{V_{ref}^2}{8}}{\frac{V_{ref}^2}{12 \cdot 2^{2N}}} \right) \\ &= 10 \cdot \log_{10} \left(\frac{3 \cdot 2^{2N}}{2} \right) \approx 6,02N + 1,76 \end{aligned} \quad (1.7)$$

Wird die Formel (1.7) anders angeschrieben, kann die **Effective Number of Bits (ENOB)** aus einem **SNR** bestimmt werden.

$$ENOB_{(Bit)} = \frac{SNR_{max} \text{ (dB)} - 1,76}{6,02} \quad (1.8)$$

Um die resultierende Auflösung eines Quantisierers um 1 Bit zu verbessern, muss das **SNR** um 6 dB erhöht werden.

Durch Verwendung von Überabtastung (siehe Abbildung 1.1b) wird die Quantisierungsrerausleistung P_q auf einen breiteren Frequenzbereich verteilt (vergleiche Abbildung 1.3a mit Abbildung 1.3b).

Da P_q unabhängig von der Abtastfrequenz f_s immer gleich groß ist,

$$P_q = \int_{-\frac{f_s}{2}}^{\frac{f_s}{2}} S_q(f)^2 df = \frac{LSB^2}{12} \quad (1.9)$$

ergibt sich für den Effektivwert des Quantisierungsrauschens

$$S_q = \frac{LSB}{\sqrt{12}} \cdot \sqrt{\frac{1}{f_s}} \quad (1.10)$$

Die **OSR** ([23, Eq. 3.6]) gibt an, um welchen Faktor die aktuelle Abtastfrequenz höher als die nach dem Abtasttheorem mindestens erforderliche Nyquistfrequenz $f_N \geq 2 \cdot f_0$ ist.

$$OSR = \frac{f_s}{2f_0} \quad (1.11)$$

Berechnet man nun die im Nutzband vorkommende Quantisierungsrauschleistung (siehe Abbildung 1.3c)

$$\begin{aligned} P_{q0} &= \int_{-\frac{f_s}{2}}^{\frac{f_s}{2}} S_q(f)^2 \cdot |H(f)|^2 df \\ &= \int_{-f_0}^{f_0} S_q(f)^2 df = \frac{LSB^2}{12} \cdot \frac{1}{OSR} \end{aligned} \quad (1.12)$$

erkennt man, dass die Quantisierungsrauschleistung im Nutzband im Gegensatz zur Nyquist-Abtastung um den Faktor der **OSR** reduziert wird.

Für das resultierende **SNR** bei Überabtastung ergibt dies:

$$\begin{aligned} SNR_{max} &= 10 \cdot \log_{10} \left(\frac{P_{in}}{P_{q0}} \right) \\ &\approx 6.02N + 1.76 + 10 \cdot \log_{10} (OSR) \end{aligned} \quad (1.13)$$

Jede Verdoppelung der **OSR** erhöht das **SNR** um 3 dB/Oktave was 0,5 Bit/Oktave (siehe (1.8)) entspricht.

Ein weiterer Vorteil von Überabtastung ist, dass sich die Anforderungen an den „analogen“ Antialiasing-Filter reduzieren (siehe Abbildung 1.2f). Ein analoger Filter mit höherer Grenzfrequenz oder geringerer Ordnung kann in ICs einfacher realisiert werden.

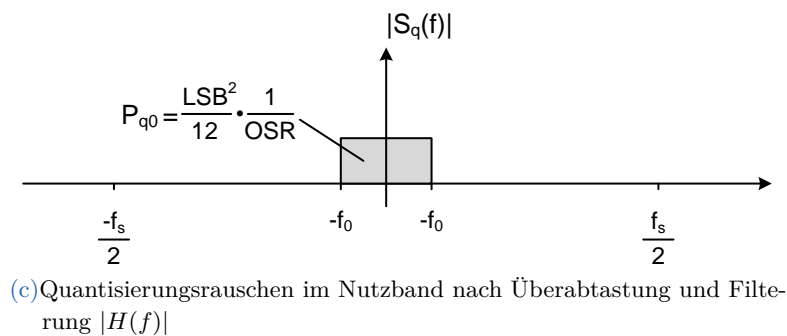
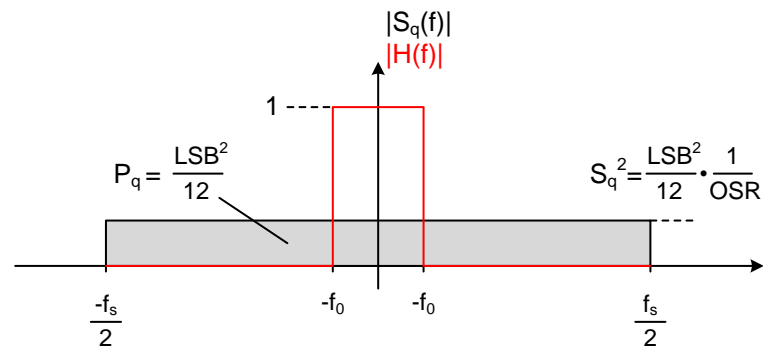
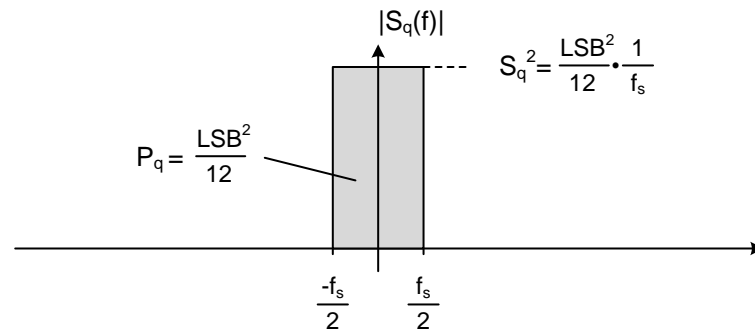


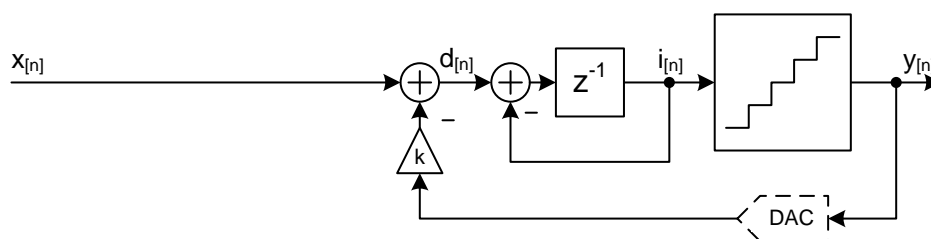
Abbildung 1.3: Quantisierungsrauschen bei Nyquist-Abtastung und Überabtastung (in Anlehnung an [23, Figure 3.9, 3.11])

Will man beispielsweise die Auflösung eines Nyquist-ADUs mit einer Abtastfrequenz von $f_{s1} = 20$ kHz um z. B. 4 Bit erhöhen, muss f_{s1} 8 mal verdoppelt werden, was einem Faktor von $2^8 = 256$ entspricht. Dies ergibt eine benötigte Abtastfrequenz von $f_{s2} = 5,12$ MHz.

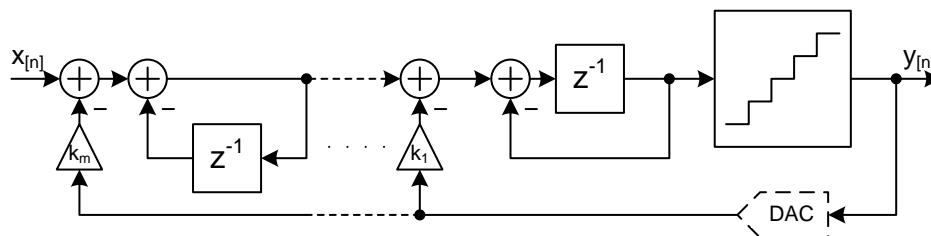
Die Überabtastung bringt zwar Vorteile, jedoch werden schnell sehr hohe Abtastfrequenzen benötigt. Um den Einfluss der OSR weiter zu erhöhen, wird das Prinzip der Rauschformung verwendet.

1.2.3 Rauschformung

Mittels Rauschformung wird versucht, das Quantisierungsrauschen, welches durch Überabtastung im Nutzband übrig bleibt, weiter zu reduzieren, indem es vom Nutzband in andere Frequenzbereiche verlagert wird. Das Ziel ist es eine Struktur zu finden, die das Quantisierungsrauschen im Nutzband stark dämpft, das Nutzsignal aber nicht beeinflusst (siehe Abbildung 1.1c) und so das SNR im Nutzband erhöht. Die kann mittels $\Delta\Sigma$ -Modulator (siehe Abbildung 1.4) anstelle eines einfachen Quantisierers (wie beim überabtastenden ADU-System in Abbildung 1.1b) erreicht werden.



(a) $\Delta\Sigma$ -Modulation erster Ordnung



(b) $\Delta\Sigma$ -Modulation m-ter Ordnung

Abbildung 1.4: Quantisierung mittels $\Delta\Sigma$ Modulation (in Anlehnung an [5, Fig. 18.7, 18.10])

Im einfachsten Fall wird der Quantisierer mit einem Integrator erweitert und rückgekoppelt (siehe Abbildung 1.4a). Durch die Bildung der Differenz von Eingangssignal und quantisiertem Wert wird die Abweichung (Fehler) rückgekoppelt integriert (gespeichert) und anschließend quantisiert. Im Gegensatz zu einem einfachen Quantisierer ohne Rückkopplung wird mittels $\Delta\Sigma$ -Modulator die zusätzliche Information über die Abweichung verwendet um dadurch das Quantisierungsrauschen weiter zu verringern.

Angenommen als Quantisierer wird ein Komparator (1-Bit Quantisierer) verwendet und $k = 1$. Bei konstantem Eingangssignal $x_{[n]} = \frac{3}{4} = 0,75$ ergeben sich die Signalwerte in Tabelle 1.1 (Signale siehe Abbildung 1.4a):

n	$x_{[n]}$	$d_{[n]}$	$i_{[n]}$	$y_{[n]}$	\bar{y}
0	0,75	0,75	0,75	1	1
1	0,75	-0,25	0,5	1	1
2	0,75	-0,25	0,25	0	0,6667
3	0,75	0,75	1	1	0,75
4	0,75	-0,25	0,75	1	0,8
5	0,75	-0,25	0,5	1	0,8333
6	0,75	-0,25	0,25	0	0,7143
7	0,75	0,75	1	1	0,75
8	0,75	-0,25	0,75	1	0,7778
9	0,75	-0,25	0,5	1	0,8
↓	↓	↓	↓	↓	↓
498	0,75	-0,25	0,25	0	0,7495
499	0,75	0,75	1	1	0,75
500	0,75	-0,25	0,75	1	0,7505

Tabelle 1.1: Beispiel Signalverlauf MOD1

$$d_{[-1]} = i_{[-1]} = y_{[-1]} = 0$$

Bildet man nun jeweils den Mittelwert \bar{y} der Werte zwischen $y_{[0]}$ und $y_{[n]}$ nähert sich dieser mit steigendem n immer näher dem idealen DC-Wert an. Im Idealfall kann dadurch jede beliebige Genauigkeit erreicht werden, solange man nur genügend Werte zur Verfügung hat. Diese Eigenschaft wird bei DSADUs genutzt, um je nach Bedarf zwischen Umsetzungsrate und Auflösung abzuwägen.

In Abbildung 1.5 ist der Quantisierungsrauschverlauf unterschiedlicher Modulator Ordnungen im Frequenzbereich dargestellt. Im Gegensatz zum überabtastenden ADU (MOD0) kann das Quantisierungsrauschen im Nutzband durch Verwendung höherer Ordnungen weiter verringert werden. Eine Möglichkeit Modulatoren mit größerer Ordnung zu realisieren, wird in Abbildung 1.4b gezeigt.

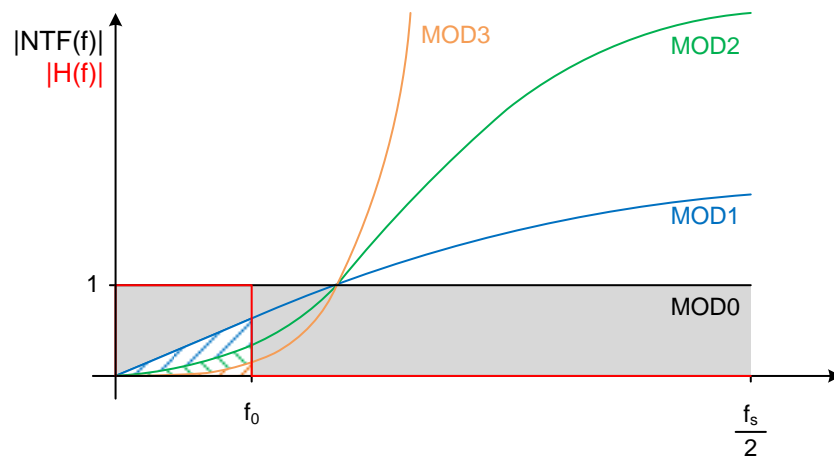


Abbildung 1.5: Einseitige Darstellung der Übertragungsfunktionen unterschiedlicher Rauschformungsordnungen (in Anlehnung an [23, Figure 3.23])

Da das Quantisierungsrauschen außerhalb des Nutzbands sogar verstärkt wird, ist es unumgänglich, vor der Reduktion der Abtastrate (Dezimation) eine digitale Filterung ($H(f)$ siehe Abbildung 1.5) vorzunehmen, um Aliasing zu verhindern.

Mittels folgender Beziehungen kann das maximal erreichbare SNR ([23, Equation (3.23)]) im Nutzband und daraus die ENOB ([8, Figure 2.25]) berechnet werden.

$$SNR_{peak} = 10 \cdot \log_{10} \left[\frac{3\pi}{2} \cdot (2^B - 1) \cdot (2n + 1) \cdot \left(\frac{OSR}{\pi} \right)^{2n+1} \right] \quad (1.14)$$

$$ENOB = \frac{SNR_{peak} - 1,76 \text{ dB}}{6,02 \text{ dB}} \quad (1.15)$$

B ... Anzahl der Quantisierungsbits
 n ... Modulatorordnung

In Abbildung 1.6 ist das max. erreichbare SNR (1.14) bzw. die ENOB (1.15) über die OSR (1.11) eines idealen MOD1 und MOD2 grafisch dargestellt.

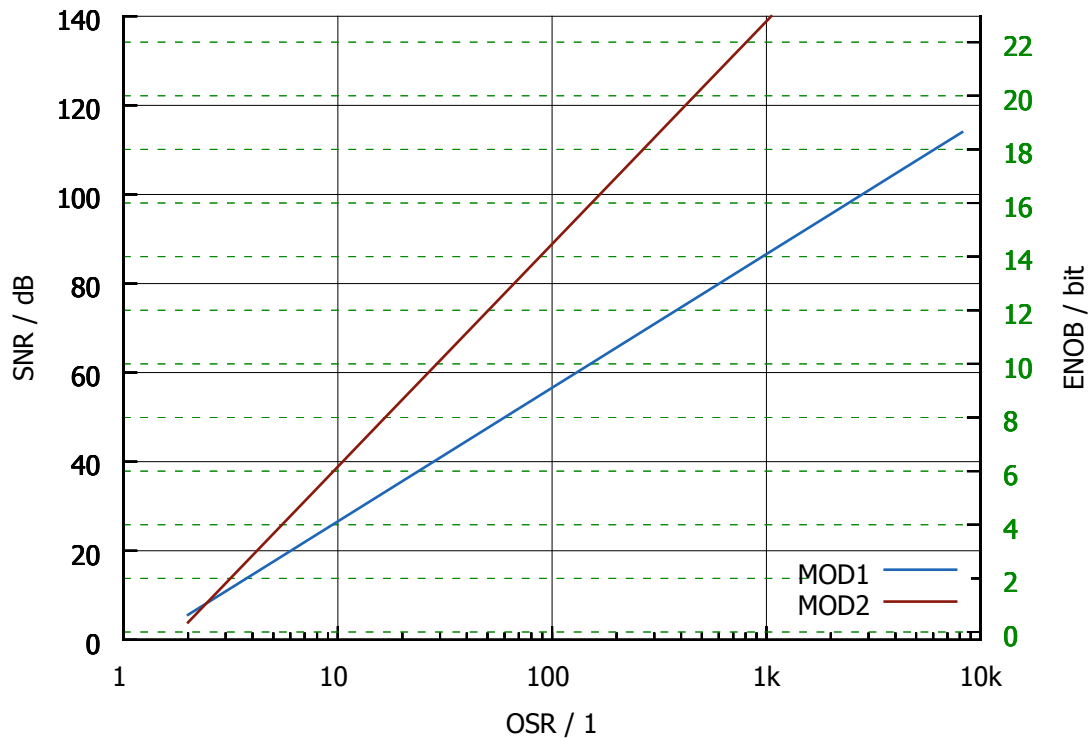


Abbildung 1.6: Maximal mögliches SNR (bzw. ENOB) eines DSADU erster und zweiter Ordnung in Anlehnung an [14, Figure 4.1]

1.3 Kenngrößen

Um ein ADU- oder DAU-System zu charakterisieren und mit anderen zu vergleichen, gibt es eine Menge von Kenngrößen. Leider können diese nicht ohne weiteres aus Datenblättern unterschiedlicher Hersteller verglichen werden, da jeder Hersteller seine eigene „richtige“ Auffassung besitzt. Daher ist es besonders wichtig nicht nur den Wert einer Kenngröße mitzuteilen, sondern auch die Art und Weise wie dieser ermittelt wurde.

Als Grundlage der folgenden Begriffsdefinitionen wird, so weit möglich, das Glossar von „Texas Instruments“ verwendet [2].

Grundsätzlich wird neben allgemeinen Parametern zwischen statischen (DC) und dynamischen (AC) Parametern unterschieden.

1.3.1 Allgemeine Parameter

- **Auflösung**

Die Auflösung beschreibt die maximal mögliche Anzahl an Quantisierungsstufen die der **ADU** pro Umsetzungszyklus zur Verfügung stellt. Sie wird in Bit angegeben, was dem „logarithmus dualis“ der Anzahl an Quantisierungsstufen entspricht. Eine Auflösung von 10 Bit entspricht $2^{10} = 1024$ Stufen. Es ist darauf hinzuweisen, dass der Begriff Auflösung nur die maximale Anzahl an Quantisierungsstufen beschreibt, jedoch lässt diese Information keinen Rückschluss auf die tatsächlich erreichbare Genauigkeit zu. Für diesen Begriff ist es bedeutungslos, ob eine Änderung des digitalen Worts am Ausgang durch das Nutzsignal oder durch Rauschen verursacht wird.

- **Genauigkeit** (effektive Auflösung)

Unter Genauigkeit versteht man die unter Berücksichtigung sämtlicher Fehler resultierende, effektive Auflösung eines **ADU**-Systems. Im Gegensatz zur Auflösung kann hier ein Rückschluss auf die „Qualität“ eines **ADUs** getätigt werden. In Datenblättern wird dieser Parameter meist nicht erwähnt, sondern alle Fehler werden separat angegeben, da manche für eine bestimmte Anwendung irrelevant sind bzw. korrigiert werden können.

- **Quantisierungsfehler**

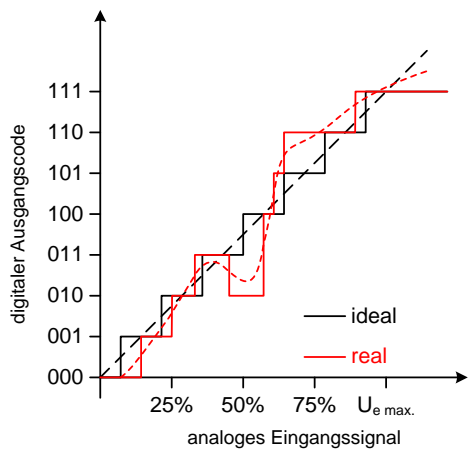
Als Quantisierungsfehler bezeichnet man die unvermeidbare Abweichung des digitalisierten Werts vom tatsächlichen Eingangswert. Der Fehler beträgt bei einem idealen **ADU** $\pm 1/2$ **LSB**. Das dadurch hervorgerufene Quantisierungsrauschen beträgt immer $LSB/\sqrt{12}$ (rms) und kann nicht verhindert werden.

- **Umsetzungsrate**

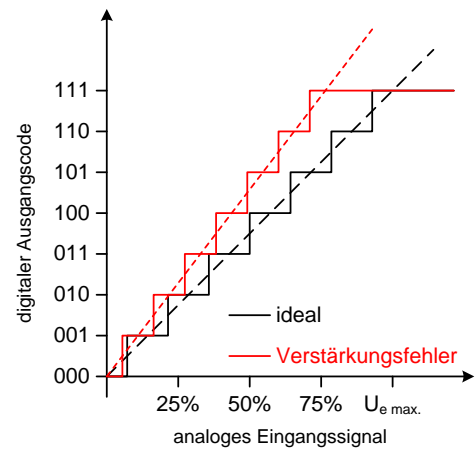
Als Umsetzungsrate wird die Frequenz bezeichnet, mit der der **ADU** vollständige Digitalcodes mit angegebener Auflösung kontinuierlich liefern kann.

1.3.2 Statische Parameter

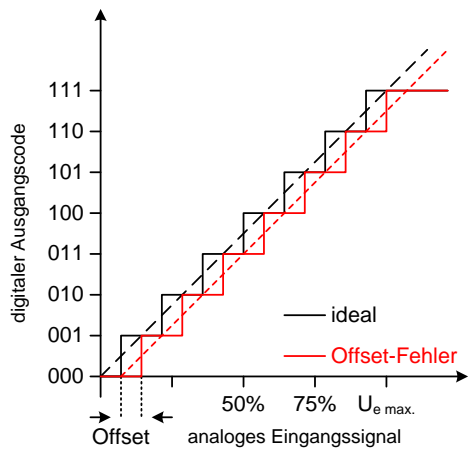
Die statischen Parameter charakterisieren das Verhalten eines **ADUs** bei **DC**-Eingangssignalen. Ein wichtiges Instrument zur Visualisierung dieses Verhaltens ist die Übertragungsfunktion (siehe Abbildung 1.7a), welche das Eingangs- mit dem Ausgangssignal gegenüberstellt. Die Abweichungen der realen von der idealen Übertragungsfunktion, können wie folgend aufgelistet, differenziert werden.



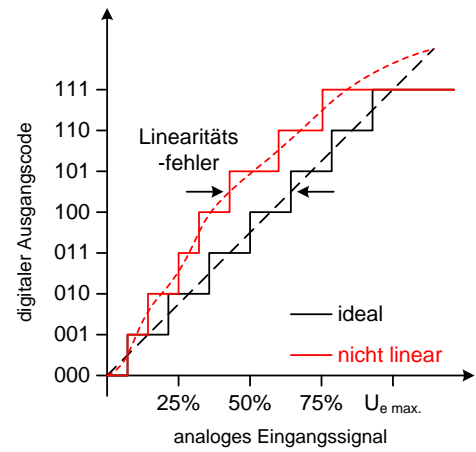
(a) Beispiel einer realen Übertragungsfunktion eines ADUS



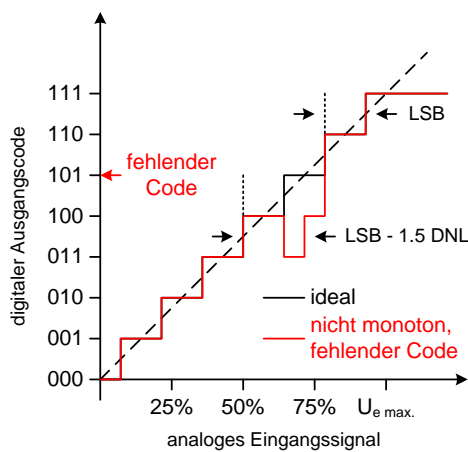
(b) Verstärkungsfehler



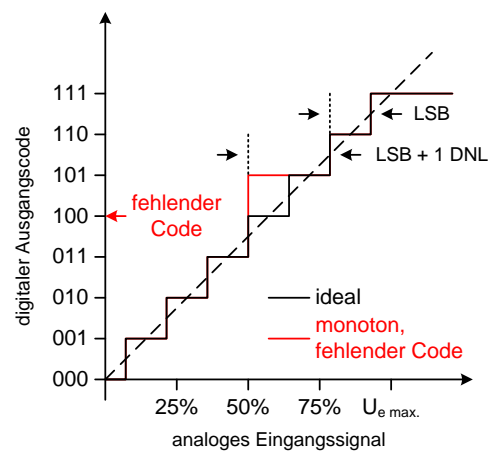
(c) Offset-Fehler



(d) Linearitätsfehler



(e) nicht monotone Übertragungsfunktion mit fehlendem Code



(f) monotone Übertragungsfunktion mit fehlendem Code

Abbildung 1.7: Unterschiedliche Fehlerarten von ADUS (in Anlehnung an [2])

- **Verstärkungsfehler**

Der Verstärkungsfehler (siehe Abbildung 1.7b) gibt an, um welchen Faktor die Übertragungsfunktion eines ADUs von der idealen abweicht. Der Offset-Fehler wird dabei ignoriert. Durch Trimmen der Anologschaltung bzw. digitale Korrektur kann der Verstärkungsfehler korrigiert werden.

- **Offset-Fehler**

Eine Abweichung des Digitalwerts bei 0 V Eingangsspannung wird als Offset-Fehler (siehe Abbildung 1.7c) bezeichnet. Auch dieser kann entweder durch spezielle Schaltungsmaßnahmen im Analogteil („Autozero“, „Choppen“, etc.) oder digital kompensiert werden.

- **Integrierender Linearitätsfehler**

Der integrierende Linearitätsfehler (siehe Abbildung 1.7d) gibt die maximale Abweichung zwischen der realen und der idealen Übertragungsfunktion nach Abzug des Offset- und Verstärkungsfehlers an. Bei der Angabe dieses Fehlers gibt es zwischen den Herstellern zwei unterschiedliche Auffassungen. Entweder vergleicht man die Übertragungsfunktionen, wenn deren Anfangs- und Endpunkte übereinander liegen (Endpunkt-Übertragungsfunktion), oder man legt die Übertragungsfunktionen so übereinander, dass die maximale Abweichung so klein wie möglich wird („best-fit“-Methode). Grundsätzlich können Linearitätsfehler nicht kompensiert werden, da diese von sehr vielen äußeren Parametern beeinflusst werden (Alter, Temperatur, etc.) und so nicht genau genug vorhergesagt werden können.

- **Differenzieller Linearitätsfehler**

Die treppenförmige, ideale Übertragungsfunktion eines ADUs hat eine Quantisierungsstufenhöhe von genau 1 LSB. Unter Differential Nonlinearity (DNL) versteht man die Abweichung der realen Quantisierungsstufe vom Idealwert 1 LSB. Eine DNL von mehr als ± 1 LSB kann nicht nur fehlende Codes, sondern auch eine nicht monotone Übertragungsfunktion verursachen (siehe Abbildung 1.7e). Auch die DNL kann wegen ihrer Komplexität nicht kompensiert werden.

- **Monotonie**

Eine Übertragungsfunktion ist monoton, wenn sich der Digitalwert bei einer Erhöhung der analogen Eingangsspannung ebenso erhöht oder gleich bleibt (siehe Abbildung 1.7f), das heißt, die Übertragungsfunktion ist stetig steigend. Die Monotonie ist eine wichtige Eigenschaft, besonders bei Verwendung des ADUs in Regelungssystemen. Eine Übertragungsfunktion ist monoton, wenn der $DNL \leq \pm 1$ LSB ist.

1.3.3 Dynamische Parameter

Unter dynamische Parameter versteht man Kenngrößen eines ADUs, die mit Hilfe eines AC-Eingangssignals ermittelt wurden. Die dynamischen Parameter stellen Verhältnisse gleicher physikalischer Größen dar, sind dadurch dimensionslos und werden fast ausschließlich in dB angegeben. Für die Berechnungen werden nur die AC-Signalanteile in „positiver Form“ herangezogen als Betrag, Amplitude oder quadratischer Mittelwert (Effektivwert).

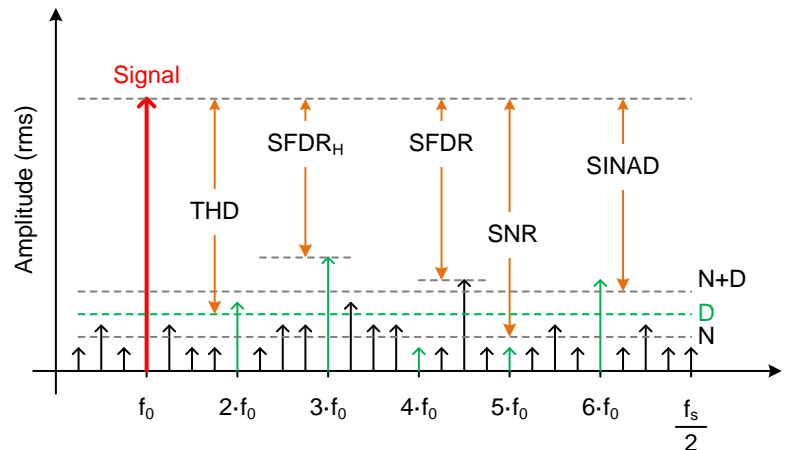


Abbildung 1.8: Übersicht dynamischer Parameter im Spektrum (in Anlehnung an [8, Fig. 2.28]).

N ... Rauschen (Noise)
D ... Verzerrung (Distortion)

- **SNR (signal to noise ratio)**

Das **SNR** gibt an, um wie viel die mittlere AC-Leistung eines Nutzsignals stärker als die des Rauschens ist. Mithilfe dieses Kennwertes kann die Qualität von Signalen bzw. signalverarbeitenden Systemen bewertet werden.

$$SNR_{(dB)} = 10 \cdot \log_{10} \left(\frac{P_S}{P_N} \right) \quad (1.16)$$

$$= 10 \cdot \log_{10} \left(\frac{U_{S(eff.)}^2}{U_{N(eff.)}^2} \right) \quad (1.17)$$

$$= 20 \cdot \log_{10} \left(\frac{U_{S(eff.)}}{U_{N(eff.)}} \right) \quad (1.18)$$

P_S ... mittlere AC Signalleistung
 P_N ... mittlere AC Rauschleistung

Da P_S und P_N an der selben Last umgesetzt werden, kann das **SNR** auch mittels Effektivwerten von Strom oder Spannung berechnet werden.

- **SINAD (signal to (noise and distortion) ratio)**

Durch Nichtlinearitäten in elektronischen Systemen können am Ausgang eines Signalpfads Frequenzen erscheinen, die am Eingang nicht vorhanden waren. Der Kennwert **SINAD** berücksichtigt diese Verzerrungen (P_D), indem sie zum Rauschen (P_N) addiert werden.

$$SINAD_{(dB)} = 10 \cdot \log_{10} \left(\frac{P_S}{P_N + P_D} \right) \quad (1.19)$$

P_D ... mittlere AC Leistung der Verzerrungen

Dieses Verhältnis liefert eine „kritischere“ Beurteilung als das **SNR** und kann im besten Fall gleich groß werden.

- **ENOB (effective number of bits)**

Die **ENOB** ist, ähnlich der Genauigkeit, ein wichtiger Kennwert von **ADUs** und beschreibt, welche Auflösung tatsächlich erreicht wird.

$$ENOB_{(Bit)} = \frac{SINAD_{(dB)} - 1,76 \text{ dB}}{6,02 \text{ dB}} \quad (1.20)$$

- **THD (total harmonic distortion)**

Der Unterschied zwischen **SNR** und **SINAD** kann durch die **Total Harmonic Distortion (THD)** beschrieben werden. Sie gibt das Verhältnis der gesamten Leistung harmonischer Oberwellen zu der der Signalleistung (Grundschwingung) an.

$$THD_{(dB)} = 10 \cdot \log_{10} \left(\frac{P_{S2} + P_{S3} + P_{S4} \dots}{P_{S1}} \right) \quad (1.21)$$

P_{S1} ... mittlere AC Leistung der Grundwelle des Signals

P_{Sn} ... mittlere AC Leistung n-ten Oberwelle des Signals

Oft wird zur Berechnung nach der fünften Oberwelle abgebrochen, da die Leistung in der Regel vernachlässigbar klein ist. Trotzdem sollte angegeben werden, bis zu welcher Harmonischen die Berechnung durchgeführt wird. Zusätzlich sollte auch eine Angabe bezüglich der verwendeten Signalleistung (meist dBFS, dBc) gemacht werden, da diese großen Einfluss auf den Kennwert hat.

- **SFDR (spurious free dynamic range)**

Der Dynamikbereich zwischen dem Signalpegel und dem höchsten Rauschpegel wird als **Spurious Free Dynamic Range (SFDR)** bezeichnet. Bei der Angabe dieses

Parameters ist unbedingt anzugeben, ob die Harmonischen des Signals auch als Rauschen betrachtet ($SFDR_H$) oder die Oberwellen ignoriert werden ($SFDR$) (siehe Abbildung 1.8).

2 Konzept

Das vorgestellte, zeitdiskrete **DSADU**-System erster Ordnung ist in Abbildung 2.1 dargestellt. Durch den voll differentiellen Aufbau entstehen viele Vorteile. Die Gleichaktspannung des Eingangssignals kann prinzipiell auf beliebigem Potential liegen und auch das **SNR** ist durch die differentielle Ausführung größer als im Vergleich zu einer „single-ended“ Implementierung. Das System ist fehlertoleranter gegenüber einer Vielzahl von Störungen, die auf beide Signalpfade wirken.

2.1 Anforderungen und Vorgaben

Die Anforderungen an den **DSADU** basieren größtenteils auf denen des bestehenden **ADUs** im Lichtmaschinenregler. Die Anforderungen bezüglich Auflösung wurden um 3 Bit erhöht, da die Regelgenauigkeit des neuen Systems steigen soll.

Das vorangegangene **ADU**-System wurde mit einem aktiven Filter dritter Ordnung realisiert. Bisherige Erfahrungen zeigen, dass der aktive Filter im Signalpfad zu unterschiedlichen Problemen führen kann. Durch die hohe Abtastrate eines **DSADUs** soll untersucht werden, ob das integrierte Antialiasing-Filter im Gegensatz zum Vorgänger **ADU** als passiver RC-Tiefpass realisiert werden kann. Obwohl in diesem Zusammenhang ein kontinuierlicher **DSADU** durch seinen inhärenten Antialias-Filter zu bevorzugen wäre, soll das System mittels **SC** Schaltung zeitdiskret aufgebaut werden. Der Grund dafür liegt an der verwendeten Technologie, da Kapazitätsverhältnisse sehr gut realisiert werden können.

In Tabelle 2.1 sind die weiteren Anforderungen aufgelistet.

FSR	5 V bis 25 V
Auflösung	13 Bit
zulässiger Eingangsspannungsbereich	0 V bis 40 V
Temperaturbereich	−40 °C bis 175 °C
Umsetzungsrate	2 kHz
Genauigkeit unter DPI -Einfluss (lt. Vorgabe in Abbildungen 2.2 und 2.3)	10 Bit

Tabelle 2.1: Anforderungen

Dem DSADU werden die in Tabelle 2.2 angegebenen Signale zur Verfügung gestellt.

Parameter	Symbol	Nominalwert	Toleranz
Konstantstrom	I_B	10 μ A	$\pm 10\%$
Versorgungsspannung	v_{3cc}	3 V	$\pm 10\%$
Referenzspannung	v_{BG}	2,5 V	$\pm 1\%$
Taktfrequenz	f_{clk}	≤ 10 MHz	$\pm 20\%$

Tabelle 2.2: Vorgaben

Um das Schaltungsdesign des Integrators zu erleichtern, wird U_{cm} auf 1,25 V festgelegt, um mehr Spielraum Richtung positiver Versorgung zu haben und dadurch eine höhere U_{Dsat} der p-Kanal MOSTs (PMOSTs) erlaubt ist (näheres siehe Kapitel 3.2).

Die minimale OSR für einen Modulator mit erster Ordnung und einer geforderten Auflösung von 13 Bit kann aus Abbildung 1.6 mit 600 festgelegt werden. Bei der geforderten Umsetzungsrate von 2 kHz beträgt die minimale Abtastfrequenz laut Gleichung (1.11) $f_s = 2,5$ MHz.

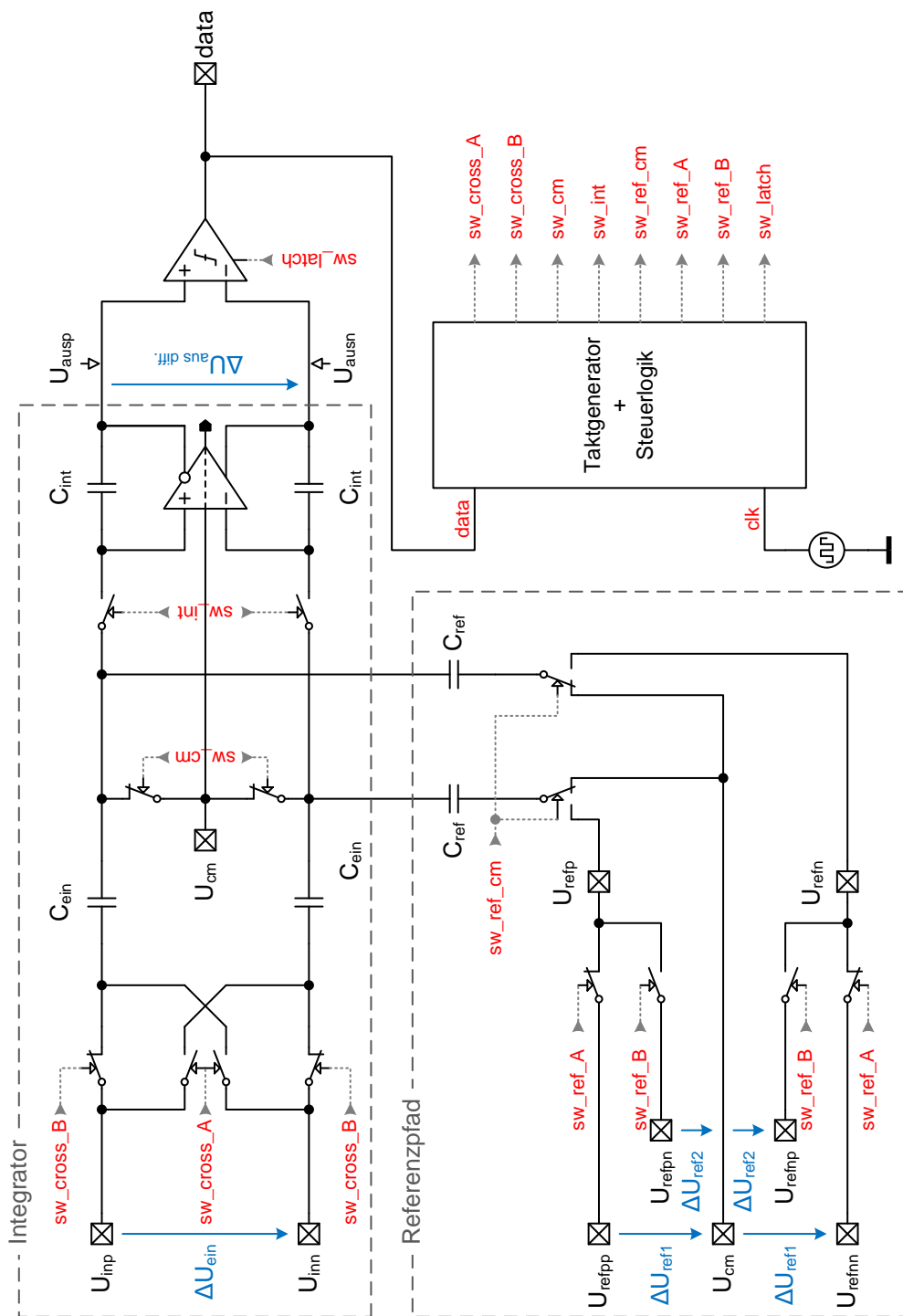


Abbildung 2.1: Überblick des DSADU - Systems

Unerwünschte Nebeneffekte von DSADUs

Bei der Verwendung von DSADUs können Effekte wie „Idle Tones“ und Dead Zones (DZs) auftreten. Ungünstigerweise sind diese bei Modulatoren erster Ordnung am stärksten ausgeprägt.

Angenommen am Eingang des DSADUs liegt eine konstante Gleichspannung von 75 % der FSR an, so entsteht am Ausgang y lt. Tabelle 1.1 ein wiederkehrendes Muster 1110. Sobald das Eingangssignal durch einen Bruch darstellbar ist, entsteht am Ausgang zwangsweise eine periodische Sequenz. Dieser Effekt wird im Spektrum des Ausgangssignals als sog. „Idle Tones“ sichtbar. Je größer der Zähler des zu Grunde liegenden Bruchs wird, desto länger wird dieses Muster, und die „Idle Tones“ dringen bis in das Nutzband vor. Dadurch können diese Störungen nicht mehr durch das Dezimationsfilter entfernt werden und beeinträchtigen folglich das SNR. Dieser Effekt kann mithilfe von „Dithering“, dem beabsichtigten Hinzufügen von Rauschen, reduziert werden. Da die zu messende Batteriespannung V_{BA} während dem Generatorbetrieb massiv gestört ist und dadurch keine konstanten DC Eingangssignale vorliegen, spielt dieser Effekt für das vorgestellte System keine große Rolle und wird nicht weiter untersucht [21, S.41ff].

Die Auswirkung der DZ auf den DSADU werden in Kapitel 2.4 genauer behandelt, da der Effekt durch die endliche Leerlaufverstärkung hervorgerufen wird.

Erfreulicherweise nehmen die genannten negativen Effekte mit zunehmender OSR ab [14, S.8ff].

2.2 Eingangspfad

Um ein Antialiasing-Filter korrekt auszulegen, muss die zu erwartende Störung bekannt sein. Als Grundlage dafür dient die DPI-Störfestigkeit des Vorgängersystems.

Die exakte Durchführung einer DPI Messung wird in der Norm [13] beschrieben. Zusammengefasst wird bei dieser Messung ein definierter Frequenzbereich (hier 100 kHz bis 1 GHz) schrittweise durchlaufen und bei jeder Frequenz die Störleistung so lange erhöht, bis ein vorher definiertes Fehlerkriterium erreicht wird. Danach werden die einzelnen Maximalwerte über die jeweilige Frequenz aufgetragen. Die maximal erlaubte DPI-Leistung des Vorgängersystems ist in Abbildung 2.3 dargestellt.

Um die zu erwartende Störampplitude am Eingang des ADUs zu ermitteln, wird das Gesamtsystem des Vorgängers nachgestellt (siehe Abbildung 2.2). Der Block „IC-Eingangsstrukturen“ steht für alle restlichen Schaltungen am Chip, die direkt mit dem Batteriepin V_{BA} verbunden sind. Der markierte Bereich „ADU-Eingangspfad“ soll die Signalkonditionierung des DSADUs vornehmen.

Prinzipiell gibt es zwei Möglichkeiten die Konditionierung vorzunehmen. Entweder wird der Eingangsspannungspegel V_{BA} direkt in den **DSADU** geleitet, oder vorher mittels Spannungsteiler heruntergesetzt. Um die Realisierung des **ADUs** zu vereinfachen, wird ein 10:1 Spannungsteiler eingesetzt.

Im vorgestellten Konzept soll das Antialiasing-Filter durch einen einfachen RC-Tiefpass realisiert werden. Durch Hinzufügen der Kapazität C_{TP} wird die Bandbreite des V_{BA} - Signals begrenzt.

Störungen bis zur halben Abtastfrequenz werden laut (1.1) korrekt abgetastet und können gegebenenfalls mittels digitalen Filters unterdrückt werden. Für alle Frequenzen die größer sind entsteht Aliasing (Kapitel 1.2.1). Diese Frequenzanteile müssen mittels Antialiasing-Filter vor dem Abtasten so stark gedämpft werden, dass die Amplitude des Nutzsignals weniger als ein **LSB** beeinträchtigt wird.

Da die geforderte Umsetzungsrate (Tabelle 2.1) nur 2 kHz beträgt, könnte eine sehr niedrige Filter-Grenzfrequenz f_g festgelegt werden. Dazu werden jedoch eine große Kapazität und/oder ein großer Widerstand benötigt, was wiederum zu einem großen Flächenbedarf führt. Zu dieser Einschränkung kommt noch hinzu, dass am Längswiderstand des RC - Tiefpasses bei Belastung ein Spannungsabfall auftritt, welcher so klein wie möglich gehalten werden sollte, um das Messsignal so gering wie möglich zu beeinträchtigen.

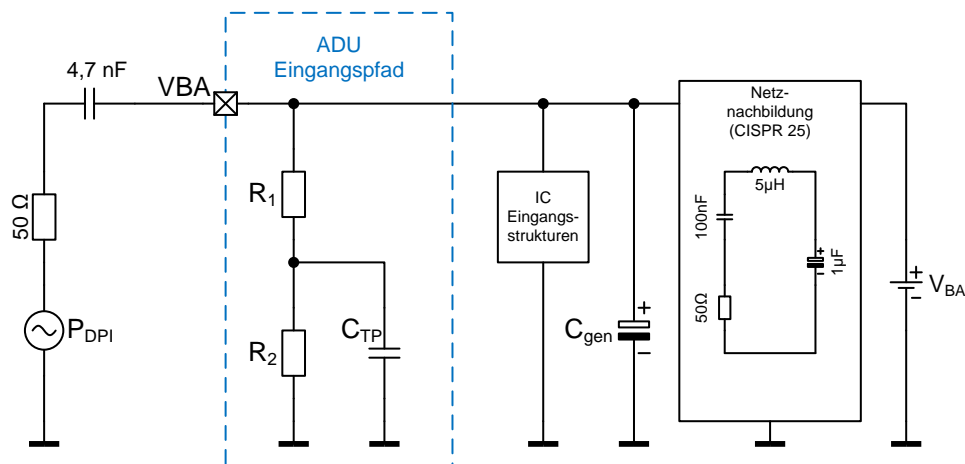


Abbildung 2.2: Testschaltung DPI

Je nach definierter Fehlerklasse, in diesem Fall A (Tabelle 2.1), muss während der Störungsbeaufschlagung noch eine effektive Auflösung von 10 Bit gewährleistet werden.

Der maximale Querstrom bei $V_{BA_{max.}} = 40 \text{ V}$ ist definiert mit

$$I_{q \text{ max.}} = 2 \text{ mA} \quad (2.1)$$

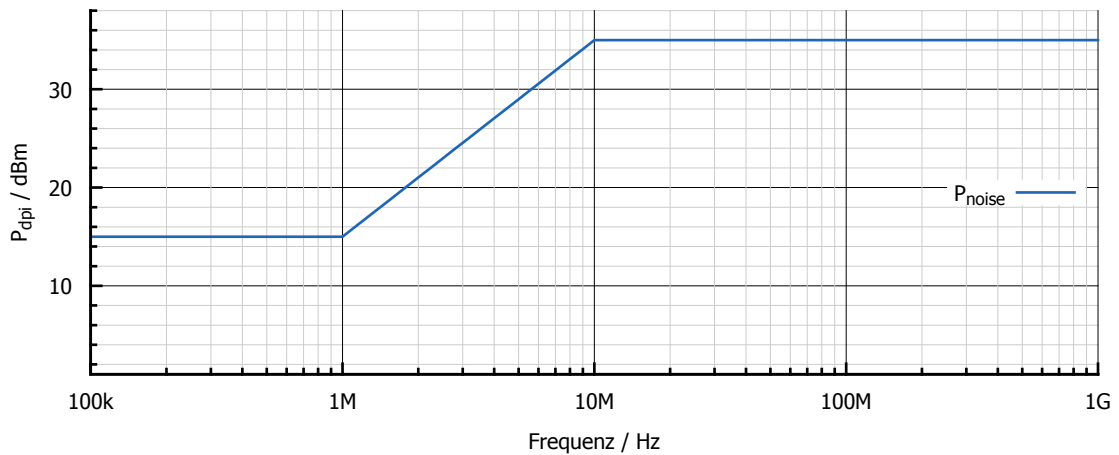


Abbildung 2.3: Vorgegebener DPI-Störleistungsverlauf

und führt zu einem Gesamtwiderstand von

$$R_g = R_1 + R_2 = \frac{VBA_{max.}}{I_q} = 20 \text{ k}\Omega \quad (2.2)$$

Für das Teilungsverhältnis 10 : 1, betragen die Widerstände

$$R_1 = 18 \text{ k}\Omega \quad (2.3)$$

$$R_2 = 2 \text{ k}\Omega \quad (2.4)$$

Die Grenzfrequenz der Struktur beträgt:

$$f_g = \frac{1}{2\pi R_{ac} \cdot C_{TP}} \quad (2.5)$$

Wechselspannungsmäßig betrachtet gilt:

$$R_{ac} = \frac{R_1 \cdot R_2}{R_1 + R_2} = 1,8 \text{ k}\Omega \quad (2.6)$$

Die erforderliche C_{TP} kann mittels der DPI-Simulation (Abbildung 2.2) ermittelt werden, ist aber mit maximal 30 pF begrenzt. Bedauerlicherweise reicht die maximale Kapazität nicht aus um das gewünschte Verhalten zu bewirken. Um den Gesamtwiderstand, aus dem oben genannten Grund, nicht erhöhen zu müssen, wird die Abtastfrequenz f_s auf 10 MHz erhöht um das Problem zu umgehen.

Die Grenzfrequenz des Filters beträgt:

$$f_g = \frac{1}{2\pi R_{ac} \cdot C_{TP}} \approx 2,95 \text{ MHz} \quad (2.7)$$

In Abbildung 2.4 ist die Amplitude der Störspannung U_{dpi} nach dem Spannungsteiler mit und ohne Filterkapazität C_{TP} dargestellt. U_{limit} stellt jene Amplitude dar, welche ein LSB für die geforderte Auflösung unter DPI-Einfluss von 10 Bit entspricht ($\frac{2V}{2^{10}} \approx 1,95 \text{ mV}$).

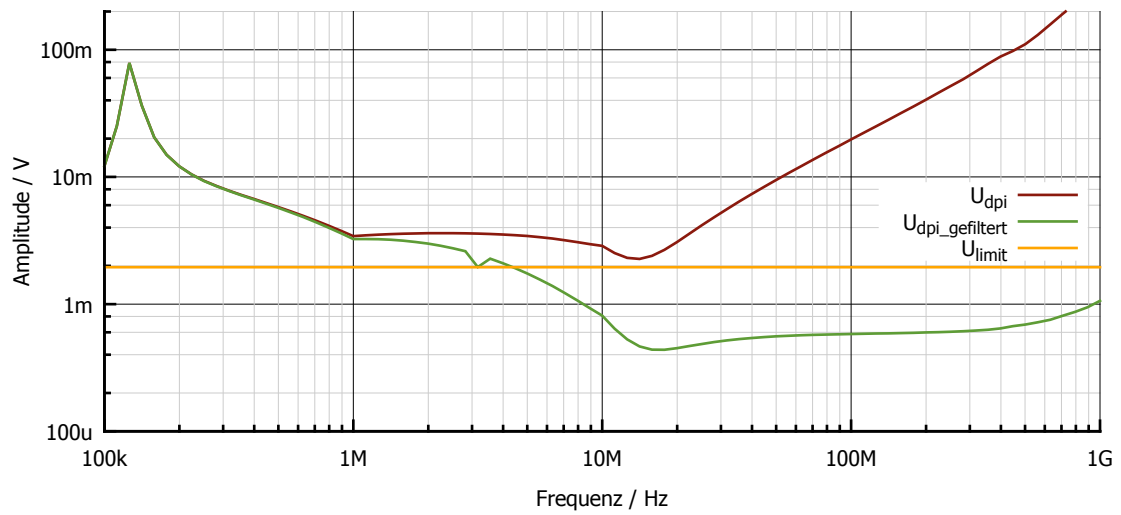


Abbildung 2.4: Störspannungsspektrum bei vorgegebenem Störleistungsverlauf

Für den störungsfreien Normalbetrieb verbessern sich durch das Erhöhen von f_s die theoretisch maximal erreichbaren Parameter auf:

$$OSR = 2500 \quad (2.8)$$

$$SNR_{peak} \approx 98,52 \text{ dB} \quad (2.9)$$

$$ENOB \approx 16,08 \text{ Bit} \quad (2.10)$$

Um die theoretisch mögliche Auflösung auch auszunutzen wird der gesamte Designprozess auf 16 Bit ausgelegt.

2.3 Dimensionierung der Kapazitäten und Referenzspannungen

Das Prinzip des SC-DSADU ist, die vom Eingang eingebrachte Ladung mittels Rückkopplung (Referenzpfad) zu (über-)kompensieren. Solange dies der Fall ist, liefert der DSADU

einen, dem Eingangssignal entsprechenden, Datenstrom. Anderenfalls wird der Integrator gesättigt und der DSADU liefert eine dauerhafte 0 oder 1.

Die Integratorschaltung gleicht eine eventuelle Ladungsdifferenz am Eingang aus, indem sie diese in die Integrationskapazität C_{int} transferiert.

Da in SC-Schaltungen mit jeder Taktänderung Ladungen transferiert werden, ist es von Vorteil für jeden Taktzustand (Schalterposition) die aktuelle Ladungssituation zu bestimmen um anschließend die Ladungsdifferenz zu bilden.

Als Voraussetzung für die Berechnung wird immer von vollständig geladenen Kapazitäten ausgegangen.

Betrachtet man vorerst nur Signale, die mit dem positiven Verstärkereingang verbunden sind für beide Schaltzustände, gilt

- für den Eingangspfad:

$$Q_{ein_p}(n) = C_{ein} \cdot (U_{inp} - U_{cm}) \quad (2.11)$$

$$Q_{ein_p}(n+1) = C_{ein} \cdot (U_{inn} - U_{cm}) \quad (2.12)$$

$$\begin{aligned} \Delta Q_{ein_p} &= C_{ein} \cdot (U_{inn} - U_{inp}) \\ &= C_{ein} \cdot (-\Delta U_{ein}) \end{aligned} \quad (2.13)$$

- für den Referenzpfad:

$$Q_{ref_p}(n) = 0 \quad (2.14)$$

$$Q_{ref_p}(n+1) = C_{ref} \cdot (U_{ref_p} - U_{cm}) \quad (2.15)$$

$$\Delta Q_{ref_p} = C_{ref} \cdot \Delta U_{ref_{1,2}} \quad (2.16)$$

- für den Verstärkerausgang:

$$Q_{aus_p}(n) = C_{int} \cdot (U_{aus_p}(n) - U_{cm}) \quad (2.17)$$

$$Q_{aus_p}(n+1) = C_{int} \cdot (U_{aus_p}(n+1) - U_{cm}) \quad (2.18)$$

$$\Delta Q_{aus_p} = C_{int} \cdot \Delta U_{aus_p} \quad (2.19)$$

Am Verstärkereingang (Summationspunkt) muss gelten:

$$\sum \Delta Q := 0 \quad (2.20)$$

Daraus folgt:

$$0 = C_{ein} \cdot (-\Delta U_{ein}) + C_{ref} \cdot \Delta U_{ref1,2} + C_{int} \cdot \Delta U_{aus_p} \quad (2.21)$$

$$\Delta U_{aus_p} = \frac{\Delta U_{ein} \cdot C_{ein} - \Delta U_{ref1,2} \cdot C_{ref}}{C_{int}} \quad (2.22)$$

Derselbe Rechenvorgang für den negativen Verstärkereingang ergibt:

$$\Delta U_{aus_n} = -\frac{\Delta U_{ein} \cdot C_{ein} - \Delta U_{ref1,2} \cdot C_{ref}}{C_{int}} \quad (2.23)$$

Durch den symmetrischen Aufbau bedingt, erkennt man:

$$\Delta U_{aus_n} = -\Delta U_{aus_p} \quad (2.24)$$

Woraus sich die differentielle Ausgangsspannung ermitteln lässt:

$$\begin{aligned} \Delta U_{aus \text{ diff.}} &= U_{aus_p} - U_{aus_n} = \\ &= (U_{cm} + \Delta U_{aus_p}) - (U_{cm} + \Delta U_{aus_n}) = \\ &= 2 \cdot \frac{\Delta U_{ein} \cdot C_{ein} - \Delta U_{ref1,2} \cdot C_{ref}}{C_{int}} \end{aligned} \quad (2.25)$$

Solange es möglich ist, durch Umschalten der Referenzspannung (ΔU_{ref1} oder ΔU_{ref2}) die Integrationsrichtung (positiv oder negativ) zu ändern, gibt der DSADU einen, dem Eingangssignal entsprechenden, Datenstrom aus. Der Grenzfall, bei dem dies für $\Delta U_{aus \text{ diff.}}$ gerade nicht mehr möglich ist, liegt bei $\Delta U_{aus \text{ diff.}} = 0$. Ansonsten läuft der Integrator nur mehr in eine Richtung, und der Komparator liefert eine dauerhafte 0 oder 1.

$$\Delta U_{aus \text{ diff.}} = 0 \quad (2.26)$$

$$2 \cdot \frac{\Delta U_{ein} \cdot C_{ein} - \Delta U_{ref1,2} \cdot C_{ref}}{C_{int}} = 0 \quad (2.27)$$

$$\Delta U_{ref1,2} = \Delta U_{ein} \cdot \frac{C_{ein}}{C_{ref}} \quad (2.28)$$

Es werden folgende Beziehungen festgelegt:

$$\Delta U_{ref1} \geq \Delta U_{ref2} \quad (2.29)$$

$$\Delta U_{ref1} = U_{ref_{pp}} - U_{cm} = U_{cm} - U_{ref_{nn}} \quad (2.30)$$

$$\Delta U_{ref2} = U_{ref_{pn}} - U_{cm} = U_{cm} - U_{ref_{np}} \quad (2.31)$$

Da einer maximalen Eingangsladung nur mit der größeren Referenzladung (ΔU_{ref1}) entgegengewirkt werden kann bzw. umgekehrt, kommt man zu:

$$\Delta U_{ref1} = \Delta U_{ein_{max}} \cdot \frac{C_{ein}}{C_{ref}} \quad (2.32)$$

$$\Delta U_{ref2} = \Delta U_{ein_{min}} \cdot \frac{C_{ein}}{C_{ref}} \quad (2.33)$$

Berechnung der absoluten Referenzspannungen:

$$U_{ref_{pp}} = U_{cm} + \Delta U_{ein_{max}} \cdot \frac{C_{ein}}{C_{ref}} \quad (2.34)$$

$$U_{ref_{pn}} = U_{cm} + \Delta U_{ein_{min}} \cdot \frac{C_{ein}}{C_{ref}} \quad (2.35)$$

$$U_{ref_{np}} = U_{cm} - \Delta U_{ein_{min}} \cdot \frac{C_{ein}}{C_{ref}} \quad (2.36)$$

$$U_{ref_{nn}} = U_{cm} - \Delta U_{ein_{max}} \cdot \frac{C_{ein}}{C_{ref}} \quad (2.37)$$

Für die geforderte **FSR** nach dem 10:1 -Eingangsspannungsteiler von 0,5 V bis 2,5 V können jetzt die benötigten Referenzspannungen und Kapazitätsverhältnisse berechnet werden. Die zur Verfügung gestellte Bandabstandsreferenz liefert $U_{BG} = 2,5$ V, welche optimaler Weise direkt und ohne weitere Skalierung für die höchste Referenzspannung $U_{ref_{pp}}$ verwendet wird. Zusammen mit der bereits festgelegten $U_{cm} = 1,25$ V kann mittels (2.34) das benötigte Kapazitätsverhältnis von $\frac{C_{ein}}{C_{ref}} = \frac{1}{2}$ ermittelt werden.

Die Referenzspannungen betragen:

$$U_{ref_{pp}} = 1,25 \text{ V} + 2,5 \text{ V} \cdot \frac{1}{2} = 2,5 \text{ V} \quad (2.38)$$

$$U_{ref_{pn}} = 1,25 \text{ V} + 0,5 \text{ V} \cdot \frac{1}{2} = 1,5 \text{ V} \quad (2.39)$$

$$U_{ref_{np}} = 1,25 \text{ V} - 0,5 \text{ V} \cdot \frac{1}{2} = 1 \text{ V} \quad (2.40)$$

$$U_{ref_{nn}} = 1,25 \text{ V} - 2,5 \text{ V} \cdot \frac{1}{2} = 0 \text{ V} \quad (2.41)$$

beziehungsweise differentiell:

$$\begin{aligned} \Delta U_{ref1} &= U_{ref_{pp}} - U_{cm} = \\ &= 2,5 \text{ V} - 1,25 \text{ V} = 1,25 \text{ V} \end{aligned} \quad (2.42)$$

$$\begin{aligned} \Delta U_{ref2} &= U_{ref_{pn}} - U_{cm} = \\ &= 1,5 \text{ V} - 1,25 \text{ V} = 0,25 \text{ V} \end{aligned} \quad (2.43)$$

Ein weiterer Vorteil für $U_{cm} = 1,25\text{ V}$ besteht darin, dass die Referenzspannung $U_{ref_{nn}}$ mit dem gewählten Kapazitätsverhältnis gleich 0 ist und dadurch sehr einfach zu realisiert werden kann. Es müssen nur zwei der vier Referenzspannungen zusätzlich generiert werden.

2.3.1 Festlegen der Integratorkapazität C_{int}

Die letzte, noch unbestimmte Komponente, ist die Integratorkapazität C_{int} . In der Theorie kann diese beliebig dimensioniert werden, da sie auf die prinzipielle Funktion des DSADUs keinen Einfluss hat. Der Ladungstransport vom Eingangs- und Referenzzweig ist unabhängig von C_{int} . Durch Dimensionierung von C_{int} wird nur die Größe der Ausgangsspannung $\Delta U_{aus\ diff.}$ (siehe 2.25) skaliert. Da der Ausgangswert des Komparators nur vom Vorzeichen von U_{aus} abhängt, bleibt dieser unbeeinflusst. Werden jedoch reale Bauteile verwendet, gibt es Einschränkungen für C_{int} .

Der minimale Wert für C_{int} (größtes ΔU_{aus}) ist der Wert, ab dem sichergestellt werden kann, dass der Integrator im „Normalbetrieb“ ($U_{ein_{min}} \leq U_{aus} \leq U_{ein_{max}}$) niemals sättigt. Ist der Spannungssprung zu groß, kann nicht mehr die ganze Ladung gespeichert werden und Information geht dadurch verloren, da durch die Rückkopplung des DSADUs immer versucht wird, das Vorzeichen der aktuellen Integratorspannung zu ändern.

Angenommen die momentane Ausgangsspannung ΔU_{aus_p} ist positiv und das System integriert schrittweise in die negative Richtung. Sobald $\Delta U_{aus_p} < 0$ wird, ändert sich die Referenzspannung und das System integriert in die positive Richtung bis $\Delta U_{aus_p} > 0$ und das Spiel beginnt von vorne.

Betracht man erneut nur den positiven Signalpfad (der Negative verhält sich komplementär), erkennt man folgendes Verhalten. Jeder Änderung der Polarität von ΔU_{aus_p} wird im nächsten Schritt entgegengewirkt, so kann der höchstmögliche Wert für die Ausgangsspannung $U_{aus_p\ max.}$ nur auftreten, wenn sich diese gerade noch nicht geändert hat $\Delta U_{aus_p} = 0$ und darauf das maximal mögliche ΔU_{aus_p} folgt.

Daraus folgt

$$U_{aus_p\ max.} = U_{cm} + \Delta U_{aus_p\ max.} \quad (2.44)$$

durch die Symmetrie der Schaltung (2.24)

$$\begin{aligned} U_{aus_p\ min.} &= U_{cm} + \Delta U_{aus_p\ min.} = \\ &= U_{cm} - \Delta U_{aus_p\ max.} \end{aligned} \quad (2.45)$$

was zur Vollständigkeit folgern lässt:

$$U_{aus_p \ max.} = U_{aus_n \ max.} \quad (2.46)$$

$$U_{aus_p \ min.} = U_{aus_n \ min.} \quad (2.47)$$

Mit den vorherigen Definitionen

$$C_{ref} = 2 \cdot C_{ein} \quad (2.48)$$

$$U_{cm} = 1,25 \text{ V} \quad (2.49)$$

$$U_{ein_{min}} = 0,5 \text{ V} \quad (2.50)$$

$$U_{ein_{max}} = 2,5 \text{ V} \quad (2.51)$$

$$\Delta U_{ref1} = 1,25 \text{ V} \quad (2.52)$$

$$\Delta U_{ref2} = 0,25 \text{ V} \quad (2.53)$$

und (2.22) kann $\Delta U_{aus_p \ max.}$ bestimmt werden

$$\begin{aligned} \Delta U_{aus_p \ max.} &= \max \left(\frac{\Delta U_{ein} \cdot C_{ein} - \Delta U_{ref1,2} \cdot C_{ref}}{C_{int}} \right) = \\ &= \frac{\Delta U_{ein_{max}} \cdot C_{ein} - \Delta U_{ref2} \cdot C_{ref}}{C_{int}} \\ &= 2 \cdot \frac{C_{ein}}{C_{int}} \end{aligned} \quad (2.54)$$

bzw. die absoluten Extremwerte der Spannungen $U_{aus_p \ max.}$ und $U_{aus_p \ min.}$ mittels (2.44) und (2.45)

$$U_{aus_p \ max.} = 1,25 \text{ V} + 2 \cdot \frac{C_{ein}}{C_{int}} \quad (2.55)$$

$$U_{aus_p \ min.} = 1,25 \text{ V} - 2 \cdot \frac{C_{ein}}{C_{int}} \quad (2.56)$$

Differenzielle Verstärkerschaltungen in ICS haben ausgenommen von Spezialfällen, wie „rail to rail“- Schaltungen, einen eingeschränkten Aussteuerbereich. Dies bedeutet, dass die Ausgangsspannung nicht ganz an die Versorgungsspannungen (positiv und negativ) heranreichen kann was auch als „swing“ bezeichnet wird. Wie schon im Kapitel 2.4 erwähnt, wird dieser durch die U_{Dsat} der Ausgangsstufen limitiert.

Um hohe Verstärkungen mit einer einzigen Verstärkerstufe zu erzielen, werden häufig „folded-cascode“ oder „telescopic“- Schaltungen eingesetzt (siehe [17, S. 297ff]). Am Ausgang dieser Schaltungen befinden sich an jeder Versorgung mindestens zwei Transistoren in

Serie. Durch Verwendung von „wide-swing“-Stromspiegeln, kann die Ausgangsspannung im besten Fall $2 \cdot U_{Dsat}$ an die Versorgung heranreichen. Die Verstärkung realer Schaltungen im Aussteuerbereich ist nicht konstant. Je größer die Aussteuerung, umso kleiner wird die Verstärkung. Da bei den bisherigen Berechnungen davon ausgegangen wird, dass der Verstärker absolut linear arbeitet, sollten U_{aus_p} und U_{aus_n} keinesfalls den gesamten möglichen Ausgangsspannungsbereich nutzen, um etwaige Störungen durch diese Nichtlinearität zu vermeiden. Als zusätzlichen „Sicherheitsabstand“ werden 250 mV veranschlagt.

In der verwendeten Technologie können zur ersten Abschätzung für den ungünstigsten Fall folgende Werte angenommen werden:

$$U_{Dsat_n} = 300 \text{ mV} \quad (2.57)$$

$$U_{Dsat_p} = 400 \text{ mV} \quad (2.58)$$

$$U_{res} = 250 \text{ mV} \quad (2.59)$$

Die maximal und minimal erreichbaren Ausgangsspannungen unter Berücksichtigung von U_{res} sind bei $v3cc = 2,7 \text{ V}$:

$$U_{aus_p \text{ max.}} = v3cc - 2 \cdot U_{Dsat_p} - U_{res} = 1,65 \text{ V} \quad (2.60)$$

$$U_{aus_p \text{ min.}} = 2 \cdot U_{Dsat_n} + U_{res} = 0,85 \text{ V} \quad (2.61)$$

Ausgehend von $U_{cm} = 1,25 \text{ V}$ beträgt die max. mögliche, differenzielle Auslenkung lt. (2.44) und (2.54):

$$\Delta U_{aus_p \text{ max.}} = 0,4 \text{ V} = 2 \cdot \frac{C_{ein}}{C_{int}} \quad (2.62)$$

woraus $C_{int \text{ min.}}$ berechnet werden kann:

$$C_{int_{min.}} = 5 \cdot C_{ein} \quad (2.63)$$

Auch für den maximalen Wert für C_{int} (kleinstes $\Delta U_{aus\ max.}$) gibt es Einschränkungen. Es muss sichergestellt werden, dass der Komparator immer das korrekte Ausgangssignal liefert und damit die korrekte Referenzspannung auswählt. Wird die Spannungsdifferenz am Komparatoreingang zu klein, könnte etwaiges Rauschen zu einer „falschen“ Entscheidung führen. Durch die geringe Eingangsdifferenz kann auch die Zeitdauer des Komparators für die Entscheidungsfindung negativ beeinflusst werden.

Für die weitere Dimensionierung wird C_{int} auf sein Minimum festgelegt, da dies für den Komparator die größtmögliche Spannung bereitstellt, bei gleichzeitig minimaler benötigter Chipfläche ($C \sim A$).

Zusammengefasst und auf C_{ein} bezogen, lauten schlussendlich die festgelegten Kapazitätsverhältnisse:

$$C_{ref} = 2 \cdot C_{ein} \quad (2.64)$$

$$C_{int} = 5 \cdot C_{ein} \quad (2.65)$$

2.4 Integrator

Es gibt eine Vielzahl an Möglichkeiten den **SC** Integrator in **DSADUs** zu realisieren. Eine der häufigsten Arten ist die in [5, Kapitel 14.2.3] vorgestellte Variante, die unempfindlich gegenüber Parasiten ist. Wie in Abbildung 1.4 zu sehen, wird irgendwo im Signalpfad eine Zeitverzögerung benötigt, wodurch sich die nicht invertierende, aber zeitverzögernde Variante [5, Fig. 14.11] anbietet.

Als Integratorstruktur wurde für diese Arbeit (siehe 2.1) ein voll differenzieller, bilinear forward-Euler **SC** integrator in Anlehnung an [10, Figure 3.4b] gewählt. Diese Variante hat den Vorteil gegenüber der konventionellen Methode, die doppelte Ladung pro Taktzyklus in die beiden Verstärkereingänge einzubringen und dadurch das **SNR** zu erhöhen [10, Eq. 3.65].

Berechnung der Leerlaufverstärkung

Ein realer Verstärker besitzt eine endliche Leerlaufverstärkung A_0 . Wird mit diesem ein Integrator realisiert, spricht man auch von einem „leaky“ (undichten) Integrator. Die Folge dessen ist, dass Eingangssignale mit einer Abweichung von $< \pm \frac{1}{2A_0}$ keinen Einfluss auf den Ausgang des Modulators haben, wodurch der Bereich **DZ** genannt wird [21, 50ff, Figure 2.24].

Aus dynamischer Sicht (**AC**-Eingangssignale) kann gezeigt werden, dass das **SNR** um weniger als 0,2 dB vermindert wird, wenn

$$A_{0 \text{ AC min.}} \geq \text{OSR} \quad (2.66)$$

solange der Verstärker ein lineares Verhalten zeigt [21, S. 51]. Leider kann ein linearer Verstärkungsverlauf unter allen Betriebsbedingungen schwer realisiert werden. Ein möglicher Ausweg ist, wenn der Verstärker nur in einem kleinen Teil seines möglichen Ausgangsspannungsbereichs betrieben wird.

Die Leerlaufverstärkung sollte demnach für die bereits festgelegte **OSR** mindestens

$$A_{0 \text{ AC min.}} \geq 2500 \quad (2.67)$$

betragen.

Die maximal erreichbare Auflösung für DC-Eingangssignale beträgt lt. [16, Eq. B.9] für einen MOD1 wie in 1.4a:

$$p_1 = 1 - \frac{a_1}{A_0} \quad (2.68)$$

$$ENOB_{1st,leaky} = \log_2 \left(\frac{1 + p_1}{1 - p_1} \right) \quad (2.69)$$

Die Verstärkung a_1 des SC Integrators beträgt:

$$a_1 = \frac{\Delta U_{ausp}}{\Delta U_{ein}} = \frac{C_{ein}}{C_{int}} = \frac{1}{5} \quad (2.70)$$

Daraus kann $A_0 \min.$ durch die bereits festgelegte OSR von 2500, und damit möglichen 16 Bit Auflösung, berechnet werden.

$$\begin{aligned} A_0 \text{ DC min.} &= \frac{a_1}{2} \cdot (2^{ENOB} + 1) \\ &\approx 6554 \hat{=} 76,3 \text{ dB} \end{aligned} \quad (2.71)$$

Alle Annahmen bezüglich $A_0 \min.$ gehen, abgesehen von der endlichen Leerlaufverstärkung, von einem idealen Verstärker aus, wodurch A_0 größer gewählt werden sollte.

Für die Realisierung wird vorerst $A_0 > 2^{ENOB}$ mit $A_0 = 10000 \hat{=} 80 \text{ dB}$ angenommen, sofern dies mit einer einstufigen Verstärkerstruktur möglich ist.

Berechnung der Transitfrequenz

Wie bereits erwähnt, wird bei SC-Schaltungen davon ausgegangen, dass alle Kapazitäten in jeder Taktphase vollständig ge- oder entladen werden. In diesem Fall heißt das für den Integrator, dass seine Ausgangsspannung am Ende jeder Integrationsperiode um weniger als die geforderte Auflösung abweichen sollte. Diese Anforderung beinhaltet auch, dass der Sollwert in vorgegebener Zeit erreicht wird. Je größer die Bandbreite des Verstärkers, desto schneller kann der Zielwert erreicht werden.

Wird der Integrator einfachheitshalber als lineares, zeit-invariantes System erster Ordnung betrachtet, kann von exponentiellem Einschwingverhalten ausgegangen werden, wie in Abbildung 2.5 zu sehen [18, S. 2.4.2].

Für das angenommene System wird folgende Sprungantwort gefordert:

$$U_{aus} = U_{step} \cdot (1 - e^{-\frac{t}{\tau}}) \quad (2.72)$$

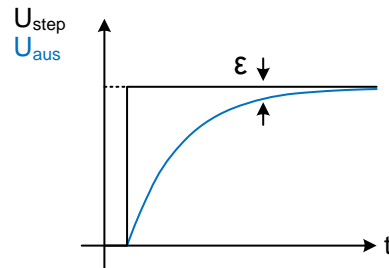


Abbildung 2.5: Sprungverhalten des Integrators

Die Abweichung vom Sollwert ε beträgt:

$$\varepsilon = e^{-\frac{t}{\tau}} \quad (2.73)$$

Um einen Restfehler mit einer Abweichung von weniger als 16 Bit zu erhalten wird eine Integrationszeit von mindestens

$$t_i = -\ln\left(\frac{1}{2^{16}}\right) \approx 11,1 \cdot \tau \quad (2.74)$$

benötigt.

Als Integrationszeit wird die Hälfte der Abtastperiode angenommen und ergibt bei 12 MHz:

$$t_i = \frac{1}{2} \cdot \frac{1}{f_{s \max.}} = \frac{1}{2 \cdot 12 \text{ MHz}} \approx 41,67 \text{ ns} \quad (2.75)$$

Daraus folgt für τ :

$$\tau \leq 3,75 \text{ ns} \quad (2.76)$$

In Anlehnung an [5, Bsp. 5.6] kann die notwendige Transitfrequenz (der Integratorschaltung) bestimmt werden:

$$\omega_t \geq \frac{C_1 + C_2}{C_2} \cdot \frac{1}{\tau} \quad (2.77)$$

Für den vorliegenden SC-Integrator eingesetzt

$$C_1 = C_{\text{ein}} + C_{\text{ref}} = 300 \text{ fF} \quad (2.78)$$

$$C_2 = C_{\text{int}} = 500 \text{ fF} \quad (2.79)$$

gilt für die f_t

$$\begin{aligned} f_t &\geq \frac{800 \text{ fF}}{500 \text{ fF}} \cdot \frac{1}{2\pi\tau} = \\ &\approx 67 \text{ MHz} \end{aligned} \quad (2.80)$$

Berechnung der Slew Rate

Die Ausgangsspannung realer Verstärker kann sich nicht beliebig schnell ändern. Die maximal erreichbare Geschwindigkeit wird **Slew Rate (SR)** bezeichnet.

Um die Forderung des exponentiellen Einschwingverhaltens einzuhalten, muss die **SR** größer als die maximale Anstiegsgeschwindigkeit $\left. \frac{dU}{dt} \right|_{max}$ der Exponentialfunktion sein [5, S. 249ff].

Der größte Spannungsanstieg des geforderten exponentiellen Verlaufs (2.72) beträgt

$$\left. \frac{dU_{aus}}{dt} \right|_{max} = \frac{U_{step}}{\tau} \quad (2.81)$$

Daraus folgt für die Slewrate die Forderung:

$$SR \geq \frac{U_{step}}{\tau} \quad (2.82)$$

Die minimale **SR** wird durch den größtmöglichen Spannungssprung (2.62) und τ (2.76) festgelegt:

$$SR_{min.} \geq \frac{400 \text{ mV}}{3,75 \text{ ns}} \approx 106,5 \text{ V}/\mu\text{s} \quad (2.83)$$

Festlegen des Arbeitspunktes

Bei voll differentiellen Verstärkern wird ein **common-mode feedback (CMFB)** benötigt, um den Arbeitspunkt festzulegen, um den differentiell angesteuert wird (U_{cm}). Durch den zeitdiskreten Aufbau des **DSADUs** kann dieser Vorgang mithilfe einer zusätzlichen **SC**-Schaltung realisiert werden. Unter Zuhilfenahme des Konzepts in Abbildung 2.6 kann eine zusätzliche Verstärkerschaltung zur **Common-Mode (CM)**-Regelung eingespart werden.

Da der Schaltung keine negative Spannung zur Verfügung steht, sollte die Bezugsspannung U_{cm} ca. in der Mitte des Versorgungsspannungsbereichs v_{3cc} liegen um die maximale, symmetrische Aussteuerung des Integrators in beiden Richtungen zu gewährleisten. In der Regel wird der Aussteuerbereich (Swing) durch die Sättigungsspannungen U_{Dsat} der Ausgangstransistoren limitiert. Je kleiner U_{Dsat} , desto näher kommt man an die Versorgung.

Generell haben in Standard **CMOS**-Prozessen **n-Kanal MOSTs (nMOSTs)** eine um den Faktor 2 – 3 erhöhte Elektronenbeweglichkeit als die komplementären **pMOSTs**.

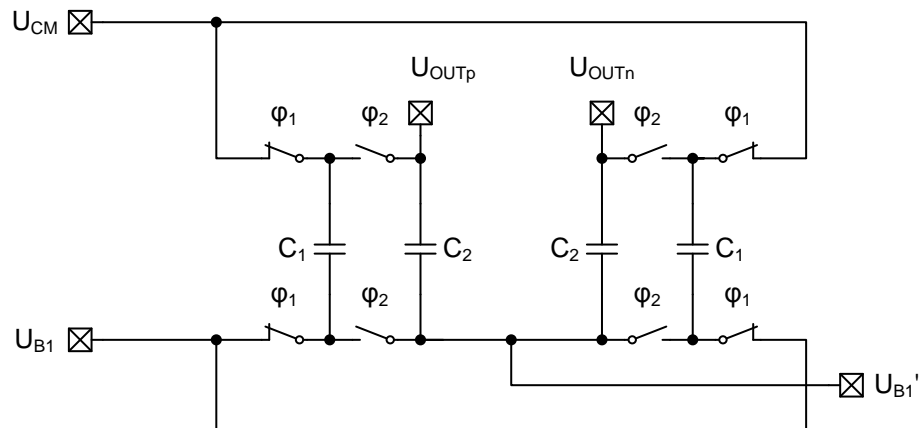


Abbildung 2.6: SC-CMFB (in Anlehnung an [3, Fig. 2.]

Dies führt dazu, dass **pMOSTs** größer dimensioniert werden müssen als **nMOSTs**, um dieselbe U_{Dsat} zu erhalten. Dieser Kompensationsversuch führt jedoch dazu, dass sich die parasitären Bauelemente nicht auf beiden Seiten gleich auswirken und führt zu einer anderen Unausgeglichenheit. Anders ausgedrückt, kann bei gleicher Dimensionierung von **nMOSTs** und **pMOSTs** weiter Richtung negativer Versorgung angesteuert werden, da die U_{Dsat} vom **nMOST** geringer ist.

2.4.1 Rauschberechnung

Durch die Realisierung des **ADUs** als **SC**-Schaltung, wird sein Verhalten maßgeblich von den Kapazitäten beeinflusst. Sie müssen mit Bedacht gewählt werden, da deren Größe auf unterschiedliche positive und negative Eigenschaften Einfluss hat. In diesem Fall wurden die Verhältnisse zwischen den Kapazitäten bereits festgelegt, und es muss nur noch ein Wert für C_{ein} gefunden werden. Wie in den Gleichungen (2.64) und (2.65) zu erkennen ist, verhalten sich die Kapazitäten proportional zueinander.

In **ICs** können Kondensatoren in unterschiedlicher Weise aufgebaut werden. Egal von welcher Struktur ausgehend, kann die Kapazität aus Sicht des Schaltungsentwicklers letztendlich nur durch die aufgewendete Fläche beeinflusst werden. Grundsätzlich ist die Kapazität proportional zur benötigten Fläche ($C \sim A$). Diese soll generell aus Platz- und Kostengründen so klein wie möglich gehalten werden. Nähere Details dazu sind in [5, S. 58ff] zu finden.

Im Gegensatz dazu steigt das thermische Rauschen an Kapazitäten, je kleiner diese werden und beträgt lt. [5, S. 382f]:

$$U_{NC(rms)} = \sqrt{\frac{k_B \cdot T}{C}} \quad (2.84)$$

$$(2.85)$$

Da dieses Rauschen das **SNR** und damit die **ENOB** negativ beeinflusst (siehe Kapitel 1.3.3), sollte aus dieser Sicht die Kapazität so groß wie möglich gewählt werden. Liegt das thermische Rauschen über dem Quantisierungsrauschen, limitiert es die maximal erreichbare Auflösung.

Weitere Einflussfaktoren, die berücksichtigt werden müssen, sind unter anderem das „Mismatch“, die Energieaufnahme und vor allem die Realisierbarkeit.

Das Optimum für C_{ein} in Bezug auf alle Einflussfaktoren zu finden, ist eine sehr komplexe Aufgabe. Da die Abtastfrequenz und damit das maximale **SNR** bereits festgelegt wurden, kann auch das maximal erlaubte Rauschen und daraus die minimal erforderliche Kapazität berechnet werden.

Alle anderen Komponenten müssen danach ausgelegt werden, um die geforderten Anforderungen in Tabelle 2.2 zu erfüllen. Die folgende Rauschberechnung orientiert sich an [20], [21] und [22].

Das gesamte, eingangsbezogene $U_{niint(rms)}$ und ausgangsbezogene $U_{noint(rms)}$ Rauschen eines **SC**-Integrators beträgt lt. [22, Eq. (6),(8) und (23)]:

$$\overline{u_{ni}^2} = \frac{2 \cdot k_B \cdot T}{C_{ein}} \cdot \left(1 + \frac{\frac{1}{6}}{1+x} \right) \quad (2.86)$$

$$x = 2 \cdot R_{ON} \cdot g_{m1} \quad (2.87)$$

$$\overline{u_{nio}^2} = \frac{4 \cdot k_B \cdot T}{3 \cdot \beta \cdot C_0} \quad (2.88)$$

$$C_O = C_L + \frac{C_{ein} \cdot C_{int}}{C_{ein} + C_{int}} \quad (2.89)$$

$$\beta = \frac{1}{G} = \frac{1}{1 + \frac{C_{ein}}{C_{int}}} \quad (2.90)$$

Für einen **SC-DSADU** (wie in Abbildung 2.1) mit separater Referenz- und Eingangskapazität und rauschendem **Operationsverstärker (OPV)** (siehe Tabelle in [20, S. 10-26], Rauschfaktor $n_f = 4$ für „folded-cascade“) setzen sich die Ausdrücke lt. [20, S. 10-27, 10-31] folgend zusammen:

$$\overline{u_{nii}^2} = \frac{k_B \cdot T}{C_{ein}} \cdot \left(\frac{\frac{4}{3} \cdot n_f + 1 + 2x}{1 + x} \right) \cdot \left(1 + \frac{C_{ref}}{C_{ein}} \right) \quad (2.91)$$

$$\overline{u_{nii}^2}_{max.} = \frac{6,33 \cdot k_B \cdot T}{C_{ein}} \cdot \left(1 + \frac{C_{ref}}{C_{ein}} \right) \Big|_{x=0, n_f=4} \quad (2.92)$$

$$\overline{u_{nio}^2} = \frac{4 \cdot k_B \cdot T}{3 \cdot \beta \cdot C_0} \cdot n_f \quad (2.93)$$

$$\overline{u_{nio}^2}_{max.} = \frac{16 \cdot k_B \cdot T}{3 \cdot \beta \cdot C_0} \Big|_{n_f=4} \quad (2.94)$$

$$C_O = C_L + \frac{(C_{ein} + C_{ref}) \cdot C_{int}}{(C_{ein} + C_{ref}) + C_{int}} \quad (2.95)$$

$$\beta = \frac{1}{G} = \frac{1}{1 + \frac{(C_{ein} + C_{ref})}{C_{int}}} \quad (2.96)$$

Für den geforderten Dynamikbereich von 13 Bit ($\cong 80$ dB) bei einem Eingangsbereich von 0,5 V bis 2,5 V kann das Gesamttrauschbudget RB berechnet werden.

$$\begin{aligned} \overline{U_{einmax.}^2} &= (1,5 \text{ V}_{DC})^2 + \left(1 \text{ V}_{AC} \cdot \frac{1}{\sqrt{2}} \right)^2 \\ &= (1,66 \text{ V})^2 \end{aligned} \quad (2.97)$$

$$RB = \overline{U_{Nmax.}^2} = \frac{(1,66 \text{ V})^2}{10^{\frac{80}{10}}} = (166 \mu\text{V})^2 \cong 100 \% \quad (2.98)$$

Um die minimal benötigten Kapazitäten zu berechnen, wird nach [22, Kapitel VI.] vorgegangen.

Durch die vorherige Wahl der Abtastfrequenz f_s und daraus resultierender **OSR** von 2500

kann das Quantisierungsrauschen am Ausgang mittels (1.14) bestimmt werden:

$$\begin{aligned} SNR_{peak} &= 10 \cdot \log_{10} \left[\frac{3\pi}{2} \cdot (2^B - 1) \cdot (2n + 1) \cdot \left(\frac{OSR}{\pi} \right)^{2n+1} \right] = \\ &= 10 \cdot \log_{10} \left(\frac{9 \cdot OSR^3}{2\pi^2} \right) \approx 98,5 \text{ dB} \end{aligned} \quad (2.99)$$

unter der Bedingung $STF = 1$

$$U_{aus} = U_{ein} \quad (2.100)$$

$$\overline{U_{Nq}^2} = \frac{\overline{U_{einmax.}^2}}{10^{\frac{SNR_p}{10}}} = \frac{(1,66 \text{ V})^2}{10^{\frac{98,5}{10}}} \approx (20 \mu\text{V})^2 \quad (2.101)$$

$$RB_Q = \frac{\overline{U_{Nq}^2}}{\overline{U_{Nmax.}^2}} = \frac{(20 \mu\text{V})^2}{(166 \mu\text{V})^2} \approx 14 \% \quad (2.102)$$

Abbildung 2.7 zeigt eine angemessene Aufteilung der unterschiedlichen Rauscharten eines DSADUs nach [21, 436f]. Wird 80 % des verfügbaren Rauschbudgets (2.98) für den thermischen Rauschanteil und das Quantisierungsrauschen veranschlagt, ergibt dies für den thermischen Rauschanteil RB_T alleine 66 % bzw. $(135 \mu\text{V})^2$ (siehe (2.106)).

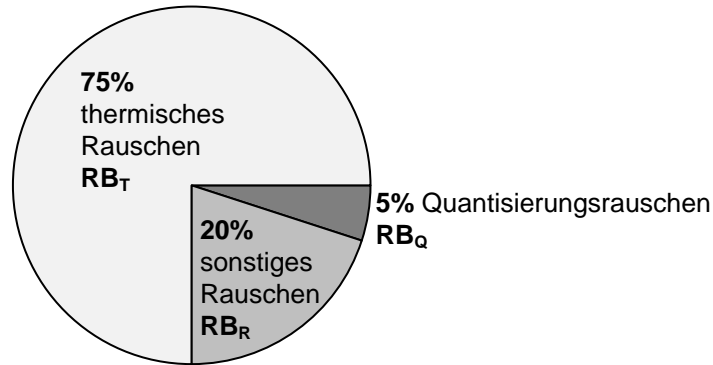


Abbildung 2.7: Beispiel eines typischen Rauschbudgets eines SC-DSADUs (in Anlehnung an [21, Figure C.10])

$$RB = RB_T + RB_Q + RB_R \quad (2.103)$$

$$RB_T = 80 \% - RB_Q \quad (2.104)$$

$$RB_T = 80 \% - 14 \% = 66 \% \quad (2.105)$$

$$\overline{U_{Nt}^2} = 0.66 \cdot \overline{U_N^2} \approx (135 \mu\text{V})^2 \quad (2.106)$$

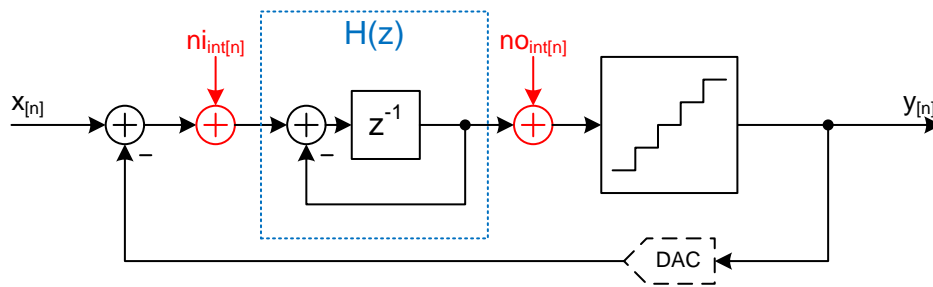


Abbildung 2.8: $\Delta\Sigma$ Modulator erster Ordnung mit Rauschquellen (in Anlehnung an [22, Fig. 11.])

Abbildung 2.8 zeigt ein vereinfachtes Modell des MOD1, mit thermischen Rauschquellen dargestellt.

Um die Auswirkung der unterschiedlichen Rauschquellen auf den Ausgang zu ermitteln, muss zuerst für jede Rauschquelle die **Noise Transfer Function (NTF)** bestimmt werden.

$$H(z) = \frac{z^{-1}}{1 - z^{-1}} \quad (2.107)$$

$$NTF = \frac{Y(z)}{N(z)} \quad (2.108)$$

$$NTF_{ii} = \frac{H(z)}{1 + H(z)} = z^{-1} \quad (2.109)$$

$$NTF_{io} = \frac{1}{1 + H(z)} = 1 - z^{-1} \quad (2.110)$$

Der Betrag der **NTF** lautet:

$$z = e^{j\frac{2\pi \cdot f}{f_s}} \quad (2.111)$$

$$|NTF_{ii}(f)| = 1 \quad (2.112)$$

$$|NTF_{io}(f)| = 2 \cdot \left| \sin\left(\frac{\pi \cdot f}{f_s}\right) \right| \quad (2.113)$$

Solange alle Kapazitäten bei jedem Lade- bzw. Entladezyklus auf weniger als $\frac{LSB}{2}$ Abweichung vom Sollwert geladen werden, kann die **Power Spectral Density (PSD)** jeder Rauschquelle als weiß betrachtet werden (siehe [22, Section III. und Eq. 41]). Durch hohe **OSR** und die **PSD** der abgetasteten, weißen Rauschquellen (gültig für große **OSR**) ergibt sich wie in [22, Eq. 41]:

$$\tilde{N}_x(f) = \frac{\overline{U_x^2}}{\frac{f_s}{2}} = \frac{2 \cdot \overline{U_x^2}}{f_s} \quad (2.114)$$

$$\tilde{N}_{ii}(f) = \frac{2 \cdot \overline{u_{nii}^2}}{f_s} \quad (2.115)$$

$$\tilde{N}_{io}(f) = \frac{2 \cdot \overline{u_{nio}^2}}{f_s} \quad (2.116)$$

Mit Hilfe der **NTFs** und der **PSDs** kann das Rauschen im Nutzband berechnet werden.

$$f_B = \frac{f_s}{2 \cdot OSR} \quad (2.117)$$

$$\overline{N_{in-band}^2} = \int_0^{f_B} \tilde{N}(f) \cdot |NTF(f)|^2 df \quad (2.118)$$

$$\begin{aligned} \overline{N_{ii}^2} &= \int_0^{\frac{f_s}{2 \cdot OSR}} \tilde{N}_{ii}(f) \cdot |NTF_{ii}(f)|^2 df = \\ &= \frac{\overline{u_{nii}^2}}{OSR} \end{aligned} \quad (2.119)$$

$$\begin{aligned} \overline{N_{io}^2} &= \int_0^{\frac{f_s}{2 \cdot OSR}} \tilde{N}_{io}(f) \cdot |NTF_{io}(f)|^2 df = \\ &= \frac{2 \cdot \overline{u_{nio}^2}}{f_s} \cdot \int_0^{\frac{f_s}{2 \cdot OSR}} 4 \cdot \left| \sin\left(\frac{\pi \cdot f}{f_s}\right) \right|^2 df = \\ &= 2 \cdot \overline{u_{nio}^2} \cdot \left(\frac{1}{OSR} - \frac{2 \cdot \sin\left(\frac{\pi}{2 \cdot OSR}\right) \cdot \cos\left(\frac{\pi}{2 \cdot OSR}\right)}{\pi} \right) \end{aligned} \quad (2.120)$$

Für die vorher festgelegten Kapazitätsverhältnisse kann das Rauschen am Ausgang bestimmt werden:

$$C_{ref} = 2 \cdot C_{ein} \quad (2.121)$$

$$C_{int} = 5 \cdot C_{ein} \quad (2.122)$$

$$C_L = 0 \quad (\text{max. Rauschen}) \quad (2.123)$$

$$\begin{aligned} C_O &= C_L + \frac{(C_{ein} + C_{ref}) \cdot C_{int}}{(C_{ein} + C_{ref}) + C_{int}} = \\ &= \frac{15}{8} \cdot C_{ein} \end{aligned} \quad (2.124)$$

$$\begin{aligned} \beta &= \frac{1}{1 + \frac{(C_{ein} + C_{ref})}{C_{int}}} = \\ &= \frac{5}{8} \end{aligned} \quad (2.125)$$

$$\overline{u_{nii}^2} \approx \frac{19 \cdot k_B \cdot T}{C_{ein}} \quad (2.126)$$

$$\overline{u_{nio}^2} \approx \frac{4,55 \cdot k_B \cdot T}{C_{ein}} \quad (2.127)$$

$$\overline{N_{aus}^2} = \overline{N_{ii}^2} + \overline{N_{io}^2} \quad (2.128)$$

$$= \frac{\overline{u_{nii}^2}}{OSR} + 2 \cdot \overline{u_{nio}^2} \cdot \left(\frac{1}{OSR} - \frac{2 \cdot \sin\left(\frac{\pi}{2 \cdot OSR}\right) \cdot \cos\left(\frac{\pi}{2 \cdot OSR}\right)}{\pi} \right) \quad (2.129)$$

$$(2.130)$$

Für die gewählte **OSR** von 2500 und maximaler Betriebstemperatur von 175 °C (448,15 K) ergibt sich für $C_{ein \text{ min.}}$:

$$(135 \mu\text{V})^2 = \frac{7,6 \cdot 10^{-3} \cdot k_B \cdot T}{C_{ein \text{ min.}}} \quad (2.131)$$

$$C_{ein \text{ min.}} \approx 2,6 \text{ fF} \quad (2.132)$$

Durch den voll differenziellen Aufbau des **DSADUs** (siehe Abbildung 2.1) könnte C_{ein} noch weiter reduziert werden. Dies ist jedoch unbedeutend, da die kleinste „sinnvoll“ realisierbare Kapazität der verwendeten Technologie bei ca. 10 fF liegt.

Um das „Mismatch“ gering zu halten, wird $C_{ein} = 100 \text{ fF}$ gewählt.

2.5 Quantisierer

Als Quantisierer kommt ein dynamischer Komparator mit einem Vorverstärker zum Einsatz. Eine dynamische Ausführung hat den Vorteil, dass nur bei einem Zustandswechsel Energie benötigt wird. Besonders wenn hohe Geschwindigkeiten gefordert sind, benötigen statische Ausführungen große Ströme.

Der Vorverstärker soll einerseits eine große Ausgangsdifferenz zur Verfügung stellen, damit der Komparator schnell entscheidet und andererseits das „kick-back“ unterdrücken, um den Integrator nicht zu beeinflussen. Unter „kick-back“ versteht man die Rückwirkung vom Komparatorausgang zum Eingang. Durch diesen Effekt kann das SNR beeinflusst werden, wenn Ladung in die Integratorkapazitäten injiziert wird. Es wäre dadurch möglich, dass der Komparator durch seine eigene Entscheidungsfindung die $\Delta U_{aus \text{ diff.}}$, so weit verändert, dass er im nächsten Zyklus falsch entscheidet.

Je größer die Spannungsdifferenz am Komparatoreingang ist, umso schneller kippt der Komparator und der Einfluss möglicher Störungen ist minimal. Durch diesen Umstand gilt es, die minimale Eingangsspannungsdifferenz zu ermitteln, um den Vorverstärker und den Komparator darauf auszulegen.

Laut (2.25) beträgt die Ausgangsspannungsdifferenz des Integrators:

$$\Delta U_{aus \text{ diff.}} = 2 \cdot \frac{\Delta U_{ein} \cdot C_{ein} - \Delta U_{ref1,2} \cdot C_{ref}}{C_{int}} \quad (2.133)$$

Die kleinst mögliche Änderung von $\Delta U_{aus \text{ diff.}}$ tritt dann auf, wenn sich die Eingangsspannungsdifferenz ΔU_{ein} um nur 1 LSB16 von der Grenze des erlaubten Eingangsspannungsbereichs FSR (0,5 V oder 2,5 V) entfernt.

$$LSB16 = \frac{\Delta FSR}{2^{Bits}} = \frac{2 \text{ V}}{2^{16}} \approx 31 \mu\text{V} \quad (2.134)$$

$$\begin{aligned} \Delta U_{aus \text{ diff. min.}} &= \pm \left| 2 \cdot \frac{(2,5 \text{ V} - 31 \mu\text{V}) \cdot 100 \text{ fF} - 1,25 \text{ V} \cdot 200 \text{ fF}}{500 \text{ fF}} \right| \approx \\ &= \pm \left| 2 \cdot \frac{(0,5 \text{ V} + 31 \mu\text{V}) \cdot 100 \text{ fF} - 0,25 \text{ V} \cdot 200 \text{ fF}}{500 \text{ fF}} \right| \approx \\ &\approx \pm 12,2 \mu\text{V} \end{aligned} \quad (2.135)$$

Die minimale Eingangsspannungsdifferenz am Komparator wird willkürlich auf 1 mV festgelegt. Daraus kann die geforderte Verstärkung des Vorverstärkers bestimmt werden.

$$\begin{aligned} A_{min} &= \frac{\Delta U_{aus \ min.}}{\Delta U_{ein \ min.}} = \\ &= \frac{1 \text{ mV}}{12,2 \ \mu\text{V}} \approx 82 \approx 38,3 \text{ dB} \end{aligned} \quad (2.136)$$

2.6 Taktgenerierung

Das Timing der Ansteuerungssignale ist in Abbildung 2.9 dargestellt. Nach jeder Flanke vom Haupttakt *clk* werden mit bestimmten Verzögerungen die Schalter angesteuert. Dieses komplexe Timing ist notwendig, um die Ladungsinjektionen zu reduzieren bzw. Kurzschlüsse zu vermeiden. Die beiden Signale *sw_cross_A* und *sw_cross_B* der Eingangsschalter müssen nicht-überlappend sein, da sonst zwischen den beiden Kapazitäten C_{ein} ein Ladungsaustausch stattfindet. Außerdem würde der Spannungsteiler im Eingangspfad (speziell die Filterkapazität C_{TP}) zusätzlich belastet und das Eingangssignal beeinträchtigt werden. Die gesamte Funktion ist in Abbildung 2.9 dargestellt.

Der Quellcode des Verilog-A - Modells, welches das Verhalten in Abbildung 2.9 darstellt, befindet sich im Appendix A.

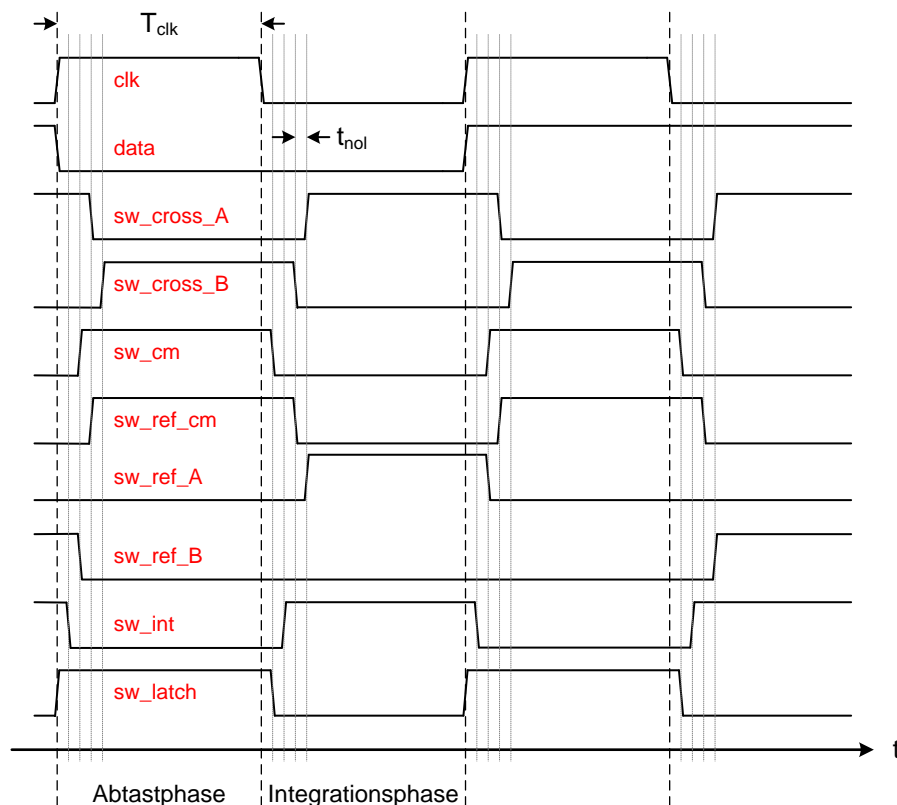


Abbildung 2.9: Timingdiagram

2.7 Dezimation

DSADUs basieren auf dem Prinzip der Überabtastung (Kapitel 1.2.1) und der Rauschformung (Kapitel 1.2.3). Durch die Rauschformung wird das Quantisierungsrauschen im Nutzband zwar verringert, jedoch nimmt das Rauschen in den höheren Frequenzbereichen zu. Um aus dem 1-Bit Datenstrom mit hoher Datenrate Datenworte mit größerer Anzahl von Bits aber kleinerer Datenrate zu erhalten, wird ein Dezimationsfilter benötigt. Bevor die Datenrate reduziert wird, muss ein Filter $H(f)$ die Frequenzanteile außerhalb der Nutzbandbreite f_0 entfernen, um Aliasing zu vermeiden (siehe Abbildung 1.2 und 1.5).

Grundsätzlich kann das digitale Filter in beliebiger Form realisiert werden, doch eine Realisierung mittels sog. sinc-Filter kann sehr effizient integriert werden, da keine digitalen Multiplizierer benötigt werden. Ein Beispiel, wie einfach ein sinc-Filter 1. Ordnung realisiert werden kann, wird in Abbildung 2.10 gezeigt. Laut [4] sollte die eingesetzte Ordnung um 1 größer als die Ordnung des Modulators gewählt werden, um Aliasingeffekte aufgrund der Dezimation ausreichend zu unterdrücken.

Der Amplitudengang eines sinc-Filters 1. und 2. Ordnung ist in Abbildung 2.11 gegenüber-

gestellt. Die Dezimierung wird, da nicht gefordert, nur zur Analyse der Daten in Kapitel 3.5, rein rechnerisch mittels MATLAB[®] durchgeführt.

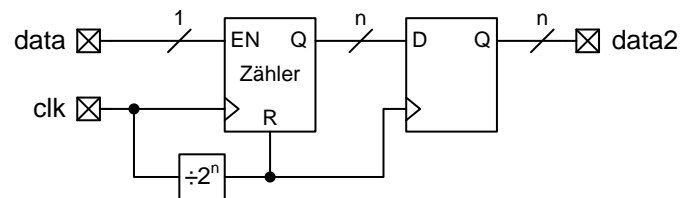


Abbildung 2.10: Implementierung eines sinc-Filters in Anlehnung an [21, Figure 2.27]

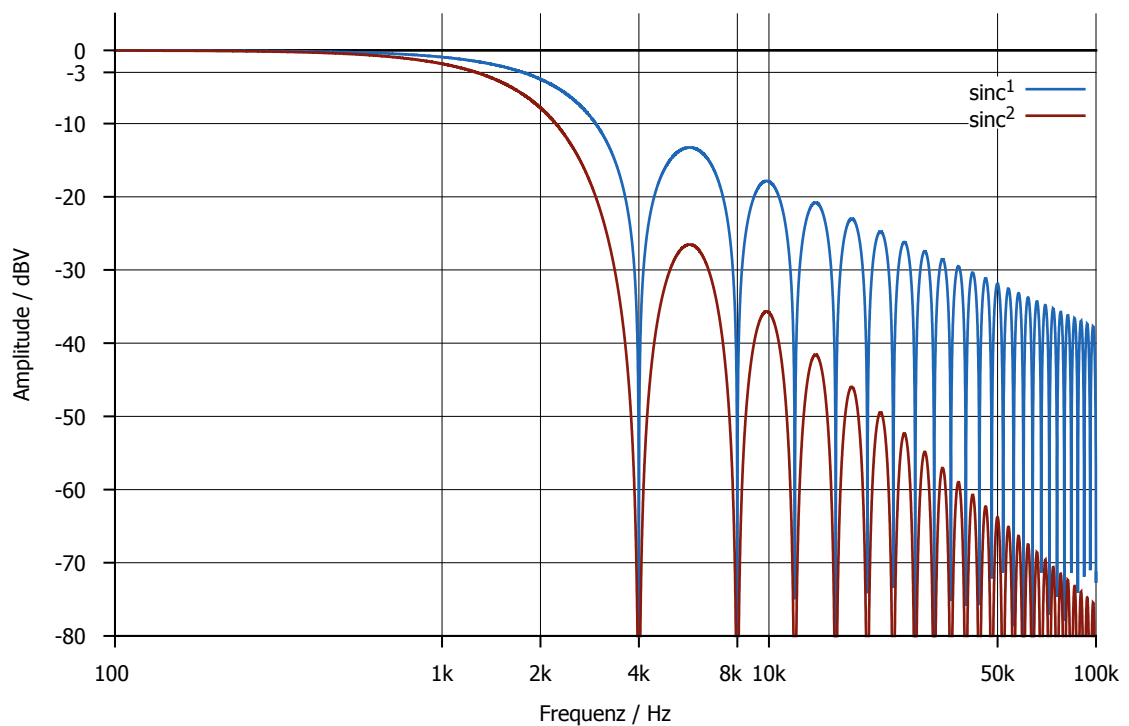


Abbildung 2.11: Beispiel Amplitudengang eines sinc^1 - und sinc^2 -Filters. $N = 2500$, $f_s = 10$ MHz

3 Schaltungsentwurf

Da diese Arbeit mit einer neuen Halbleitertechnologie entwickelt wird, dürfen auf Grund einer Geheimhaltungsverpflichtung (non-disclosure agreement (NDA)) keine Angaben zu den verwendeten Bauelementen gemacht werden. Dies schließt auch die tatsächliche Dimensionierung der Bauelemente ein. Es dürfen lediglich die verwendeten Schaltungskonzepte, beschrittenen Lösungswege und Simulationsergebnisse dokumentiert werden.

selbstsperrender					
LV (<3V)		MV (5V)		HV (>40V)	
n-Kanal	p-Kanal	n-Kanal	p-Kanal	n-Kanal	p-Kanal
MOS - FET					

Abbildung 3.1: Definition Transistorsymbole

Um die Schaltpläne übersichtlich zu gestalten, sind die Bulkanschlüsse der einzelnen Transistoren nur dann eingezeichnet, wenn sie nicht mit einer Versorgungsspannung verbunden sind. Bei **nMOSTs** liegt der Bulk auf der negativen und bei **pMOSTs** an der positiven Versorgungsspannung der jeweils verwendeten Spannungsklasse.

3.1 Eingangspfad

Anhand der Vorgaben im Konzept (Kapitel 2.2) kann der Spannungsteiler R_1, R_2 inkl. Tiefpassfilter C_3 realisiert werden (siehe Abbildung 3.2). V_{BA} darf laut Definition (Tabelle 2.1) auf bis zu 40 V, bzw. 4 V nach dem Spannungsteiler ansteigen. Die Eingangsschalter in Abbildung 3.4 müssen aus Gründen der Spannungsfestigkeit mit **Mittelvolt (MV)**-Transistoren (N_7 bis N_{10}) realisiert werden.

Im Gegensatz zum Konzept (Abbildung 2.1) wird die nicht-überlappende Ansteuerung der Eingangsschalter nicht im Taktgenerator realisiert, sondern lokal im Eingangspfad. Mithilfe des Signals sw_cross_A werden die zwei lokalen nicht-überlappenden Steuersignale φ_A und φ_B generiert.

Aus diversen Gründen, die nicht genannt werden dürfen, ist es hier nicht möglich **pMOSTs** zu verwenden. Um die **nMOSTs** bei einer Eingangsspannung von bis zu 2,5 V „niederohmig“, durchzuschalten muss deren Steuersignal φ_A und φ_B deutlich mehr als eine U_{th_n} größer als 2,5 V sein.

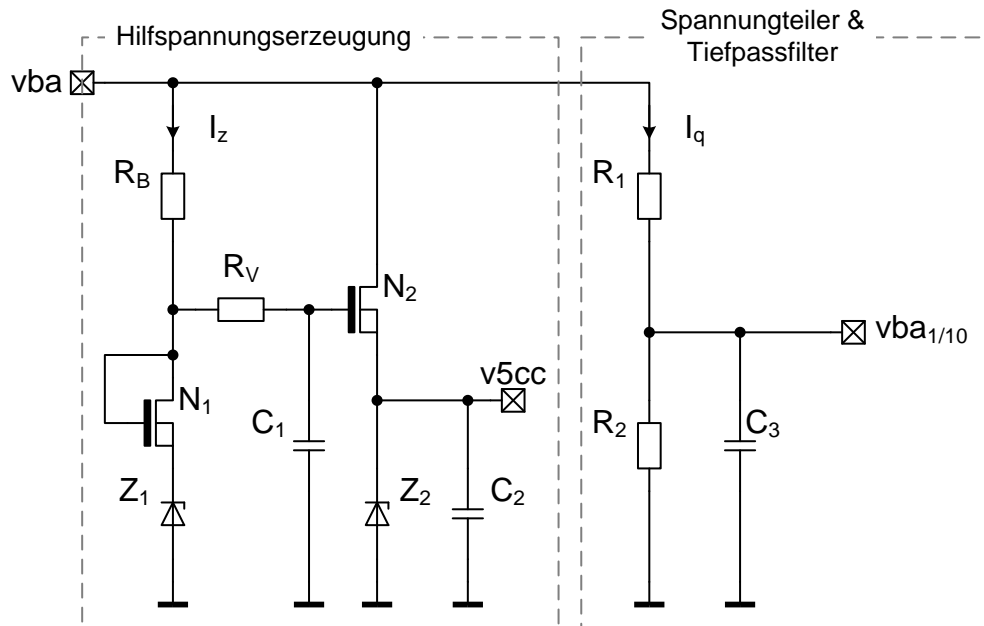


Abbildung 3.2: Eingangsspannungsteiler mit 5 V Zener-Hilfspannungsgenerierung

Die Hilfsspannungserzeugung in Abbildung 3.2 stellt den benötigten „high“-Pegel ($v5cc$) für diese Steuerspannungen zur Verfügung und liegt etwa im Bereich zwischen 4,5 V bis 7 V. Sie basiert auf dem einfachen Prinzip einer Zener-Stabilisierung. Der Querstrom I_z durch die Zenerdiode Z_1 kann mit R_B eingestellt werden. Mit den Bauelementen R_V und C_1 kann eine gewisse Tiefpasscharakteristik erzeugt werden und sie dienen als **Electro Static Discharge (ESD)**-Schutz für N_2 . Die Zenerspannung von Z_1 liegt bei 6 V, die von Z_2 bei 7 V, welche im **ESD**-Fall $v5cc$ limitiert. Die Spannung am Source-Anschluss von N_2 ($v5cc$) ist immer um U_{th_n} geringer als die Spannung an dessen Gate. Um eine höhere $v5cc$ zu erhalten, wird die Zenerspannung von Z_1 mit dem als Diode beschalteten Transistor N_1 erhöht. Im Idealfall ist dieser so dimensioniert, dass er genau den Abfall zwischen Gate und Source von N_2 kompensiert. Die Kapazität C_2 dient zur Stabilisierung von $v5cc$. Auf eine alternative Lösung mittels „bootstrapping“ wird in dieser Arbeit bewusst verzichtet.

Da sw_cross_A aus der 3 V Spannungsebene kommt, muss der Pegel auf $v5cc$ umgesetzt werden. Mit dem Pegelumsetzer in Abbildung 3.3 ist es möglich in einem Schritt den Pegel umzusetzen und nicht-überlappende Signale zu generieren. Durch die Verzögerung des Inverters Inv_1 verhalten sich die Spannungen an den Knoten a und b nicht exakt entgegengesetzt, sondern weisen ein nicht-überlappendes Verhalten auf.

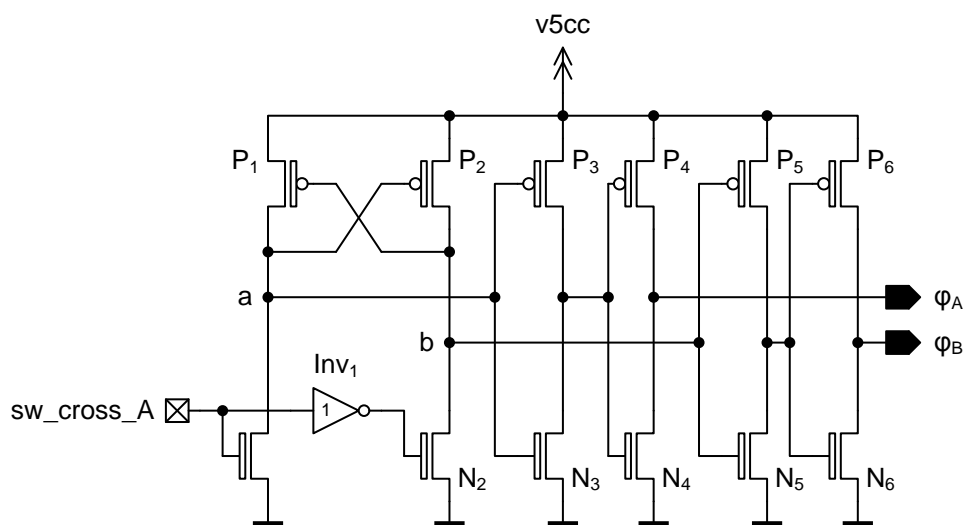


Abbildung 3.3: Nicht-überlappende Pegelumsetzung durch klassische Struktur nach [12, Fig.1a] zur Ansteuerung der Eingangsschalter

Angenommen sw_cross_A steigt von logisch 0 auf 1, so sinkt das Potential am Knoten a sehr schnell auf 0, doch b kann frühestens nach der Verzögerung von Inv_1 Richtung 1 wandern. Hinzu kommt, dass b nur steigt, wenn a bereits so niedrig ist, dass der Transistor P_2 aufgesteuert wird. Fällt sw_cross wieder auf 0, dann kann Knoten a erst auf 1 steigen, wenn sich b so weit Richtung 0 bewegt hat, dass Transistor P_1 a auf 1 ziehen kann. Aus diesem Verhalten erkennt man, dass eine 0 immer „schneller“ als eine 1 ist, was einem nicht-überlappenden Signal entspricht. Die Transistorpärchen P_3/N_3 bis P_6/N_6 dienen als Puffer und stellen die nötige Treiberstärke für die Eingangsschalter in Abbildung 3.4 zur Verfügung.

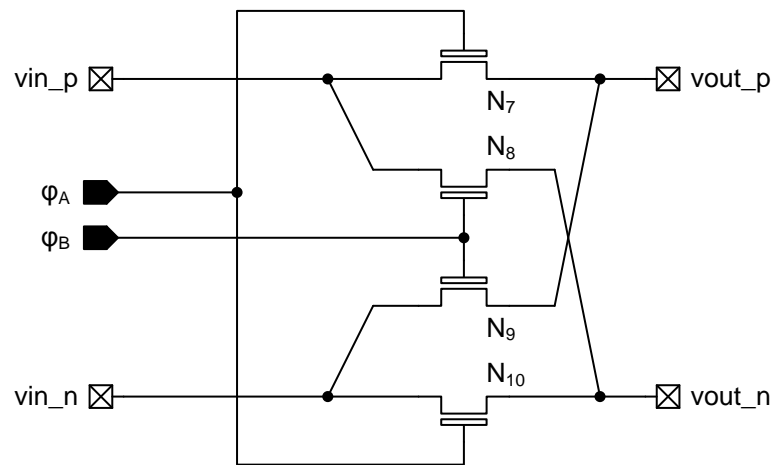


Abbildung 3.4: Eingangsschalter

3.1.1 Simulationsergebnis Eingangsstufe

Wie bereits erwähnt hat die Eingangsstufe zwei unterschiedliche Aufgaben. Einerseits ist Sie für die Signalkonditionierung zuständig, andererseits für die Ansteuerung der gekreuzten Eingangsschalter.

Während einer Taktperiode von f_s wechseln die Zustände von φ_A und φ_B ein mal. Für Jede Schalterposition steht $\frac{T_s}{2}$ zur Verfügung und beträgt im schlechtesten Fall ca. 41,67 ns ($\frac{1}{2f_s \max.}$). Als maximal zulässige Einschwingzeit t_{set} werden 30 ns festgelegt. Nach dieser Zeit müssen die Eingangskapazitäten C_{ein} auf mindestens ein **LSB**16 ($\frac{2}{2^{16}} \approx 30,5 \mu\text{V}$) genau ge- oder entladen sein. Hinzu kommt, dass diese Anforderung über den gesamten Eingangsspannungsbereich erfüllt sein muss.

Um dies zu überprüfen wird während der Simulation die Eingangsspannung V_{BA} bei jedem Taktzyklus von f_s schrittweise von 5 V bis 25 V erhöht, und nach der der Zeitdauer von t_{set} die Abweichung vom Sollwert u_ε ermittelt.

Zur Abweichung der Ladespannung werden auch noch die Verzögerungszeit t_d zwischen sw_cross_A und φ für jede Flanke ermittelt, und auch der Spannungsbereich von v_{5cc} beobachtet. Die Information bezüglich t_d ist rein informativ, v_{5cc} darf jedoch 7 V nicht überschreiten, da sonst die Spannungsfestigkeit der **MV**-Bauteile überschritten wird.

Diese Anforderungen sind über alle Prozess- und Designparameterschwankungen (Tabelle 3.1) einzuhalten. Das Simulationsergebnis ist in Tabelle 3.2 aufgelistet.

	Parameter	Wert	
Designparameter	Temperatur	-40 °C, 175 °C	} 512 Kombinationen
	$v3cc$	2,7 V, 3,3 V	
	f_s	12 MHz	
Prozessparameter	LV-CMOS	fast, slow, fastslow, slowfast	
	MV-CMOS	fast, slow, fastslow, slowfast	
	HV-CMOS	fast, slow	
	Kapazitäten	slow, fast	
	Z-Dioden	slow, fast	

Tabelle 3.1: Cornersimulation: Design- und Prozessparameter

	Corner	
	min.	max.
$t_{d\uparrow}$ [ns]	1,0	4,9
$t_{d\downarrow}$ [ns]	0,9	4,3
u_ε [μV]	-27,2	-0,3
$v5cc$ [V]	4,9	6,8

Tabelle 3.2: Simulationsergebnis über Corner-Variation

3.2 Integrator

Der Verstärker des Integrators wird als 'folded-cascode'-**Operational Transconductance Amplifier (OTA)** mit differenziellem Ausgang realisiert. Da die Last des Verstärkers hauptsächlich kapazitiv ist, kann der Ausgangswiderstand des Verstärkers hochohmig sein. Der Vorteil dieser Schaltung ist eine sehr hohe Leerlaufverstärkung mit nur einer Stufe zu erreichen, und trotzdem gute Eigenschaften bezüglich „swing“ und Bandbreite vorzuweisen [5, S.268])

Der erste Dimensionierungsversuch wird mit Hilfe der Anleitung [11], [1, Tabelle 6.5-3] und den festgelegten Kennwerten im Konzept (Kapitel 2) durchgeführt.

Für die folgenden Berechnungen wird von der Integrationsphase (Abbildung 2.9) ausgegangen.

Die kapazitive Last C_O am Ausgang des Verstärkers beträgt lt. (2.124)

$$C_O = C_L + \frac{(C_{ein} + C_{ref}) \cdot C_{int}}{(C_{ein} + C_{ref}) + C_{int}}$$

Als zusätzliche Lastkapazität C_L (Eingangskapazität des Komparators) werden 212 fF angenommen

$$C_O \approx 400 \text{ fF} \quad (3.1)$$

Aus der SR und C_O kann der benötigte Ausgangsstrom I_6 bestimmt werden

$$I_6 = I_7 \quad (3.2)$$

$$I_6 = SR \cdot C_O \approx 42,6 \mu\text{A} \quad (3.3)$$

Für die folded-cascode-Schaltung gilt lt. [5, S.268]

$$I_1 = I_4 = I_5 = 2 \cdot I_6 = 85,2 \mu\text{A} \quad (3.4)$$

und für die Transkonduktanz gm_1 von Transistor N_1

$$\begin{aligned} gm_1 = gm_2 &= GBW \cdot C_L = 2\pi 67 \text{ MHz} \cdot 400 \text{ fF} = \\ &\approx 168,4 \mu\text{A/V} \end{aligned} \quad (3.5)$$

Die Leerlaufspannungsverstärkung A_0 beträgt allgemein

$$A_0 = Gm \cdot R_{out} \quad (3.6)$$

wobei in diesem Fall

$$Gm = gm_1 = gm_2 \quad (3.7)$$

Durch die erste Dimensionierung kann A_0 durch Simulation bestimmt werden und bei Bedarf durch Erhöhen von gm_1 oder R_{out} erhöht werden. Die aufwendige Berechnung von R_{out} wird nicht durchgeführt. In der Simulation kann durch Dimensionierung der Ausgangstransistoren darauf Einfluss genommen werden. Als Zielwert für die Phasenreserve werden 60° angenommen.

Der Bulk-Anschluss des differentiellen Eingangspärchens N_1 und N_2 (siehe Abbildung 3.5) wurde mit dessen Source-Anschluss verbunden, um ein höheres gm_1 bei besserem Matching zu erhalten.

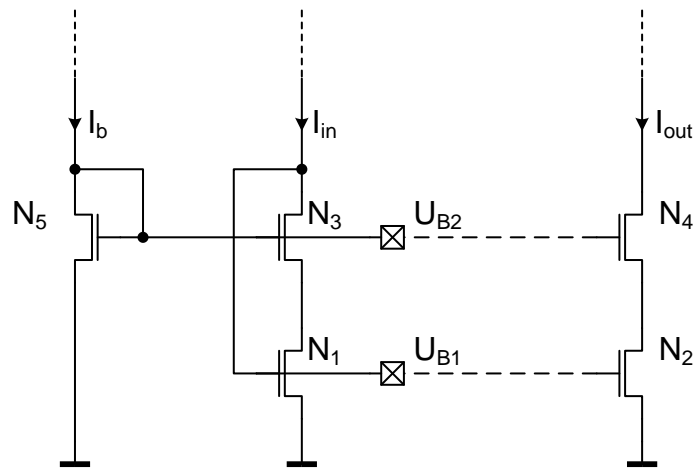


Abbildung 3.6: „wide-swing-cascode“-Stromspiegel (in Anlehnung an [5, S. 261ff])

Wie schon im Konzept 2.4 definiert, soll das CMFB mittels SC-Schaltung erfolgen. Mit Ausnahme der Schalter, welche direkt mit dem Ausgang verbunden sind, können alle als nMOSTs realisiert werden, da die zu schaltenden Spannungen in der unteren Hälfte des Versorgungsbereichs liegen.

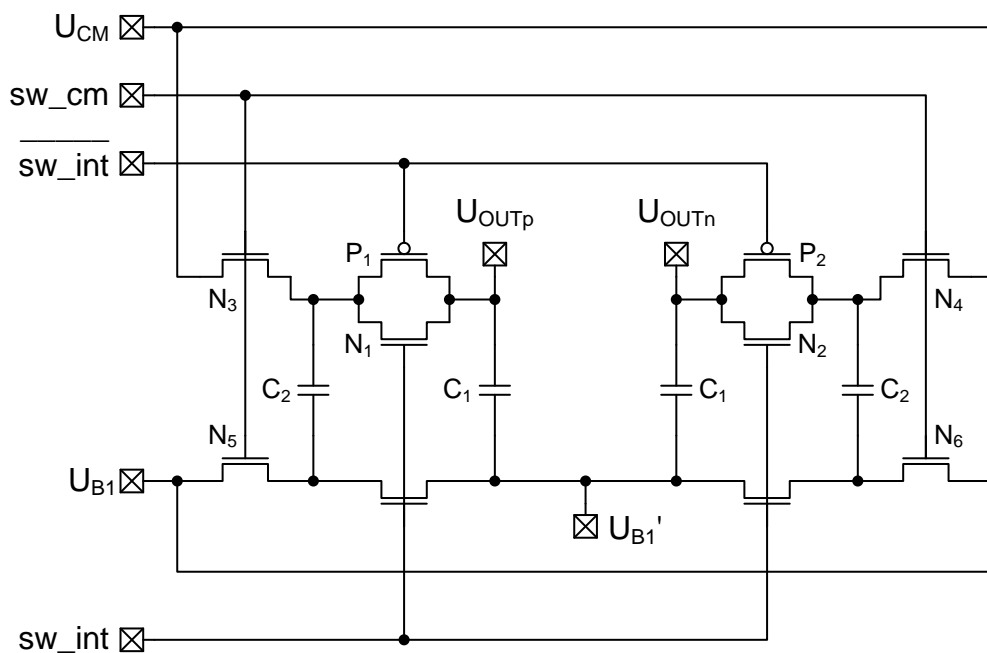


Abbildung 3.7: Realisierung von SC-CMFB (in Anlehnung an [3, Fig. 2.]

3.2.1 Simulationsergebnis Integrator

Da die Integratorschaltung die geforderten Eigenschaften unter allen möglichen Parameterschwankungen einhalten muss, wird eine Vielzahl von Corner- und Monte-Carlo-Simulationen durchgeführt. Für alle Designparameter werden 200 Monte-Carlo Durchläufe vorgenommen. Die Simulationsergebnisse sind in Tabelle 3.4 aufgelistet, die durchgeführten Variationen in Tabelle 3.3.

	Parameter	Wert	
Designparameter	Temperatur	-40 °C, 175 °C	} 64 Kombinationen
	v_{3cc}	2,7 V, 3,3 V	
	i_b	9 μ A, 11 μ A	
Prozessparameter	LV-CMOS	fast, slow, fastslow, slowfast	
	Kapazitäten	slow, fast	

Tabelle 3.3: Cornersimulation: Design- und Prozessparameter

	Corner		Monte-Carlo		
	min.	max.	min.	μ	σ
A_0 [dB]	81,93	90,96	81,98	83,44	0,642
f_t [MHz]	76,9	281	87,95	145,1	4,3
PM [°]	47	67	53	58,84	1,4
$swing_n$ [mV]	721	1036	727	883	8,3
$swing_p$ [mV]	675	1662	661	1134	15

Tabelle 3.4: AC-Simulationsergebnisse des Integrators über Corner- und Monte-Carlo-Variation

3.3 Komparator

Die beiden Teilkomponenten des Komparators, Vorverstärker und „dynamic latched comparator“, werden separat entwickelt. Dem Signalfuss folgend, wird zuerst der Vorverstärker realisiert.

3.3.1 Vorverstärker

Durch den geforderten differentiellen Aufbau muss auch der Vorverstärker entsprechend aufgebaut werden. Komplexere Verstärkerstufen mit höher Verstärkung benötigen meist ein CMFB (siehe Kapitel 3.2) um korrekt zu arbeiten. Um dieses Problem zu umgehen wird als Differenzverstärker ein einfaches differentiell Paar eingesetzt, da dessen Arbeitspunkt definiert ist. Um Chipfläche einzusparen werden anstatt den Lastwiderständen MOS-Dioden eingesetzt. Der Nachteil ist die geringe Verstärkung, wodurch vier dieser Stufen hintereinandergeschaltet werden müssen (siehe Abbildung 3.8). [17, S. 124]

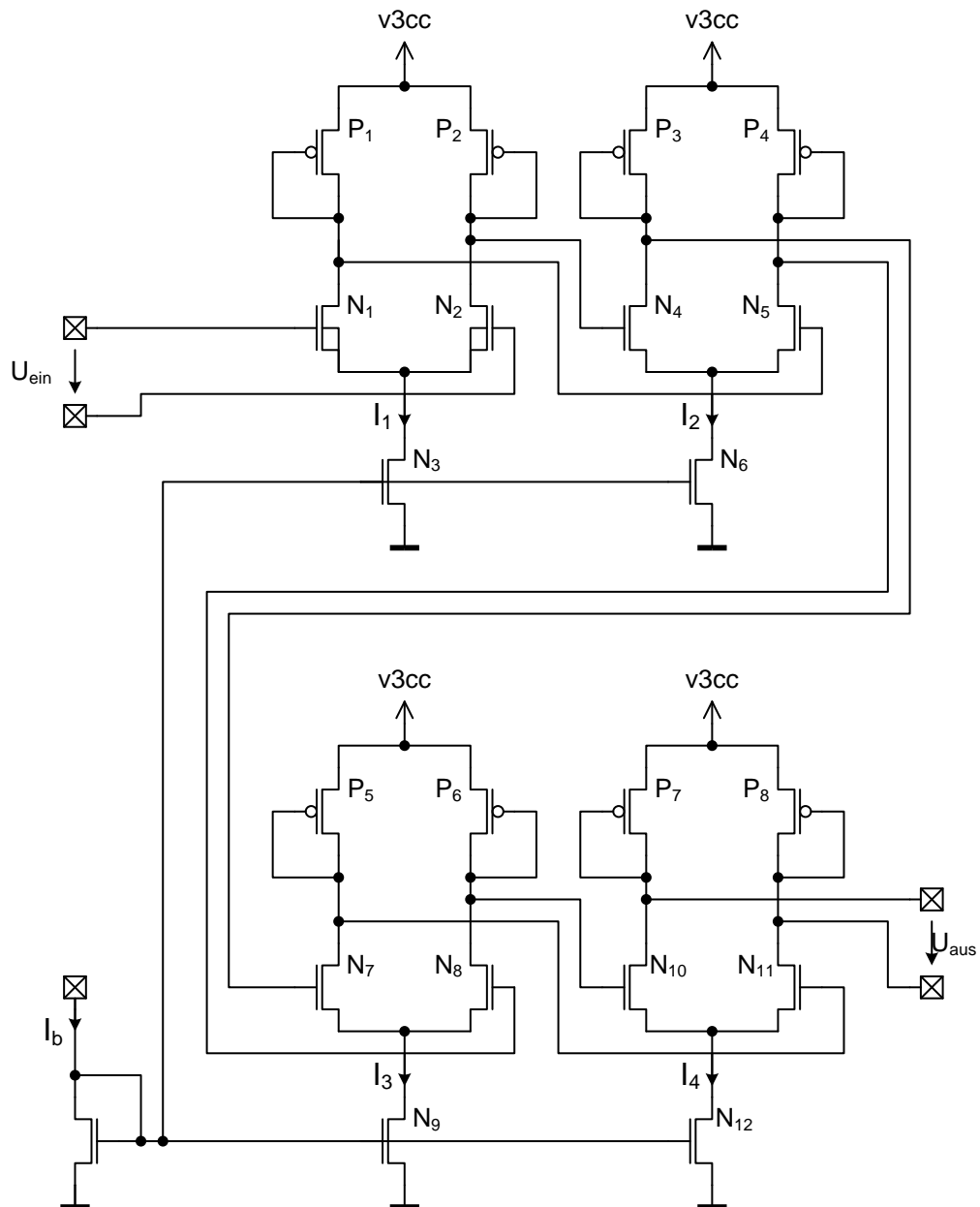


Abbildung 3.8: Voll differenzieller, kaskadierter Vorverstärker

Die Gleichtaktspannung des Eingangssignals vom Integrator kommend beträgt 1,25 V. Aus diesem Grund sind die Bulk Anschlüsse des ersten Eingangspärchens (N_1 und N_2) mit Source verbunden. Außerdem können die Transistoren in der selben Wanne aufgebaut werden und haben dadurch besseres Matching.

Simulationsergebnisse

Zur Analyse des Vorverstärkers werden vier Simulationsarten verwendet. Der wichtigste Parameter $U_{step\ 30ns}$ beschreibt ΔU_{aus} nach einem differentiellen Eingangssprung von 0 V auf $\Delta U_{ein} = 100\ \mu\text{V}$ und einer Einschwingzeit von 30 ns (siehe Abbildung 3.9).

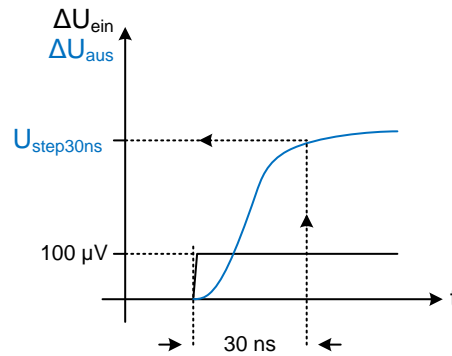


Abbildung 3.9: Definition Sprungverhalten Vorverstärker

Die Offsetspannung U_{offset} kann für den Vorverstärker mittels „DC-match“ Analyse ermittelt werden, da er ohne Taktsignal arbeitet. Durch eine DC-Analyse wird der Gleichaktpegel $U_{cm\ aus}$ bestimmt, der für die folgende Schaltung relevant ist. Zur Vollständigkeit wird mit einer AC-Analyse noch die Leerlaufverstärkung A_0 und die Transitfrequenz f_t ermittelt.

	Parameter	Wert	
Designparameter	Temperatur	-40 °C, 175 °C	} 64 Kombinationen
	$v3cc$	2,7 V, 3,3 V	
	I_b	9 μA, 11 μA	
Prozessparameter	LV-CMOS	fast, slow, fastslow, slowfast	

Tabelle 3.5: Design- und Prozessparameter der Cornersimulation

Die Simulationsergebnisse aller unterschiedlichen Analysen, sind in Tabelle 3.6 zusammengefasst.

	min.	max.
$U_{step\ 30ns} [mV]$	11,6	179,3
$\sigma U_{offset} [mV]$	1,84	1,98
$U_{cm\ aus} [V]$	1,12	2,48
$A_0 [dB]$	44,74	69,89
$f_t [MHz]$	221	682

Tabelle 3.6: Simulationsergebnisse des Vorverstärkers

3.3.2 Dynamic latched Komparator

Anhand der Arbeit [6] wird gezeigt, dass basierend auf der gleichen Chipfläche die vorgestellte Schaltung in Abbildung 3.10 herausragende Eigenschaften bezüglich Offset, Geschwindigkeit und Energieaufnahme besitzt. Unter Umständen könnte eine weniger komplexe Struktur genügen, doch im Hinblick der Modulentwicklung ist es sinnvoll vorausschauend zu handeln.

Solange das Signal sw_latch auf logisch 0 ist, befindet sich der Komparator in einer „Reset“-Phase. Währenddessen hat das Eingangssignal keine Auswirkung auf den Ausgang. Die Knoten $Di+$ und $Di-$ sind auf $v3cc$ aufgeladen. Steigt sw_latch auf logisch 1 (Entscheidungsphase), werden die beiden Knoten je nach Eingangssignal unterschiedlich schnell entladen. Die zwei Inverter bestehend aus den Transistoren P_3, P_4, N_4 und N_5 dienen als Verstärker und stellen die Signale $Di +'$ und $Di -'$ zur Verfügung. Diese Steuern ein dynamisches Latch bestehend aus $P_5 - P_{10}$ und $N_6 - N_9$ an, wo der aktuelle Ausgangszustand bis zur nächsten Entscheidungsphase gespeichert bleibt.

Simulationsergebnisse

Das Verhalten des „dynamic latched comparator“ wird mittels transienter Simulation überprüft. Durch Anlegen einer treppenförmigen Differenzspannung am Eingang ΔU_{ein} können die Offsetspannung U_{off} und die Verzögerungszeit t_d ermittelt werden. Ein beispielhafter Signalverlauf mit den Kennwerten ist in Abbildung 3.11 dargestellt. Zusätzlich muss bei jedem Simulationsdurchlauf überprüft werden, ob der Komparator genau ein mal in jede Richtung kippt.

Mithilfe der Cornersimulation wird die Gleichtaktspannung $u_{cm\ ein} = \frac{U_{ein+} + U_{ein-}}{2}$ variiert, um sicherzustellen, dass dieser in Verbindung mit dem Vorverstärker korrekt funktioniert. Die Grenzwerte von $u_{cm\ ein}$ orientieren sich an $u_{cm\ aus}$ des Vorverstärkers.

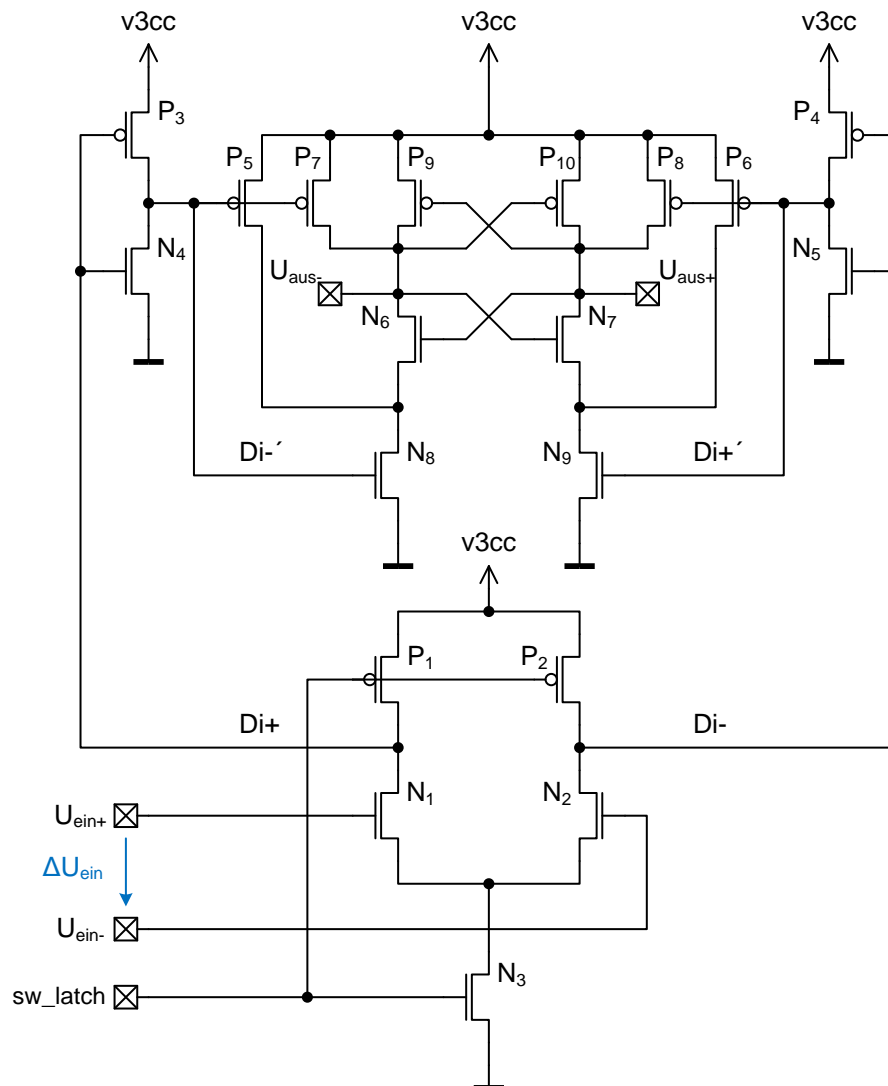


Abbildung 3.10: dynamischer Komparator in Anlehnung an [6, S. 25]

	Parameter	Wert	
Designparameter	Temperatur	-40 °C, 27 °C, 175 °C	} 12 Kombinationen
	<i>v3cc</i>	2,7 V, 3,3 V	
	<i>u_{cm ein}</i>	1,1 V, 2,5 V	

Tabelle 3.7: Cornersimulation: Design- und Prozessparameter

Das Steuersignal *sw_latch* wird mit der maximalen Frequenz von 12 MHz angesteuert, die

Stufenbreite beträgt $t_{step} = \frac{1}{f_s} \approx 83 \text{ ns}$.

Für jede Corner-Kombination in der Tabelle 3.7 werden 200 Monte-Carlo Simulationen durchgeführt um die Offset-Spannung U_{Off} zu ermitteln.

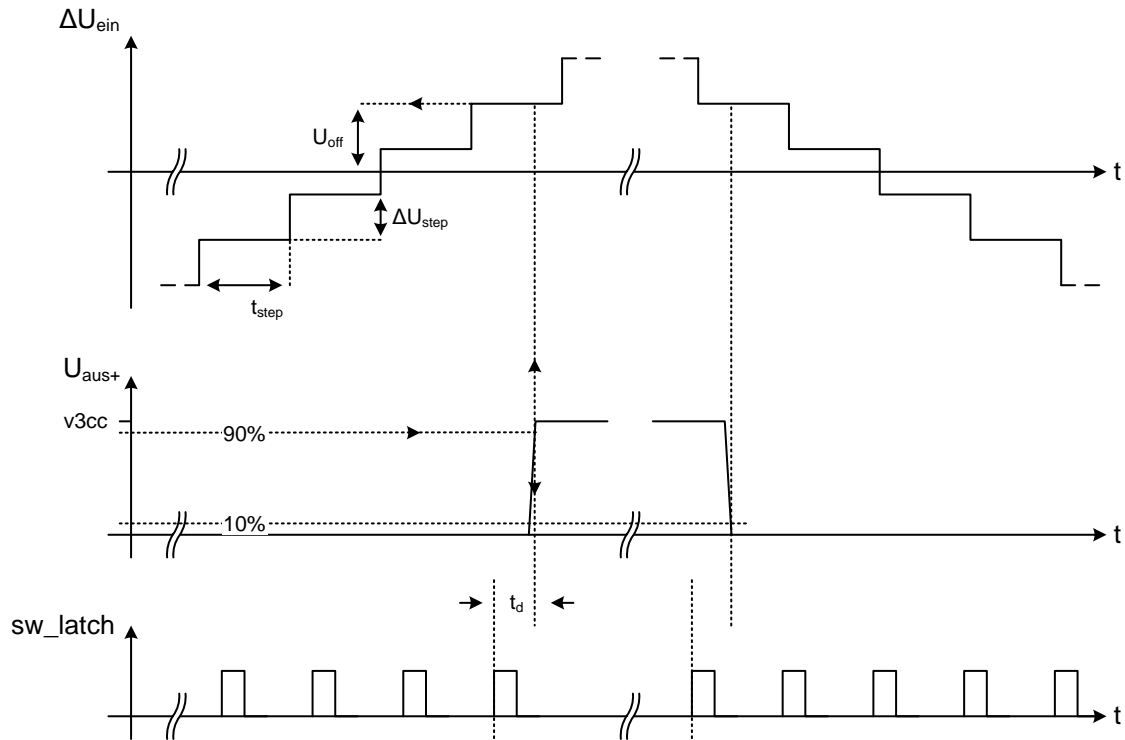


Abbildung 3.11: Signalverläufe „dynamic latched comparator“

Die Simulationsergebnisse aller Durchgänge sind in Tabelle 3.8 zusammengefasst.

$$\frac{\sigma U_{Off \max.}}{t_d} \begin{matrix} \pm 4,5 \text{ mV} \\ \leq 2 \text{ ns} \end{matrix}$$

Tabelle 3.8: Simulationsergebnis der Corner- und Monte-Carlo-Simulation

3.4 Analogschalter

Die restlichen Schalterelemente werden als einfaches Transmissionsgate wie in Abbildung 3.12 realisiert. Dies hat den Vorteil, dass mittels korrekter Dimensionierung der Transistoren P_1 und N_1 der negative Effekt der Ladungsinjektion verringert werden kann [17, Figure 12.26]. Da das Ausmaß der Ladungsinjektion von der Transistorfläche abhängt, wird für die Länge

der Transistoren das Minimum von $0,35\ \mu\text{m}$ gewählt. Die mindestens benötigte Weite für jeden Analogschalter wird mittels „Worst-Case“-Analyse ermittelt. Es muss sichergestellt werden, dass alle Kapazitäten in jeder Taktphase „vollständig“ geladen/entladen werden. Darunter wird eine Abweichung vom Sollwert um weniger als der definierte Zielwert des Dynamikumfangs von 16 Bit ($\cong \frac{1}{2^{16}}$) definiert.

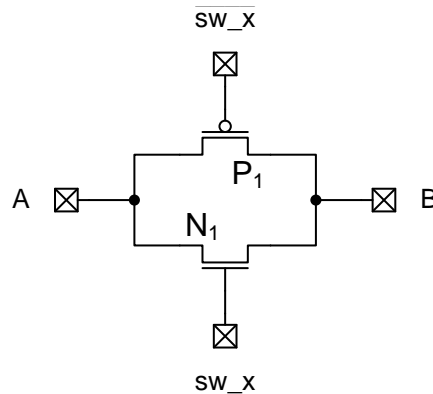


Abbildung 3.12: Transmissiongate Analogschalter

3.5 Gesamtsystem

Um das Gesamtsystem zu charakterisieren, werden die unterschiedlichen Kennwerte (siehe 1.3) des DSADUs ermittelt. Da MOD1 - Systeme mit einem 1-Bit Quantisierer immer lineares Verhalten zeigen, bleiben von den statischen Parametern nur noch der Offset- und der Verstärkungsfehler.

Der Offset wird mittels Monte-Carlo Analyse ermittelt und für ein aussagekräftiges Ergebnis werden ca. 200 Monte-Carlo Simulationsdurchgänge benötigt. Man bedenke, dass dieser Vorgang für alle Designparameter durchgeführt werden muss. Um einen einzigen DC-Wert mit 16 Bit Auflösung zu ermitteln, werden mindestens 65536 Taktzyklen benötigt. Ein einziger Simulationsdurchlauf benötigt mehrere Tage, weshalb aus zeitlichen Gründen auf die Ermittlung des Offsets verzichtet wird.

Generell wird für die Charakterisierung der Schaltung eine enorm große Simulationszeit benötigt. Da aus der Spektralanalyse viel mehr Information gewonnen werden kann, liegt der Fokus der Gesamtsystems simulation bei den dynamischen Parametern.

3.5.1 Angaben zur Spektralanalyse

Um mittels FFT-Analyse die dynamischen Parameter zu bestimmen, ist es wichtig, genug Spektrallinien (Bins) innerhalb der Nutzbandbreite zu berechnen. Laut [21, S.372] wird

eine FFT-Länge (N) von mindestens dem 64-fachen der OSR empfohlen.

$$f_s = 10,24 \text{ MHz} \quad (3.8)$$

$$OSR = \frac{f_s}{2 \cdot 2000} = 2560 \quad (3.9)$$

$$N \geq 64 \cdot OSR = 163840 \quad (3.10)$$

$$\text{Wähle: } N = 2^{18} = 262144 \quad (3.11)$$

$$\Delta f = \frac{f_s}{N} = \frac{10,24 \cdot 10^6}{262144} = 39,0625 \text{ Hz/Bin} \quad (3.12)$$

$$\Delta t = \frac{1}{\Delta f} = 25,6 \text{ ms} \quad (3.13)$$

$$\text{Wähle: } f_{sig} = 48 \cdot \Delta f = 1,875 \text{ kHz} \quad (3.14)$$

Der Vorteil für die Wahl von $f_{sig} = 1875 \text{ Hz}$ liegt darin, dass diese Frequenz ab einer FFT-Länge von $N = 2^{14}$ einen einzelnen Bin darstellt. Da sie nicht ganz am Ende des Nutzbands von 2 kHz liegt wird ihre Amplitude durch den eventuellen Übergangsbereich des Dezimationsfilters auch noch nicht zu stark gedämpft. Hinzu kommt, dass dadurch kein sog. „leakage“ entsteht und auf eine spezielle Fensterfunktion verzichtet werden kann.

Um mittels spektraler Untersuchung des DSADUs die maximalen dynamischen Parameter zu ermitteln, wird der ADU voll ausgesteuert. Das Testsignal am Eingang lautet wie folgt:

$$u_{test} = 15 \text{ V} + 10 \text{ V} \cdot \sin(2\pi \cdot 1875 \cdot t) \quad (3.15)$$

$$\hat{u}_{test_AC} = 10 \text{ V} \hat{=} 0 \text{ dBFS} \quad (3.16)$$

Die Amplitude von 10 V steuert den DSADU komplett aus und wird deswegen auf 0 dBFS festgelegt (3.16). Durch den Tiefpassfilter am Eingang erfährt das Testsignal im Eingangspfad (siehe Abbildung 3.2) eine leichte Dämpfung, wodurch eine mögliche Übersteuerung des DSADUs mit daraus resultierendem clipping¹ vermieden wird.

¹Signale außerhalb des erlaubten Eingangsbereichs werden gekappt, was zu zusätzlichen störenden Frequenzanteilen führt.

3.5.2 Simulationsergebnisse der Cornersimulation

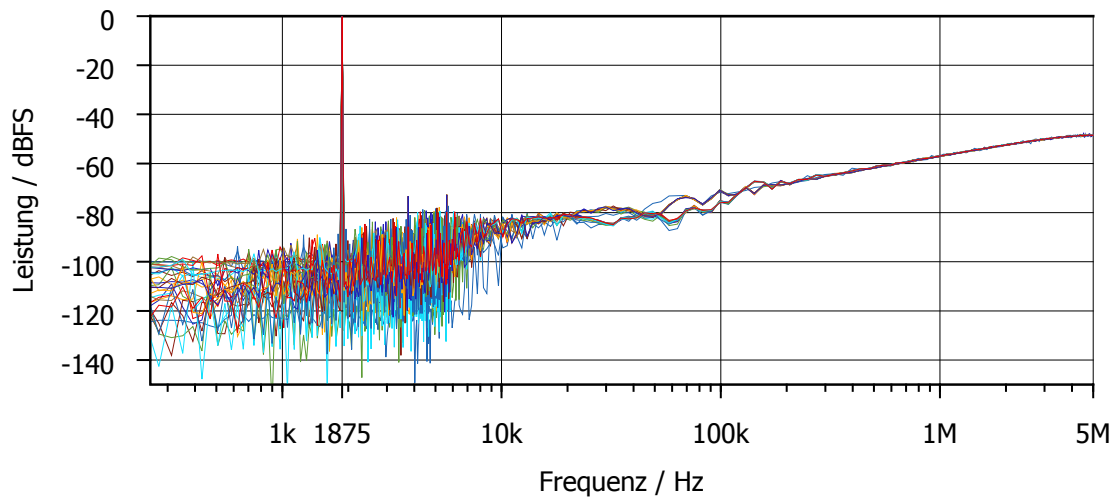
Für die Simulation wird für die *MV*-Transistoren, die Kapazitäten und den Widerständen die ungünstigste slow - Corner definiert. Alle untersuchten Design und Prozessparameter sind in Tabelle 3.9 aufgeführt.

	Parameter	Wert	
Designparameter	Temperatur	-40 °C, 175 °C	} 32 Kombinationen
	v_{3cc}	2,7 V, 3,3 V	
	I_B	9 μ A, 11 μ A	
Prozessparameter	LV-CMOS	fast, slow, fastslow, slowfast	
	MV-CMOS	slow	
	Kapazitäten	slow	
	Widerstände	slow	

Tabelle 3.9: Cornersimulation: Design- und Prozessparameter

In Abbildung 3.13 ist das gesamte, logarithmische Ausgangsspektrum aller 32 Corners vor und nach der digitalen Filterung zu sehen. Das selbe Ergebnis bis 6 kHz und mit linearer Frequenzdarstellung wird in Abbildung 3.14 gezeigt. In dieser Darstellung sind auch die harmonischen Schwingungen der Signalfrequenz zu erkennen.

Die Auswertung der dynamischen Parameter wird automatisiert durchgeführt und das Ergebnis über die einzelnen Corners in Abbildung 3.15, mit und ohne digitaler Filterung, präsentiert. Da der Datenstrom nicht dezimiert wurde, sind die Unterschiede gering, da keine Aliasing-Effekte auftreten. Dennoch ist eine deutliche Verbesserung der **THD** zu erkennen.



(a) Spektrum ohne digitaler Filterung

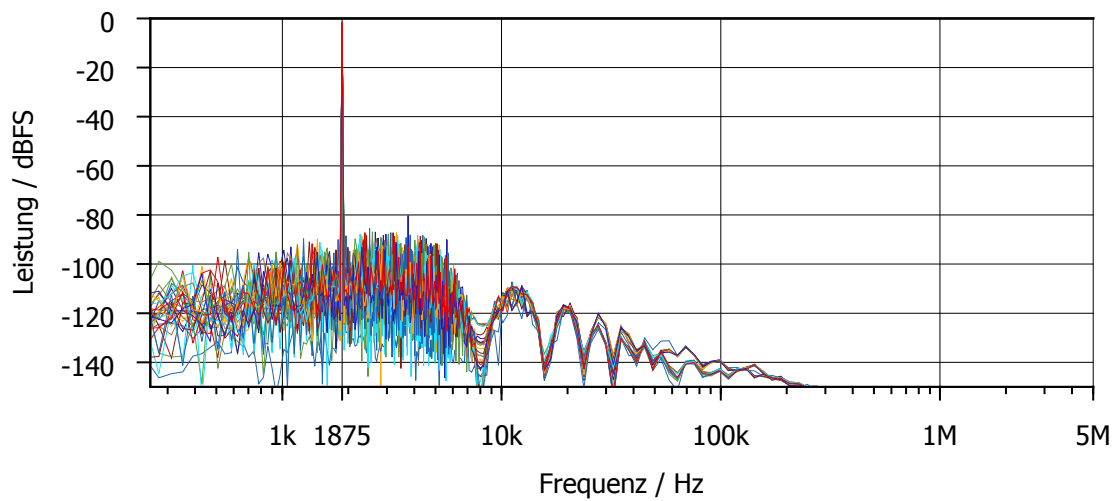
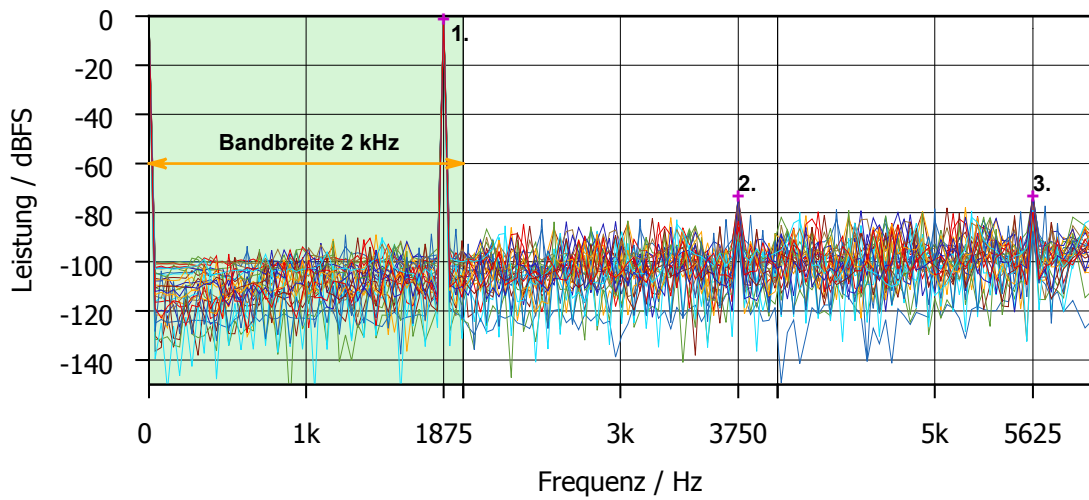
(b) Spektrum nach digitaler Filterung (sinc^2 , $N = 1280$)

Abbildung 3.13: Simuliertes Ausgangsspektrum über Prozess- und Designparameter bei Vollaussteuerung. Spektrale „Glättung“ ab 8 kHz durch „logsmooth()“-Funktion aus „Delta Sigma Toolbox“ [19]



(a) Spektrum ohne digitaler Filterung

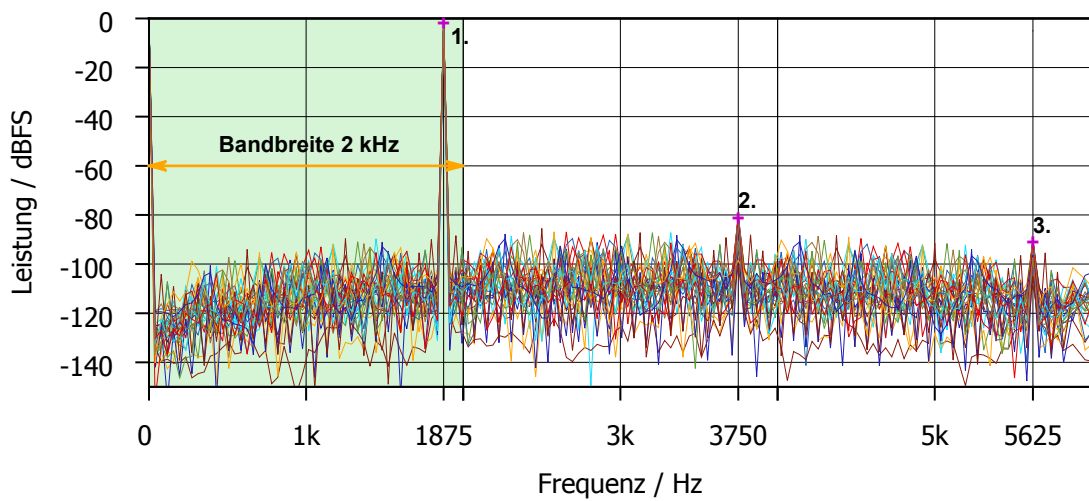
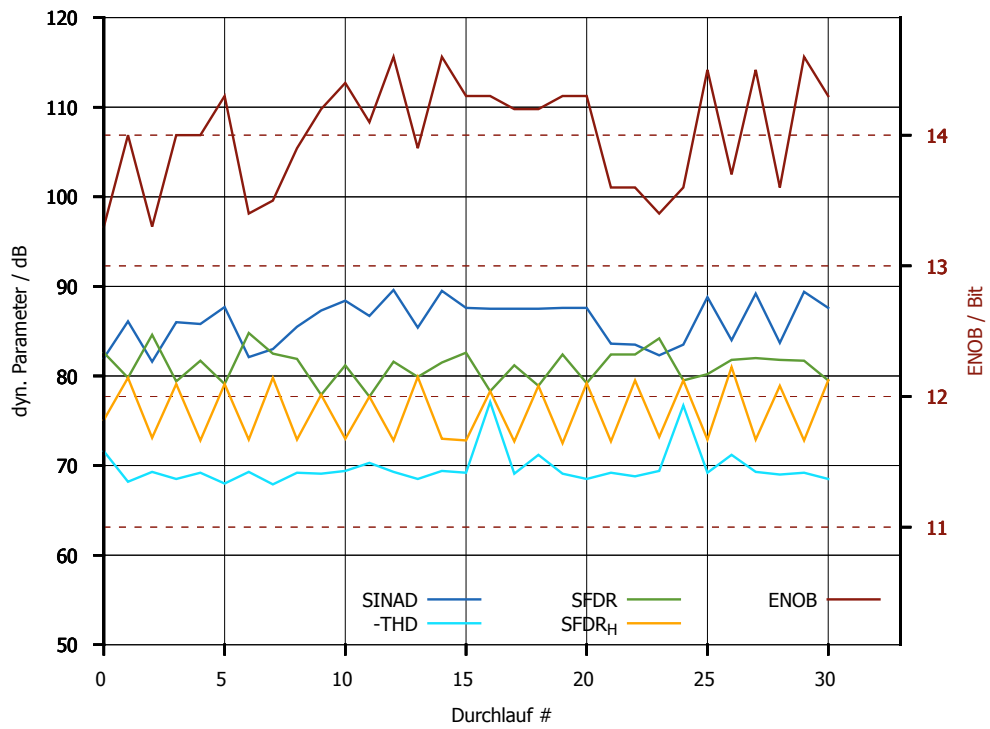
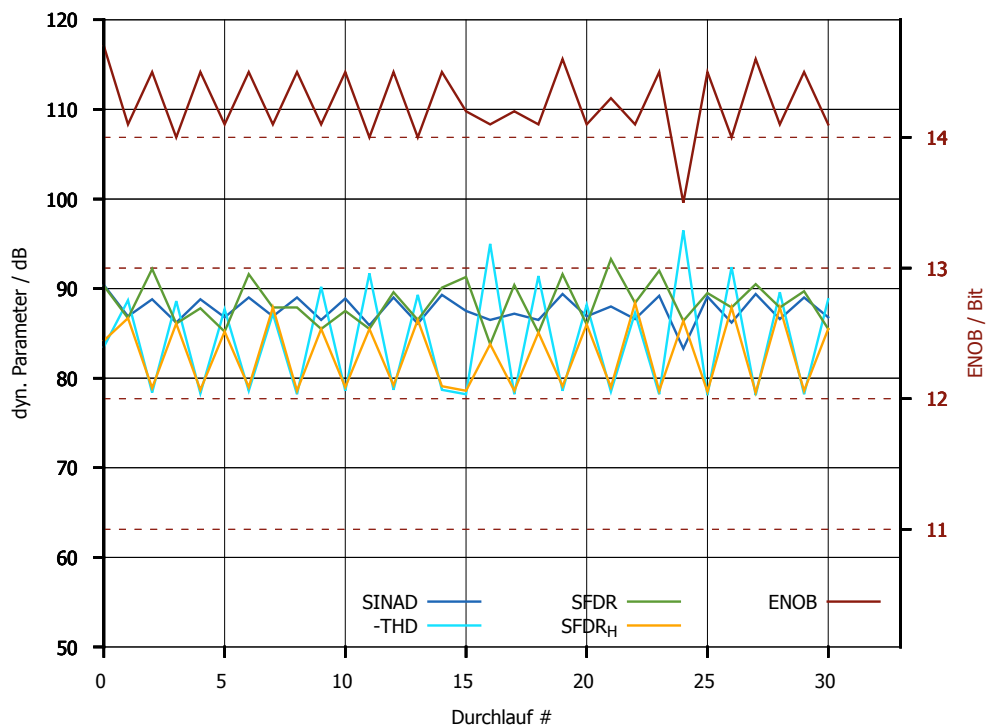
(b) Spektrum nach digitaler Filterung (sinc^2 , $N = 1280$)

Abbildung 3.14: Simuliertes Ausgangsspektrum über Prozess- und Designparameter bis 6 kHz bei Vollaussteuerung



(a) Dynamische Parameter ohne digitaler Filterung



(b) Dynamische Parameter nach digitaler Filterung (sinc^2 , $N = 1280$)

Abbildung 3.15: Dynamische Parameter über Prozess- und Designparameter bei Vollaussteuerung

Abschließend wird in Abbildung 3.16 das erreichbare **SINAD** in Abhängigkeit der Signalamplitude unter Normalbedingungen gezeigt. Die ideale Kurve stellt das optimale Verhalten bei einer Auflösung von 15 Bit dar. Ein Teil der Unstetigkeit kann durch die reduzierte **FFT**-Länge von $N = 2^{16}$ begründet werden.

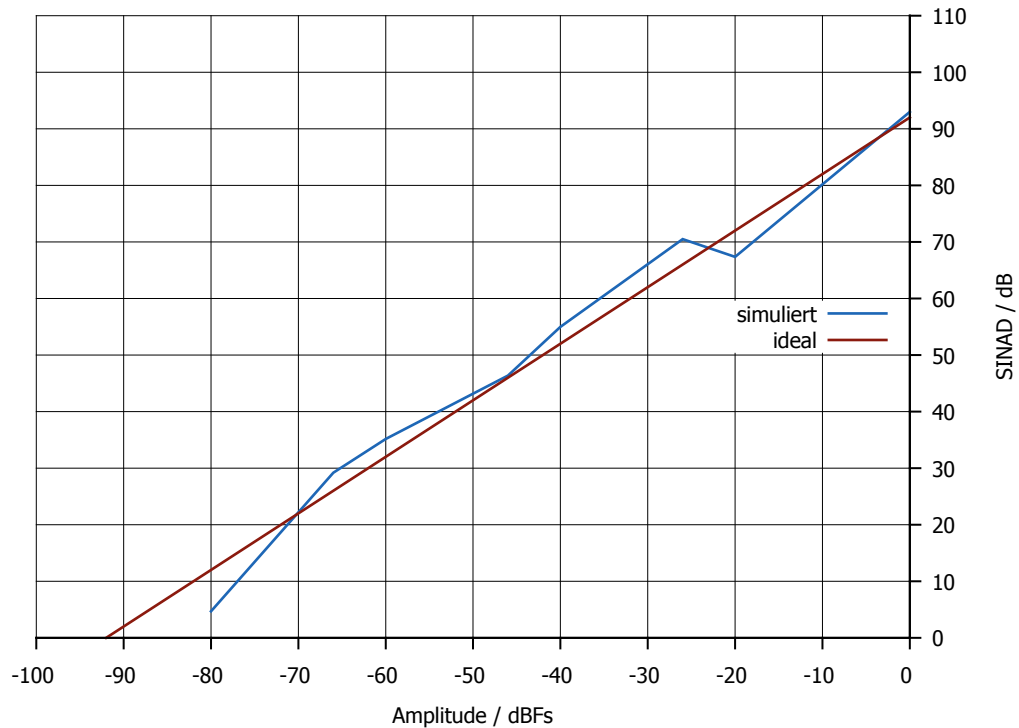


Abbildung 3.16: Verlauf der **SINAD** über die Eingangssignalamplitude unter Normalbedingungen. $0 \text{ dBFS} \hat{=} 10 \text{ V}$ (Vollaussteuerung)

Anhand der Simulationsergebnisse kann festgestellt werden, dass die Anforderungen eingehalten bzw. übertroffen wurden.

4 Zusammenfassung und Ausblick

Die vorliegende Diplomarbeit wurde im Unternehmen Infineon Technologies Austria AG erarbeitet. Ziel war es, einen DSADU für einen Lichtmaschinenregler zu entwickeln. Eine der Herausforderungen bestand darin das Konzept in einer neuen Halbleitertechnologie zu entwerfen und gleichzeitig die Anforderungen des Vorgängersystems zu übertreffen. Der DSADU wurde als Modul entwickelt, um einen vielseitigen Einsatz zu ermöglichen. Dies soll mittels einem flexiblen Konzept unter erhöhten Anforderungen erreicht werden.

Im Anfangsstadium waren die Anforderungen noch nicht klar definiert, wodurch das Lösungskonzept so gewählt wurde, dass Anforderungen, die sich während der Bearbeitung dieses Projektes änderten oder hinzukamen, noch berücksichtigt werden konnten. Aus diesem Grund wurde ein großes Augenmerk auf das Schaltungskonzept gelegt, indem die Anforderungen an die einzelnen Schaltungskomponenten ermittelt werden.

Anhand der Simulationsergebnisse konnte gezeigt werden, dass das System deutlich besser als gefordert arbeitet und die Annahmen im Konzept ausreichend genau gewählt wurden. Es musste festgestellt werden, dass der zeitliche Simulationsaufwand des Gesamtsystems enorm ist. Interessante Kennwerte wie der Offset und das Gleichspannungsverhalten konnten unmöglich mittels Simulation bestimmt werden. Aus diesem Grund muss gespannt auf einen Testchip gewartet werden, um das System im Labor genauer zu charakterisieren.

Das Ergebnis der Arbeit soll Konzeptingenieuren als Grundlage dienen, den Aufwand, die Möglichkeiten und die Grenzen von SC-DSADUs besser einzuschätzen und zukünftige Entwicklungsprozesse zu beschleunigen.

Appendix

Anhang A

Verilog-A Modell: Taktgenerator

```
'include "constants.vams"
'include "disciplines.vams"

module clkgen_model_v3(
data, clk,
sw_cross_A, sw_cross_B,
sw_cm, sw_cm_q,
sw_cds, sw_cds_q,
sw_integ, sw_integ_q,
sw_latch,
sw_vref_p,sw_vref_pq, sw_vref_n, sw_vref_nq, sw_vref_cm,
    sw_vref_cmq
);

input clk;
input data;

output sw_cross_A, sw_cross_B;

output sw_vref_p,sw_vref_pq, sw_vref_n, sw_vref_nq, sw_vref_cm,
    sw_vref_cmq;
output sw_cm, sw_cm_q;
output sw_cds, sw_cds_q;
output sw_integ, sw_integ_q;
output sw_latch;

electrical clk;
electrical data;
electrical sw_cross_A, sw_cross_B;
electrical sw_vref_p,sw_vref_pq, sw_vref_n, sw_vref_nq,
    sw_vref_cm, sw_vref_cmq;
electrical sw_cm, sw_cm_q;
```

```
electrical sw_cds, sw_cds_q;
electrical sw_integ, sw_integ_q;
electrical sw_latch;

parameter real vlogic_high = 3;
parameter real vswitch_high = 3;
parameter real vtrans = 1.5;
parameter real tdel = 1n from [0:inf);
parameter real trise = 1n from (0:inf);
parameter real tfall = 1n from (0:inf);
parameter real tno1 = 1n from (0:inf);
parameter real tdel_cross = 3n from [0:inf);

integer x;           //rising edge
integer y;           //falling edge
integer d;           //datastream (quantizer out)

real delay_ref;
real delay_cross;
real delay_cross_q;
real delay_cds;
real delay_cm;
real delay_integ;
real delay_latch;
real delay_store;
real delay_vref_cm;

real phase1a;
real phase2a;
real phase1;
real phase2;
real phase1d;
real phase2d;

analog begin

    @ ( initial_step )
    begin

        d = (V(data)>vtrans);
```

```

x = (V(clk)>vtrans);
y = (V(clk)<vtrans);

end

@(cross(V(data) - vtrans, -1) or cross(V(data) -
    vtrans, +1))
begin
    d = (V(data)>vtrans);    //read in values from
                            quantizer digital
end

@ (cross( V(clk) - vtrans, +1 ))
begin
    x = 1;
    y = 0;
end

@ (cross( V(clk) - vtrans, -1 ))
begin
    x = 0;
    y = 1;
end

@ (cross( V(clk) - vtrans, +1 ) or cross( V(clk) -
    vtrans, -1 ) ) //calculate delays
begin

    phase1a =      x*2      *tnol + y*1      *tnol;
    phase1  =      x*4      *tnol + y*3      *tnol;
    phase1d =      x*6      *tnol + y*5      *tnol;

    phase2a =      x*1      *tnol + y*2      *tnol;
    phase2  =      x*3      *tnol + y*4      *tnol;
    phase2d =      x*5      *tnol + y*6      *tnol;

    delay_integ    = phase2a;
    delay_cds      = phase1a;
    delay_cm       = phase1a;
    delay_ref      = phase2;

```

```

        delay_vref_cm    = phasel;
        delay_latch     = x*0    *tnol + y*1    *tnol;
        delay_store     = x*4    *tnol + y*0    *tnol;
        delay_cross     = x*tdel_cross + y* tdel_cross;
        delay_cross_q   = phasel;      // not
        important because not used in real input
        switch

end

V(sw_cross_A)  <+ transition( !x
    *vswitch_high, delay_cross      , trise ,
    tfall );
V(sw_cross_B)  <+ transition( x
    *vswitch_high, delay_cross_q    , trise , tfall );

V(sw_vref_p)   <+ transition( (d & !x)
    *vswitch_high, delay_ref        , trise , tfall );
V(sw_vref_pq)  <+ transition( ( !(d & !x))
    *vswitch_high, delay_ref        , trise , tfall );

V(sw_vref_n)   <+ transition( (!d & !x)
    *vswitch_high, delay_ref        , trise , tfall );
V(sw_vref_nq)  <+ transition( !(!d & !x)
    *vswitch_high, delay_ref        , trise , tfall );

V(sw_vref_cm)  <+ transition( x
    *vswitch_high, delay_vref_cm    , trise , tfall );
V(sw_vref_cmq) <+ transition( !x
    *vswitch_high, delay_vref_cm    , trise , tfall );

V(sw_cm)       <+ transition( x
    *vswitch_high, delay_cm         , trise ,
    tfall );
V(sw_cm_q)     <+ transition( !x
    *vswitch_high, delay_cm         , trise ,
    tfall );

V(sw_cds)      <+ transition( x
    *vswitch_high, delay_cds        , trise ,

```



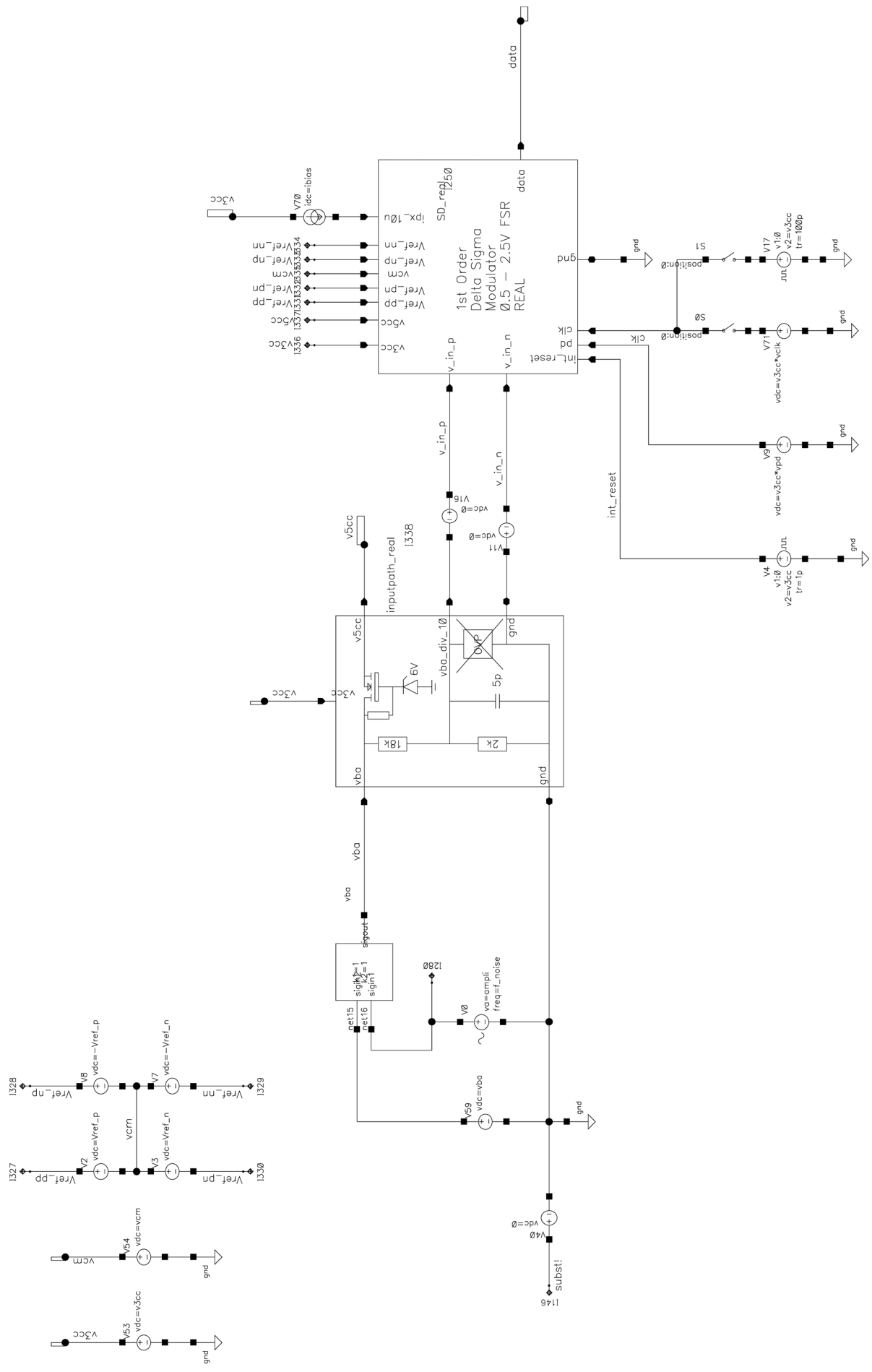
```
        tfall );
V(sw_cds_q)    <+ transition( !x
    *vswitch_high, delay_cds          , trise ,
    tfall );

V(sw_integ)    <+ transition( !x
    *vswitch_high, delay_integ        , trise ,
    tfall );
V(sw_integ_q)  <+ transition( x
    *vswitch_high, delay_integ        , trise , tfall );

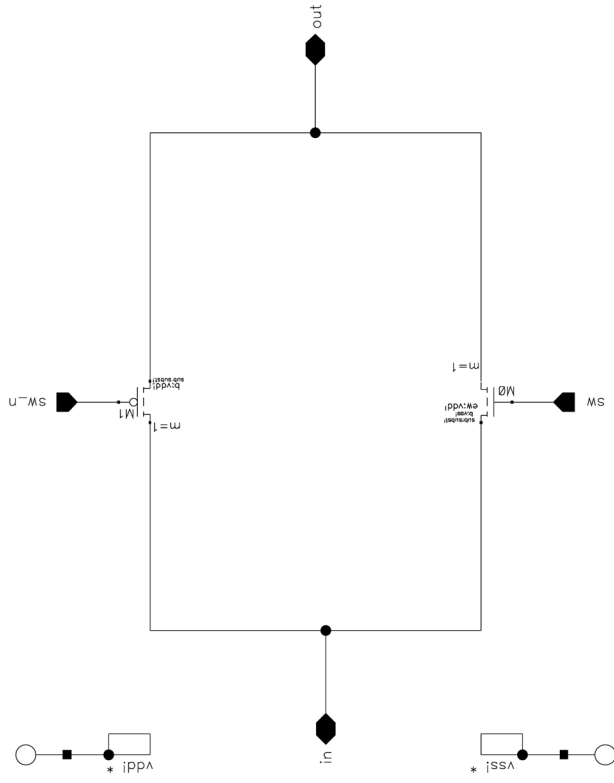
V(sw_latch)    <+ transition( x
    *vswitch_high, delay_latch        , trise ,
    tfall );
end
endmodule
```

Anhang B

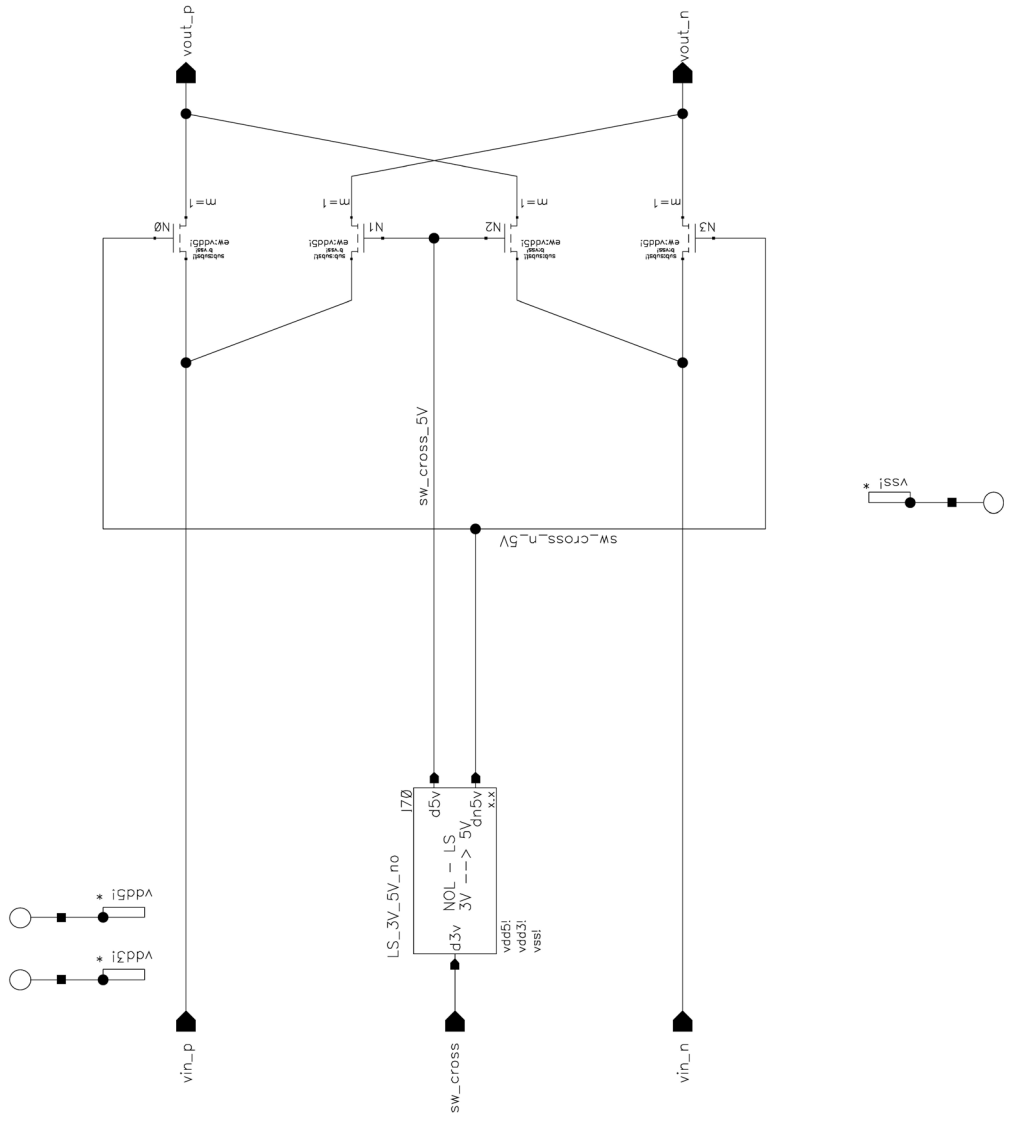
Schaltplan



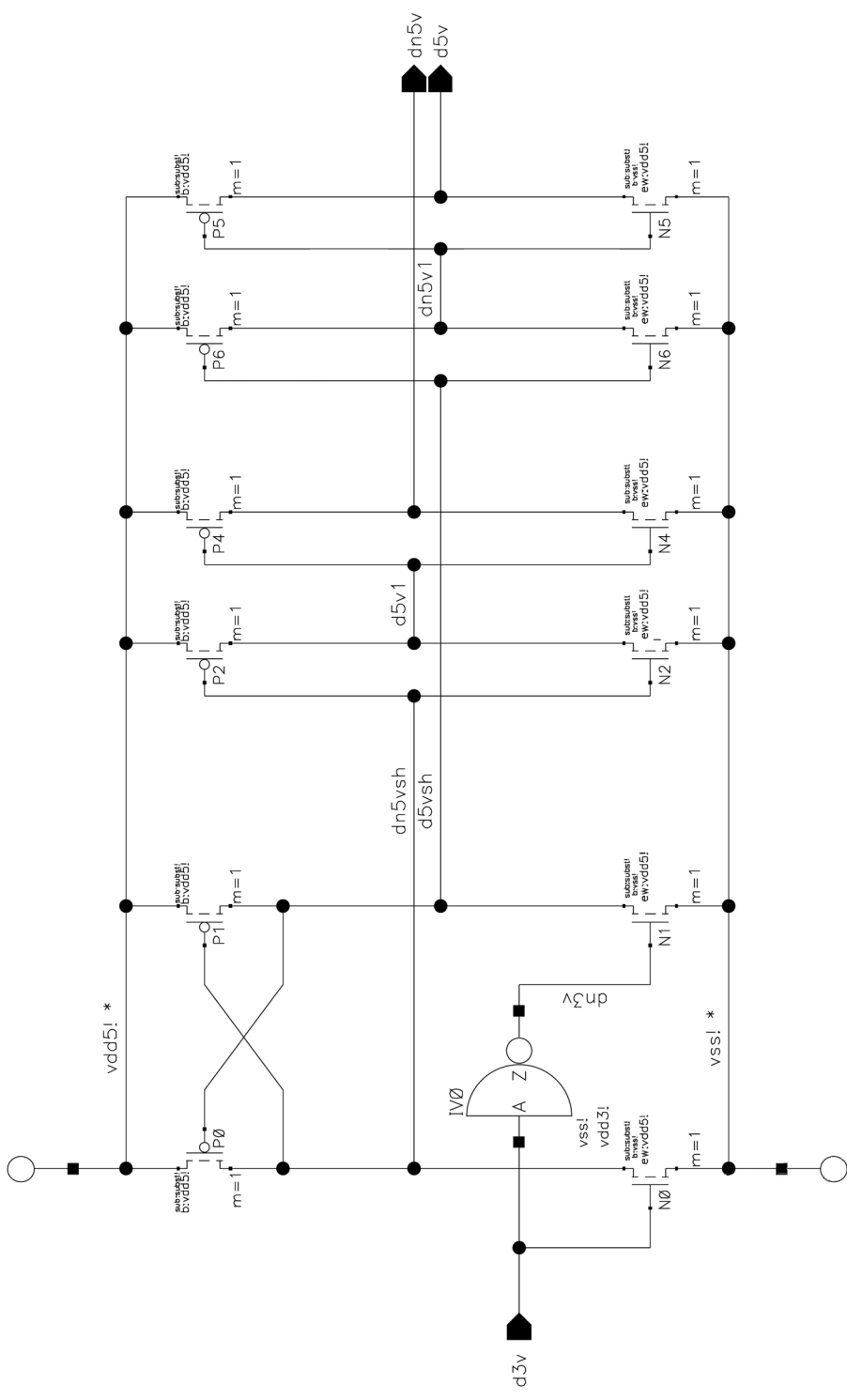
switch_3V_TG_medium



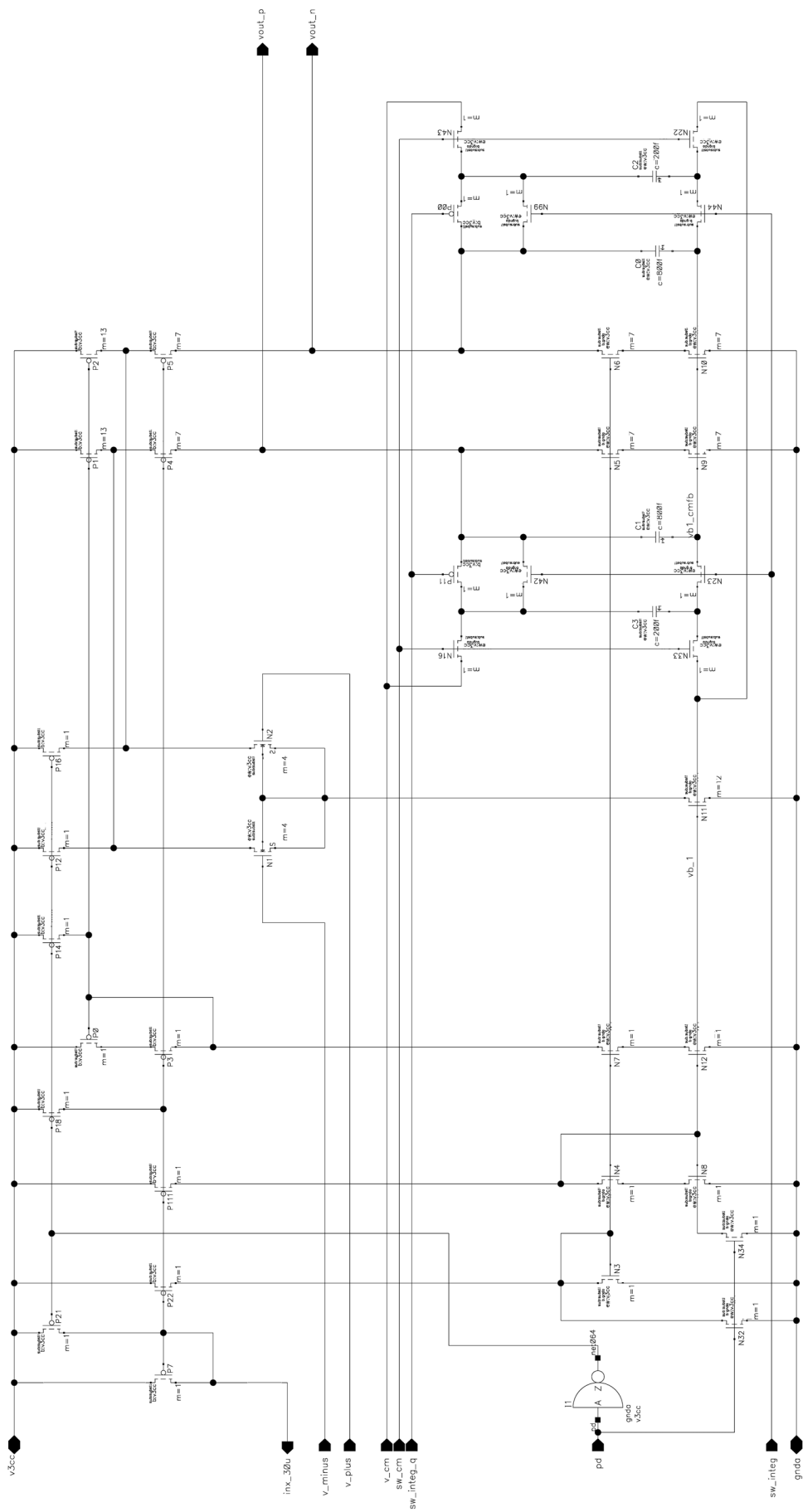
input_switch_MV



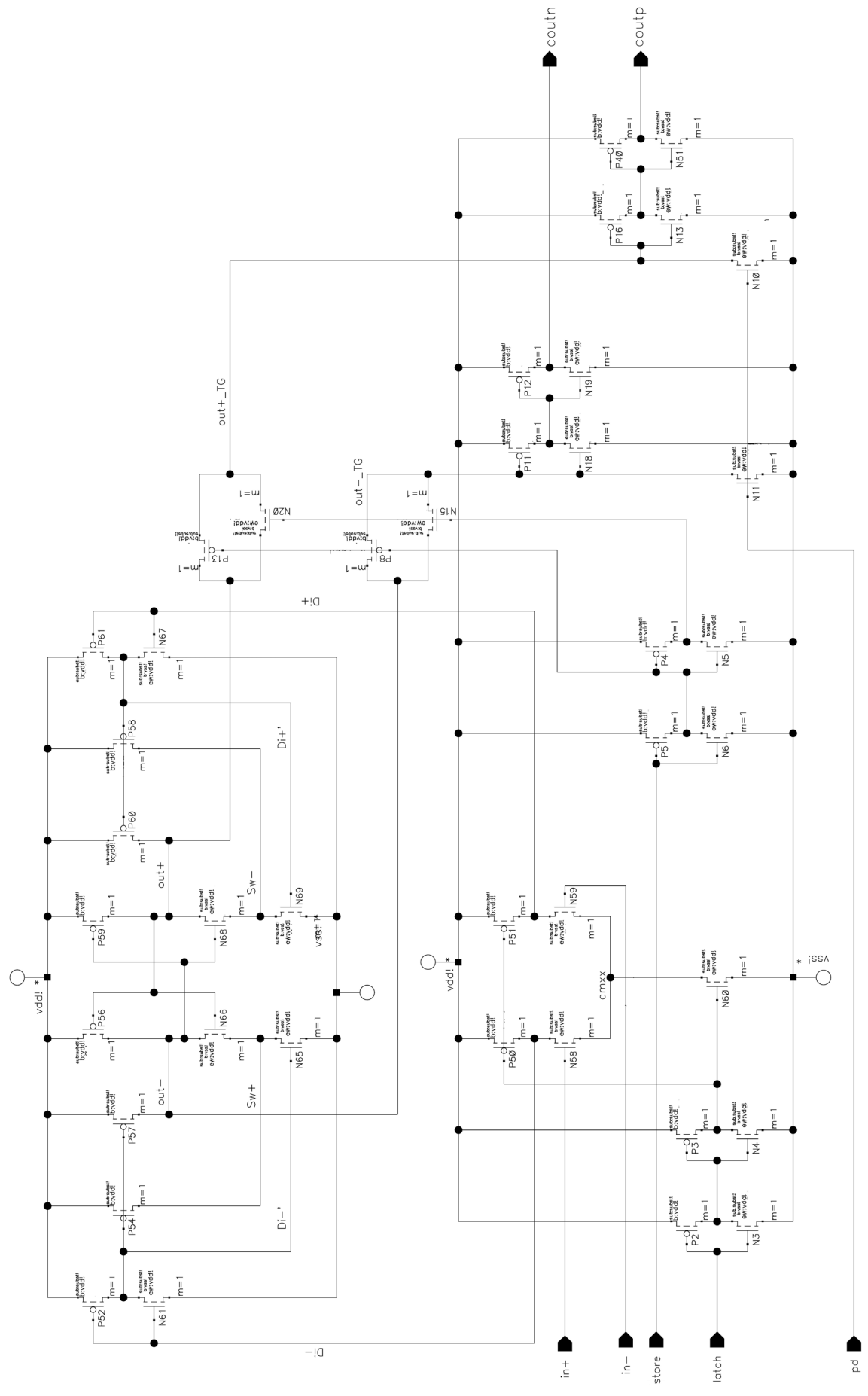
LS_3V_5V_no_dpv440



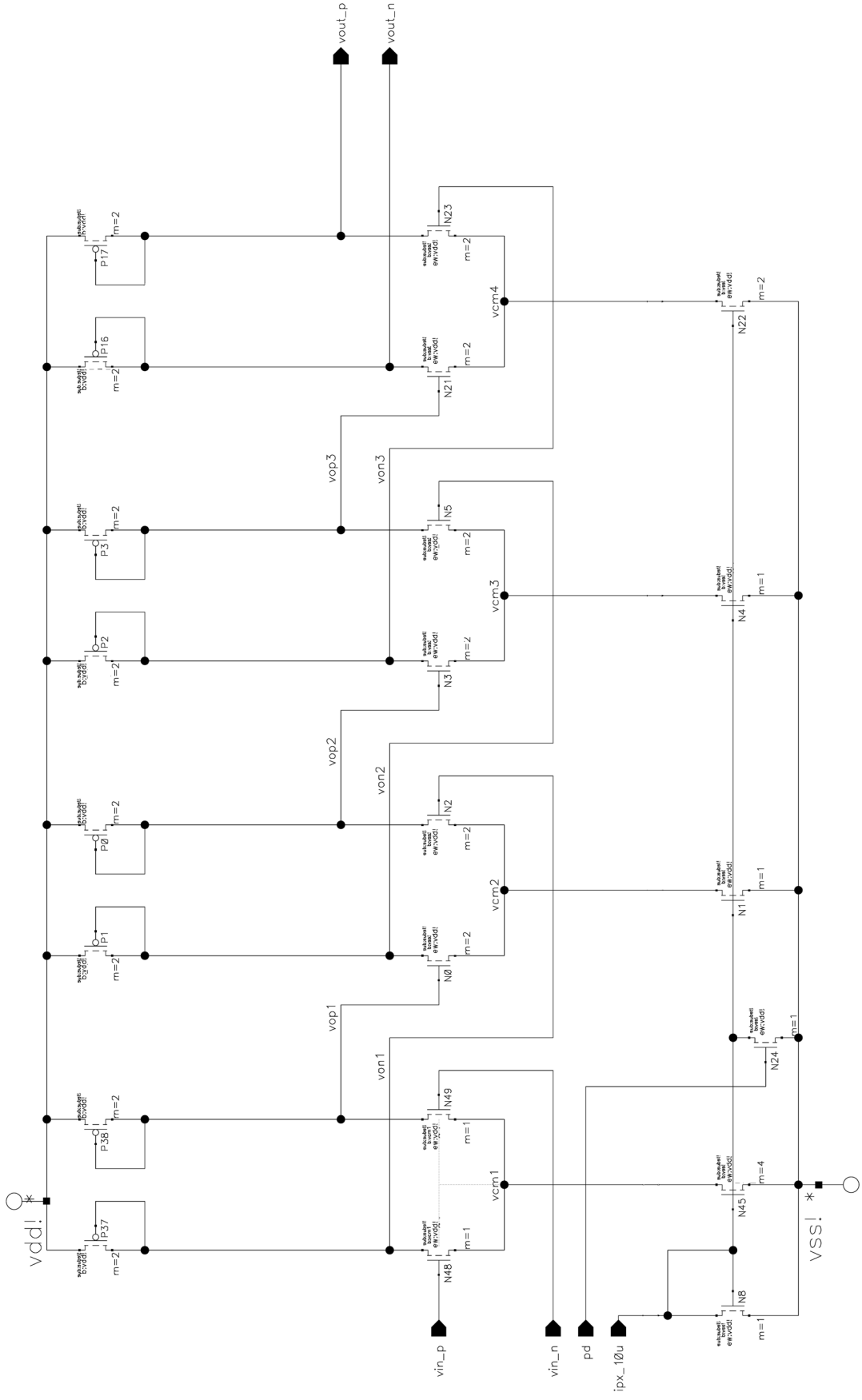
opamp_sc_cmf



comp_dynamic_latched_hs_lp



comp_preamp



Literatur

- [1] Phillip E. Allen und Douglas R. Holberg. *CMOS Analog Circuit Design, Second Edition*. The Oxford Series in Electrical and Computer Engineering. Oxford University Press, 2002 (siehe S. 55).
- [2] Bonnie Baker. *A Glossary of Analog-to-Digital Specifications and Performance Characteristics - SBAA147B*. Techn. Ber. Texas Instruments Inc., 9. Okt. 2011. URL: <http://www.ti.com/litv/pdf/sbaa147b> (besucht am 14.08.2013) (siehe S. 15, 17).
- [3] Carlos D. Bula und Manuel Jiménez. „Practical Considerations for the Design of Fully Differential OTAs with SC-CMFB“. In: *In Proceedings of 2010 Latin-American Symposium on Circuits and Systems, LASCAS 2010*. 2010. URL: http://ece.uprm.edu/~s071039/Papers/Paper_LASCAS2010.pdf (besucht am 10.07.2013) (siehe S. 40, 58).
- [4] J.C. Candy. „Decimation for Sigma Delta Modulation“. In: *Communications, IEEE Transactions on* 34.1 (1986), S. 72–76. ISSN: 0090-6778. DOI: [10.1109/TCOM.1986.1096432](https://doi.org/10.1109/TCOM.1986.1096432) (siehe S. 49).
- [5] Tony Chan Carusone, David A. Johns und Kenneth W. Martin. *Analog integrated circuit design 2nd edition*. John Wiley & Sons, 2011 (siehe S. 3, 8, 12, 36, 38–41, 55–58).
- [6] Jeon HeungJun. „Low-power high-speed low-offset fully dynamic CMOS latched comparator“. Magisterarb. Northeastern University, 2010. URL: <http://hdl.handle.net/2047/d20000933> (besucht am 17.06.2013) (siehe S. 63, 64).
- [7] David Johns und Ken Martin. *ECE1371H - Advanced Analog Circuits - Oversampling Converters*. Skriptum. University of Toronto, 1997. URL: http://www.eecg.toronto.edu/~johns/ece1371/slides/14_oversampling.pdf (besucht am 13.08.2013) (siehe S. 3).
- [8] Walt Kester und Inc. Analog Devices. *Mixed-signal and DSP design techniques*. Newnes, 2003. URL: http://www.analog.com/library/analogDialogue/archives/39-06/mixed_signal.html (siehe S. 3, 14, 19).
- [9] Haideh Khorramabadi. *EECS 247: Analog-Digital Interface Integrated Circuits - Lecture 25 - Pipeline & Oversampled ADCs*. Skriptum. University of California, Berkeley, 2007. URL: http://inst.eecs.berkeley.edu/~ee247/fa07/files07/lectures/L25_f07.pdf (besucht am 24.09.2013) (siehe S. 3, 4, 7).

- [10] Mingliang Liu. *Demystifying Switched Capacitor Circuits*. Electronics & Electrical. Newnes, 2006 (siehe S. 36).
- [11] S. Mallya und J.H. Nevin. „Design procedures for a fully differential folded-cascode CMOS operational amplifier“. In: *Solid-State Circuits, IEEE Journal of* 24.6 (1989), S. 1737–1740. ISSN: 0018-9200. DOI: [10.1109/4.45013](https://doi.org/10.1109/4.45013) (siehe S. 55).
- [12] Y. Moghe, T. Lehmann und T. Piessens. „Nanosecond Delay Floating High Voltage Level Shifters in a 0.35 um HV-CMOS Technology“. In: *Solid-State Circuits, IEEE Journal of* 46.2 (2011), S. 485–497. ISSN: 0018-9200. DOI: [10.1109/JSSC.2010.2091322](https://doi.org/10.1109/JSSC.2010.2091322) (siehe S. 53).
- [13] IEC 62132-4 Norm. *Integrated circuits – Measurement of electromagnetic immunity 150 kHz to 1 GHz – Direct RF power injection method*. Feb. 2006 (siehe S. 25).
- [14] Steven R. Norsworthy, Richard Schreier und Gabor C. Temes. *Delta-Sigma Data Converters: Theory, Design, and Simulation*. John Wiley & Sons, 1997 (siehe S. 15, 25).
- [15] Alan V. Oppenheim, Ronald W. Schafer und John R. Buck. *Discrete-time Signal Processing, 2nd*. Prentice-Hall signal processing series. Prentice Hall, 1999. ISBN: 9780131988422 (siehe S. 3, 5).
- [16] M.A.P. Pertijs und J.H. Huijsing. *Precision Temperature Sensors in CMOS Technology*. Analog circuits and signal processing series. Springer, 2006. ISBN: 9781402052583 (siehe S. 37).
- [17] Behzad Razavi. *Design of Analog CMOS Integrated Circuits*. McGraw-Hill Higher Education, 2001 (siehe S. 33, 60, 65).
- [18] José M. de la Rosa und Rocío del Río. *CMOS Sigma-Delta Converters: Practical Design Guide*. Wiley - IEEE. John Wiley & Sons, 2013. ISBN: 9781118569221 (siehe S. 37).
- [19] Richard Schreier. *Delta Sigma Toolbox*. Version (29 Dec 2011). MATLAB Central File Exchange, 14. Jan. 2000. URL: <http://www.mathworks.com/matlabcentral/fileexchange/19-delta-sigma-toolbox> (siehe S. 69).
- [20] Richard E. Schreier und Trevor Caldwell. *ECE1371: Advanced Analog Circuits Lecture 10 - NOISE IN SC CIRCUITS*. Skriptum. University of Toronto, 2008. URL: <http://individual.utoronto.ca/schreier/lectures/10-2.pdf> (besucht am 13.09.2012) (siehe S. 41, 42).
- [21] Richard Schreier und Gabor C. Temes. *Understanding Delta-Sigma Data Converters*. John Wiley & Sons, 2004 (siehe S. 25, 36, 41, 43, 50, 66).
- [22] R. Schreier et al. „Design-oriented estimation of thermal noise in switched-capacitor circuits“. In: *Circuits and Systems I: Regular Papers, IEEE Transactions on* 52.11 (2005), S. 2358–2368. DOI: [10.1109/TCSI.2005.853909](https://doi.org/10.1109/TCSI.2005.853909) (siehe S. 41, 42, 44).

- [23] Libin Yao, Michiel Steyaert und Willy Sansen. *Low-Power Low-Voltage Sigma-Delta Modulators in Nanometer CMOS*. Springer, 2006 (siehe S. 3, 8–11, 14).