

Diplomarbeit

DA 695

Entwurf und Implementierung eines konfigurierbaren Ultra-Wideband- Transmitters in einem 120 nm CMOS-Prozess

Peter Amreich

Institut für Elektronik
Technische Universität Graz
Leiter: Univ.-Prof. Dipl.-Ing. Dr.techn. Wolfgang Pribyl
Begutachter: Ass.-Prof. Dipl.-Ing. Dr.techn. Peter Söser



unterstützt durch Infineon Technologies Austria AG

Graz, im März 2011



Diese Diplomarbeit wurde unterstützt von
Infineon Technologies Austria AG
Development Center Graz
Abteilung Contactless and RF Exploration
Leitung: Dipl.-Ing. Gerald Holweg
Betreuer: Dipl.-Ing. Günter Hofer

Kurzfassung

Ein sogenanntes *Data Grain* wird über ein UHF-Feld (900 MHz) versorgt und soll über eine Ultra-Wideband (UWB) Luftschnittstelle Daten mit einer Rate von 100 Mbit/s senden. Die Versorgungseinheit sammelt dabei die, über das UHF-Feld bereitgestellte, Energie und lädt einen Buffer-Kondensator auf. Ist ausreichend Energie vorhanden, beginnt der UWB-Transmitter mit dem Senden der Daten. Das Gesamtsystem ist somit autark und kommt ohne externe Energieversorgung aus. Der UWB-Standard IEEE 802.15.4a erlaubt eine Bandbreite des gesendeten Signals im Bereich von 499,2 MHz bis 1,35497 GHz wobei die Mittenfrequenz bei maximal 9484,8 MHz liegt. Ein UWB-Transmitter besteht im Wesentlichen aus einer Schaltung zur Basisbandaufbereitung, einem Modulator samt Leistungsverstärker, der eine geeignete Antenne treiben kann und einem Oszillator, der das Trägersignal zur Verfügung stellt. Die vorliegende Arbeit beschäftigt sich mit dem Entwurf und der physikalischen Implementierung eines solchen Transmitters in einem 120 nm CMOS Prozess. Um die Evaluierung des UWB-Transmitters mit den zu Grunde liegenden messtechnischen Möglichkeiten zu erweitern, soll der Transmitter so flexibel als möglich gestaltet werden. Über digitale Eingänge sollen die Parameter der verwendeten Datencodierung, die Basisbandbegrenzung sowie die Amplitude des Ausgangssignals konfigurierbar sein.

Abstract

A so called *data grain*, powered by a 900 MHz UHF-Field, sends data wirelessly using Ultra-Wideband (UWB) up to data rates of 100 Mbit/s. The internal power supply primarily consists of an energy harvester that collects energy supplied by the UHF field to charge integrated capacitors. Once enough energy is harvested, the UWB transmitter starts to send. The whole system is independent of external power supplies. According to the IEEE standard 802.15.4a a bandwidth of the transmitted signal in the range of 499.2 MHz to 1.35497 GHz using a center frequency of 9484.8 MHz is allowed. An UWB-Transmitter generally consists of a baseband conditioner circuit, a modulator including a power amplifier to drive an antenna adequately and an oscillator to provide the carrier signal. This diploma thesis is about the design and physical implementation of the UWB transmitter using a 120 nm CMOS process. To expand the evaluation possibilities of the system the transmitter is to be implemented as flexibly as possible. Digital interfaces should enable configuration of several parameters regarding coding, spectral appearance and the amplitude of the output signal.

Eidesstattliche Erklärung

Ich erkläre an Eides statt, diese Arbeit selbständig verfasst, andere als die angegebenen Quellen und Hilfsmittel nicht benutzt und mich auch sonst keiner unerlaubten Hilfsmittel bedient zu haben.

Peter Amreich

Statutory declaration

I declare that I have authored this thesis independently, that I have not used other than the declared sources and that I have explicitly marked all material which has been quoted either literally or by content from the used sources.

Peter Amreich

Danksagung

Das Ende meines Elektrotechnikstudiums markiert auch das Ende eines besonderen Lebensabschnittes, der von Höhen und Tiefen geprägt war und zweifelsohne einen wesentlichen Beitrag für meine persönliche Entwicklung leistete. Ohne den Zuspruch meiner Freunde und Familie hätten sich manche Hürden schwer überwinden lassen.

Für die Möglichkeit, meinen Studienfortschritt mit den beruflichen Verpflichtungen zu vereinbaren, und somit Studium und berufliche Erfahrung in Einklang zu bringen, möchte ich Armin Lammer (Leiter: Contactless Memories, Infineon Graz) danken.

Besonderen Dank möchte ich Günter Hofer und Gerald Holweg für die Möglichkeit aussprechen, meine Diplomarbeit bei CRE ausgeführt haben zu dürfen. Sich soviel Neues und Interessantes in einem beispiellos guten Arbeitsumfeld anzueignen, erkenne ich als Privileg. Dafür gebührt allen CRE Kollegen mein Dank.

Du, Maria, hast einen sehr großen Beitrag daran, dass ich mein Studium beenden kann. Zu jeder Zeit für mich da zu sein und mir das Gefühl zu geben, mich immer auf dich verlassen zu können, gibt mir auch in schwierigen Zeiten Kraft.
Danke!

Peter Amreich

Inhaltsverzeichnis

1. Einleitung	1
1.1. Motivation	1
1.2. Übersicht	2
1.3. Ultra-Wideband	4
1.3.1. Sender und Empfänger - Motivation für das konfigurierbare Frontend	5
1.3.2. UWB im Frequenzbereich	6
1.4. Systemsicht des UWB-Transmitters	7
1.5. Schaltsymbole	8
1.6. Verwendete Software	9
2. Schaltungstechnik	10
2.1. Datenquelle	10
2.1.1. Schaltungstechnische Betrachtung	11
2.1.2. Realisierung des Datengenerators	14
2.2. Datenaufbereitung	15
2.2.1. Aufgaben der Datenaufbereitung	16
2.2.1.1. Datenkodierung	16
2.2.1.2. Basisbandformung	17
2.2.1.3. Konfigurationsmöglichkeiten der Datenaufbereitung	19
2.2.2. Schaltungstechnische Betrachtung	19
2.2.2.1. Datenkodierung	20
2.2.2.2. Basisbandformung	31
2.2.3. Simulationsergebnisse	34
2.3. Modulator	41
2.3.1. Aufbereitung des Trägersignals	41
2.3.2. Modulator	43
2.3.3. Simulationsergebnisse	45
2.4. Oszillatoren	47
2.4.1. Integrierte Oszillatoren	47
2.4.2. Datentaktoszillator	49
2.4.2.1. Simulationsergebnisse	49
2.4.3. Trägeroszillator	50
2.4.3.1. Simulationsergebnisse	53

2.5. Gesamtschaltung	54
2.5.1. Bias-Zelle	55
2.5.2. TX-Aktivierung	55
2.5.3. Basisbandsignale	57
2.5.4. Simulationsergebnisse	57
2.6. Konfigurationseinheit	59
3. Layout	63
3.1. Verdrahtung	63
3.2. Transistor-Layout	64
4. Parasitic Extraction	66
4.1. Datenaufbereitung	66
4.2. Oszillatoren	69
4.2.1. Datenoszillator	69
4.2.2. Trägeroszillator	70
4.3. Gesamtschaltung	71
5. Schlussfolgerungen und Ausblick	73
A. Schaltbild des UWB-Transmitters	74
B. Chip-Layout	76
Literaturverzeichnis	79

Abbildungsverzeichnis

1.1. RFID-Tag [4]	1
1.2. Realisiertes Data Grain (3 mm × 1 mm) [3]	2
1.3. Systemblockschaltbild des Data Grain	3
1.4. On-Off-Keying	4
1.5. Möglichkeiten der Informations-Kodierung	5
1.6. ECC und FCC Grenzwerte [6]	6
1.7. Systemblockschaltbild des UWB-Transmitters	7
1.8. Übersicht der Schaltsymbole	9
2.1. Blockschaltbild des Datengenerators	11
2.2. Auswahlhaltung der Datenquelle	11
2.3. 9 Bit Synchronzähler [1]	12
2.4. Erzeugen einer 10-Datenfolge	12
2.5. Bitmuster-generator	13
2.6. Signalverlaufsdiagramm des Bitmuster-generators	14
2.7. Realisiertes Bitmuster (Simulationsergebnis)	15
2.8. Blockschaltbild der Datenaufbereitung	16
2.9. Manchester-Kodierung	17
2.10. Vergleich der Amplituden-Betragspektren	18
2.11. Gegenseitige Beeinflussung zweier aufeinanderfolgender Pulse	20
2.12. Pulse Position Kodierung aus einem manchesterkodierten Signal	20
2.13. Erzeugung einer definierten Verzögerungszeit	22
2.14. Spannungsverläufe	22
2.15. Puls-generator	23
2.16. Signalverläufe des Puls-generators	24
2.17. skaliertes Konstantstrom vs. skalierte Kapazität	25
2.18. Positionierung des Schalters mit den resultierenden Spannungsverläufen	26
2.19. Stromverteilung für das Verzögerungsglied	27
2.20. Parasitäre Kapazitäten	28
2.21. Parasitäre Kapazitäten in der physikalischen Implementierung eines <i>Metal1-</i> <i>Metal2 Kondensators</i>	29
2.22. Detailschaltung des Verzögerungsgliedes	30
2.23. Basisbandkodierung	31

2.24. Prinzipschaltbild der Pulsformung	32
2.25. Amplituden des Ausgangssignals bei konstanter Kapazität	33
2.26. Simulationsergebnis des Basisbandkodierers	35
2.27. Definition der Signalparameter	36
2.28. Vergleich zweier unterschiedlicher Pulsbreiten	37
2.29. Pulse mit unterschiedlicher Verzögerungszeit	39
2.30. Erzeugung eines differentiellen Trägersignals	41
2.31. Signalverformung bei einer Phasenverschiebung $\neq 180^\circ$	42
2.32. Passiver Modulator [9]	43
2.33. Modulatoren mit Längstransistor	44
2.34. AC-Kopplung des Basisbandsignals	45
2.35. Differentielles Oszillatorsignal	46
2.36. Moduliertes Ausgangssignal	46
2.37. LC Parallelschwingkreise ((a)ideal und (b)real)	47
2.38. Colpitts-Oszillator [10]	48
2.39. Beispiel eines dreistufigen <i>current starved Oszillator</i>	49
2.40. Transientenanalyse des Datentaktoszillators	50
2.41. Frequenzgang über die Temperatur	51
2.42. Spannungsgesteuerter Ringoszillator	52
2.43. Erzeugung der Steuerspannung des Oszillators	52
2.44. Modifikation der Trägerfrequenz	53
2.45. Blockschaltbild des UWB-Transmitters (ohne Konfigurationseinheit)	54
2.46. Schaltbild des Komparators zur TX-Aktivierung	56
2.47. Ausgangssignal des Komparators	57
2.48. Simulationsergebnis: Toplevel mit unterschiedlichen Ausgangskonfigurationen	58
2.49. Komparatorausgang und Basisbandsignal	59
2.50. Schieberegister der Konfigurationseinheit	60
2.51. Deaktivierbare Standardkonfiguration	61
2.52. Deaktivierung der Standardkonfiguration	61
3.1. Beeinflussung durch nicht ideale Verdrahtung	64
3.2. Layout eines aufgeteilten Transistors	65
4.1. Simulationsergebnisse der Datenaufbereitung	69
4.2. Simulationsergebnis: Toplevel mit unterschiedlichen Ausgangskonfigurationen (extrahierte Simulation)	71
4.3. Komparatorausgang und Basisbandsignal (extrahierte Simulation)	72
A.1. Schaltbild des UWB-Transmitters (ohne Konfigurationseinheit)	75
B.1. Toplevel-Layout des Data Grain	77
B.2. Toplevel-Layout der Verifikationsversion des Senders	78

Abkürzungsverzeichnis

AC	Alternating Current
AM	Amplitude Modulation
ASK	Amplitude Shift Keying
CMOS	Complementary Metal Oxid Semiconductor
DC	Direct Current
FFT	Fast Fourier Transform
FM	Frequency Modulation
FSK	Frequency Shift Keying
IC	Integrated Circuits
IEEE	Institute of Electrical and Electronics Engineers
LSB	Least Significant Bit
MSB	Most Significant Bit
n-MOS	N-Type Metal Oxid Semiconductor
p-MOS	P-Type Metal Oxid Semiconductor
PPC	Pulse Position Coding
PSK	Phase Shift Keying
ROM	Read Only Memory
SPICE	Simulation Program with Integrated Circuit Emphasis
UHF	Ultra High Frequency
UWB	Ultra-Wideband
WLAN	Wireless Local Area Network
V_{DD}	höchstes vorkommendes DC-Potential der Schaltung
V_{DS}	Drain Source Spannung eines Transistors
V_{GS}	Gate Source Spannung eines Transistors
V_{SS}	niedrigstes vorkommendes DC-Potential der Schaltung
V_T	Schwellspannung eines Transistors oder einer Diode

Kapitel 1.

Einleitung

1.1. Motivation

RFID-Systeme werden aus einem Lesegerät (Reader) und einem Transponder (Tag) gebildet. Der Transponder besteht aus einer Antenne und dem integrierten Schaltkreis, der auf dem Substrat der Antenne aufgebracht und mit dieser elektrisch verbunden wird (vgl. Abbildung 1.1). Solche Systeme finden zum Beispiel Anwendung in Identifi-

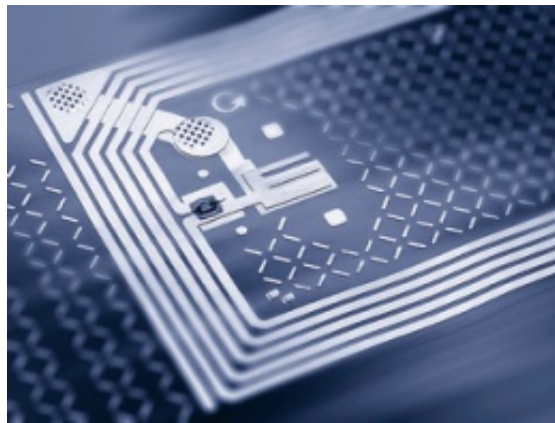


Abbildung 1.1.: RFID-Tag [4]

kationsapplikationen, neuen Reisepässen, oder auch in Fahrkarten im Nahverkehr. Die Datenübertragungsraten variieren im Bereich von einigen kbit/s bis zu einigen Mbit/s, abhängig von der Anwendung und der zu übertragenden Datenmenge.

In manchen Anwendungsfällen steht man dem Problem gegenüber, dass mechanischer Stress auf Dauer die Antenne schädigt und der Transponder somit defekt wird. Speziell für Systeme, die eine hohe Trägerfrequenz zur Kommunikation benutzen, stellt die Verbindung zwischen integriertem Schaltkreis und Antenne ein Problem dar. Die Anschlussleitungen (Bonddrähte) können dabei bereits als Antenne wirksam sein. Ein Lösungsansatz ist nun, die Antenne auf dem Chip zu integrieren. Aufgrund der kleinen Abmessungen ist es notwendig, auch eine hohe Sendefrequenz zu wählen. Da konventionelle RFID-

Systeme über das elektromagnetische Feld des Lesegerätes mit Energie versorgt werden, benötigt man keine externe Energiequelle. Diese Eigenschaft muss man nun auch für ein total integriertes System etablieren. Eine Möglichkeit sind Batterien, die entweder integriert, oder extern den Chip mit Energie versorgen. Der Nachteil, der durch die Batterie begrenzten Lebensdauer, ist offensichtlich. Um dieses Problem zu lösen, kann das Prinzip des *energy harvesting*¹ angewandt werden.

Da der Chip möglichst energieeffizient arbeiten soll, muss auch das Kommunikationsverfahren darauf abgestimmt werden. So kann man es sich nicht leisten, einen Träger kontinuierlich zur Verfügung zu stellen, um diesem, beispielsweise über Amplitudenmodulation, die zu sendende Information aufzumodulieren. Ein effizienteres Verfahren ist Ultra-Wideband-Kommunikation.

Diese Arbeit behandelt einen Ultra-Wideband-Transmitter (UWB-Transmitter), der einen Teil eines total integrierten Systems darstellt, welches in weiterer Folge als *Data Grain*² bezeichnet wird.

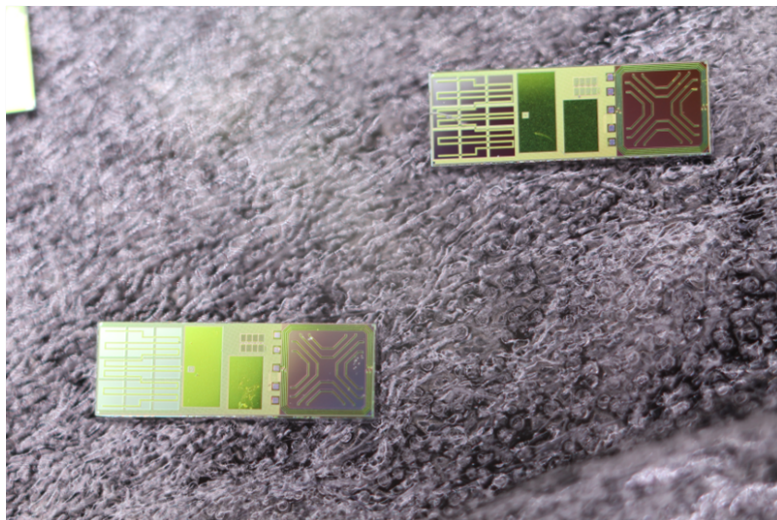


Abbildung 1.2.: Realisiertes Data Grain (3 mm × 1 mm) [3]

1.2. Übersicht

Der im Zuge dieser Arbeit entwickelte UWB-Transmitter ist Teil eines Gesamtsystems, welches als Data Grain bezeichnet wird. Ein solches Data Grain verfügt dabei über *keine*

¹energy harvesting bezeichnet die Methode, Energie aus (z.B.) vorhandenen elektromagnetischen Feldern zu „sammeln“, um eine Schaltung passiv (d.h. ohne eigene Energiequelle) zu betreiben

²Grain (engl.); Korn (aus Silizium)

kontaktbasierte Schnittstelle. Die Energieversorgung, sowie die Datenausgabe erfolgen kontaktlos über jeweils eine speziell für diesen Zweck entwickelte On-Chip-Antenne. Dabei ist es angedacht, dass Energie einem UHF-Feld (ca. 900 MHz) im Nahfeld (induktive Kopplung) entnommen und in einem On-Chip-Kondensatorfeld gespeichert wird. Die Schaltung, die die Funktionalität des sogenannten energy harvesting erfüllt, bestand bereits und wurde für dieses Projekt unverändert übernommen. Die im Kondensator gespeicherte Ladung dient nun den zur Datengenerierung (dies könnte zum Beispiel ein Temperatursensor samt Digitalteil sein) zuständigen Schaltungen, sowie dem UWB-Sender als Energiequelle. Ein einfacher Spannungsregler sorgt für die gewünschte Versorgungsspannung. Ein besonderer Fokus wird auf die Konfigurierbarkeit der Schaltung gelegt

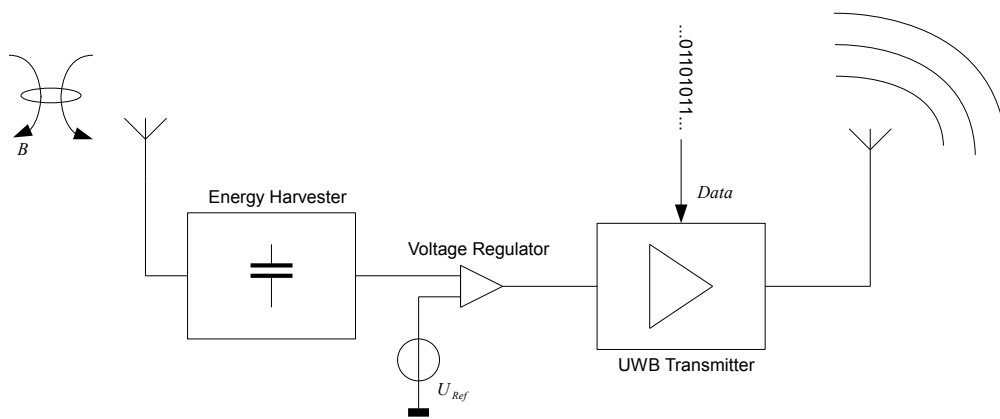


Abbildung 1.3.: Systemblockschaltbild des Data Grain

werden, um im Verifikationsprozess auf diverse Anforderungen eingehen zu können, da zum Beispiel nicht nur die entworfene Schaltung, sondern auch die im Chip integrierte Antenne validiert werden soll. Wie man erkennt, liegt das Hauptaugenmerk nicht nur auf dem schaltungstechnischen Entwurf, sowie der Simulation des Systems, sondern ebenso auf der physikalischen Implementierung (Layout). Daraus lässt sich ablesen, dass auch die zum Entwurfsprozess gehörende Iteration des Designprozesses (Schaltungsdesign - Simulation - Layout - Simulation der aus dem Layout extrahierten Schaltung - Schaltungsdesign ...) diese Arbeit prägt. Kurz zusammengefasst findet sich der eben angesprochen Designprozess auch in der Gliederung dieses Dokumentes wieder. In diesem einführenden Abschnitt wird ein kurzer Überblick in für den Entwurf des UWB-Senders relevante Themen gegeben. Es folgt je ein Kapitel, das sich der Schaltungstechnik, der Simulation, dem Layoutprozess und den Ergebnissen der „parasitic extraction“³ widmet. Abschließend fasse ich gesammelte Erkenntnisse zusammen und gebe eine Abschätzung über die in diesem Prozess realisierbaren Möglichkeiten betreffend UWB.

³Aus den Layout-Daten wird eine Netzliste der Schaltung generiert, die parasitäre Elemente (Kapazitäten, Widerstände) enthält

1.3. Ultra-Wideband

Unter Ultra-Wideband, also Ultra-Breitband, ist ein Verfahren zur kontaktlosen Datenübertragung zu verstehen. Ein gesendetes UWB-Signal besitzt ein, im Vergleich zu anderen Modulationsverfahren, sehr breites Spektrum (499,2 MHz bis 1,35497 GHz) - daher auch der Name. Die Frequenz des Trägersignals kann dabei im Bereich zwischen 499,2 MHz und 9848,8 MHz liegen, wobei dieser Bereich in Bänder aufgeteilt ist und somit nicht „kontinuierlich“ verwendet werden darf [7].

Anmerkung: Die im Standard IEEE 802.15.4a-2007 definierten Richtlinien dienen, da es sich hierbei um ein Projekt zur Untersuchung der Machbarkeit handelt, als „weiche“ Spezifikation um einen sinnvollen Ansatz für die Schaltungsentwicklung zu definieren.

UWB als Modulationsverfahren birgt einen großen Vorteil. Vergleichbar mit OOK (On-Off-Keying) wird der Träger mit jedem Datenbit eingeschaltet - jedoch sehr kurz (in etwa für 1 ns), was eine sehr positive Auswirkung auf die Energieeffizienz mit sich bringt.

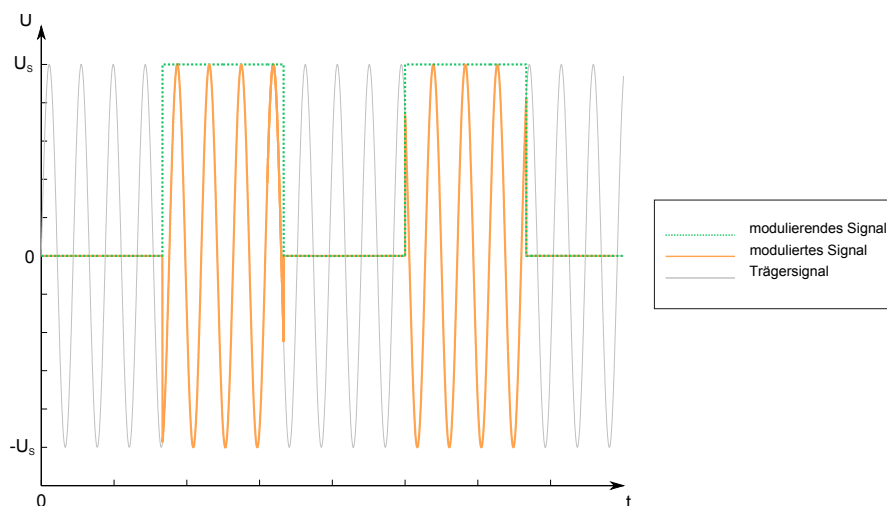


Abbildung 1.4.: On-Off-Keying

Das Trägersignal muss also nur für die Dauer eines Pulses aktiv zur Verfügung stehen, was wiederum bedeutet, dass die Schaltung zwischen den einzelnen Datenbits in einen Idle-Zustand verfallen kann, in dem der Leistungsbedarf sehr gering ist und erst aktiv wird, wenn ein Datum gesendet werden soll. Den Schwierigkeiten, eine Schaltung bei entsprechenden Datenraten in schneller Abfolge zu aktivieren und wieder zu deaktivieren, sollte man sich bewusst sein.

Das breitbandige Signal stört andere Teilnehmer in den Frequenzbändern dabei nicht, da die erlaubte Spektralleistungsdichte eines UWB-Senders $-41,3 \text{ dBm/MHz}$ [5] nicht

übersteigen darf und somit für potentiell gestörte Teilnehmer nur als Rauschen hörbar ist. Ein Beispiel für solch einen Teilnehmer wäre WLAN in den Frequenzbereichen von 2,4 GHz bzw. 5 GHz [8].

1.3.1. Sender und Empfänger - Motivation für das konfigurierbare Frontend

Es gibt viele Möglichkeiten die Daten zu kodieren. So kann Information in die Phasenlage des Trägers (Kohärenz) oder in die Position der Datenbits in einem Zeitfenster (Timehopping) gelegt werden (siehe Abbildung 1.5).

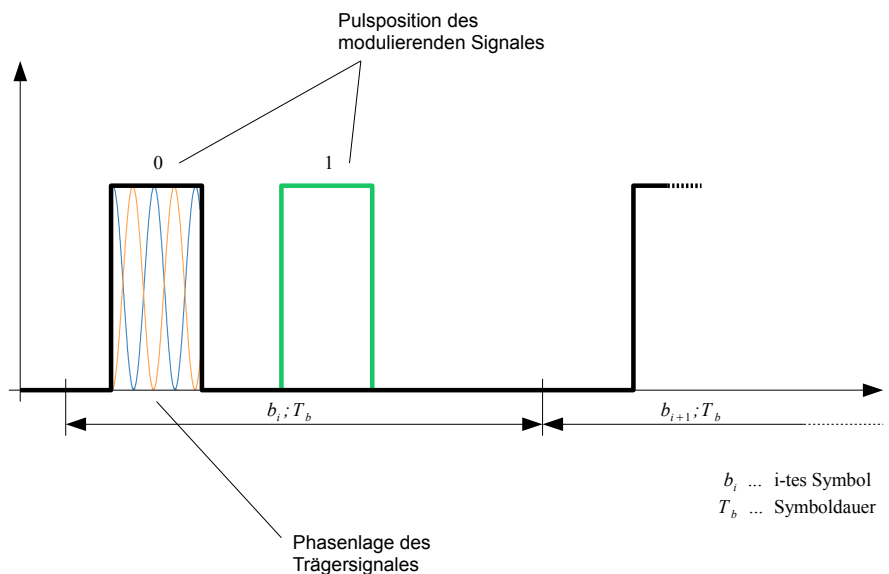


Abbildung 1.5.: Möglichkeiten der Informations-Kodierung

In Kombination dieser Möglichkeiten kann man eine Erhöhung der Datenrate bei gleichbleibender Symbolrate erreichen. So ist es möglich bei Verwendung von zwei möglichen Pulspositionen sowie zwei möglicher Phasenlagen des Trägers durch Senden eines Pulses 4 mögliche Zustände abzubilden. Man erkennt, dass dadurch beinahe beliebige Komplexität erreicht werden kann und immer höhere Anforderungen an die Dekodierung des ausgesendeten Signals gestellt werden.

Dieser Freiheitsgrad verlangt eine Abstimmung zwischen den Entwicklern des Senders und den des Empfängers und eine entsprechend detaillierte Spezifikation. Zum Zeitpunkt der Entwicklung des hier behandelten Sendersystems lag jedoch noch keine dezidierte Version eines Empfänger-Systems vor. Diese Tatsache stellt eine wichtige Randbedingung für die Entwicklung des Senders dar und war gleichzeitig Motivation einer vielfältigen Konfigurierbarkeit des Transmitters.

1.3.2. UWB im Frequenzbereich

Wie bereits erwähnt, dient der Standard *IEEE 802.15.4a-2007* nur als Anhaltspunkt für die Schaltungsentwicklung des hier behandelten UWB-Senders. Ähnlich verhält es sich mit den, durch das ECC (Electronic Communications Committee) für Europa bzw. durch das FCC (Federal Communications Committee) für die Vereinigten Staaten, definierten Grenzwerten [6] bezüglich der maximal erlaubten abgestrahlten Leistung eines UWB-Transmitters, die hier zur Kenntnis genommen werden, aber keinen treibenden Einfluss auf die Entwicklung nehmen.

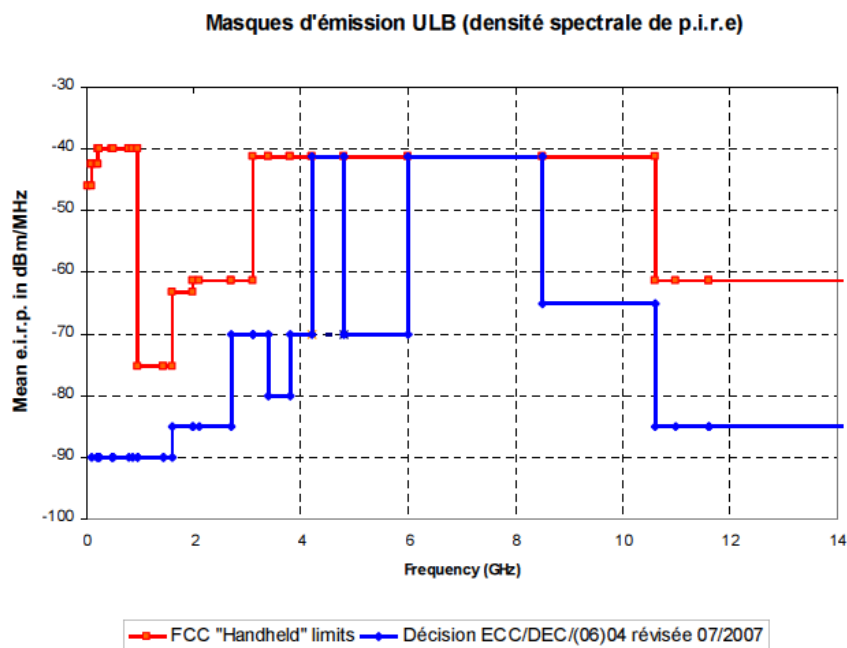


Abbildung 1.6.: ECC und FCC Grenzwerte [6]

Am Beginn dieses Kapitels wurde das UWB-Spektrum erwähnt, das eine bestimmte Breite haben soll. Wäre es möglich, ein perfektes Rechteck als modulierendes Signal zu erzeugen (es besäße jeweils eine Unstetigkeitsstelle an der steigenden sowie der fallenden „Flanke“), enthielte das Spektrum alle möglichen Frequenzen - es wäre unendlich breit. Dieses Extremum betrachtend liegt es nahe, auch das gegenteilige zu behandeln. Mächtige man die Flanke unendlich flach, das heisst die Steigung der Gerade ist verschwindend gering, könnte man dies als ein Gleichsignal bestimmter Amplitude interpretieren. Das sich daraus ergebende Spektrum enthielte keine Frequenzen - es wäre unendlich schmal. Weiters hat ein Übertragungskanal (Antenne - Luft - Antenne) nur eine begrenzte Bandbreite. Dies ist die Ursache für das Auftreten sich unterscheidender Gruppenlaufzeiten, was wiederum unterschiedliche Ausbreitungsgeschwindigkeiten verschiedener Frequenzanteile

mit sich bringt - das Signal wird zeitlich gestreckt und kann weiter dazu führen, dass aufeinanderfolgende Symbole ineinanderfließen. Dieser Effekt wird als Intersymbolinterferenz (ISI) bezeichnet.

Diese Betrachtung soll als Motivation der zu implementierenden Basisbandformung dienen und wird später um einige Details ergänzt.

1.4. Systemsicht des UWB-Transmitters

In diesem Abschnitt soll der UWB-Transmitter als System vorgestellt werden. Das bedeutet, dass keine Details zur Schaltungstechnik der darin enthaltenen Blöcke folgen, sondern das Gesamtsystem behandelt wird, um das Verständnis der Interaktion wichtiger Schaltungsteile untereinander zu erleichtern.

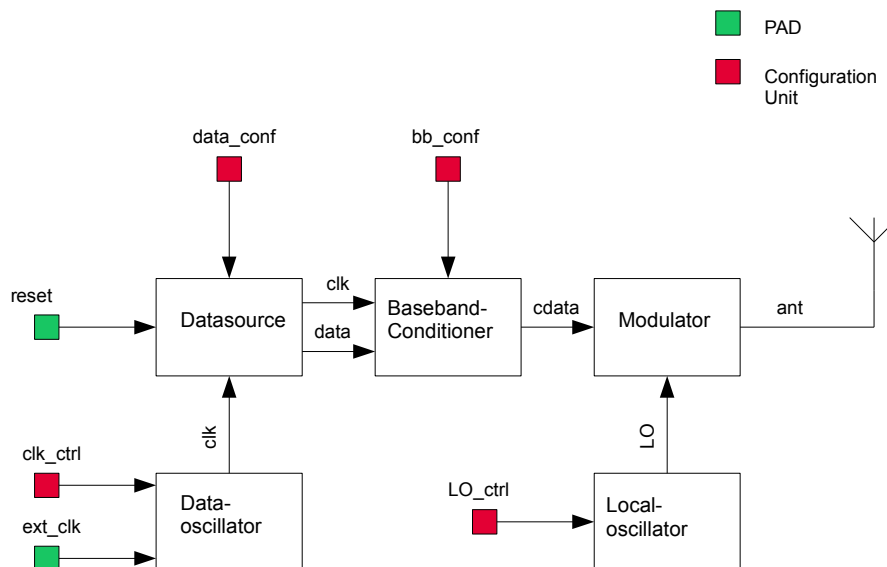


Abbildung 1.7.: Systemblockschaltbild des UWB-Transmitters

In Abbildung 1.7 ist das Systemblockschaltbild des UWB-Transmitters zu sehen. Es fällt auf, dass es offensichtlich zwei unterschiedliche Typen von Schnittstellen zur „Aus-senwelt“ gibt. Die als *PAD* gekennzeichneten Eingänge markieren diejenigen, die auch am produzierten Chip zugänglich sind und als Bonding-Anschlüsse⁴ dienen. Die übrigen Schnittstellen sind interne Konfigurationsanschlüsse, die als On-Chip-Verdrahtung mit der Konfigurationseinheit (Configuration-Unit) realisiert sind. Es wäre aus elektronischer Sicht leicht möglich diese Verbindungen auch separat herauszuführen. Da die Vielzahl

⁴Bonding: Verdrahten der Chipanschlüsse mit den Pins des Gehäuses (Package)

von resultierenden PADS aufgrund ihrer Größe aber bereits einen wesentlichen Einfluss auf die Chipfläche hätten und es in der Prototypenfertigung nicht ausgeschlossen ist, dass es zu Bonding-Fehlern kommt, übernimmt eben diese Konfigurationseinheit das Setzen der entsprechenden Spannungspegel, um diverse Parameter zu variieren.

Kern des UWB-Transmitters ist das Subsystem zur Basisbandaufbereitung (Baseband-conditioner), das die Daten im Basisband entsprechend kodiert (PPC - Puls Position Coding; siehe auch Abbildung 1.5) und für die Begrenzung des Basisbandspektrums verantwortlich ist. Die Eingangsgrößen für die Basisbandaufbereitung sind ein Datum und ein entsprechendes Taktsignal, die zueinander in Verbindung stehen und im Wesentlichen von der Datenquelle (Datasource) zur Verfügung gestellt werden. Die Konfiguration geschieht, wie für alle Blöcke, über die entsprechende Schnittstelle. Das Ausgangssignal *cdata* dient dem Modulator als modulierendes Signal für den Träger, der durch einen integrierten Oszillator generiert wird und dessen Frequenz in einem bestimmten Bereich modifiziert werden kann. Der Modulator liefert das (verstärkte) Ausgangssignal für die integrierte Antenne. Der als Datenquelle erwähnte Block ist ein konfigurierbarer Datengenerator, der verschiedene intern generierte Daten liefert. Der Datentakt kann entweder vom integrierten Datentaktoszillator abgeleitet, oder extern zur Verfügung gestellt werden.

1.5. Schaltsymbole

Zur Vollständigkeit sei hier erwähnt, dass aus Gründen der besseren Übersichtlichkeit einige Vereinfachungen betreffend der Schaltsymbole getätigt wurden.

Die Symbole der MOS-Transistoren sind in den vereinfachten Darstellungen ohne Substrat- bzw. Wannenanschluss (in Anlehnung an die Schaltsymbole für Bipolartransistoren) ausgeführt. Für alle p-MOS-Transistoren mit dem vereinfachten Symbol bedeutet das automatisch, dass die n-Wanne mit der höchsten im System vorkommenden Spannung versorgt wird. Für Schaltungen, bei denen es notwendig ist den Wannenanschluss auf eine Spannung unterschiedlich zu der im System höchsten Spannung zu legen, werden die klassischen Symbole verwendet. Da dieser Prozess ein n-Wannen-Prozess ist, ist der Substratanschluss der n-MOS Transistoren inhärent gegeben und befindet sich auf dem niedrigsten Systempotential. Abbildung 1.8 zeigt eine Übersicht der wesentlichsten, in dieser Arbeit verwendeten, Symbole.

In den Schaltbildern (auf Systemebene sowie als auch auf Transistorebene) werden Schnittstellen mit farblich unterschiedlich gefüllten Quadraten markiert. Dabei stehen die unterschiedlichen Farben für verschiedene Schnittstellentypen.

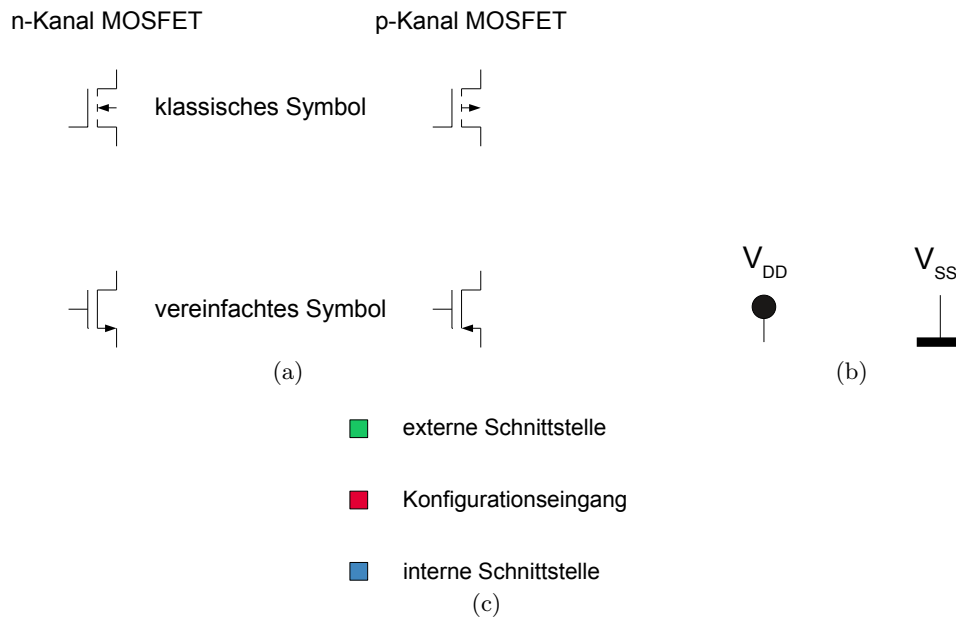


Abbildung 1.8.: Übersicht der Schaltsymbole

1.6. Verwendete Software

Schaltungsentwurf und Layout

Cadence[®] Design Framework II

Schaltungssimulation

Cadence[®] Spectre[®]

Infineon proprietary Titan Simulator

Datenaufbereitung

MathWorks MATLAB

Dokumentation

TeXnicCenter 1.0

MiKTeX 2.8

Grafik

Oracle OpenOffice.org[™] 3

GIMP 2.6

Inkscape 0.46

PDFCROP 1.26 © by Heiko Oberdiek

Kapitel 2.

Schaltungstechnik

Dieses Kapitel behandelt in ausführlicher Weise das Schaltungsdesign des UWB-Transmitters. Der erste Teil dieses Kapitels behandelt die Subsysteme (wie sie bereits in Abbildung 1.7 gezeigt wurden), gefolgt von der bereits oben erwähnten *Configuration Unit*. Die Betrachtungen der einzelnen Schaltungsblöcke schließen mit einem Überblick der Simulationsergebnisse ab.

Ich weise darauf hin, dass eine genaue quantitative Aussage an manchen Stellen dieses Kapitels aus dem Grund der Verschwiegenheitspflicht nicht erfolgen kann.

2.1. Datenquelle

Im Einführungskapitel wurde erwähnt, dass der hier behandelte UWB-Transmitter Teil eines sogenannten Data Grain ist, das kontaktlos mit Energie versorgt wird und Daten sendet. Da zum gegenwärtigen Zeitpunkt keine funktionell sinnvolle Informationsquelle wie zum Beispiel ein Temperatursensor integriert werden soll, wurde eine „Ersatzdatenquelle“ integriert. Sinn dieser Datenquelle ist es Daten zu liefern, die eine simulations- und messtechnische Erleichterung darstellen. Führt man sich vor Augen, dass das Trägersignal eine Frequenz von etwa 6 GHz besitzt und mit einer Datenrate von circa 100 MBit/s kontaktlos gesendet werden soll, ist erkennbar, dass ein unbekanntes Datum die messtechnische Erfassung und Bewertung erschwert.

Diese integrierte Datenquelle ist in der Lage vier verschiedene Datenmodi zu ermöglichen:

- Ausgabe einer logischen 0 (konstant)
- Ausgabe einer logischen 1 (konstant)
- Ausgabe eines Toggle-Bits (dauernde 1-0 Folge)
- Ausgabe eines definierten 8 Bit-Musters

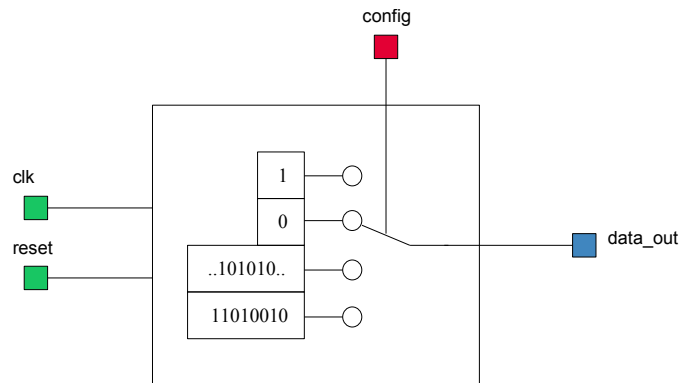


Abbildung 2.1.: Blockschaltbild des Datengenerators

2.1.1. Schaltungstechnische Betrachtung

Im Blockschaltbild (Abbildung 2.1) sind zwei Grundelemente wesentlich. Einerseits eine Auswahlschaltung für die Datenquelle und andererseits die interne Datenquelle (skizziert durch die vier möglichen Datenmuster) selbst. Da es sich bei den Daten um digitale Signale handelt, fällt die Auswahlschaltung einfach aus. Ein 1-aus-4-Dekoder in Verbindung mit UND-Gattern dient zur Selektion der internen Datenquelle. Abbildung 2.2 zeigt die Realisierung der Auswahlschaltung. Die Signale $\text{config} \langle 1 \rangle$ und $\text{config} \langle 0 \rangle$ bedienen den angesprochenen 1-aus-4-Dekoder.

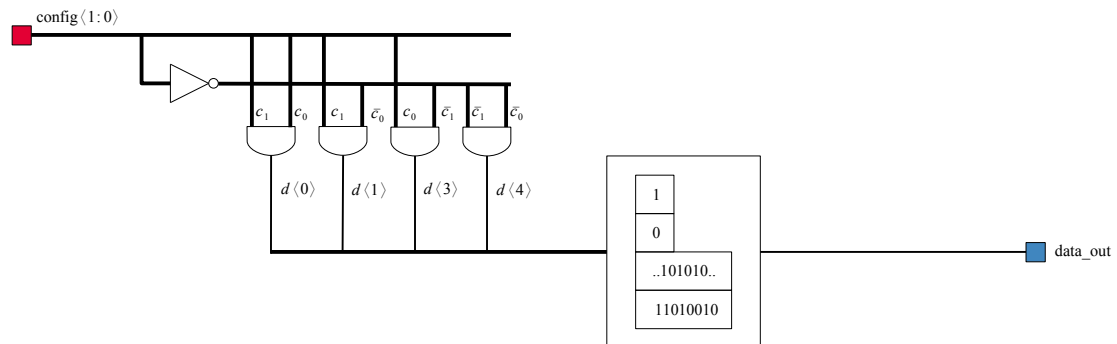


Abbildung 2.2.: Auswahlschaltung der Datenquelle

Das Erzeugen der Datenmuster für die konstante logische 0 und die konstante logische 1 bedürfen keiner gesonderten Beschreibung - die Funktionalität ist durch Anlegen einer konstanten Spannung (0 V bzw. V_{DD}) an den entsprechenden Knoten bereits gegeben. Um die wechselnde „01“-Datenfolge und das Bitmuster zu generieren wird als Kernelement ein 9-Bit Synchronzähler verwendet.

Dieser Zähler wird wahlweise über einen internen oder einen externen Taktgenerator

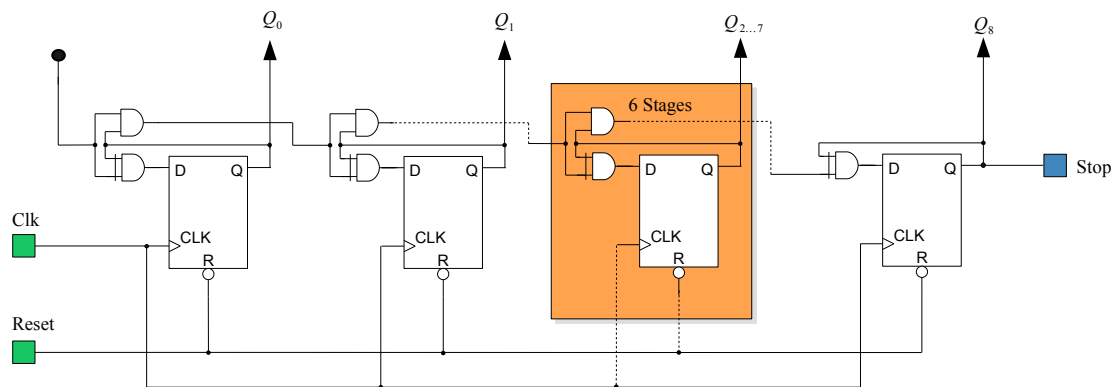


Abbildung 2.3.: 9 Bit Synchronzähler [1]

betrieben. Das niederwertigste Ausgangsbit (LSB - Least Significant Bit) des Zählers Q_0 besitzt die halbe Frequenz des Zählertaktes. Im Abschnitt über die Schaltung zur Basisbandaufbereitung wird erklärt werden, dass ein Datum mit der steigenden Datentaktflanke übernommen wird¹. In Abbildung 2.4 wird ersichtlich was diese Tatsache bedeutet.

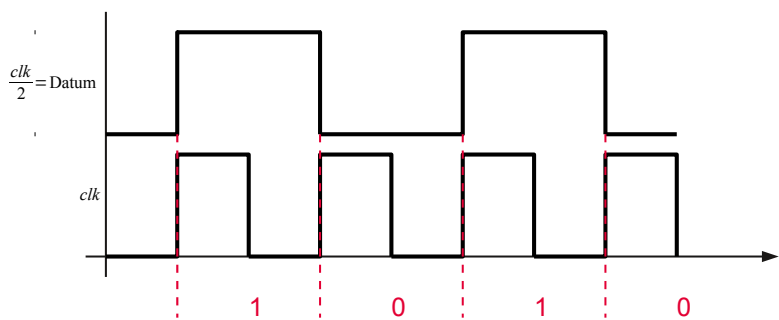


Abbildung 2.4.: Erzeugen einer 10-Datenfolge

Da durch die nachfolgende Basisbandaufbereitung Datum und Takt eine unzertrennliche Beziehung zueinander haben, wird durch Frequenzhalbierung und logische Verknüpfung ein *Toggle-Bit* erzeugt. Schließlich bietet dieser Datengenerator auch noch die Möglichkeit ein sich wiederholendes 8 Bit-Muster auszugeben. Um dies zu bewerkstelligen sind zwei weitere Schaltungsblöcke von Nöten.

- Bitmustergenerator
- 1-aus-8-Dekoder

¹dabei ist natürlich eine bestimmte Setup-Zeit einzuhalten - das Datum sollte nicht zeitgleich mit dem Datentakt seinen logischen Zustand ändern (entgegen Abbildung 2.4)

Der 1-aus-8-Dekoder wird hier nicht weiter behandelt, da er die selbe Struktur wie der 1-aus-4-Dekoder aus Abbildung 2.2 aufweist. Die 3 LSB des oben behandelten Zählers werden dem Dekoder zugeführt, der auf diese Art und Weise die Aufgabe eines Adressdekoders erfüllt, welcher zyklisch 8 Adressen durchläuft. Der Bitmustergenerator ist dem Prinzip eines ROM nachempfunden.

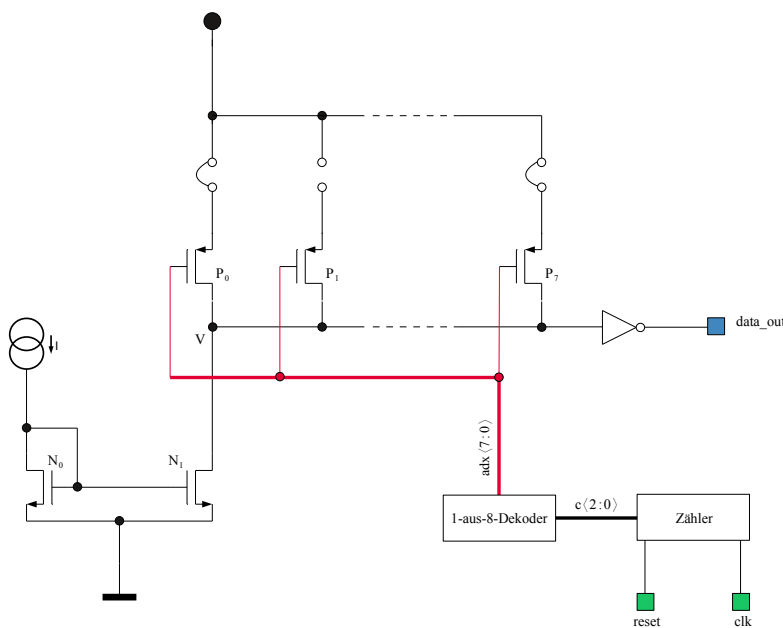


Abbildung 2.5.: Bitmustergenerator

Die Transistoren N_0 und N_1 bilden einen Stromspiegel. Betrachtet man zu Beginn nur den Zweig bestehend aus p-MOS Transistor P_0 , dessen Source-Anschluss eine leitende Verbindung mit V_{DD} besitzt, und n-MOS Transistor N_1 , so fließt der gespiegelte Strom durch die beiden Transistoren und es wird sich eine Spannung am Knoten V einstellen. Diese Spannung ist definiert durch das Verhältnis der geometrischen Abmessungen der beiden Transistoren (On-Widerstände). Der Strom durch einen Transistor im Sättigungsbetrieb

$$\begin{aligned} V_{DS} &> V_{GS} - V_T \\ V_{GS} &> V_T \end{aligned} \tag{2.1.1}$$

ist gegeben durch

$$I_d = \frac{K'}{2} \frac{W}{L} (V_{GS} - V_T)^2 \tag{2.1.2}$$

- die Kanallängenmodulation² vernachlässigend [10]. Bei der Dimensionierung wurde darauf geachtet, dass die Knotenspannung V genügend hoch ist, damit der nachfolgende

²Die effektive Kanallänge ist abhängig von der Drain-Source-Spannung des Transistors

Inverter seine Kennlinie schnell genug durchlaufen kann - am n-MOS-Transistor fällt durch die Wahl eines viel kleineren $\frac{W}{L}$ eine wesentlich höhere Spannung ab als am p-MOS Transistor. Wird der Dimensionierung keine Beachtung geschenkt, tritt der Fall ein, dass beide Invertertransistoren für einen verhältnismäßig langen Zeitraum leiten und ein nicht zu vernachlässigender Querstrom fließt. Grundsätzlich verlangen Schnittstellen zwischen analoger und digitaler Domäne eine erhöhte Aufmerksamkeit beim Schaltungsdesign. Eine Verbesserung könnte in diesem Fall ein strombegrenzter Inverter bieten. Ein weiterer Designparameter ist der eingespiegelte Strom, der ausreichend groß sein muss, um bei Datenraten bis 100 MBit/s hinreichend steile Flanken erzeugen zu können (Umladen von parasitären Kapazitäten).

Existiert keine Verbindung zu V_{DD} , dient der Stromspiegeltransistor N_1 als Pull-Down-Widerstand.

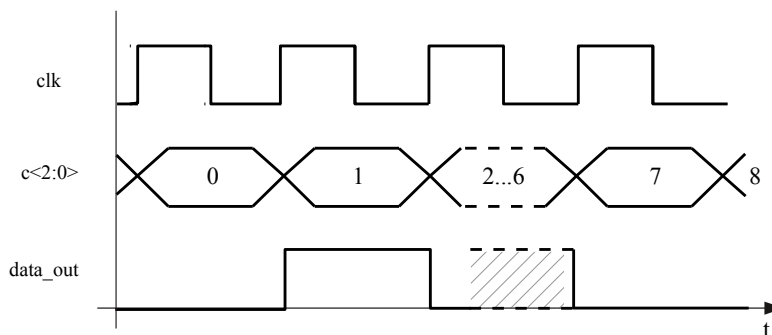


Abbildung 2.6.: Signalverlaufdiagramm des Bitmustergenerators

In Abbildung 2.6 erkennt man den Zählerstand, der sich bei jeder steigenden Taktflanke um 1 erhöht. Das bedeutet, dass die Gateanschlüsse der „Speichertransistoren“ $P_0 \div P_7$ solange der Zähler läuft sequentiell angesteuert werden und am Datenausgang das, durch die Verdrahtung eingeprägte, Bitmuster ausgegeben wird.

2.1.2. Realisierung des Datengenerators

Am Chip wurde das Bitmuster 01101001 realisiert, wobei die Wahl keineswegs willkürlich fiel. Es sollte ein Testmuster erzeugt werden, das, wie später im Abschnitt über die Basisbandaufbereitung noch klarer wird, „kritische“ Fälle behandelt. Diese sind ein Wechsel von 0 auf 1, von 1 auf 0 und zwei konstante Bits hintereinander. Ein weiterer Grund für die Implementierung eines primitiven Testmustergenerators ist die Möglichkeit eine zukünftige UWB-Empfängerrealisierung mit diesem Muster testen zu können.

Abbildung 2.7 zeigt das Ergebnis der Simulation der Datenquelle in der Konfiguration als Bitmustergenerator.

Ein Detail gilt es noch zu beachten: Da der Takt, der den Zähler zur Bitmustergenerierung

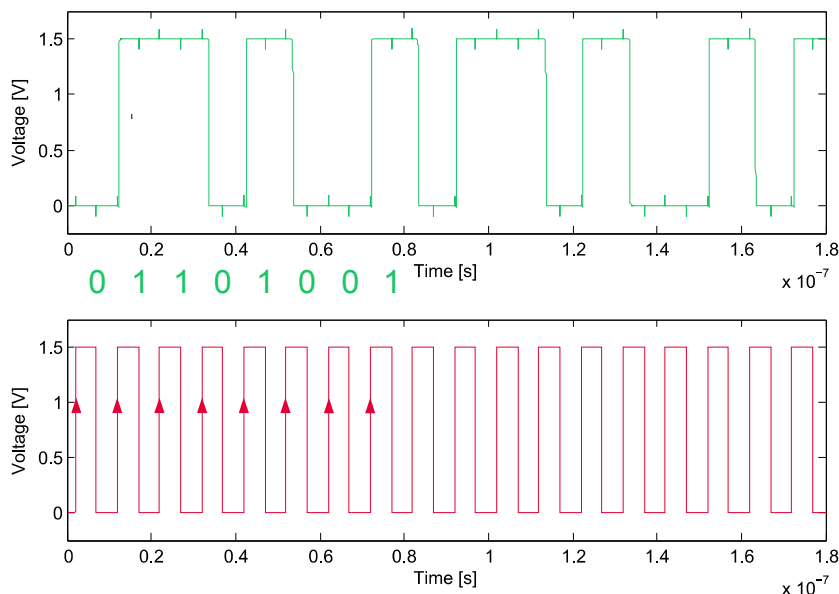


Abbildung 2.7.: Realisiertes Bitmuster (Simulationsergebnis)

ansteuert, in der Basisbandaufbereitung auch dazu verwendet wird den Datenstrom zu kodieren, muss darauf geachtet werden, dass der Zeitbezug zwischen Datenausgang und Taktsignal erhalten bleibt. Am einfachsten wäre es, den Takteingang des Datengenerators durchzuschleifen und als Taktausgang herauszuführen. Das Problem dabei sind jedoch die Verzögerungszeiten der Gatter, die für die 1-aus-n-Dekodierung, den Zähler sowie den Bitmustergenerator erzeugt werden - schließlich haben Takt- und Datensignal unterschiedliche Signallaufzeiten durch den Datengenerator. Daher wurde ein Verzögerungsglied (Delayline) in Form einer Bufferkette in den Taktpfad eingefügt, um die unterschiedlichen Signallaufzeiten zu kompensieren.

2.2. Datenaufbereitung

In den vorangegangenen Abschnitten war stets die Rede von „Basisbandaufbereitung“ und „Datenaufbereitung“. Beides bezeichnet Teile des selben Schaltungsblocks, der in diesem Unterkapitel behandelt wird. Einführend soll ein Blockschaltbild (Abbildung 2.8) die Trennlinie zwischen Basisbandkodierung und Basisbandformung sichtbar machen.

Als wichtigste Eingangsgrößen dienen die von dem Datengenerator zur Verfügung gestellten Signale *clk* und *data* (siehe auch Abbildung 1.7), die im Wesentlichen nur zur Kodierung des Datensignals dienen. Das kodierte Signal wird danach von der Basisbandformung übernommen und in seiner Form modifiziert. Diverse Parameter der

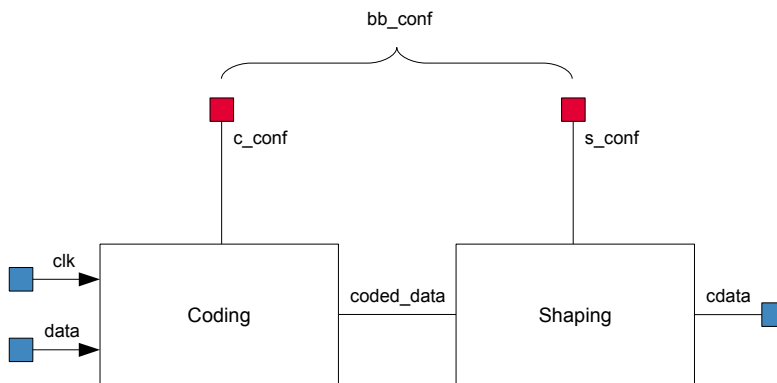


Abbildung 2.8.: Blockschaltbild der Datenaufbereitung

Datenaufbereitung können mit entsprechenden Konfigurationsbits digital modifiziert werden.

2.2.1. Aufgaben der Datenaufbereitung

2.2.1.1. Datenkodierung

Grundsätzlich versteht man unter Kodierung das Anwenden einer Vorschrift um ein Datum eines Alphabets in das entsprechende Datum eines anderen Alphabets zu übersetzen. Kodierung wird in der Informationstechnik dazu verwendet, um einerseits Redundanz aus einer Nachricht zu entfernen, damit die zu übertragende Datenmenge reduziert wird und andererseits, um gezielt Redundanz wieder hinzu zu fügen, um beispielsweise Fehler in der Übertragung erkennbar zu machen.

In der hier behandelten Anwendung geht es weniger um eine Übersetzungsvorschrift in ein anderes Alphabet, als um die Abbildung eines entsprechenden Datums und damit um die veränderte Repräsentation im Zeitbereich, was ebenfalls als Kodierung (Leitungskodierung) bezeichnet werden kann [2]. Wie bereits im Einführungsabschnitt erläutert, kann Information in die Position eines Pulses in einem bestimmten Zeitrahmen gelegt werden. Dieses Prinzip wird auch für diesen UWB-Transmitter verwendet.

Beim sogenannten *Puls Position Coding* wird ein Puls, der in der ersten Hälfte eines definierten Zeitrahmens positioniert ist, als logische 1 interpretiert. Befindet sich der Puls in der zweiten Hälfte des Zeitrahmens wird eine logische 0 gesendet. Um die Komplexität des Entwurfs in einem angemessenen Rahmen zu halten ist der Sender *nicht kohärent* realisiert - es gibt keinen Bezug zwischen Phase des Trägersignals und gesendetem Datum. Die Länge des angesprochenen Zeitrahmens ist abhängig von der gesendeten Datenrate. Beim vorliegenden Transmitter können Datenraten bis 100 MBit/s gesendet werden, was einem Zeitrahmen mit einer Länge von 10 ns entspricht.

Ausgangspunkt für die Realisierung des PPC war die sogenannte *Manchester-Kodierung*.

$$Q_M = A \otimes B \quad (2.2.1)$$

Wie in der Bildungsvorschrift 2.2.1 abzulesen ist, entspricht die Repräsentation eines manchesterkodierten Datums einer Exklusiv-Oder-Verknüpfung zwischen zwei Signalen, dem Datum selbst und einem Taktsignal. Dies ist auch der Vorteil der Manchester-Kodierung - im kodierten Datensignal ist die Taktinformation enthalten.

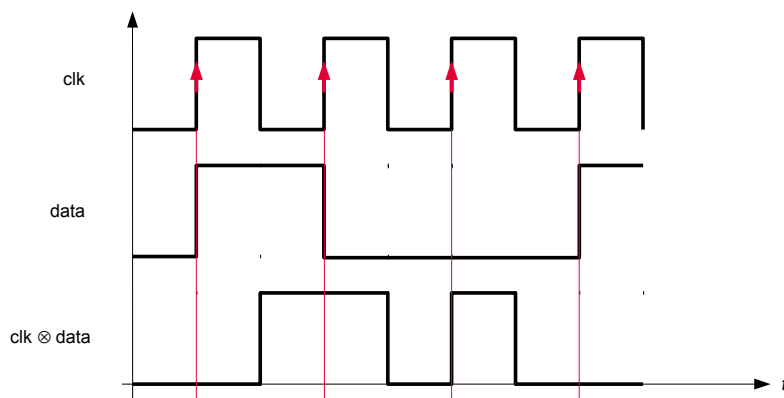


Abbildung 2.9.: Manchester-Kodierung

Die Bandbreite des kodierten Signals ist daher doppelt so hoch, als die des ursprünglichen Datensignals. Wie man in Abbildung 2.9 sehen kann entspricht die Manchester Kodierung bereits einer PPC (der Abstand zwischen zwei aufeinanderfolgenden positiven Taktflanken entspricht dem Zeitrahmen eines Zeichens) - für diese Anwendung müssen somit nur noch die Pulsbreiten, die in dieser Ausgangslage der Länge einer halben Taktperiode entsprechen, verkürzt werden.

2.2.1.2. Basisbandformung

Unter Basisbandformung ist die gezielte Modifikation des Betragsfrequenzganges des Basisbandsignals zu verstehen. Die Motivation dazu wurde bereits im Einführungsabschnitt 1.3.2 erwähnt. Um nun das Ziel des Wunsch-Spektrums zu erreichen, ist es notwendig, die Form des modulierenden Signals so zu verändern, dass unerwünschte Frequenzbereiche im Spektrum entsprechend schwach oder gar nicht auftreten. Bevor aber genauer auf die Methodik eingegangen wird möchte ich einige zugrunde liegende Fakten aufzählen.

Geht man davon aus, dass ein Trägersignal erzeugt wird, dessen Form einer idealen Sinusfunktion entspricht, beinhaltet es genau eine Frequenz. Moduliert man nun diesen Träger zum Beispiel nach dem Prinzip des OOK, so enthält das resultierende Signal die angesprochene Frequenz des Trägers, sowie das gesamte Spektrum des modulierenden

Signals. Das bedeutet, dass eben dieses modulierende Signal einen erheblichen Einfluss auf das Spektrum des Gesamtsignals hat und man sich Gedanken über das Erscheinungsbild des Basisbandsignals im Zeitbereich machen sollte.

Das Basisbandsignal dieses UWB-Senders entspricht einer Folge von Pulsen, die der Modulation des Trägersignals dienen. Würde man, wie bereits erwähnt, den unveränderten, digital erzeugten Datenstrom als modulierendes Signal verwenden, hätte dies aufgrund der steilen Flanken der Rechteckimpulse $(1\text{ V}/25\text{ ps})^3$ ein Spektrum zur Folge, das zu breit wäre. Aus diesem Grund werden die Pulse des Datenstroms entsprechend geformt. Mit diesen Erkenntnissen als Basis stellt sich die Frage nach der idealen Impulsform und deren technischer Realisierbarkeit.

Das ideale Spektrum liefert ein Puls, der die Form einer Gauß'schen Glockenkurve hat [11]. Da es sich schaltungstechnisch aber verhältnismäßig schwierig gestaltet eine derartige Pulsform zu realisieren (die eingeschränkte Bauteilbibliothek in einem integrierten Prozess stellt eine zusätzliche Hürde dar), muss man einen Kompromiss zwischen Realisierbarkeit und den gestellten Anforderungen an das Spektrum eingehen. Ein Dreiecksignal bietet eine ausreichende Bandbegrenzung, sowie die Möglichkeit einer relativ einfachen Realisierung [11]. In Abbildung 2.10 sind die Unterschiede zwischen Rechteck-, Dreieck- und Gaußimpulsformung aus dem Ergebnis der analytischen Betrachtung ersichtlich.

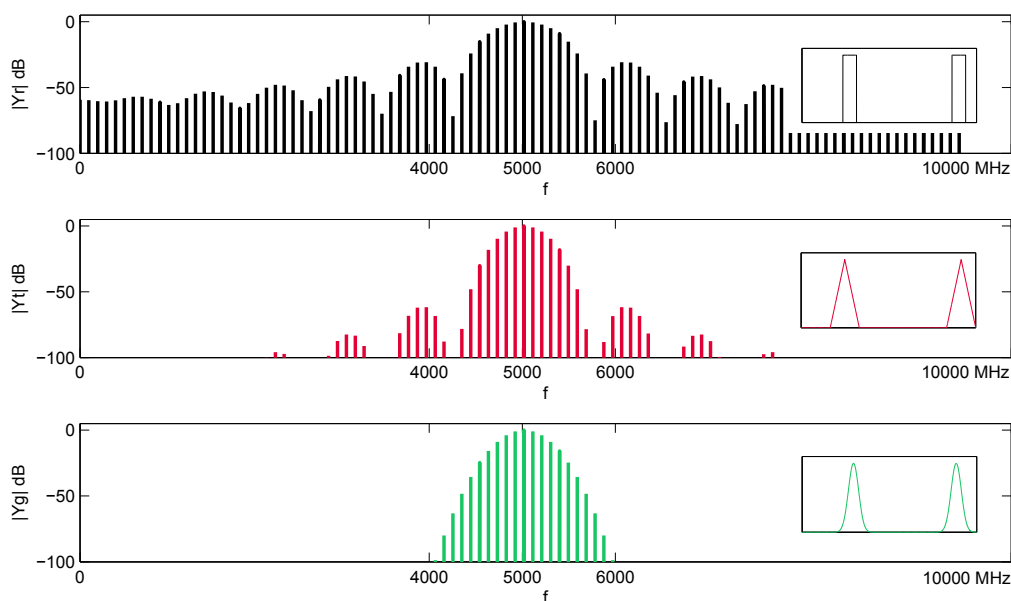


Abbildung 2.10.: Vergleich der Amplituden-Betragsspektren

Die Indizes zeigen die zugrunde liegenden Pulsformen (r für Rechteck, t für Dreieck, g für Gauß). Der Träger besitzt eine Frequenz von 5 GHz. Die Spektren wurden über eine

³korrekter Weise müsste man an Stelle von Rechteckimpulsen von Trapezimpulsen sprechen

Impulsfolge mit einer Frequenz von 100 MHz und einer Dauer von 500 ns mittels FFT ermittelt. Der Vorteil der Impulsformung ist hier deutlich ersichtlich. Sind die Impulse als Dreieckimpulse ausgeführt, ist die erste Nebenkeule im Spektrum in etwa um 20 dB niedriger als im Spektrum der Rechteckimpulsfolge. Ebenfalls ist ersichtlich, dass die Dreieckform einen sehr guten Kompromiss zur Gaußform darstellt. Der Aufwand, der betrieben werden müsste um eine Gaußimpulsformung zu ermöglichen, stünde in keinem Verhältnis zur erzielbaren Verbesserung des Spektrums.

2.2.1.3. Konfigurationsmöglichkeiten der Datenaufbereitung

Um im Verifikationsprozess auf die Auswirkung der besprochenen Parameter, welche die Eigenschaften des Basisbandes kennzeichnen, eingehen zu können, ist es möglich diese digital zu modifizieren. Im Speziellen sind dies:

- Pulsbreite (4 Bit)
- Position des Pulses in der ersten Hälfte des Zeitrahmens (4 Bit)
- Position des Pulses in der zweiten Hälfte des Zeitrahmens (4 Bit)
- Pulsamplitude (2 Bit)

Während die Pulsposition die Basisbandkodierung betrifft, werden durch Pulsbreite und Pulsamplitude die spektralen Eigenschaften des Basisbandes beeinflusst. Die Motivation, die Position der Pulse innerhalb des Zeitrahmens zu verändern sind einerseits aufzuzeigen, dass es möglich ist eine M-äre PPC in diesem Prozess mit verhältnismäßig geringem Aufwand zu realisieren (zumindest QPPC⁴ auf der Senderseite bei Datenraten bis 100 MBit/s) und andererseits, um bei Veränderung der Pulsbreite die gegenseitige Beeinflussung zweier aufeinanderfolgender Pulse zu vermeiden. Grundsätzlich wird in dieser Anwendung nur BPPC⁵ als Kodierungsverfahren verwendet. Folgt eine logische 1 einer logischen 0 bedeutet dies den zeitlich kürzesten Abstand zweier Impulse. Aufgrund der Konfigurierbarkeit ist es aber möglich, die Pulslängen und -positionen so einzustellen, dass eine gegenseitige Beeinflussung zwei aufeinanderfolgender Pulse stattfinden kann (siehe Abbildung 2.11). Aufgrund der schaltungstechnischen Realisierung hebt man in so einem Fall die Amplitude des nachfolgenden Pulses ungewollt an und verzerrt dessen Form auch bei Erreichen der Aussteuergrenzen. Ist dies der Fall kann man nun den Impuls, der die logische 1 repräsentiert, soweit verzögern, dass keine Störung mehr auftritt.

2.2.2. Schaltungstechnische Betrachtung

Wie im vorangegangenen Abschnitt wird hier zuerst der für die Kodierung zuständige Schaltungsblock, gefolgt von dem Block für die Pulsformung, beschrieben.

⁴Quadratur PPC (4 mögliche Pulspositionen)

⁵Binäre PPC (2 mögliche Pulspositionen)

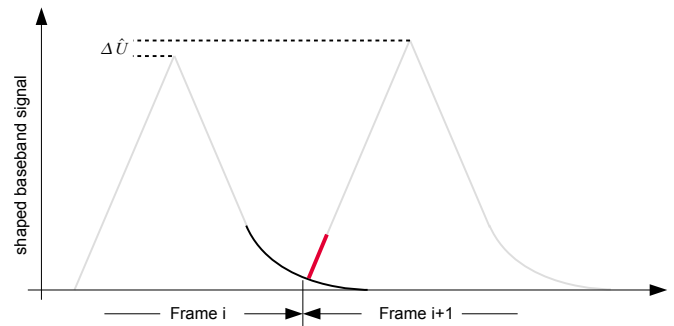


Abbildung 2.11.: Gegenseitige Beeinflussung zweier aufeinanderfolgender Pulse

2.2.2.1. Datenkodierung

Wie bereits auf Seite 16 erwähnt, wird aus Daten- und Taktsignal als Eingangsgrößen die PPC realisiert. Entsprechende Konfigurationseingänge nehmen Einfluss auf Pulsbreite und Position, nicht jedoch auf die grundsätzliche Funktion der Schaltung. Es wurde bereits erwähnt, dass das manchesterkodierte Datensignal bereits einer Puls-Position Kodierung entspricht. Für die gewünschte Anwendung sind jedoch noch die Pulsbreiten dieses Signals zu verkürzen (siehe Abbildung 2.12). Somit sind die zwei wesentlichen Elemente für die Datenkodierung definiert:

- Manchester-Kodierung
- Anpassung der Pulslängen

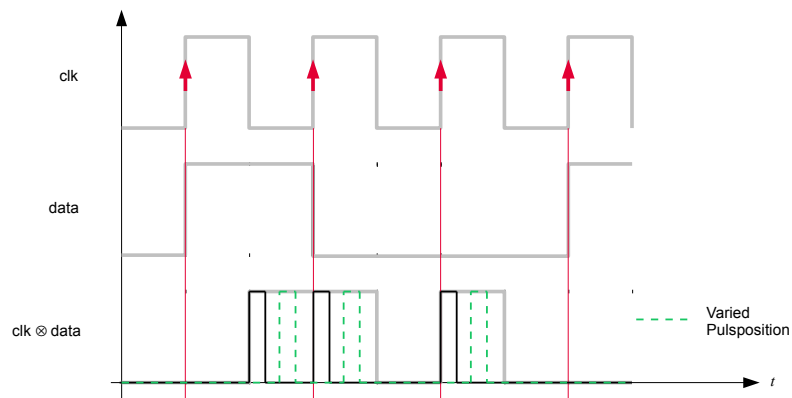


Abbildung 2.12.: Pulse Position Kodierung aus einem manchesterkodierten Signal

Zusätzlich soll es aber auch möglich sein, unabhängig voneinander die Pulspositionen des 1-Pulses und des 0-Pulses⁶ zu verändern. Das Erzeugen eines Manchester-Signals wird hier nicht weiter beschrieben, da dies durch eine einzige, durch die Standardzellenbibliothek des Prozesses zur Verfügung gestellte, *Exklusiv-Oder-Zelle* realisiert werden kann.

Um Pulsposition und Pulsbreite zu verändern, werden konfigurierbare Verzögerungsglieder verwendet. Grundsätzlich ist es relativ einfach ein Signal zu verzögern. So kann beispielsweise die Latenzzeit eines Inverters dafür ausgenutzt werden. Der Nachteil besteht in der schlechten Definition dieser Zeit, da sie maßgeblich von der Belastung, die durch parasitäre Kapazitäten mitbestimmt ist, abhängt. Eine größere Herausforderung ist es, eine relativ gut definierte Verzögerungszeit in den gewünschten Größenordnungen (maximal 2 ns) zu erreichen. Die Idee hinter der realisierten Lösung liegt darin, eine rampenförmige Spannung zu erzeugen. Das Erreichen einer bestimmten Schwellenspannung wird signalisiert und kennzeichnet somit eine bestimmte Zeit, die bis dahin verstrichen sein muss. Eine rampenförmige Spannung lässt sich durch einen Konstantstrom erreichen, der in einen Kondensator fließt.

$$i_C(t) = C \frac{du_C(t)}{dt} \quad (2.2.2)$$

Integriert man Gleichung 2.2.2 nach der Zeit unter Annahme eines Konstantstroms und verschwindenden Anfangsbedingungen, so erhält man als Ergebnis

$$u_C(t) = \frac{1}{C}It \quad (2.2.3)$$

was einer Geraden entspricht, deren Steigung proportional zu Strom und verkehrt proportional zur Kapazität ist.

Abbildung 2.13 zeigt das Prinzip zur Erzeugung der Verzögerungszeit. Zu Beginn befindet sich keine Ladung im Kondensator C - V_X befindet sich auf *High-Pegel*. Ändert man nun die Eingangsspannung am Pin A von Low auf High, fällt V_X auf Low, wodurch Transistor P_2 zu leiten beginnt und den durch die Stromquelle eingepprägten Strom I_C in den Kondensator treibt. Wie zuvor erläutert, steigt die Spannung V_Y linear an. Die Kondensatorspannung wird durch einen leicht modifizierten Buffer „überwacht“. Da dieser Punkt eine kritische Schnittstelle zwischen analoger und digitaler Domäne darstellt (ein analoger Fall wurde bereits im Kapitel 2.1 erwähnt), muss sorgfältig auf den Strombedarf des Buffers geachtet werden. Sein maximaler Strombedarf ist hier limitiert. Wird die Schaltschwelle V_S des Buffers erreicht, ändert sich der Ausgangspegel nach Verstreichen der Zeit Δt des Eingangspegelwechsels. Ändert sich der logische Zustand am Eingang nun von High auf Low, wird die Stromquelle durch den ausschaltenden Transistor P_2 vom Kondensator getrennt. N_2 leitet und entlädt den Kondensator mit dem Strom I_d , der dabei größer als I_C ist, wodurch der resultierende Spannungsverlauf am Punkt V_Y eine Sägezahnform annimmt.

⁶vereinfacht steht diese Formulierung für die Pulse, welche den Zustand 1 bzw. 0 im kodierten Signal repräsentieren

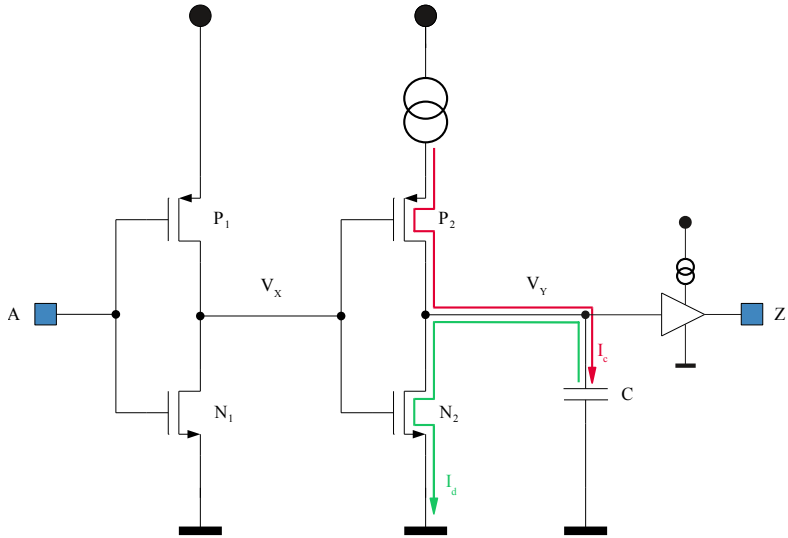


Abbildung 2.13.: Erzeugung einer definierten Verzögerungszeit

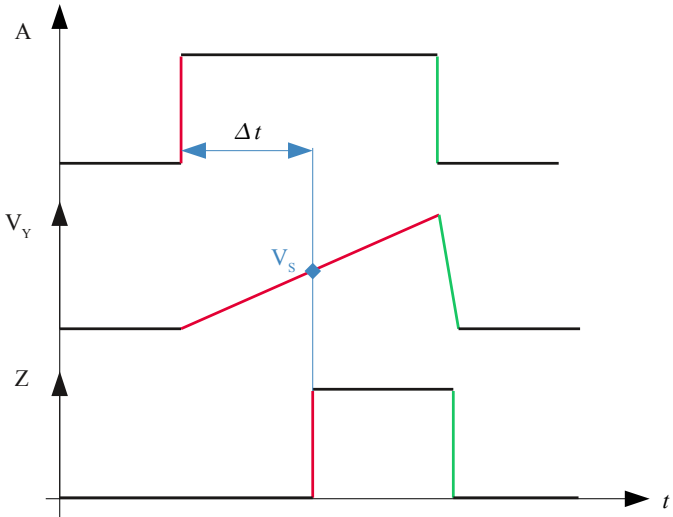


Abbildung 2.14.: Spannungsverläufe

In Abbildung 2.14 sind die Spannungsverläufe am Eingang, Ausgang sowie am Integrationspunkt V_Y dargestellt. Ebenfalls ist zu sehen, dass der größere Entladestrom eine Verkürzung des Impulses zur Folge hat. Da, wie später noch gezeigt wird, nur die steigende Flanke zur Pulsgenerierung relevant ist, birgt diese Tatsache keine nachteiligen Eigenschaften in sich.

Mit der soeben erhaltenen Möglichkeit, die steigende Flanke eines Impulses um eine bestimmte Zeit zu verzögern, kann die geforderte Eigenschaft der Pulspositionierung verwirklicht werden. Um nun eine definierte Pulsdauer zu erhalten, muss das verzögerte Signal noch entsprechend verkürzt werden.

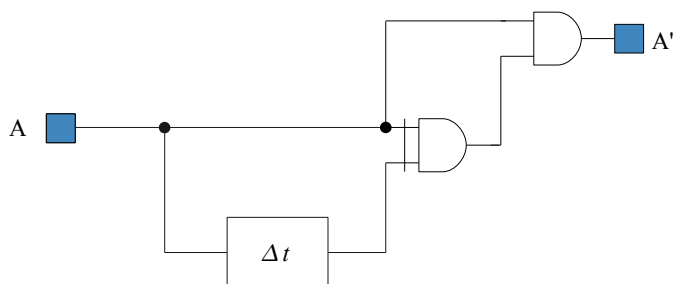


Abbildung 2.15.: Pulsgenerator

Um einen Puls zu verkürzen wird die in Abbildung 2.15 angeführte Methodik verwendet. Ein Signal wird unverändert auf einen der beiden Eingänge eines *XOR-Gatters* geführt, an den zweiten XOR-Eingang legt man das verzögerte Signal. Somit zeigt der Ausgang A' einen Puls, der in seiner Länge der Verzögerungszeit Δt entspricht. Als Verzögerungsglied findet hier dasselbe Anwendung, das zuvor zur Pulspositionierung verwendet wurde. Die Prinzipschaltung lässt erkennen, dass aufgrund des endlichen Entladestroms (vgl. Abbildung 2.14) nicht nur die steigende, sondern auch die fallende Flanke einen Impuls am Ausgang erzeugt. Der Impuls, verursacht durch die negative Flanke, wird für diese Anwendung nicht verwendet, sondern durch eine logische UND-Verknüpfung mit dem unverzögerten Eingang des XOR-Gatters ausgeblendet und den dahinterliegenden Schaltungsteilen nicht zugeführt (siehe Abbildung 2.16).

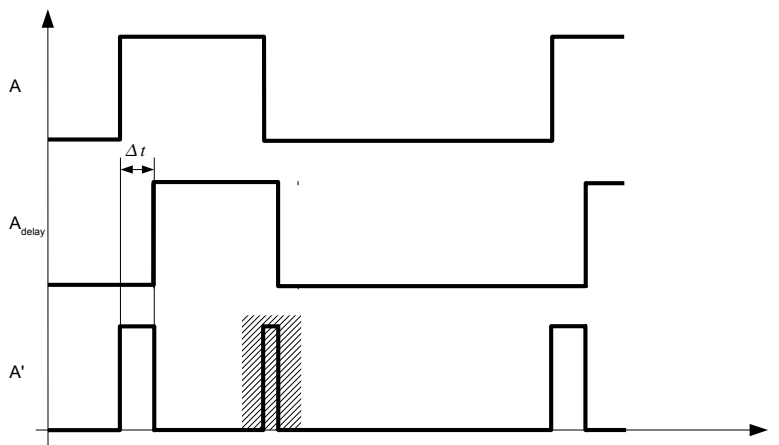


Abbildung 2.16.: Signalverläufe des Pulsgenerators

Damit ist der Grundstein zur Datenkodierung gelegt. Die Kombination aus Manchester-Kodierung, Verzögerungseinheit und Pulserzeugung ergibt einen Schaltungsblock, der aus Daten- und Taktsignal ein Puls Position kodiertes Signal erzeugt. Um die gewünschte Konfigurierbarkeit zu implementieren stehen grundsätzlich zwei Möglichkeiten offen. Betrachtet man Gleichung 2.2.3, so sind der Konstantstrom und die Kapazität als variierbare Parameter vorhanden um die Steigung der Gerade und somit die Zeitkonstante des Verzögerungsgliedes zu verändern.

Für diese Arbeit wurden Strom *und* Kapazität konfigurierbar gestaltet. Dabei ist die variierbare Kapazität als Feineinstellung - der variierbare Strom als Grobeinstellung des Verzögerungsgliedes vorgesehen. Der Konstantstrom dient dabei als „Skalierungsfaktor“ für den mit den Kondensatoren einstellbaren Zeitbereich. Bevor mit dem Entwurf begonnen werden kann, sollte die geplante Realisierung auf

- Schaltbarkeit
- Prozess- und Temperaturabhängigkeit
- parasitäre Effekte

hin untersucht werden.

Schaltbarkeit

Für diese Anwendung ist es nicht vorgesehen, Pulsposition und -länge während der Laufzeit zu ändern. Das bedeutet, dass zum Einschaltzeitpunkt die gewünschten Parameter definiert werden und erst danach die Freigabe für die Schaltung erfolgt. Dennoch muss,

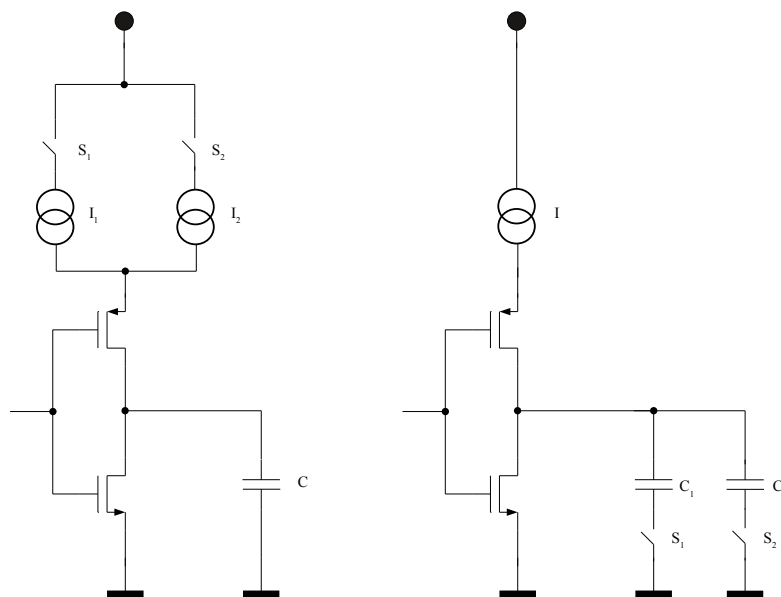


Abbildung 2.17.: skalierter Konstantstrom vs. skalierte Kapazität

wie später noch erklärt wird, auch das dynamische Verhalten der Schalter berücksichtigt werden.

In Abbildung 2.17 sind schematisch die beiden Möglichkeiten angeführt, wie sich die Zeitkonstante des Verzögerungsgliedes beeinflussen lässt.

Funktionell besteht kein Unterschied zwischen geschaltetem Kondensator und geschalteter Stromquelle. Die Schalter sind als einzelne MOS-Transistoren ausgeführt - im Falle der variablen Kapazität handelt es sich um n-MOS, bei der variablen Stromquelle um p-MOS-Transistoren. Wichtig ist im Auge zu behalten, dass die Schalter parasitäre Kapazitäten enthalten, welche die Größe der Nutzkapazität beeinflussen. Der Spannungsabfall, der durch den ON-Widerstand der Transistoren und den Strom verursacht wird, kann aufgrund der kleinen Stromstärke vernachlässigt werden. Einen wesentlichen Einfluss auf das Verhalten der Schaltung hat aber die Position der Schalter, wie am Beispiel der geschalteten Kondensatoren gezeigt werden kann. In Abbildung 2.18 sind die Schalter leitend. Im linken Schaltbild befindet sich der Schalter über der Kapazität. Fließt nun der Konstantstrom durch den Schalter in die Kapazität, so wird sich das Potential am Knoten X erhöhen. Dies entspricht einer Verringerung der Gate-Source-Spannung des Schalttransistors. Die Bedingungen für den Sättigungsbetrieb des Transistors (siehe Gleichungen 2.1.1) betrachtend, erkennt man, dass, sobald die Gate-Source-Spannung in den Bereich der Threshold-Spannung des Transistors gelangt, der Schalter sich zu schließen beginnt und so die Kapazität vom Integrationspunkt trennt. Die direkte Folge daraus ist, dass die Ausgangsspannung V_O plötzlich schneller ansteigt. Die Steigung der Spannung ist somit

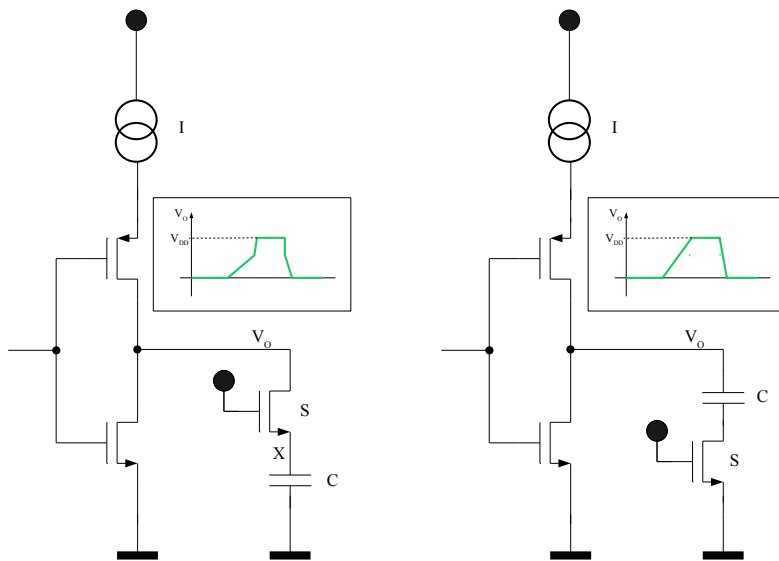


Abbildung 2.18.: Positionierung des Schalters mit den resultierenden Spannungsverläufen

nicht mehr konstant. Schematisch ist dieser Fall in den Spannungsverlaufsdiagrammen in Abbildung 2.18 dargestellt⁷. In der Konfiguration laut rechtem Schaltbild ist man mit dieser Problematik nicht konfrontiert. Die Gate-Source-Spannung des Schalttransistors ist hier unabhängig vom Ladezustand des Kondensators.

Prozess- und Temperaturabhängigkeit

Die in dieser Schaltung verwendeten Ströme werden von einer Bandabstandsreferenz⁸ abgeleitet. Die Referenzquelle ist Bestandteil des bereits bestehenden „Versorgungsmoduls“ und wird in dieser Arbeit nicht näher behandelt. Das bedeutet, dass der Quellenstrom weitestgehend temperaturunabhängig ist. Er wird nun auf das entsprechende Maß skaliert und dem Verzögerungsglied als Konstantstrom zugeführt. In Abbildung 2.19 ist die „Stromversorgungskette“ skizziert. Auf dem produzierten Wafer stellt man fest, dass es produktionsbedingt zu Prozessstreuungen kommt. Das ist die Ursache dafür, dass Transistoren, auch wenn diese die selben geometrischen Abmessungen besitzen, nicht identische Eigenschaften haben. Aus diesem Grund achtet man darauf, dass Transistoren, welche die selben elektrischen Eigenschaften besitzen sollen, in örtlicher Nähe zueinander platziert werden und die Umgebungsbedingungen möglichst homogen sind. Man spricht hier vom *Matching*. Stromspiegeltransistoren sind ein Beispiel, in dem Matching eine wesentliche Rolle spielt. Hier möchte ich jedoch darauf hinweisen, dass in dieser Anwen-

⁷Die Spannungsverläufe sind hier vereinfacht in asymptotischer Darstellung gezeichnet

⁸Bandgap-Reference

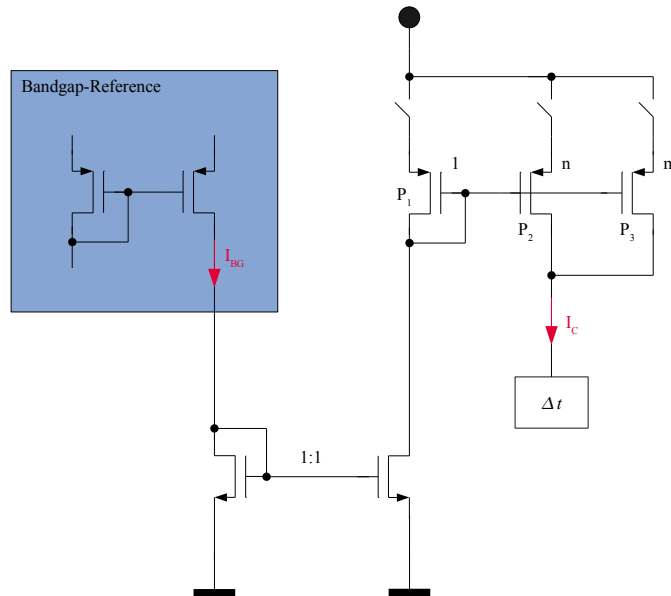


Abbildung 2.19.: Stromverteilung für das Verzögerungsglied

ding keine höchstgenauen Ströme zur Verfügung gestellt werden müssen und es somit zufriedenstellend ist, eine Genauigkeit im einstelligen Prozentbereich zu erreichen. Ein Grund dafür sind die Fertigungstoleranzen für integrierte Kondensatoren, die sich, je nach Type, im Bereich zwischen 10% und 25% bewegen. Würde man großen Aufwand in die Generierung eines sehr genauen Stromes investieren, würde dies durch die produktionsbedingte Ungenauigkeit der Kapazitätswerte der Kondensatoren zunichte gemacht werden.

Parasitäre Effekte

Die physikalische Implementierung der Schaltung liefert unvermeidlich parasitäre Elemente, deren Existenz man sich bewusst sein muss. Da die Größe der Kapazität maßgeblich für den Betrag der Verzögerungszeit ist, verlangen besonders parasitäre Kapazitäten erhöhte Aufmerksamkeit. Um den Strombedarf zur Erreichung einer bestimmten Steigung der Rampenfunktion gering zu halten, muss ebenso die Kapazität des Kondensators möglichst gering ausfallen. Nun könnte man mit der Forderung eines möglichst kleinen Strombedarfs den Kondensator kleinst möglich realisieren. Dagegen ist nichts einzuwenden - setzt man ideale Eigenschaften voraus. Die Kapazität eines solchen Kondensators würde sich im Größenordnungsbereich von einigen Femtofarad bewegen. Alleine die Anschlussleitungen des Kondensators können bereits eine ähnliche Kapazität aufweisen, ganz zu schweigen von den Transistoren, die sich auch noch im Strompfad befinden. Es würde also ein Ka-

pazitätsfehler entstehen, der die eigentliche Nutzkapazität übersteigt. In Abbildung 2.20

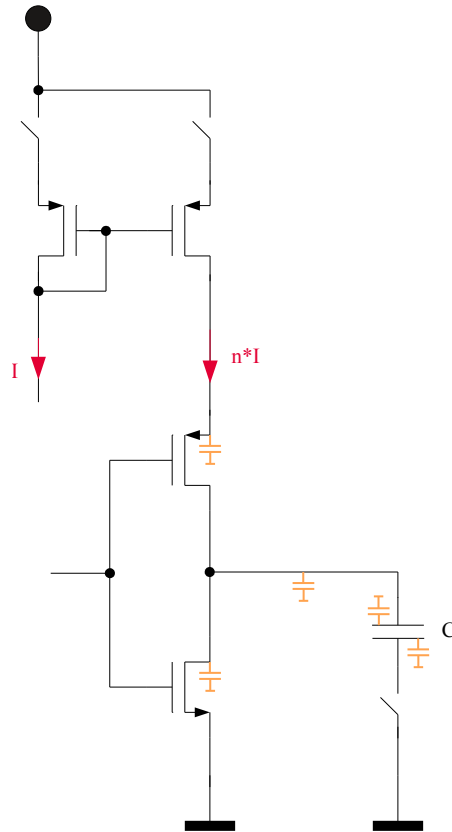


Abbildung 2.20.: Parasitäre Kapazitäten

sind schematisch die angesprochenen parasitären Kapazitäten eingezeichnet. Bei der Dimensionierung ist darauf zu achten, dass die Wahl des Kondensatortyps so ausfällt, dass parasitäre Kapazitäten den Wert der eigentlichen Nutzkapazität möglichst wenig beeinflussen. Üblicherweise ist bei Kondensatoren, die eine hohe spezifische Kapazität aufweisen, aufgrund des geringeren Flächenbedarfs auch der parasitäre Anteil geringer. Als Beispiel lässt sich ein *Metal-Metal-Kondensator*⁹ nennen. Der Kondensator besitzt eine kleine spezifische Kapazität, wobei sich die Nutzkapazität zwischen der unteren und oberen Platte, mit dazwischenliegendem Siliziumdioxid als Dielektrikum ϵ , ausbildet. Die untere Platte hat aber eine keineswegs vernachlässigbare Kapazität zum Substrat, die bereits die Größenordnung der Nutzkapazität erreichen kann. Die Verdrahtungsebenen haben eine bestimmte Höhe (bei Submicron-Prozessen kann die Höhe h größer sein, als die Minimumweite der Verdrahtungsebene). Nun bildet sich durch die Fläche Γ , die durch

⁹ein Plattenkondensator, der durch zwei oder mehrere Verdrahtungsebenen gebildet wird

die Höhe h und den Umfang der oberen Platte gegeben ist, auch eine parasitäre Kapazität (*Fringe-Capacitor*) aus, die sich hier negativ auswirkt. Dies kann in einigen Anwendungen (z.B. als Stützkondensator) aber auch durchaus gewünscht sein, da der Kondensator dadurch an Kapazität gewinnt, ohne an Fläche zuzunehmen. In Abbildung 2.21 sind die eben erwähnten parasitären Kapazitäten zusammengefasst. Die Symbole in unterschiedlichen Größen deuten den verhältnismäßigen Anteil am Gesamtparasiten an. Um

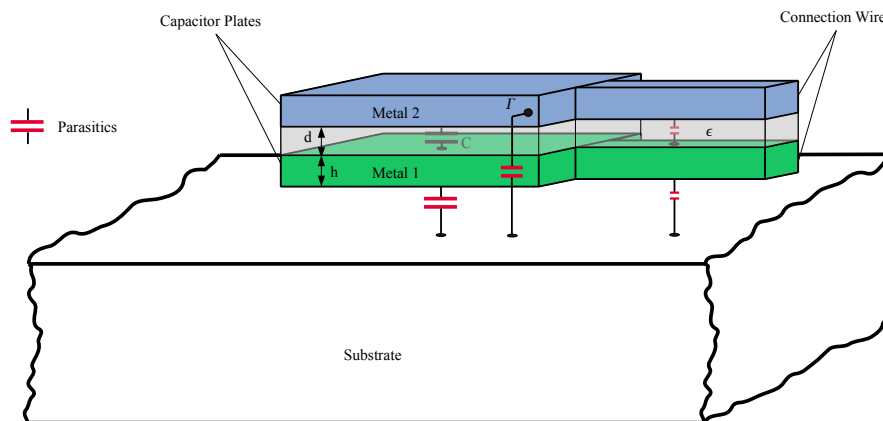


Abbildung 2.21.: Parasitäre Kapazitäten in der physikalischen Implementierung eines *Metal1-Metal2 Kondensators*

einen Eindruck der Größenordnungen zu vermitteln und das Dilemma zu verdeutlichen, kleine parasitäre Anteile der Integrationskapazität bei gleichzeitig möglichst niedrigem Strombedarf zuzulassen, hier ein Beispiel: Angenommen, die Entscheidungsschwelle des Buffers, der als Komparator für die Integrationsspannung dient, liegt bei der halben Versorgungsspannung - also für diese Anwendung 0.75 V. Will man eine Verzögerungszeit von 1 ns erreichen bedeutet das, dass die Integrationsspannung in dieser Zeit auf 0.75 V steigen muss. Realisiert man nun einen Kondensator mit einer Kapazität von 100 fF, muss ein Strom von

$$I = \frac{\Delta u}{\Delta t} C = \frac{0.75 \text{ V}}{1 \text{ ns}} 100 \text{ fF} = 75 \mu\text{A} \quad (2.2.4)$$

zur Verfügung gestellt werden. In diesem Beispiel setze ich voraus, dass bei einer Kapazität von 100 fF der parasitäre Anteil, gegeben durch Verdrahtung und Ansteuerung, 10 fF nicht übersteigt. Die parasitäre Kapazität des Kondensators selbst sei für diese Betrachtung vernachlässigt. Verkleinert man nun mit dem Argument des zu hohen Strombedarfs die Nutzkapazität auf ein Fünftel des Ursprünglichen Wertes - das heißt auf

$$\frac{100 \text{ fF} - 10 \text{ fF}}{5} = 18 \text{ fF}$$

beträgt die Gesamtkapazität (Nutzkapazität + parasitäre Kapazität) 28 fF. Die parasitäre Kapazität trägt nun rund ein Drittel zur Integrationskapazität bei. Das Ziel, eine möglichst

gut definierte Zeitverzögerung zu erreichen, ist somit nicht erfüllt. Wie bereits angemerkt, kann über vier Konfigurationsbits der Kapazitätswert der Integrationskapazität verändert werden. Dies geschieht über gewichtete Kondensatoren, die auf den Integrationsknoten geschaltet werden. Über den einstellbaren Konstantstrom lässt sich der mögliche Einstellbereich, der über die Kondensatoren verschiedener Kapazität abgedeckt wird, skalieren. Dadurch ist es ausreichend, die Kondensatoren so zu dimensionieren, dass bei einem hohen Strom ein kleiner Einstellbereich abgedeckt wird. Verringert man nun den Strom verlängern sich automatisch die Zeitkonstanten, die durch die unterschiedlichen Kapazitätswerte realisiert werden und man vergrößert damit die zeitliche „Reichweite“. Die Verzögerungsglieder für Pulsweiten- und Pulspositionseinstellung unterscheiden sich dabei nicht - Abbildung 2.22 zeigt die realisierte Schaltung des Verzögerungsgliedes. P_1 und

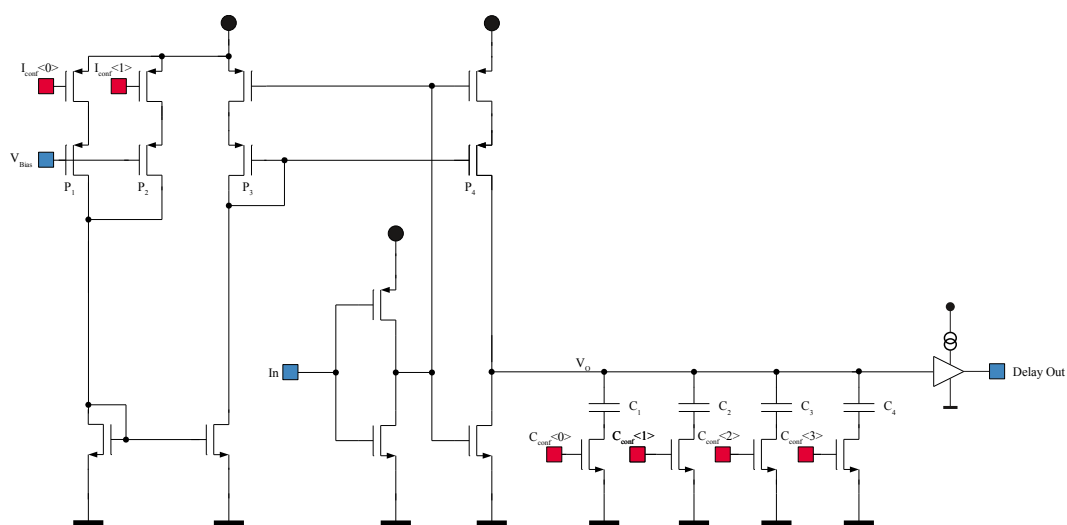


Abbildung 2.22.: Detailschaltung des Verzögerungsgliedes

P_2 bilden den Ausgangspunkt der konfigurierbaren Stromquelle. Mit den Schnittstellen I_{conf} kann das Übersetzungsverhältnis des Stromspiegels bestimmt werden (zur besseren Übersichtlichkeit wurde die Diode P_0 des Eingangsstromspiegels nicht eingezeichnet). Der Stromspiegel, gebildet durch P_3 und P_4 fungiert als Konstantstromquelle für den Integrationskondensator. Das Verteilen des Ausgangsstromes hat zum Nachteil, dass dieser durch zwei Querzweige fließen muss, bis er zum beabsichtigtem Punkt gelangt. Um den Strombedarf zu limitieren, wurde das Übersetzungsverhältnis des Spiegels $P_3 - P_4$ mit 1:5 festgesetzt. Somit muss nur noch ein Fünftel des benötigten Stroms durch die Querzweige davor fließen. Je nach benötigter Zeitkonstante können über die Anschlüsse C_{conf} Kondensatoren dazu- oder weggeschaltet werden. Es wurde bereits erwähnt, dass die Pulspositionierung für den 0- und 1-Puls voneinander unabhängig geschehen soll. Dazu wird die Verzögerungsschaltung um ein Kondensatorfeld erweitert. Für eine logische

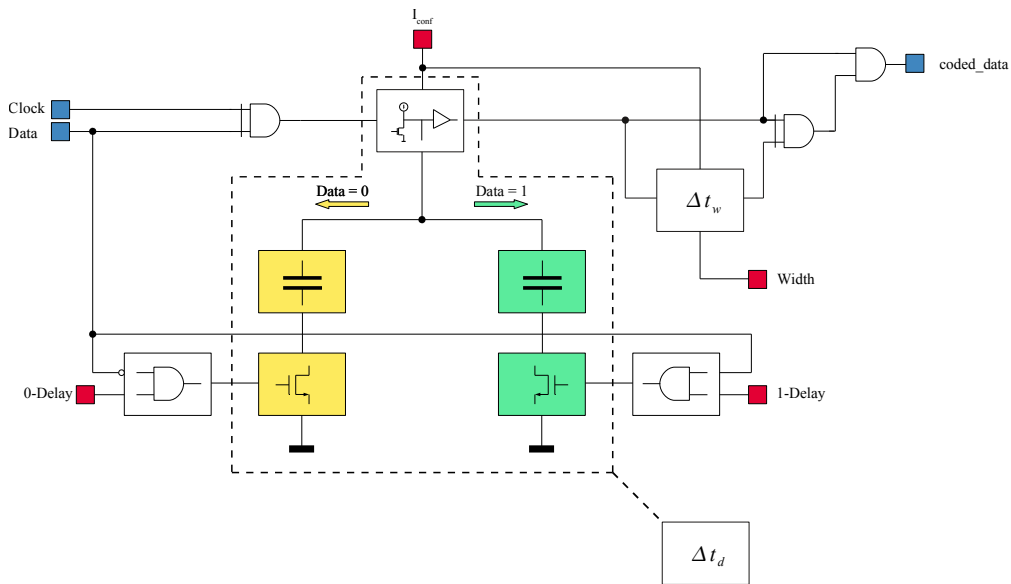


Abbildung 2.23.: Basisbandkodierung

Null und logische Eins sind nun zwei verschiedene Verzögerungszeiten möglich, da je nach logischem Zustand der Integrationskondensator eine unterschiedliche Kapazität haben kann. Der logische Zustand des Datensignals bestimmt, welches der beiden Kondensatorfelder aktiv ist. Im Absatz über das Schaltverhalten wurde erwähnt, dass es trotz statischen Konfigurationsbedingungen notwendig ist, die dynamischen Eigenschaften des Schaltvorganges zu beobachten. Hintergrund dieser Bemerkung war, dass durch die individuelle Pulspositionierung mit jedem Wechsel des logischen Zustandes des Datensignals zwischen den beiden Integrationskondensatoren umgeschaltet werden muss. Der *Toggle-Mode* ist dabei der ungünstigste Fall (vgl. Abschnitt 2.1), da hier mit der höchsten Frequenz umgeschaltet wird. Abbildung 2.23 zeigt den gesamten Basisbandkodierer und illustriert die beiden konfigurierbaren Kondensatorfelder für die Pulspositionierung. Die Schalter stellen für die ansteuernden Gatter eine kapazitive Last dar. Die Belastung hat zur Folge, dass die Steigung der Flanke des Ansteuersignals für die Schalter flacher wird, was ein verzögertes Einschalten zur Folge hat. Aus diesem Grund muss auf eine genügend große Treiberstärke des Ausgangsbuffers der Treiberschaltung (in Abbildung 2.23 als eingerahmte UND-Gatter gezeichnet) geachtet werden.

2.2.2.2. Basisbandformung

Die Pulse, welche durch die Basisbandkodierung bereitgestellt werden, dienen als Eingangssignal für die Pulsformung, deren Aufgabe darin besteht, diese Pulse zu einem Dreieckssignal zu formen. Dabei soll die Amplitude des Dreiecks (dessen Höhe konfigurier-

bar ist) möglichst keine Beeinflussung durch die Pulsbreite erfahren. Die Herausforderung bei der Realisierung der Schaltung liegt in der zeitlichen Größenordnung der Pulsbreite. Wie bereits die Simulationsergebnisse des Basisbandkodierers erkennen ließen, bewegt sich diese im Sub-Nanosekunden-Bereich. Grundsätzlich bedient man sich für diese Schaltung desselben Prinzips, wie es bereits für die Verzögerungsglieder des Basisbandkodierers verwendet wurde. Ein Konstantstrom, der in einen Kondensator fließt, erzeugt eine linear ansteigende Kondensatorspannung. Der Unterschied ist nun jener, dass auch das Entladen des Kondensators mit dem selben Konstantstrom geschehen muss wie das Laden, um ein gleichschenkeliges Dreieck zu erzeugen. Die erreichbare Amplitude des Dreiecksignals soll in etwa 1.2 V erreichen. Natürlich ist hier die Betrachtung der parasitären Elemente nicht minder wichtig, da diese hier direkt die Signalform beeinflussen. Nimmt man wieder eine Integrationskapazität von 100 fF an, bedeutet dies einen benötigten Ladestrom bei einer Ladezeit von 600 ps von 200 μA . Der Ablauf, um aus dem Rechteckimpuls ein Dreieck zu formen sieht folgendermaßen aus: Solange das Ausgangssignal des Kodierers High ist, fließt der Konstantstrom in den Kondensator. Sobald das Signal auf Low wechselt, entlädt eine Stromsenke mit der betragsmäßig gleichen Stromstärke den Kondensator. Dadurch muss die Entladezeit der Ladezeit entsprechen und ein gleichschenkeliges Dreieck als Pulsform resultieren. Abbildung 2.24 zeigt das Prinzipschaltbild dieser Pulsformung.

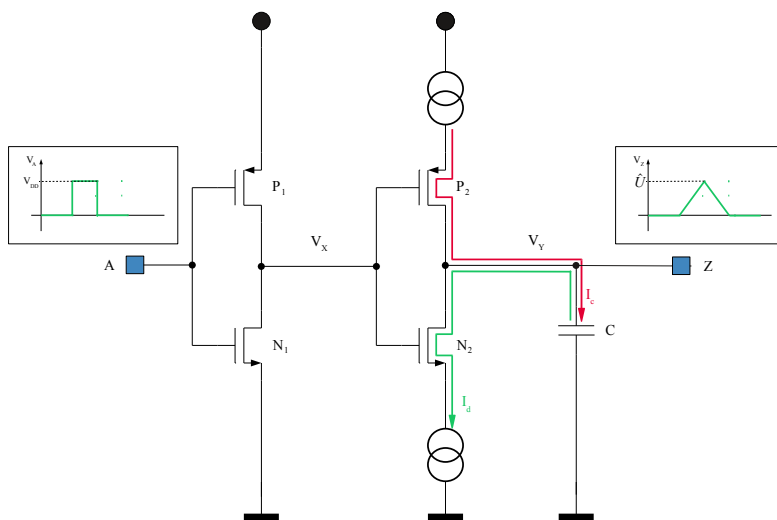


Abbildung 2.24.: Prinzipschaltbild der Pulsformung

Hält man den Strom der Stromquellen konstant und verändert die Pulsbreite in der Basisbandkodierung, ändert sich auch die Amplitude, da für eine längere bzw. kürzere Zeitdauer die Spannung aufintegriert wird und somit die Amplituden des Dreieckssignals abhängig von der Pulsbreite des kodierten Datensignals sind (siehe Abbildung 2.25). Um eine konstante Amplitude des geformten Signals zu erreichen wurde die Integri-

onkapazität skalierbar gestaltet. Je nach eingestellter Pulsbreite ändert sich nun die Integrationskapazität der Basisbandformung.

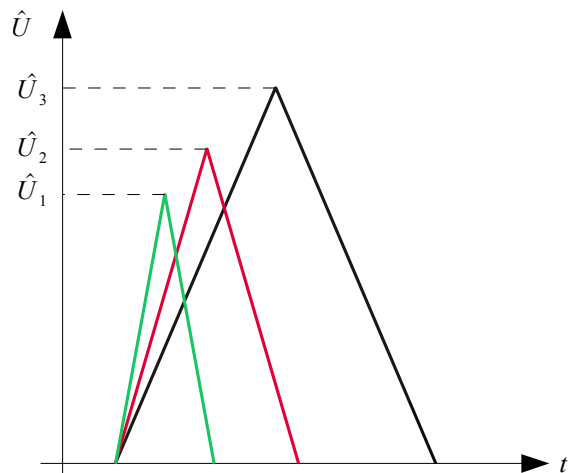


Abbildung 2.25.: Amplituden des Ausgangssignals bei konstanter Kapazität

Bei einem konstanten Strom ist die Dreieckspuls-Amplitude quasi konstant für alle eingestellten Pulsbreiten. Nun soll es aber auch möglich sein, diese Amplitude definiert zu ändern. Als einzig skalierbarer Parameter bleibt nun noch der Konstantstrom übrig. Dieser ist über 2 Bit einstellbar und bestimmt somit die erreichbare Pulsamplitude. Für spezielle Anwendungen können durch einen beinahe vernachlässigbaren Mehraufwand Lade- und Entladestrom konfigurierbar gestaltet werden. Wie bereits bekannt ist, ist es für die Linearität der Steigung wichtig, den Strom für die Integrationsdauer konstant zu halten.

Für eine erste Betrachtung sei angenommen, die Konstantstromquelle, die den Integrationskondensator speist, ist nicht aktiv. Der Diodentransistor der Stromquelle leitet dauernd, weshalb sich eine Biasspannung des Stromspiegels aufbaut. Diese Spannung ist in diesem Moment auch in den parasitären Kapazitäten der beiden Stromspiegeltransistoren gespeichert. Wird nun die Stromquelle aktiviert, gelangt Ladung aus dieser parasitären Kapazität in den Integrationspfad, woraus eine Änderung der Biasspannung des Stromquellentransistors resultiert - dieser liefert aufgrund dieser Rückwirkung nun solange weniger Strom, bis sich die Gatespannung wieder näherungsweise auf den ursprünglichen Wert eingestellt hat. Aus diesem Grund ist eine Stabilisierung der Biasspannung durch genügend große Kondensatoren notwendig.

Der Nachteil einer solchen Stabilisierung liegt in der Zeitdauer, die die Schaltung benötigt, bis sich die Biasspannung eingestellt hat - der Bufferkondensator muss immerhin erst auf die Biasspannung aufgeladen werden. Beim Aktivieren der Schaltung muss darauf Rücksicht genommen werden.

Die Position der Schalter zur Aktivierung der Stromquellen für den Lade- und Entladevorgang ist, nicht wie man vielleicht im ersten Moment vermuten könnte, entscheidend für das Schaltverhalten. In diesem Design befinden sich die Schalter auf der Seite der Bezugspotentiale (V_{DD} bzw. V_{SS}). Angenommen man positioniert die Schalter lastseitig (der Integrationskondensator wird also auf die Stromquellen geschaltet), der aufintegrierende Vorgang ist gerade beendet und der Kondensator ist auf die maximale Amplitude aufgeladen. Als nächstes soll nun der Entladevorgang starten. Der Punkt unter dem Schalter befindet sich auf V_{SS} , da der Stromspiegeltransistor leitet. Wird nun eingeschaltet fließt im ersten Augenblick, bedingt durch parasitäre Kapazitäten, ein sehr großer Strom durch die Stromsenke, der sich erst nach einer bestimmten Zeit auf das Soll-Niveau einstellt. Daraus resultierend zeigt die Ausgangsspannung an der fallenden Flanke zuerst einen Sprung, der erst danach in die lineare Funktion der gewünschten Steigung übergeht. Durch die Positionsveränderung des Schalters erreicht man, dass die parasitären Kapazitäten der Stromquelle vor Aktivierung des Schalters bereits geladen sind. Wird nun eingeschaltet, wird der Strom sofort auf das gewünschte Maß limitiert.

2.2.3. Simulationsergebnisse

Bei der Simulation der Schaltung wurde das Hauptaugenmerk auf das transiente Verhalten der Schaltung gelegt, da hauptsächlich Manipulationen der Signale im Zeitbereich ausschlaggebend für die funktionale Richtigkeit sind - ähnlich einem reinen Digitalteil. Natürlich wurde bei der Dimensionierung der enthaltenen Stromspiegel auch auf die DC-Analyse nicht verzichtet. Der erste, grobe Entwurf wurde bei Raumtemperatur und nominellen Prozessparametern simuliert. Darauf aufbauend wurde die Schaltung auch im Temperaturbereich zwischen -50°C und 150°C , sowie in den *Process-Corners*¹⁰ durchgeführt und, soweit nötig, verbessert. Da aufgrund der hohen Systemfrequenz parasitäre Kapazitäten eine bestimmende Rolle ausüben (besonders in timing-kritischen Fällen), ist es unabdingbar nach der Layouterstellung eine Simulation der Netzliste mit den extrahierten parasitären Elementen durchzuführen um auf etwaige Beeinflussungen angemessen reagieren zu können. Wie aus den vorangegangenen Abschnitten ersichtlich ist, sind die Konfigurationsmöglichkeiten mannigfaltig. Aufgrund dessen werden in den dargestellten Diagrammen nicht alle möglichen Konfigurationen gezeigt, da dies zur Übersichtlichkeit beiträgt weshalb die Simulationen auch nur bei einer statischen Konfiguration des Datengenerators ausgeführt wurden. Im Entwicklungsprozess wurden natürlich alle Konfigurationsmöglichkeiten simuliert. Es ist leicht vorstellbar, dass bei gleichzeitiger Permutation der Konfigurationseinstellungen *und* Randbedingungsangaben (Temperatur, Prozess) enorme Datenmengen zu stande kommen.

Abbildung 2.26 zeigt die Simulationsergebnisse der Schaltung zur Basisbandkodierung. Die Eingangssignale *Clock* und *Data* sind *keine* idealen Quellen und stammen vom

¹⁰berücksichtigt die im Prozess möglichen Variationen der MOS-Transistoren

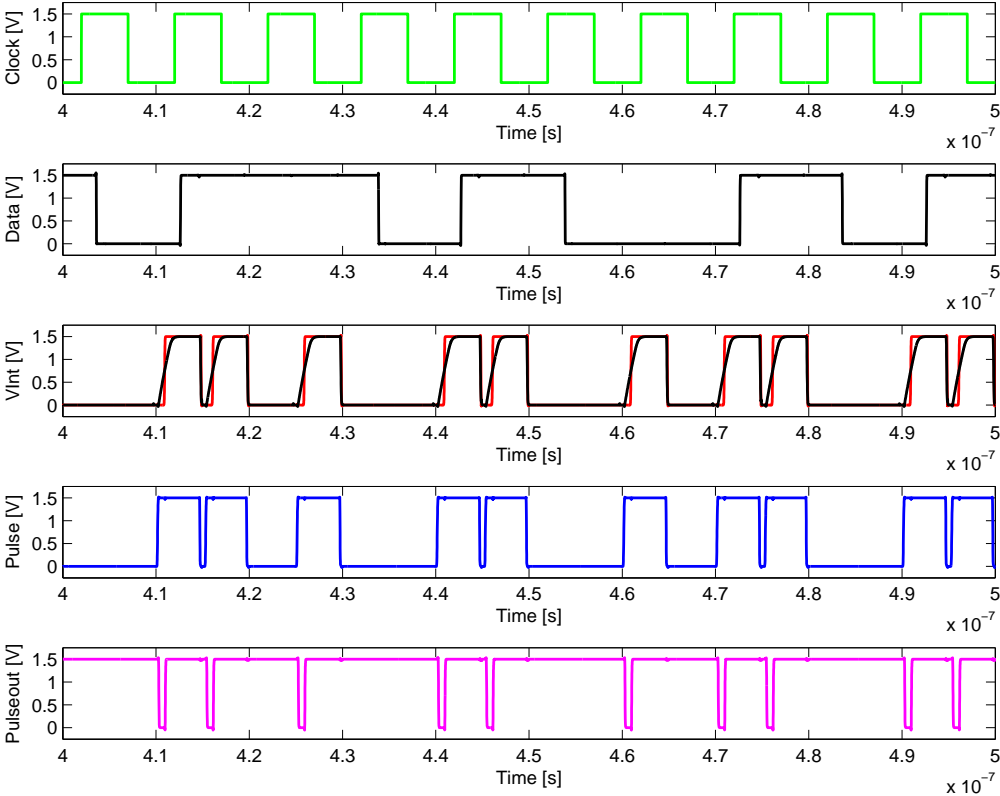


Abbildung 2.26.: Simulationsergebnis des Basisbandkodierers

Datengeneratorblock, der als Bitmuster-generator konfiguriert ist und eine Datenrate von 100 MBit/s liefert. Das magentafarbene Signal *Pulseout* muss man sich invertiert vorstellen. Es stellt das Signal am Ausgang der Schaltung zur Pulsverkürzung dar (vgl. Abb. 2.15). Das mittlere Diagramm zeigt in schwarzer Farbe die Integrationsspannung V_{Int} , die mit jeder steigenden Flanke des *Pulse-Signals* linear ansteigt. Überlagert ist der Ausgang des Buffers, der die Integrationsspannung überwacht, gezeichnet. Es ist zu erkennen, dass, sobald die Spannung am Integrationspunkt in etwa die halbe Betriebsspannung erreicht hat, der Ausgang des Verzögerungsgliedes kippt. Die Schaltung liefert in dieser Konfiguration Pulse mit einer Länge von 600 ps im Zeitraum zwischen 400 ns und 500 ns nachdem die Freigabe der Schaltung durch eine steigende Flanke des *Reset* Signals erfolgt ist. Die Abbildung zeigt das Ergebnis einer Simulation bei nominellen Prozessparametern und einer Umgebungstemperatur von 27°C.

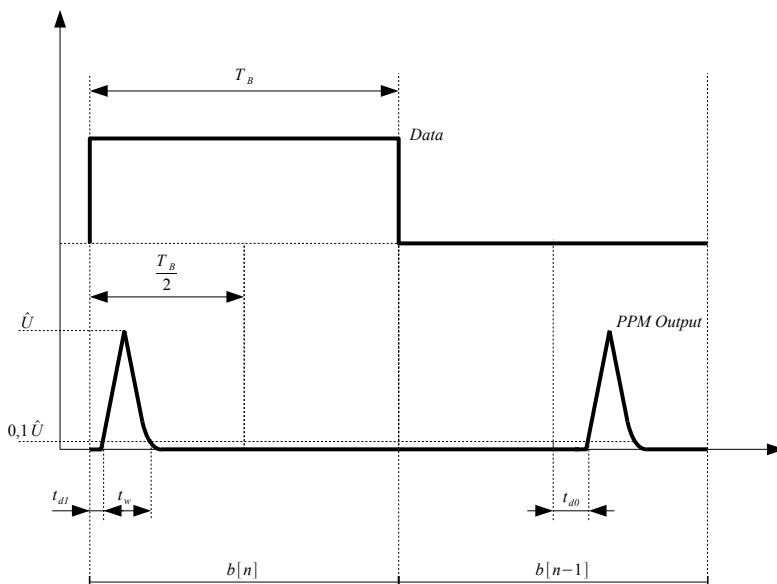


Abbildung 2.27.: Definition der Signalparameter

Abbildung 2.27 gibt eine Übersicht über die Signalparameter des Ausgangssignals der Basisbandeinheit. Die Bedeutung der angegebenen Größen kann Tabelle 2.1 entnommen werden.

In den Abbildungen ist, wieder um die Übersichtlichkeit zu bewahren, nur der Ausgang der Datenaufbereitung angegeben. Zur Erinnerung: Erwartet wird hier ein dreieckförmiges Signal, mit variabler Pulsbreite und Position.

Das Simulationsergebnis in Abbildung 2.28 zeigt beispielhaft den Vergleich des Ausgangssignals der Basisbandschaltung, die hier für unterschiedliche Pulsbreiten konfiguriert ist.

Bezeichnung	Bedeutung
t_{d1}	Verzögerungszeit des 1-Pulses
t_{d0}	Verzögerungszeit des 0-Pulses
t_w	Pulsweite
\hat{U}	Spitzenwert des Ausgangssignals
T_B	Dauer eines Datenbits
$b[n]$	n-tes Bit

Tabelle 2.1.: Erklärung der Signalparameter

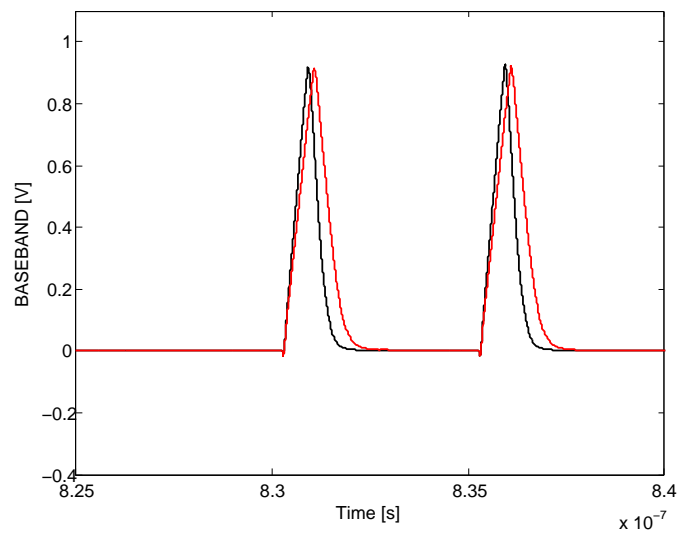


Abbildung 2.28.: Vergleich zweier unterschiedlicher Pulsbreiten

#	pulse_width	Pulslänge t_w
1	„0001“	1,06 ns
2	„0010“	1,2 ns
3	„0011“	1,27 ns
4	„0100“	1,26 ns
5	„0101“	1,34 ns
6	„0110“	1,48 ns
7	„0111“	1,56 ns
8	„1000“	1,35 ns
9	„1001“	1,4 ns
10	„1010“	1,6 ns
11	„1011“	1,65 ns
12	„1100“	1,63 ns
13	„1101“	1,72 ns
14	„1110“	1,82 ns
15	„1111“	1,9 ns

Tabelle 2.2.: Pulseweite in Abhängigkeit von der Konfigurationseinstellung

Aus den Ergebnissen in Tabelle 2.2 ist zu erkennen, dass redundante Einstellungen auftreten. So zum Beispiel verursachen Einstellungen 3 und 4 die selben Pulsweiten. Die Ursache dafür ist, dass die Gewichtung der Integrationskapazitäten nicht binär erfolgte.

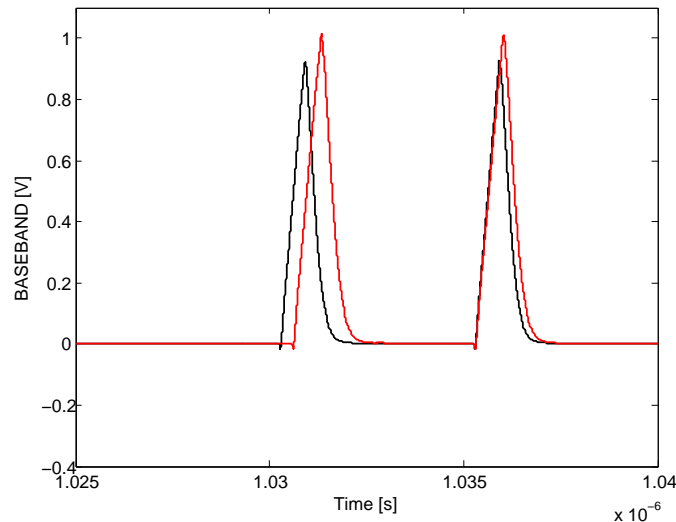


Abbildung 2.29.: Pulse mit unterschiedlicher Verzögerungszeit

In Abbildung 2.29 sind abermals zwei unterschiedliche Konfigurationen abgebildet. Es sind folgende Variationen zu erkennen:

- die Verzögerungszeit des 0-Pulses ist verschieden von 0
- die Pulsweiten sind verschieden
- für die zweite (rot dargestellte) Simulation wurde ein größerer Ladestrom für die Integrationskapazität gewählt, was in einer größeren Amplitude resultiert

In Tabelle 2.3 sind die einstellbaren Verzögerungszeiten angegeben. Da für die 0- und 1-Pulsverzögerung die selbe Schaltung zuständig ist, sind die einstellbaren Verzögerungszeiten auch ident, weshalb hier nur eine Angabe vonnöten ist. Wie bereits erwähnt, wird in dieser Anwendung als Kodierungsverfahren nur BPPC angewendet. Die Verstellung der Verzögerungszeiten dient hier nicht der Ermöglichung einer m-ären PPC, sondern soll für ungünstige Fälle (zum Beispiel Toggle-Bit) ein *Finetuning* der Pulspositionen möglich machen. Aus diesem Grund wird ein relativ kleiner zeitlicher Bereich abgedeckt. Da die beiden ersten Einstellungen bei der gewählten Stromstärke praktisch keine Auswirkungen auf die Pulsposition haben, wurden diese mit „ ≈ 0 “ angegeben.

Abbildung 2.29 zeigt bereits, dass es möglich ist unterschiedliche Amplituden zu realisieren. Die erzielbaren Amplituden sind in Tabelle 2.4 zusammengefasst. Die absoluten

#	pulse_delay	Verzögerungszeit t_d
1	„0001“	≈ 0 ps
2	„0010“	≈ 0 ps
3	„0011“	50 ps
4	„0100“	100 ps
5	„0101“	110 ps
6	„0110“	170 ps
7	„0111“	180 ps
8	„1000“	200 ps
9	„1001“	230 ps
10	„1010“	260 ps
11	„1011“	280 ps
12	„1100“	305 ps
13	„1101“	320 ps
14	„1110“	370 ps
15	„1111“	400 ps

Tabelle 2.3.: Verzögerungszeit in Abhängigkeit von der Konfigurationseinstellung

Werte können je nach Pulsbreiteneinstellung leicht variieren, da es nicht möglich ist, beide Parameter zur Gänze voneinander zu entkoppeln.

#	i_config	Amplitude \hat{U}
1	„00“	820 mV
2	„01“	920 mV
3	„10“	1 V
4	„11“	1,1 V

Tabelle 2.4.: Amplitude in Abhängigkeit von der Konfigurationseinstellung

2.3. Modulator

Das aufbereitete Basisbandsignal muss ein Trägersignal modulieren, das, entsprechend verstärkt, anschließend zur Ansteuerung der Antenne dient. Beide Aufgaben (Modulation und Verstärkung) werden hier vom Modulator erledigt.

2.3.1. Aufbereitung des Trägersignals

Die Antenne soll entsprechend der Vorgaben mit einem differentiellen Signal angesteuert werden. In dieser Anwendung kommt ein Ringoszillator, der in Punkt 2.4.3 näher besprochen wird, zum Einsatz. Dieser Oszillator liefert am Ausgang eine rechteckförmige Schwingung mit einer Frequenz von etwa 6 GHz. Um aus diesem *single-ended-Signal* ein differentielles zu erzeugen, wird es aufgeteilt.

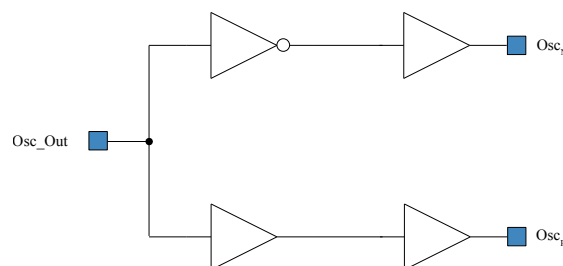


Abbildung 2.30.: Erzeugung eines differentiellen Trägersignals

Nun existieren zwei Signalpfade - einer führt das ursprüngliche Signal Osc_p , der andere das um 180° phasenverschobene Osc_n . Nun ergeben sich durch die Phasenverschiebung einige Schwierigkeiten. Das Verändern der Phase um 180° entspricht einer Invertierung. Der

dafür zuständige Inverter beaufschlagt das Signal durch seine Verzögerungszeit t_D , aber zusätzlich auch mit einer bestimmten Phase, was zu einer insgesamten Phasenverschiebung von

$$\Phi = \pi + \frac{2\pi}{T} t_D \quad (2.3.1)$$

führt. Betrachtet man das differentielle Signal für den Fall, dass die Phase des invertierten Signals nun um einen bestimmten Betrag aus der 180° Phasenlage heraus verschoben ist, erkennt man eine unerwünschte Verformung des Signals.

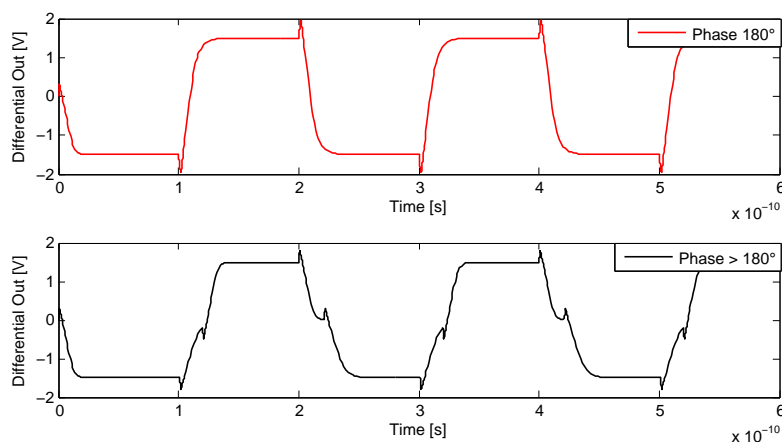


Abbildung 2.31.: Signalverformung bei einer Phasenverschiebung $\neq 180^\circ$

Idealer Weise wird als Ergebnis der Differenzbildung ein Signal erwartet, das, ausgehend vom ursprünglichen, die selbe Frequenz und doppelte Amplitude besitzt. Um dem entgegenzuwirken wird Osc_p durch einen Buffer genau um die Signallaufzeit des Inverters verzögert. Dieses Vorhaben gestaltet sich denkbar schwierig. Inverter und Buffer müssen in der Dimensionierung genau aufeinander abgestimmt sein und zwar so, dass dies auch bei unterschiedlichen Temperaturen best möglich der Fall ist. Beim Entwurf zeigte sich, dass ein bestimmter Kompromiss eingegangen werden muss. Diese Problematik könnte mit einer anderen als der hier (vorwiegend aus Zeitgründen) verwendeten Oszillatorarchitektur umgangen werden. Der eigentliche Modulator beinhaltet aufgrund seiner Treiberstärke Transistoren mit verhältnismäßig großem Verhältnis W/L . Dieser Umstand macht es notwendig, aufgrund der kapazitiven Last, die Signale Osc_p und Osc_n entsprechend zu buffern. Die dazu notwendigen Buffer müssen für p- und n-Zweig des Trägersignals identisch sein, um die zuvor mühselig eingestellte Phasenverschiebung zu erhalten.

2.3.2. Modulator

Der Modulator muss es ermöglichen, das modulierende Basisbandsignal mit einer Zeitdauer von ca. 1.5 ns auf den Träger aufzumodulieren. Die Herausforderung besteht darin, dass der Modulator lineare Übertragungseigenschaften besitzt und entsprechend schnell ist. Ebenso soll das modulierte Signal auch möglichst verzerrungsarm verstärkt werden. Zusammenfassend steht man vor der Aufgabe einen schnellen, linearen Modulator zu entwerfen, der (idealer Weise) fähig dazu ist, die Onchip-Antenne zu betreiben. Eine Möglichkeit für einen Modulator ist der sogenannte *passive Modulator* [9], der durch die Ansteuerung von Längstransistoren die modulierende Eigenschaft erhält (siehe Abbildung 2.30).

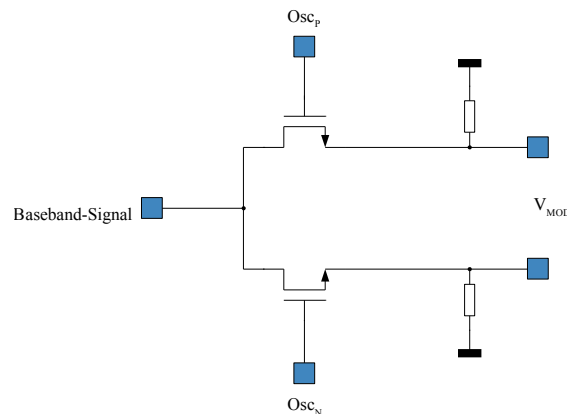


Abbildung 2.32.: Passiver Modulator [9]

Das modulierte Signal ist nicht dazu ausgelegt, die Antenne direkt zu betreiben. Für die beiden, um 180° phasenverschobenen, Signalpfade ist nun jeweils ein Verstärker notwendig, der dieses Signal entsprechend aufbereitet. Diese Aufgabe stellt eine große Herausforderung dar, da der Verstärker dazu fähig sein muss, ein Signal mit einer Frequenz von ca. 8 GHz (Trägerfrequenz + Basisbandbreite) zu verarbeiten. Aus diesem Grund wurde der Entwurf eines solchen Modulators bereits früh aufgegeben. Eine andere Möglichkeit ein Signal zu modulieren ist die Ausnutzung einer eigentlich negativen Eigenschaft einer Schaltung. Ein Gegentaktverstärker (Inverter) ist sehr empfindlich auf Versorgungsspannungsänderungen - seine PSRR (power supply rejection ratio) ist sehr gering. Angenommen der Inverter zeigt an seinem Ausgang einen High-Zustand (also V_{DD}) und man verändert die positive Versorgungsspannung, greift diese Änderung direkt auf den Ausgang durch. Diese Eigenschaft kann man sich nun zu nutze machen. Die Idee: An den Invertereingang wird das Trägersignal gelegt, die Versorgungsspannung entspricht dem Basisbandsignal. Das Resultat am Ausgang des Inverters ist ein Trägersignal, das sich entsprechend dem Basisbandsignal ändert. Die maximale Treiberstärke des Inverters bestimmt die Ausgangsleistung dieses Modulators, der zugleich auch als Verstärker arbeitet. Da das Basisbandsignal die Leistung nicht aufbringen kann um die Antenne zu treiben

muss es dies indirekt tun. Die beiden Inverter, jeweils einer für die komplementären Trägersignale, werden über einen Längstransistor betrieben, dessen Gatespannung durch das Basisbandsignal angesteuert wird (siehe Abbildung 2.33).

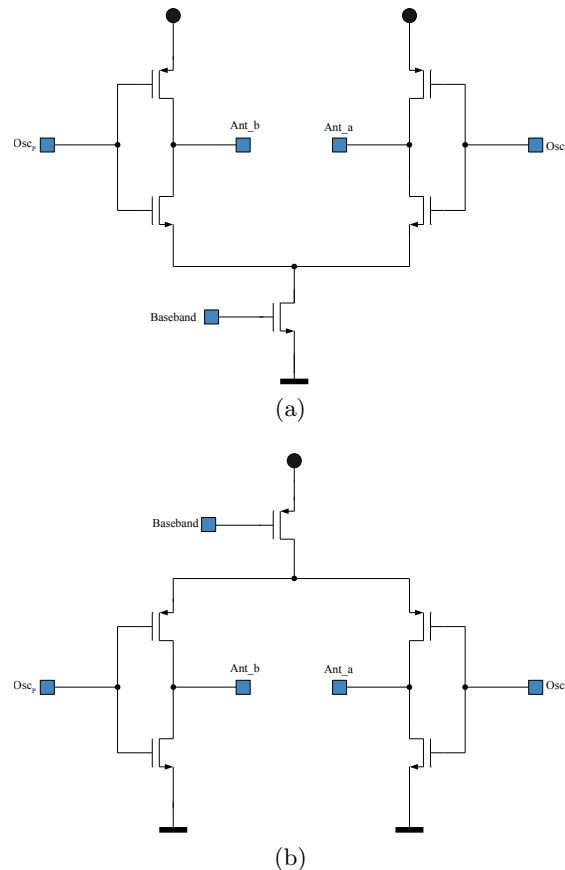


Abbildung 2.33.: Modulatoren mit Längstransistor

Grundsätzlich besteht die Möglichkeit, den Längstransistor als p-MOS- und als n-MOS-Transistor auszuführen. Der Nachteil bei Verwendung des p-MOS-Transistors ist jener, dass das erzeugte Basisbandsignal von V_{DD} aus Richtung V_{SS} angesteuert werden muss - invers dazu, wie es von der Basisbandeinheit geliefert wird. Aus diesem Grund wird auf die Variante mit dem NMOS-Transistor zurückgegriffen. Dieser befindet sich im linearen Arbeitsbereich - die Drain-Source-Spannung ist zu gering um den Transistor in Sättigung zu betreiben. Somit ist die Anforderung, einen möglichst linearen Modulator zur Verfügung zu stellen, erfüllt. Der Substratsteuereffekt des Inverter-n-MOS-Transistors hat keine nennenswerten Auswirkungen auf das Ausgangssignal, da dies nur eine leichte Verschiebung der Schaltschwelle und somit des Tastverhältnisses des Trägersignals

bedeutet.

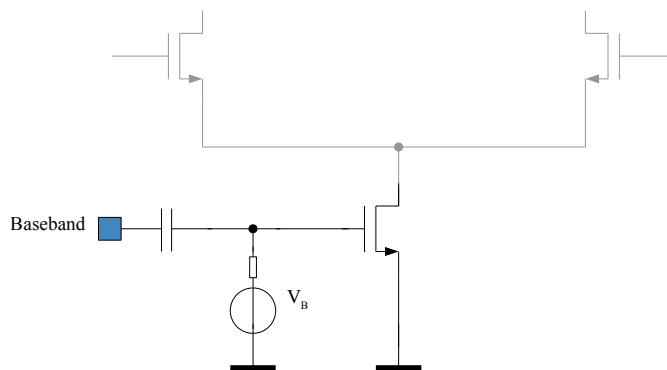


Abbildung 2.34.: AC-Kopplung des Basisbandsignals

Um eine größere Dynamik des modulierten Ausgangssignals zu erreichen, kann der Längstransistor mit seiner Thresholdspannung vorgespannt werden. Dazu muss das Basisbandsignal durch einen Kondensator *AC-gekoppelt* auf das Gate des Längstransistors geführt werden (siehe Abbildung 2.34). Man spricht bei der in Abbildung 2.33 angegebenen Architektur von *single balanced* - das Trägersignal ist differentiell, das Basisbandsignal *single-ended* [9]. Wie bereits erwähnt wurde, sind im Modulator großflächige Transistoren verbaut. Ein Nachteil, der sich daraus ergibt ist die große Koppelkapazität. So ist es möglich, dass ein Teil des Trägersignals bis auf das modulierende Basisbandsignal durchgreift, was wiederum durch die schlechte PSRR das Trägersignal moduliert. Dieses, durch Übersprechen produzierte, Störsignal hat aber keinen nennenswerten Einfluss auf das Ausgangssignal.

2.3.3. Simulationsergebnisse

Der Modulator wurde auf sein transientes Verhalten hin simuliert. Die DC-Analyse wurde zur Einstellung der Arbeitspunkte des Sourcefolgers, sowie die der Bufferketten des Trägersignals verwendet. Die Schaltung verhält sich im Temperaturbereich von $-50\text{ }^{\circ}\text{C}$ bis $150\text{ }^{\circ}\text{C}$ ordnungsgemäß innerhalb der nominellen Prozessparameter. Einzig ein *Worst-Case-Fall* war zu beobachten, in dem die Schaltung zwar funktionell korrekt arbeitete, aber niedrige Amplituden, verursacht durch die veränderte Phasenlage zwischen den Trägersignalen, lieferte (slow-fast corner / hohe Temperatur). Diese bekannte Schwachstelle des Entwurfs ließe sich mit einer anderen Oszillatorarchitektur korrigieren.

Abbildung 2.35 zeigt die um 180 ° phasenverschobenen Trägersignale. In Abschnitt 2.5 wird weiters erklärt werden, warum die beiden Trägersignale nur für eine bestimmte Zeit aktiv sind.

Das Simulationsergebnis in Abbildung 2.36 zeigt den Ausgangsstrom des Modulators, der durch einen $100\text{ }\Omega$ Widerstand belastet wird. Als modulierendes Signal diente hier ein,

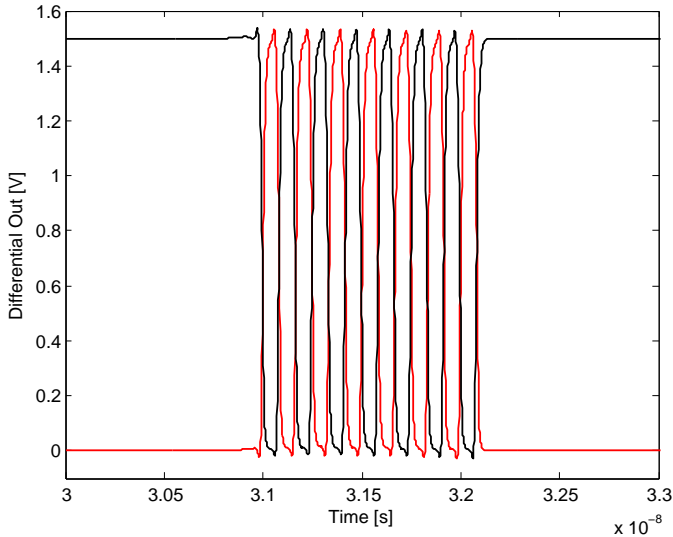


Abbildung 2.35.: Differentielles Oszillatorsignal

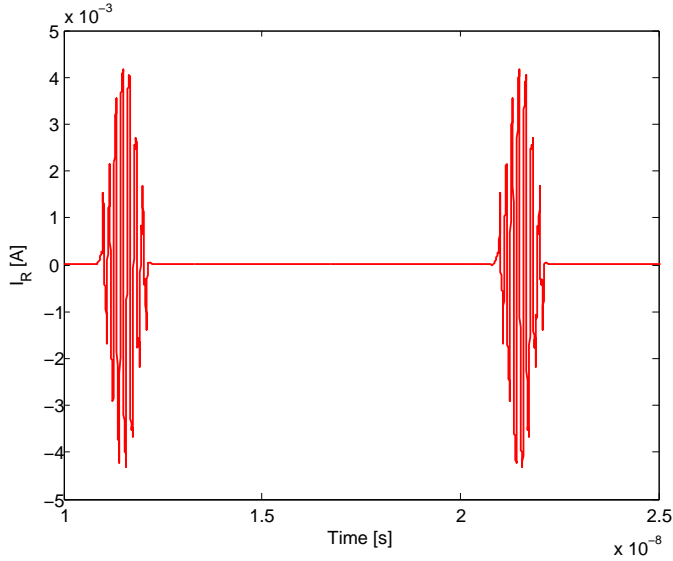


Abbildung 2.36.: Moduliertes Ausgangssignal

durch eine ideale Quelle erzeugtes Dreiecksignal. Der Trägeroszillator wurde ebenfalls durch eine ideale Quelle ersetzt. Das Ersetzen durch ideale Quellen führt zu einer kürzeren Simulationszeit. Der offensichtliche Nachteil besteht darin, dass der Modulator den Ausgang der Basisbandschaltung belastet und deshalb bei der Zusammenschaltung dieser beiden Blöcke darauf Rücksicht genommen werden muss.

2.4. Oszillatoren

Aus den vorangegangenen Abschnitten wurde ersichtlich, dass, soll eine *Standalone-Version* des Transmitters in einem Data Grain zum Einsatz kommen, das Trägersignal sowie der Datentakt durch interne Oszillatoren erzeugt werden muss. Da die Anforderungen für beide Oszillatoren unterschiedlich sind, werden diese in separaten Unterabschnitten behandelt.

2.4.1. Integrierte Oszillatoren

Eine Möglichkeit, ein oszillierendes Signal zu erhalten ist die Verwendung von LC-Schwingkreisen (siehe Abbildung 2.37). Im idealen Fall oszilliert der Schwingkreis bei

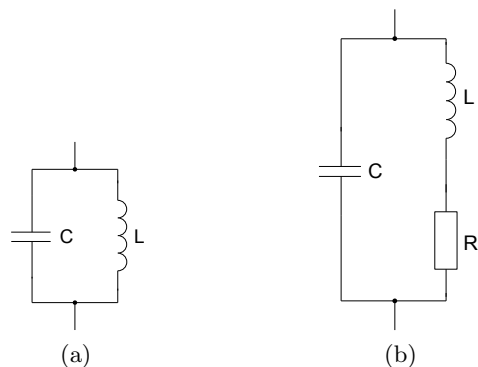


Abbildung 2.37.: LC Parallelschwingkreise ((a)ideal und (b)real)

einer Frequenz von

$$\omega_{res} = \frac{1}{\sqrt{LC}} \quad (2.4.1)$$

und besitzt einen unendlich hohen Gütefaktor. Da aber Induktivitäten in der Realität einen resistiven Anteil besitzen, ist die Güte endlich und die Resonanzfrequenz in einem bestimmten Maß auch von diesem Widerstand abhängig [10]. Eine Anwendung eines LC-Schwingkreises in einem Oszillator ist der sogenannte *Colpitts-Oszillator* (siehe Abbildung 2.38).

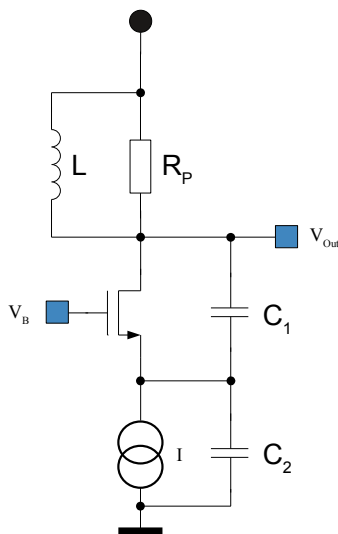


Abbildung 2.38.: Colpitts-Oszillator [10]

Da zur Zeit des Entwurfes keine dafür geeignete integrierte Induktivität zur Verfügung stand, wurde aus Zeitgründen auf die Untersuchung dieses Oszillatortyps im Zuge dieser Arbeit verzichtet.

Eine andere Methode Oszillatoren zu implementieren sind Ringoszillatoren, die aus einer Anzahl von Verstärkerstufen bestehen. Damit ein Verstärker mit negativer Rückkopplung oszillieren kann muss das sogenannte *Barkhausen-Kriterium* erfüllt sein. Das ist der Fall, wenn für die Übertragungsfunktion H des Verstärkers

$$|H(j\omega)| \geq 1 \quad (2.4.2)$$

$$\angle H(j\omega) = 180^\circ \quad (2.4.3)$$

erfüllt ist [10]. Als geeigneter Verstärker bieten sich mehrere Möglichkeiten an. Beispielsweise kann eine Reihe von gekoppelten Differenzverstärkern (*Differential Ring Oscillator*) oder eine Reihe gekoppelter Gegentaktverstärker (Inverter - *Single Ended Ring Oscillator*) einen Ringoszillator bilden. Die Anzahl der Inverter sowie die Abmessungen der Transistoren bestimmen hier die maximale Oszillatorfrequenz. Ferner kann man sagen, dass die kapazitive Last in Kombination mit dem maximalen Ausgangsstrom jeder Stufe, die maximale Frequenz bestimmt. Da die geometrischen Abmessungen den Anforderungen jedenfalls genügen und auf die Oszillatorfrequenz durch unterschiedliche Maßnahmen Einfluss genommen werden kann, sind Datentakt- und Träger-Oszillator als Ringoszillatoren ausgeführt.

2.4.2. Datentaktoszillator

Der Datentaktoszillator soll mit einer Frequenz von 100 MHz oszillieren. Um das zu erreichen wurde ein fünfstufiger single-ended-Ringoszillator verwendet. Ohne weitere Maßnahmen würde der Oszillator an seinem Ausgang ein rechteckförmiges Signal mit einer Frequenz von ca. 500 MHz liefern. Um die gewünschte Frequenz zu erreichen, könnte man weitere Stufen einfügen, was eine verhältnismäßig grobe Kontrolle über die Frequenz ermöglicht, oder den Strombedarf jeder Stufe limitieren. Hier spricht man bei einer Stufe von einem sogenannten *current starved inverter*, beziehungsweise im Gesamten von einem *current starved oscillator* (siehe Abbildung 2.39).

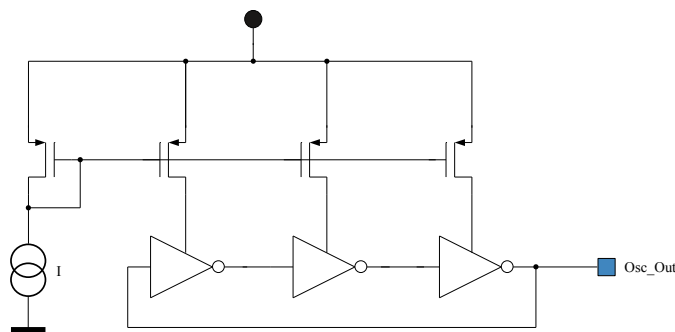


Abbildung 2.39.: Beispiel eines dreistufigen *current starved Oszillator*

Über den eingespeisten Strom lässt sich somit sehr gut die maximale Oszillatorfrequenz beeinflussen. Für Verifikationszwecke soll es möglich sein, die Datenrate und somit die Frequenz des Datentaktes über ein Anschlußpad einzuspeisen. Ist dies der Fall kann über ein Konfigurationsbit (*data_clk_src*) der interne Oszillator deaktiviert werden. Die Deaktivierung erfolgt über einen Schalter, der die Stromquelle der Inverterstufen deaktiviert.

2.4.2.1. Simulationsergebnisse

Die Frequenz des Oszillators wurde mit Hilfe der Simulation eingestellt. Dabei wurde versucht, bereits im Vorfeld durch eine bewusst zu hoch angesetzte Frequenz zu berücksichtigen, dass durch die physikalische Implementierung parasitäre Kapazitäten als zusätzliche Last für jede Stufe wirken, die die Oszillatorfrequenz entsprechend nach unten „drücken“. Eine endgültige Feineinstellung der Frequenz folgt im Zuge der extrahierten Simulation. Der Oszillator wurde bei nominellen Prozesswerten und einer Temperatur von 27 °C simuliert. Ebenso wurde die Frequenz des Ausgangssignals in Abhängigkeit der Temperatur untersucht. Gegen den Temperaturgang der Frequenz wurden keine Gegenmaßnahmen getroffen, da die Genauigkeit der Frequenz vorerst eine untergeordnete Rolle spielt. Würde eine Korrektur gewünscht werden, könnte dies beispielsweise durch

eine *PTAT-Stromquelle* (**P**roportional **T**o **A**bsolute **T**emperature) realisiert werden. Bei hoher Temperatur ist der Inverter langsam, was durch einen höheren Strom kompensiert wird.

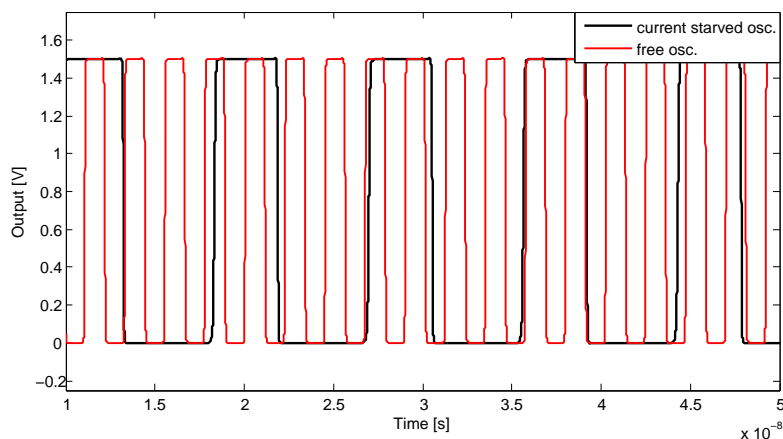


Abbildung 2.40.: Transientenanalyse des Datentaktoszillators

Abbildung 2.40 zeigt das Ergebnis der transienten Simulation bei nominellen Prozessparametern und einer Umgebungstemperatur von 27°C . Gegenübergestellt sind hier das Ausgangssignal des Ringoszillators wenn dieser *current starved* und herkömmlich implementiert ist. Die Oszillatorfrequenz beträgt in etwa 133 MHz

Aus Abbildung 2.41 ist zu erkennen, dass zwischen -50°C und 150°C die Oszillatorfrequenz um etwa 10 MHz abnimmt.

2.4.3. Trägeroszillator

Grundsätzlich ist der Oszillator für das Trägersignal gleich aufgebaut, wie der zuvor besprochene Datentaktoszillator. Es handelt sich hierbei um einen dreistufigen Ringoszillator dessen Frequenz bei etwa 6 GHz liegen soll. Die Frequenz ist nicht willkürlich gewählt, sondern richtet sich nach den Anforderungen der integrierten Sendeantenne, die nach Angaben des Entwicklers bei dieser Frequenz die gewünschten Eigenschaften besitzt. Da hier die Frequenz eine wesentliche Rolle spielt, soll diese im Bereich zwischen 5.5 GHz und 6.5 GHz grob abgestimmt werden können. Der dreistufige Ringoszillator schwingt ohne weitere Maßnahmen bei einer Frequenz von in etwa 11 GHz. Die maximale Frequenz soll in etwa 6.5 GHz betragen. Durch bewusstes Erhöhen der kapazitiven Last des Oszillators lässt sich die Frequenz auf knapp über 6 GHz reduzieren. Die Stromaufnahme des Oszillators ist durch dessen Schnelligkeit verhältnismäßig hoch, weshalb auf eine Strombegrenzung als frequenzverringende Maßnahme verzichtet wurde, weil der Strom, der durch die Referenzquelle zur Verfügung gestellt wird, sehr klein gegenüber dem benötigten (Faktor ca. 400) ist. Da auch noch die Konfiguration der Frequenz im

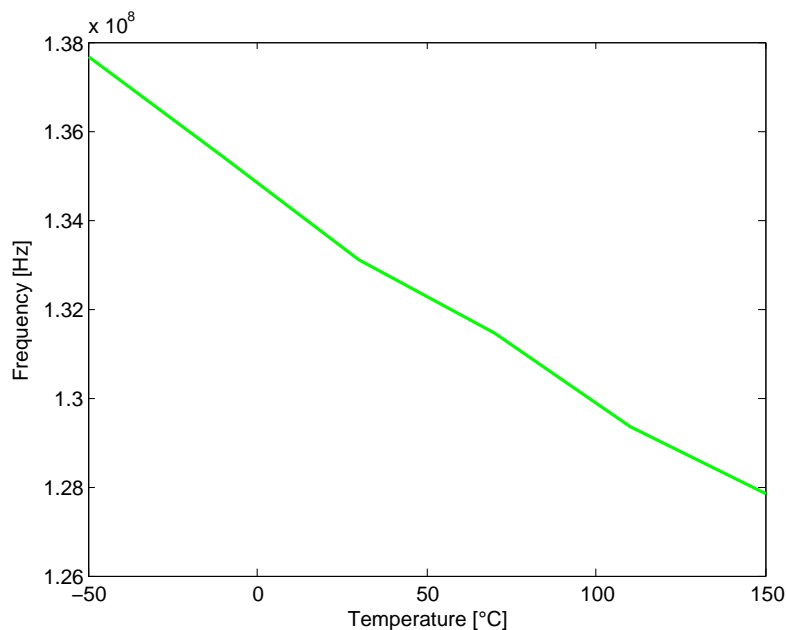


Abbildung 2.41.: Frequenzgang über die Temperatur

gewünschten Bereich möglich sein soll, würde diese Lösung einen verhältnismäßig großen Ruhestrom durch diverse Stromspiegel bedeuten. Eine andere Methode, einen Ringoszillator bestehend aus Inverter in der Frequenz zu steuern, ist die Ausnutzung der schlechten *PSRR* (Power Supply Rejection Ratio). Über die Versorgungsspannung des Oszillators lässt sich dessen Frequenz steuern¹¹. Dessen bedient man sich, indem man mit Hilfe der Gatespannung eines Längstransistors zwischen Versorgungsspannung und Versorgungsanschluss des Trägeroszillators dessen Frequenz verändert (siehe Abbildung 2.42). Der Vorteil ist offensichtlich die Einfachheit einer solchen Schaltung, der Nachteil jener, dass durch die Veränderung der Gatespannung des Transistors dessen Kennlinie durchlaufen wird und die Steuerung nicht linear ist. Da es aber ausreicht die Wunschfrequenz ungefähr zu erreichen, findet man mit dieser Methode ein Auskommen. Eine weitere Eigenschaft der Versorgungsspannungssteuerung ist die gleichzeitige Steuerung der Amplitude des Ausgangssignals. Der erste Buffer, der durch das Oszillatorsignal angesteuert wird, muss so gestaltet sein, dass er unabhängig von der Eingangsamplitude funktioniert. Würde ein herkömmlicher Buffer verwendet werden, stünde man dem Problem gegenüber, dass dieser unter einer bestimmten Eingangsspannungsänderung nicht mehr ordnungsgemäß funktionieren würde und kein Pegelwechsel am Ausgang sichtbar wäre. Der hier verwendete „Spezialbuffer“ existierte bereits und wurde leicht modifiziert übernommen. Die Einstellung der Gatespannung geschieht über ein gewichtetes Widerstandsnetzwerk (siehe

¹¹Voltage Controlled Oscillator

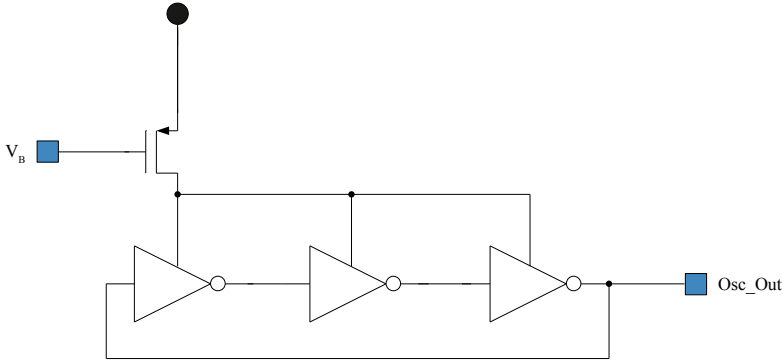


Abbildung 2.42.: Spannungsgesteuerter Ringoszillator

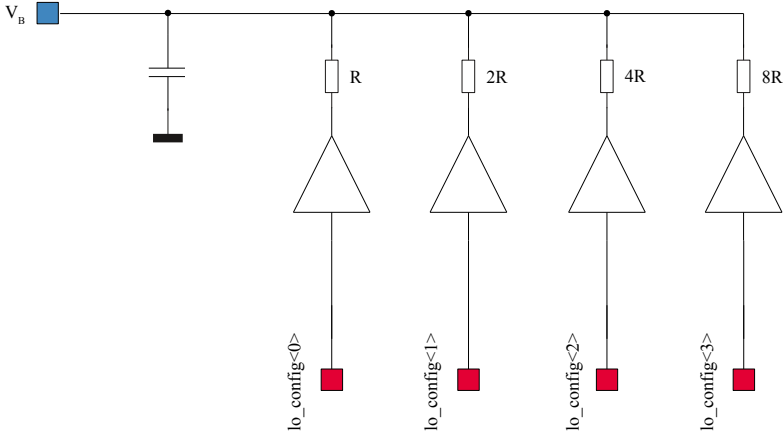


Abbildung 2.43.: Erzeugung der Steuerspannung des Oszillators

Abbildung 2.43). Der Spannungsteiler liefert je nach Logikpegel der Konfigurationsbits *lo_config* eine andere Spannung, die den Transistor aufsteuert.

2.4.3.1. Simulationsergebnisse

Hier wurden, anders als beim Datenoszillator, die zu erwartenden parasitären Kapazitäten als ideale Simulationsmodelle zwischen die Stufen des Oszillators eingefügt. Die Simulationsrandbedingungen haben sich im Vergleich zum Datentaktoszillator nicht geändert. In Abbildung 2.44 ist die Frequenz gezeigt, die sich nach dem logischen Zustand der Konfigurationssignale ändert. Aus Gründen der Übersichtlichkeit wurde hier auf die Anzeige der logischen Zustände der digitalen Leitungen verzichtet. Es ist zu erkennen, dass die höchste Frequenz leicht über der Zielvorgabe liegt (wegen der Berücksichtigung von parasitären Elementen) und die Feinabstimmung bis zu einer Frequenz von etwa 700 MHz unter der höchst vorkommenden möglich ist. Danach wird das Inkrement aufgrund der erwähnten Tatsache, dass die Transistorkennlinie durchschritten wird, zu groß.

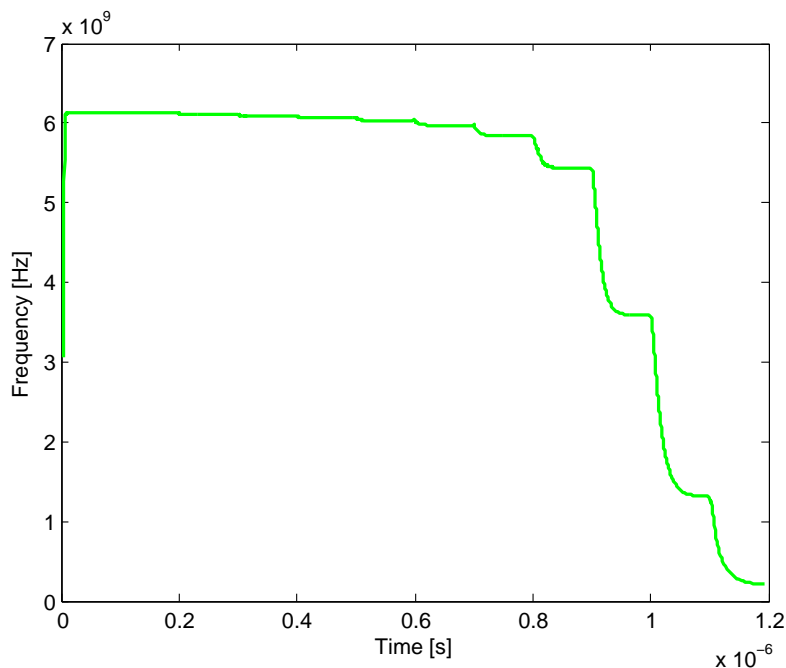


Abbildung 2.44.: Modifikation der Trägerfrequenz

In der Tabelle 2.5 sind die Frequenzen in Abhängigkeit der Konfigurationseinstellung aufgelistet. Nocheinmal angemerkt sei die Tatsache, dass diese Simulationsergebnisse keine parasitären Elemente berücksichtigen.

lo_ctrl	Oszillatorfrequenz
„0000“	6,14 GHz
„0001“	6,12 GHz
„0010“	6,11 GHz
„0011“	6,09 GHz
„0100“	6,07 GHz
„0101“	6,03 GHz
„0110“	5,97 GHz
„0111“	5,85 GHz
„1000“	5,43 GHz
„1001“	3,59 GHz
„1010“	1,32 GHz

Tabelle 2.5.: Einstellbare Trägerfrequenzen

2.5. Gesamtschaltung

Die bis hier besprochenen Schaltungsblöcke bilden nun als zusammengeschaltene Einheit den UWB-Transmitter. Abbildung A.1 zeigt das vollständige Schaltbild des UWB-Transmitters, Abbildung 2.45 das entsprechende Blockschaltbild. Es beinhaltet alle bisher besprochenen Schaltungsblöcke. Die Konfigurationseinheit und der Oszillator für den Datentakt befinden sich eine Hierarchie darüber. Zu erkennen ist, dass zusätzliche Schaltungstechnik notwendig ist, um die gewünschte Funktionalität zu erreichen.

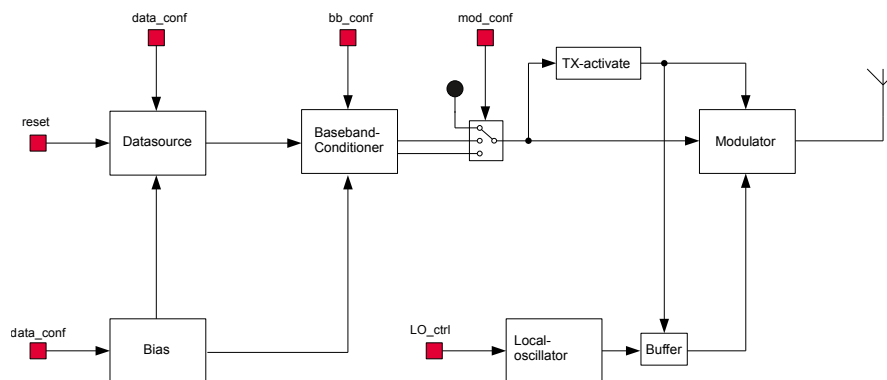


Abbildung 2.45.: Blockschaltbild des UWB-Transmitters (ohne Konfigurationseinheit)

2.5.1. Bias-Zelle

Die Biaszelle fasst alle benötigten Stromquellen zusammen. So zum Beispiel jene, die für die Datenaufbereitung benötigt werden. Der Vorteil in der Zusammenfassung von Stromquellen in einen separaten Block ist jener, dass in der Layouterstellung auf die besonderen Bedürfnisse der Stromspiegel Rücksicht genommen werden kann. Stromspiegeltransistoren sollen, wie bereits erwähnt wurde, *matchend* gelayoutet sein. Es ist auf die Stromrichtung und auf die unmittelbare Umgebung der Einzeltransistoren zu achten, um eine möglichst gute Übereinstimmung der elektrischen Eigenschaften zu erreichen. Ebenso soll im Layout das Verteilen von Biasspannungen vermieden werden, da durch *Crosstalk*¹² diese leicht gestört werden können und zum Beispiel eine Stromquelle nicht hinreichend gut definiert wäre. Verteilt man nun bereits im Schaltungsdesign Stromquellen so, dass im schlimmst anzunehmenden Fall die Diode und die Spiegeltransistoren eines Stromspiegels in verschiedenen Zellen zu finden sind, so ist die Gefahr groß, dass dies im Layoutprozess nicht berücksichtigt wird und der Stromspiegel sehr schlechte Eigenschaften besitzt. Schaltungstechnisch wird die Biaszelle an dieser Stelle nicht besprochen, da bereits in vorangegangenen Abschnitten die Anforderungen und Funktionsweisen der Stromquellen behandelt wurden.

2.5.2. TX-Aktivierung

Aus Kapitel 2.3 ist bekannt, dass aus dem gebufferten Trägeroszillatorsignal ein differentiell erzeugtes Signal erzeugt wird. Aufgrund der hohen Frequenz und großen kapazitiven Last ist der Strombedarf der Bufferkette beachtlich. Da der Strombedarf des Senders eine wesentliche Rolle spielt, wurde ein Weg gesucht, diesen in Grenzen zu halten. Da durch Zusammenspiel von UWB und PPC eigentlich nur für eine sehr kurze Zeit die Sendeleistung zur Verfügung gestellt werden muss, ist es sinnvoll in der „inaktiven“ Zeit große Stromverbraucher abzuschalten. Am effektivsten wäre es, den Trägeroszillator zu deaktivieren. Da die Datenraten des Senders im Vorhinein jedoch nicht bekannt sind, und eine maximale Rate von 100 MBit/s möglich ist, muss darauf verzichtet werden. Der Oszillator benötigt eine gewisse Startupzeit, weshalb sichergestellt werden muss, dass dieser auch wirklich gestartet hat - was bei den hohen Datenraten nicht gewährleistet werden kann. Stattdessen wird das Ausgangssignal des Buffers über ein UND-Gatter ein- und ausgeschaltet. Das dazu benötigte Steuersignal wird mit einem speziellen Komparator erzeugt, der das Ausgangssignal der Basisbandeinheit überwacht.

Abbildung 2.46 zeigt das Prinzipschaltbild. Die Aufgabe des Komparators besteht darin, einen Pegelwechsel am Ausgang zu erzeugen, sobald das Basisbandsignal (Dreiecksignal) aus der Ruhelage (0 V-Pegel) ausgelenkt wird. Kernstück des Komparators ist ein Inverter, der durch einen Transistor als Schalter kurzgeschlossen werden kann. Dieser kurzgeschlossene Inverter liefert am Ausgang seinen DC-Arbeitspunkt, was gleichzeitig der

¹²Übersprechen

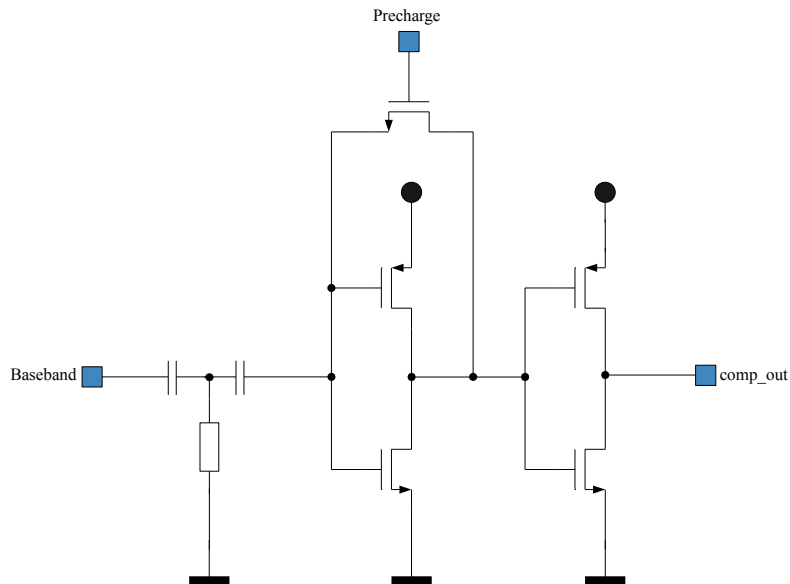


Abbildung 2.46.: Schaltbild des Komparators zur TX-Aktivierung

Entscheidungsschwelle entspricht. Der Funktionsablauf sieht nun wie folgt aus: Zwischen zwei Impulsen wird der Inverter kurzgeschlossen - am Ein- und Ausgang beobachtet man nun das selbe Potential. Der Kondensator am Eingang wird auf diese Spannung aufgeladen. Am Fußpunkt des Kondensators liegt der Ausgang der Basisbandeinheit, welcher sich in der sogenannten *Precharge-Phase* auf 0 V befindet. Anschließend wird der Kurzschluss gelöst. Beginnt nun das Basisbandsignal seine Exkursion nach oben, verschiebt es gleichzeitig den Fußpunkt des Eingangskondensators, was in direkter Folge eine Potentialerhöhung gegenüber V_{SS} am Invertereingang bewirkt. Bereits eine kleine Auslenkung um die Entscheidungsschwelle führt aufgrund der hohen Verstärkung des Inverters in diesem Punkt bereits zu einem Pegelwechsel am Ausgang. Ein nachfolgender Inverter dient als Ausgangsspannungsbuffer. Es wurde bei der Dimensionierung des zweiten Inverters darauf geachtet, dass sich dessen Entscheidungsschwelle von der des ersten Inverters unterscheidet, da sonst ein zu hoher Querstrom in der Prechargephase fließt. Der Eingangskondensator entlädt sich in der Zwischenzeit leicht, was sich zugunsten der Funktionalität auswirkt. Da in der Entladephase der Dreiecksformung in der Nähe von 0 V die Spannung nur langsam sinkt, würde der Ausgang des Komparators zu spät kippen - das Trägersignal wäre zu lange aktiv. In Abbildung 2.47 sind die zu erwartenden Signalformen angeführt.

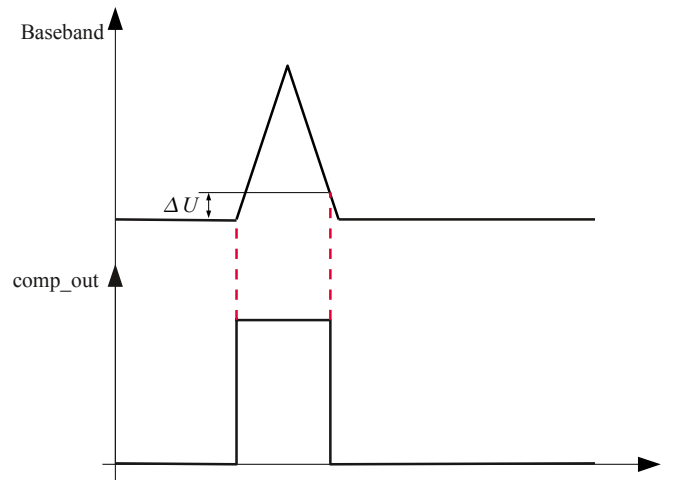


Abbildung 2.47.: Ausgangssignal des Komparators

2.5.3. Basisbandsignale

Die Konfigurierbarkeit der gesamten Schaltung sieht vor, dass es möglich sein soll, am Antennenausgang ein dreieck- *oder* rechteckmoduliertes Signal sowie den unmodulierten Träger auszugeben (aus Verifikationsgründen). Um dies zu ermöglichen, ist es notwendig, die im Schaltbild gekennzeichneten Schalter in den Basisbandsignalfeld einzufügen. Entsprechend der Konfiguration ist stets nur einer dieser Pfade aktiv.

2.5.4. Simulationsergebnisse

Die Simulation der Gesamtschaltung (Abbildung A.1) dient vorwiegend dazu, verschiedene Steuersignale, sowie die Funktionalität der Schaltungsblöcke im Zusammenspiel zu verifizieren. In diesem Abschnitt wird nicht auf die exakte, quantitative Repräsentation der Simulationsergebnisse eingegangen, sondern mit Hilfe der Ergebnisse der transienten Simulation die Funktionalität erläutert.

Abbildung 2.48 zeigt das Ausgangssignal des Modulators als Simulationsergebnis. Alle abgebildeten Signalformen entstammen der selben transienten Simulation bei 27 °C und nominellen Prozessparametern. Die Konfigurationseinstellung des Transmitters wurde während der Laufzeit verändert um die möglichen Ausgangssignale darzustellen. Zuerst werden die Pulse geformt, anschließend wird diese Funktionalität deaktiviert und schließlich das Trägersignal ausgegeben. Es ist zu erkennen, dass die Ausgangsamplituden unterschiedlich sind. Als Ursache dafür ist der maximale Strom, den die Basisbandeinheit liefern kann, zu nennen. Offensichtlich sind aufgrund kapazitiver Lasten die Aussteuerungen im Fall der Pulsformung am niedrigsten.

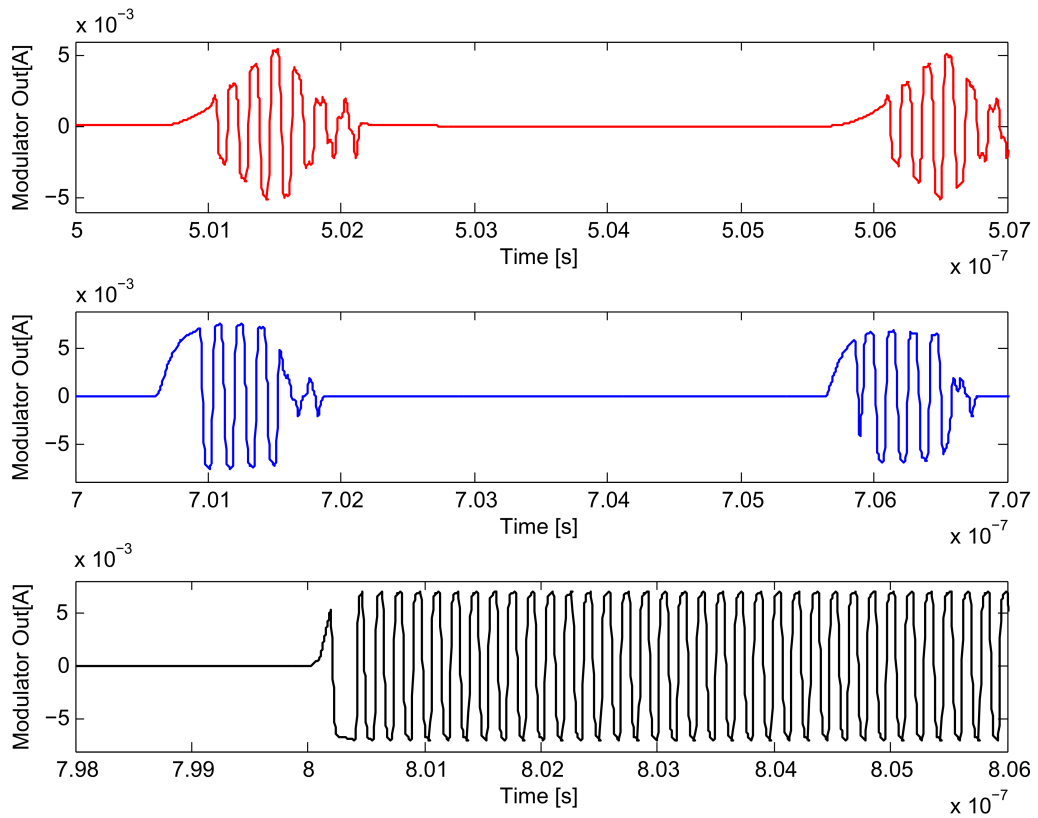


Abbildung 2.48.: Simulationsergebnis: Toplevel mit unterschiedlichen Ausgangskonfigurationen

Um das Trägersignal auszugeben wird der Längstransistor des Modulators durchgehend angesteuert - hier sind keine kapazitiven Lasten zu treiben, da am Gate dieses Transistors eine konstante Gleichspannung anliegt.

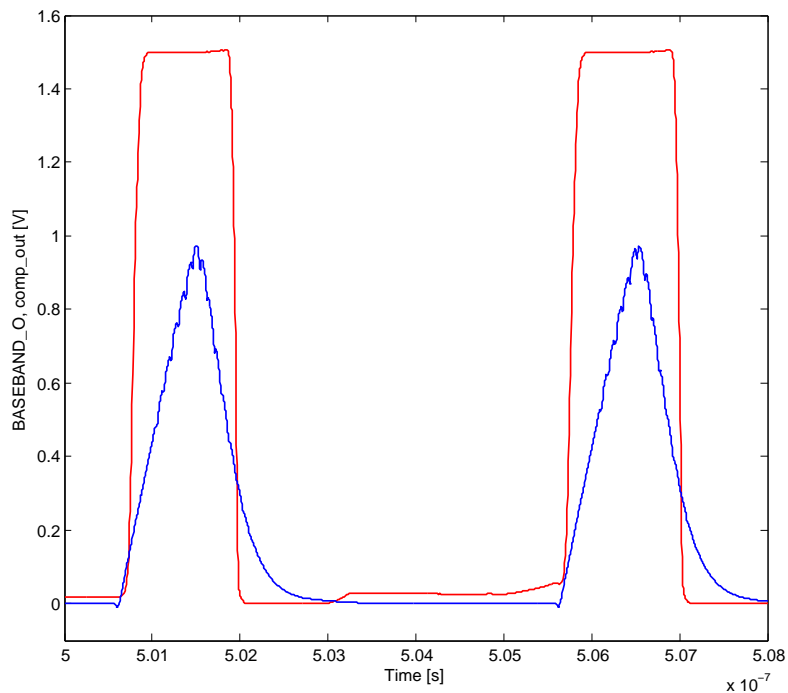


Abbildung 2.49.: Komparatorausgang und Basisbandsignal

In Abschnitt 2.5.2 wurde ein spezieller Komparator zur Basisbandsignaldetektion behandelt. Abbildung 2.49 zeigt das Ausgangssignal als Simulationsergebnis. Man erkennt das geförmte Basisbandsignal sowie die bereits zuvor behandelte Tatsache, dass der Komparator seine Schaltschwelle während der Laufzeit ändert. Hier scheint es so, als kippe der Ausgang zu früh wieder auf den Ruhepegel. Dem ist aber nicht so. Durch die Latenzzeit nachgeschalteter Logik wird die Pulsdauer des Komparatorausgangs verlängert. Am Rande ist noch erwähnenswert, dass im Basisbandsignal der Durchgriff des Trägersignals zu erkennen ist.

2.6. Konfigurationseinheit

Die Konfigurationseinheit ermöglicht es, die Vielzahl von Konfigurationssignalen mit nur zwei externen Anschlüssen auf die gewünschten logischen Pegel zu legen. Vorbild für die Entwicklung war JTAG (**J**oint **T**est **A**ction **G**roup), das eine Ansammlung von Verfahren zum Testen und Debuggen der Hardware darstellt.

Anmerkung: Die Kontrolllogik, sowie das Schieberegister sind Teil einer früheren Entwicklung und wurden, bis auf die Registerbreite, unverändert übernommen

Entgegen des JTAG-Standards ist die hier angewandte Methode nicht mit einem Zustandsautomaten (state machine) ausgestattet. Ebenso wurde auf die Möglichkeit verzichtet, interne Registerinhalte nach aussen zu führen (es Bestand hier kein Bedarf). Über eine Daten- und eine Taktleitung werden die gewünschten logischen Zustände seriell in ein Schieberegister eingetaktet. Abbildung 2.50 zeigt das Frontend der Konfigurationseinheit.

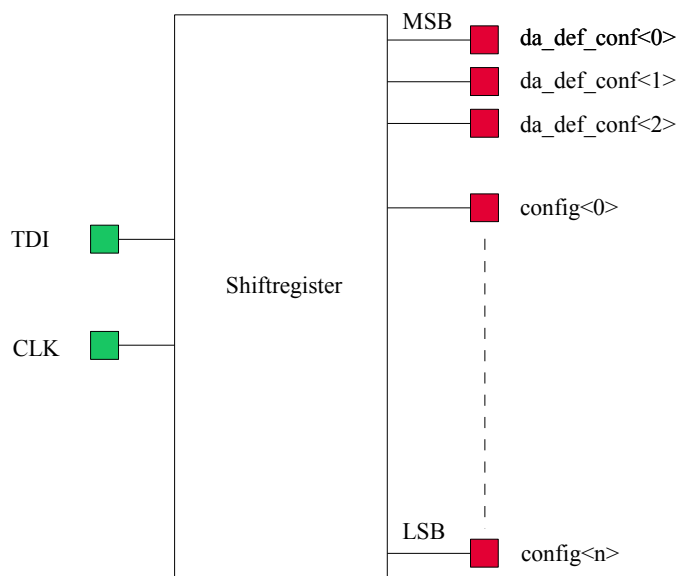


Abbildung 2.50.: Schieberegister der Konfigurationseinheit

Für den UWB-Transmitter ist es aber vorgesehen, dass dieser, ohne manuell konfiguriert werden zu müssen, in einer Standardkonfiguration (default configuration) startet. Prinzipiell gäbe es auch die Möglichkeit, eine Standardkonfiguration in einem Speicher unterzubringen. Da es im zur Verfügung stehendem Prozess keine Option für ein Speichermodul gibt, wurden die Konfigurationsleitungen mit einem Tristate-Buffer ausgestattet (siehe Abbildung 2.51).

Befinden sich die Ausgänge der Buffer im Tristate-Modus, ziehen die Pullup- beziehungsweise Pulldown-Widerstände diese auf das gewünschte Potential. Da es möglich sein soll diese Standardkonfiguration zu „überschreiben“, wurden drei zusätzliche Bit eingeführt, die als erste in das Schieberegister eingetaktet werden (siehe Abbildung 2.52). Beschreibt man diese Stellen mit einem gültigen Datum (hier „110“), wird der Tristate-Modus der Buffer deaktiviert.

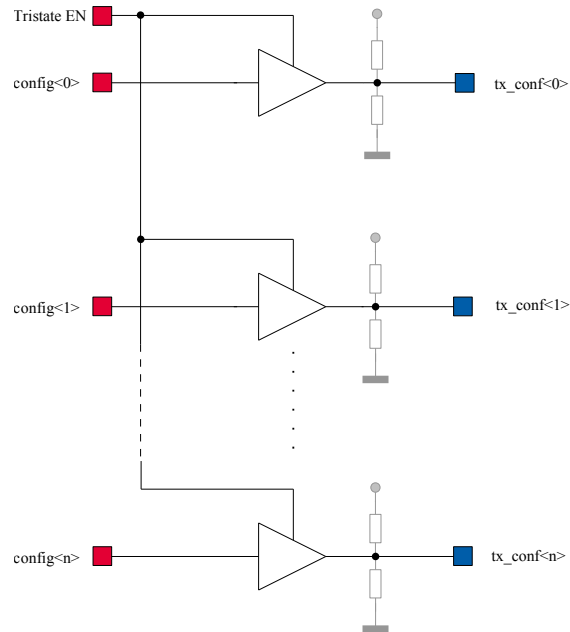


Abbildung 2.51.: Deaktivierbare Standardkonfiguration

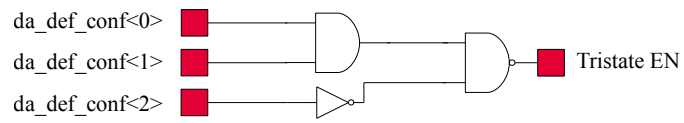


Abbildung 2.52.: Deaktivierung der Standardkonfiguration

Da der Ausgangswiderstand eines Buffers wesentlich geringer ist als die Pullup- oder Pulldownwiderstände, wird die hartverdrahtete Konfiguration überschrieben (siehe Abbildung 2.51). Der sich daraus ergebende Nachteil ist der Strombedarf. Wird die Standardkonfiguration aller 27 Konfigurationsbits mit dem komplementären logischen Zustand überschrieben, fließt bei einem Widerstandswert der Pullup- und Pulldown-Widerstände von etwa 15 kΩ ein Strom von

$$I = n \frac{V_{DD}}{15 \text{ k}\Omega} = 27 \frac{1.5 \text{ V}}{15 \text{ k}\Omega} = 2.7 \text{ mA}.$$

Dieser Strombedarf ist nicht gerade zu vernachlässigen, noch dazu dieser statisch ist und gleichzeitig seinem zeitlichen Mittel entspricht. Daher wurde bei der Implementierung darauf geachtet, die Konfigurationseinheit mit einer separaten Spannungsversorgung zu betreiben, um den „echten“ Strombedarf des UWB-Transmitters zu erfassen. In der Version als Datagrain wurde auf die Konfigurationseinheit gänzlich verzichtet, da diese in der Standardkonfiguration betrieben werden soll - hier ist die Konfiguration fix verdrahtet.

Zusammenfassend sind in Tabelle 2.6 alle Konfigurationsleitungen samt Beschreibung angeführt.

Bezeichnung	Bitanzahl	Funktion
da_def_conf	3	Überschreiben der Standardkonfiguration durch das manuell gesetzte Bitmuster
send_carrier	1	Ein- und Ausschalten des Trägersignals
data_clk_src	1	Taktquelle für die Datengenerierung wählen
osc_on	1	Trägeroszillator aktivieren
cont_mode_en	1	Kontinuierliches Senden
shape_data	1	Basisbandformung aktivieren
data_cfg	2	Datenquelle wählen
i_config	2	Konstantstrom für die Basisbandformung
lo_config	4	Trägeroszillatorfrequenz abstimmen
pulse_delay0	4	Verzögerungszeit für die 0-Pulse
pulse_delay1	4	Verzögerungszeit für die 1-Pulse
pulse_width	4	Pulsbreite

Tabelle 2.6.: Konfigurationssignale und deren Bedeutung

Kapitel 3.

Layout

Aufgrund der auftretenden Systemfrequenzen (100 MHz Datentakt und 6 GHz Träger) sind an das Layout bestimmte Anforderungen gestellt. Im Entwicklungsprozess stellte sich heraus, dass es wichtig ist kritische (in Hinsicht auf Laufzeiten und Timing) Schaltungsblöcke nach der Schaltungssimulation zu layouten und diese Implementierung mit Hilfe der *parasitic extraction* zu verifizieren. Das Ergebnis der extrahierten Simulation gibt Aufschluß darüber, ob ein unbefriedigendes Verhalten durch Veränderung des Layouts oder durch Eingriff in das Schaltungsdesign behoben werden kann. Nicht zu unterschätzen sind parasitäre Effekte, die an passiven Bauelementen auftreten (in Abschnitt 2.2.2.1 wurde kurz darauf eingegangen). Unter Umständen kann es sein, dass parasitäre Effekte unter Umständen in den Simulationsmodellen nicht berücksichtigt wurden, da die Umgebungsbedingungen zu bestimmend für das Verhalten sind und diese klarer Weise zum Zeitpunkt der Schaltungssimulation noch nicht bekannt sind. Eine Möglichkeit bereits zur Simulationszeit einen Eindruck von den Auswirkungen parasitärer Kapazitäten zu bekommen, ist der Einsatz von idealen Simulationskapazitäten an kritischen Knoten.

3.1. Verdrahtung

Das Zusammenführen der einzelnen Schaltungsblöcke in der höchsten Hierarchie erfordert unter Umständen eine lange Signalführung, was eine große parasitäre kapazitive Last mit sich bringt. Die Analyse der Extraktion zeigt ob dieser Last die Ausgangstreiberstärke anzupassen ist. Bei dynamischen Signalen mit großer Flankensteilheit ($\frac{du}{dt} \gg$) besteht auch die Gefahr von Übersprechen zu benachbarten Leitungen, weshalb im Falle nicht vermeidbarer paralleler Leitungsführung darauf geachtet werden muss. Da die Schaltung Verbraucher enthält, deren Stromaufnahme sehr groß ist, muss dies im Zuge des *Stromversorgungskonzeptes* berücksichtigt werden. In Abbildung 3.1 ist die Problematik skizziert, die sich bei falscher Verteilung der Versorgungsspannung ergibt. Der starke Verbraucher verursacht auf seiner Zuleitung einen Spannungsabfall, der den schwachen, möglicherweise empfindlichen, Verbraucher beeinflusst. Um dies zu vermeiden, liegt es nahe, störende Verbraucher mit einer separaten Zuleitung auszustatten, die entsprechend weit ausgeführt sind um den Leitungswiderstand, und somit den verursachten Spannungsabfall, gering zu halten. Der Punkt, an dem die Aufteilung der Versorgungsleitung durchgeführt wird, muss

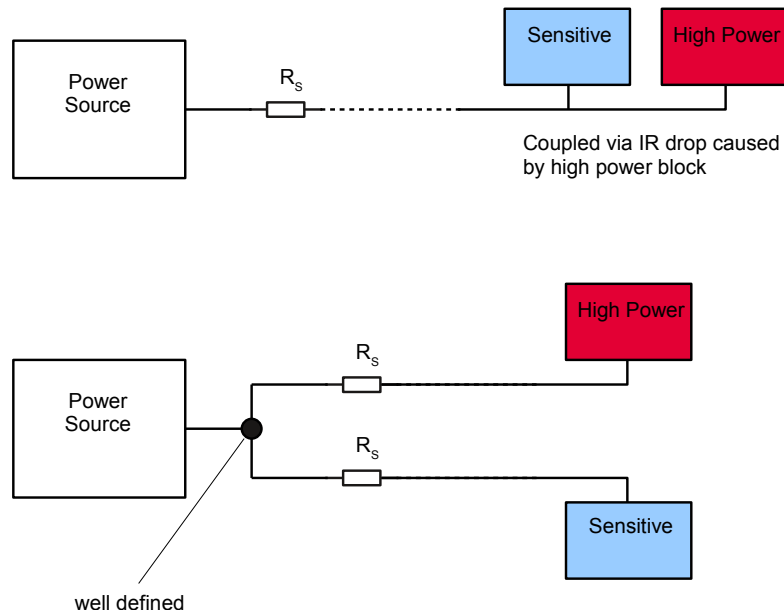


Abbildung 3.1.: Beeinflussung durch nicht ideale Verdrahtung

möglichst gut definiert sein. Dazu werden zusätzlich Kondensatoren eingefügt, welche die Versorgungsspannung stabilisieren sollen. Im realisierten Layout wurde der Platz unter den Versorgungsleitungen genutzt um Kondensatoren zur Spannungsstabilisierung zu platzieren.

3.2. Transistor-Layout

Wie bereits erwähnt, besitzen die Transistoren im Modulator, welche im Stande sein müssen, große Lasten zu treiben, verhältnismäßig große Abmessungen (große Weite, kleine Länge). Das bedeutet, dass der Polysiliziumpfad (das Gate des Transistors) sehr lang ist. Aufgrund des hohen spezifischen Widerstandes des Materials erhält man einen Tiefpass, der mit der Gate-Kapazität des Transistors gebildet wird. Daher ist es besser, den großen Transistor in mehrere, parallel geschaltene, kleine aufzuteilen. Somit verringert man den elektrischen Widerstand am Gate und verbessert die Eigenschaften des Transistors für hohe Frequenzen (siehe Abbildung 3.2).

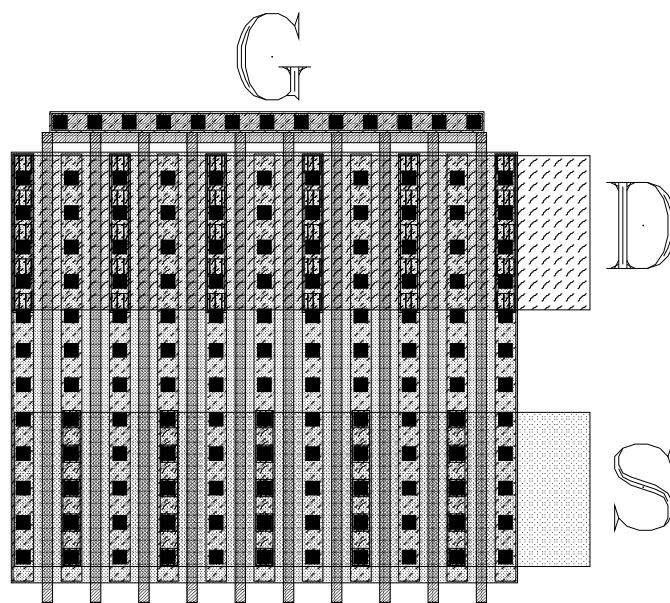


Abbildung 3.2.: Layout eines aufgeteilten Transistors

Kapitel 4.

Parasitic Extraction

4.1. Datenaufbereitung

Bei der extrahierten Simulation der Basisbandeinheit zeigte sich, dass die kapazitiven Lasten, hervorgerufen durch Parasiten, aufgrund des abgestimmten Timings die Funktionalität beeinträchtigen. Durch genaue Analyse der betroffenen Pfade wurden die Treiberstärken angepasst. Daraus erkennt man, dass unter Umständen mehrere solcher Iterationsschleifen notwendig sind um auf das gewünschte Ergebnis zu kommen. Um aber extrahierte und schaltungsbasierte Simulation miteinander vergleichen zu können, entstammen die im Kapitel 2 angegebenen Simulationswerte der jeweils letzten Iteration. Eine weitere Schwierigkeit stellten die verwendeten Integrationskondensatoren dar. Abbildung 2.21 zeigte bereits die parasitären Anteile eines integrierten Kondensators. Ebenfalls wurden in diesem Abschnitt auch erwähnt, dass es erstrebenswert ist, die Implementierung so zu gestalten, dass parasitäre Kapazitäten im Verhältnis zur Nutzkapazität klein bleiben. Das Ergebnis der extrahierten Simulation zeigte, dass eben dies für kleine Kapazitätswerte nicht der Fall war, weshalb eine andere Implementierungsvariante der Integrationskondensatoren gewählt wurde. Ergänzend sei erwähnt, dass eine separierte Betrachtung der Kondensatoren im Vorfeld diesem Schritt vorgebeugt hätte.

Tabelle 4.1¹ zeigt, dass es schlussendlich gelungen ist, Design und Layout so zu entwerfen, dass die schaltungsbasierte Simulation ohne Berücksichtigung parasitärer Elemente eine gute Näherung der zu erwartenden Ergebnisse der physikalischen Implementierung liefert. In Abbildung 4.1 sieht man vergleichend die zeitliche Repräsentation der Ausgangssignale der Datenaufbereitung aus der schaltungsbasierten und extrahierten Simulation. Die zeitliche Verzögerung erklärt sich durch parasitäre Kapazitäten im Datenpfad vom Datengenerator zur Basisbandeinheit. Es ist zu erkennen, dass die Amplituden als auch die Signalformen sehr gut übereinstimmen. Für die Simulationen wurde der Datengenerator im *Toggle-Mode* betrieben.

Aufgrund der höheren kapazitiven Last am Integrationspunkt ist die Amplitude aus der extrahierten Simulation etwas geringer als die aus der schaltungsbasierten. Die Differenz von ≈ 30 mV zwischen den beiden Betrachtungen macht einen korrigierenden Einfriff

¹„sch vs. extr“ ist die Kurzform für „Schematic versus extracted simulation“

pulse_width	Pulslänge t_w (schaltungs- basierte Simulation)	Pulslänge t_w (extrahierte Simulation)
“0001“	1,06 ns	1,06 ns
“0010“	1,2 ns	1,22 ns
“0011“	1,27 ns	1,3 ns
“0100“	1,26 ns	1,28 ns
“0101“	1,34 ns	1,36 ns
“0110“	1,48 ns	1,5 ns
“0111“	1,56 ns	1,58 ns
“1000“	1,35 ns	1,38 ns
“1001“	1,4 ns	1,47 ns
“1010“	1,6 ns	1,6 ns
“1011“	1,65 ns	1,7 ns
“1100“	1,63 ns	1,67 ns
“1101“	1,72 ns	1,74 ns
“1110“	1,82 ns	1,84 ns
“1111“	1,9 ns	1,9 ns

Tabelle 4.1.: Pulsweiten im Vergleich (sch vs. extr)

pulse_delay0	Pulsverzögerung t_d (schaltungs-basierte Simulation)	Pulsverzögerung t_d (extra-hierte Simulation)
„0001“	≈ 0 ps	≈ 0 ps
„0010“	≈ 0 ps	≈ 0 ps
„0011“	50 ps	60 ps
„0100“	100 ps	110 ps
„0101“	110 ps	115 ps
„0110“	170 ps	170 ps
„0111“	180 ps	190 ps
„1000“	200 ps	210 ps
„1001“	230 ps	235 ps
„1010“	260 ps	270 ps
„1011“	280 ps	290 ps
„1100“	305 ps	305 ps
„1101“	320 ps	330 ps
„1110“	370 ps	385 ps
„1111“	400 ps	410 ps

Tabelle 4.2.: Pulsverzögerungen im Vergleich (sch vs. extr)

i_config	Amplitude \hat{U} (schaltungs-basierte Simulation)	Amplitude \hat{U} (extrahierte Simulation)
„0001“	820 mV	790 mV
„0010“	920 mV	890 mV
„0011“	1 V	970 mV
„0100“	1,1 V	1,06 V

Tabelle 4.3.: Amplituden im Vergleich (sch vs. extr)

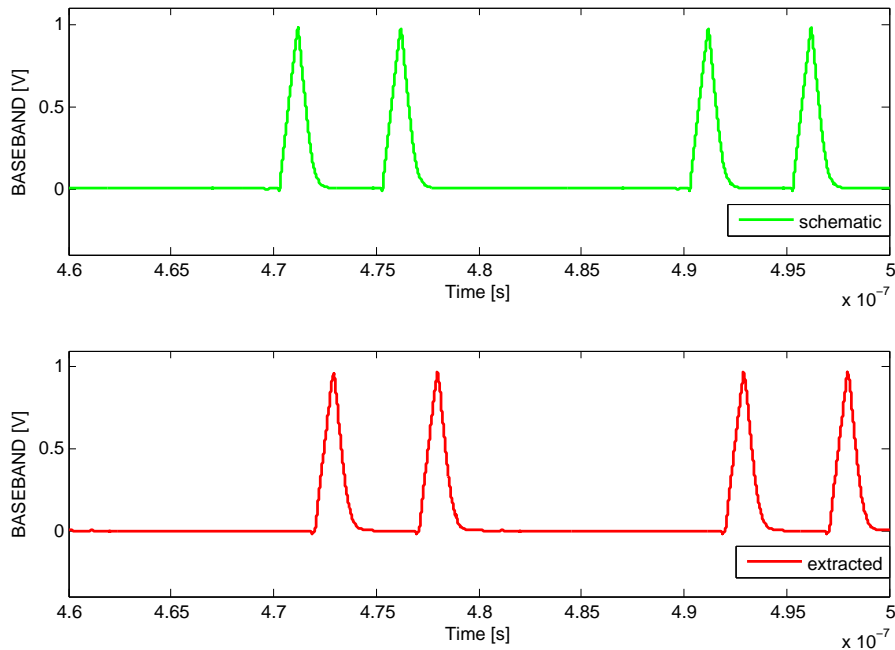


Abbildung 4.1.: Simulationsergebnisse der Datenaufbereitung

nicht notwendig, da die Anpassung einen sehr geringen Einfluss auf das Ausgangssignal des Senders hat.

4.2. Oszillatoren

Wie bereits erwartet, entspricht die Oszillatorfrequenz, verursacht durch parasitäre Elemente, nicht mehr jener aus der Schaltungssimulation. Für die Extraktion der parasitären Elemente aus dem Layout wurde für die Oszillatoren ein spezielles Layout entworfen, in dem die Leitungsführung des Ausgangssignals, sowie das erste Eingangsgatter des folgenden Schaltungsblockes berücksichtigt sind. Das hat den Vorteil, dass nur der interessante Block behandelt wird und nicht die gesamte Schaltung extrahiert simuliert werden muss, was eine erhebliche Verkürzung der Simulationszeit mit sich bringt.

4.2.1. Datenoszillator

Die Gegenüberstellung der Simulationsergebnisse in Tabelle 4.4 zeigt, dass sich die Vermutung über den Einfluss der parasitären Kapazitäten aus Abschnitt 2.4.2 bewahrheitet. Die zu erwartende Frequenz nach der physikalischen Implementierung ist um etwa 30 MHz niedriger und beträgt nun 107 MHz. Um auf die Zielvorgabe von 100 MHz zu kommen,

Schaltungsbasierte Simulation	Extrahierte Simulation
133 MHz	107 MHz

Tabelle 4.4.: Datenoszillatorfrequenz (sch vs. extr)

wird die Strombegrenzung leicht korrigiert. Nach dieser Maßnahme wird eine Frequenz von 99,1 MHz erreicht.

4.2.2. Trägeroszillator

lo_ctrl	Schaltungsbasierte Simulation	Extrahierte Simulation
„0000“	6,14 GHz	6,39 GHz
„0001“	6,12 GHz	6,38 GHz
„0010“	6,11 GHz	6,36 GHz
„0011“	6,09 GHz	6,34 GHz
„0100“	6,07 GHz	6,32 GHz
„0101“	6,03 GHz	6,28 GHz
„0110“	5,97 GHz	6,22 GHz
„0111“	5,85 GHz	6,09 GHz
„1000“	5,43 GHz	5,72 GHz
„1001“	3,59 GHz	3,91 GHz
„1010“	1,32 GHz	1,6 GHz

Tabelle 4.5.: Trägerfrequenzen im Vergleich (sch vs. extr)

Aus Tabelle 4.5 ist ersichtlich, dass die Abschätzung der parasitären Kapazitäten jeder Stufe zu pessimistisch geschehen ist. Die Frequenzen aus der extrahierten Simulation liegen über jenen der schaltungsbasierten Simulation. Die Zielvorgabe ist erreicht und somit sind keine weiteren Maßnahmen zu treffen. Sollte sich im Laufe der *post silicon Verifikation*² herausstellen, dass der Trägerfrequenzbereich doch zu hoch oder zu niedrig angesetzt ist, kann dies durch die bereits angesprochene Eigenschaft der schlechten PSRR des Oszillators durch leichte Variation der Versorgungsspannung ausgeglichen werden. Eine um 100 mV geringere Versorgungsspannung verringert die Frequenz des Oszillators um ca.

²Verifikation des produzierten Chips

500 MHz. Für andere Schaltungsteile entsteht dadurch keine funktionelle Einschränkung - Einfluss besteht nur in der von der Antenne abgestrahlten Leistung, da auch dort die Signalamplitude verringert wird.

4.3. Gesamtschaltung

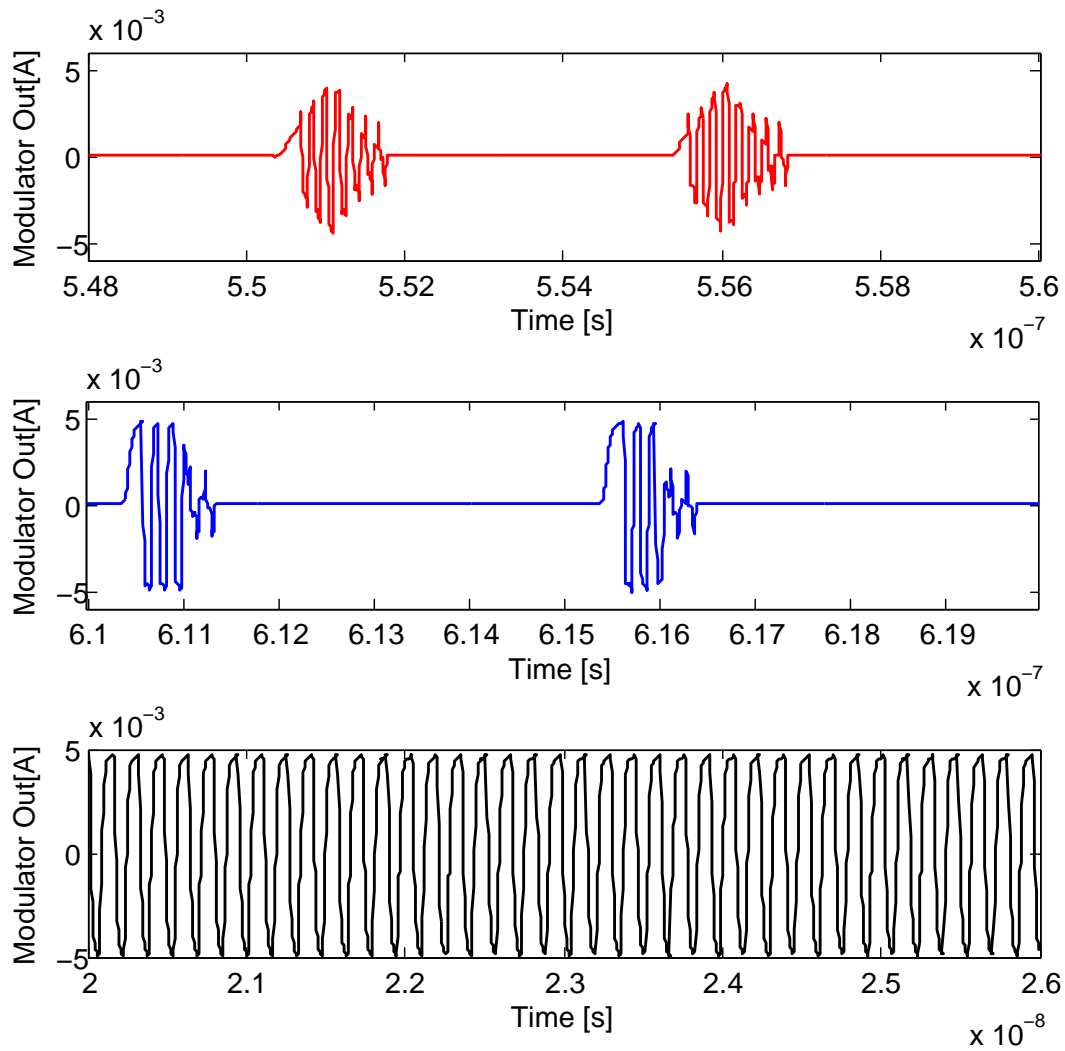


Abbildung 4.2.: Simulationsergebnis: Toplevel mit unterschiedlichen Ausgangskonfigurationen (extrahierte Simulation)

Die extrahierte Simulation der Gesamtschaltung (siehe Abbildung 4.2) zeigt, dass das

Abschalten des Trägersignals offensichtlich etwas mehr Zeit in Anspruch nimmt, als in der schaltungsbasierten Simulation. Grund dafür sind wiederum die kapazitiven Lasten, die es gilt umzuladen. Es handelt sich hier um die Zeitdauer von einigen 100 ps. Aufgrund des genau abgestimmten Timings gelang es in dieser Implementierung nicht, eine weitere Optimierung zu erreichen. Die kleineren Amplituden, die im Vergleich zu Abbildung 2.48 zu bemerken sind, erklären sich ebenso durch parasitäre Kapazitäten, die als Last wirken.

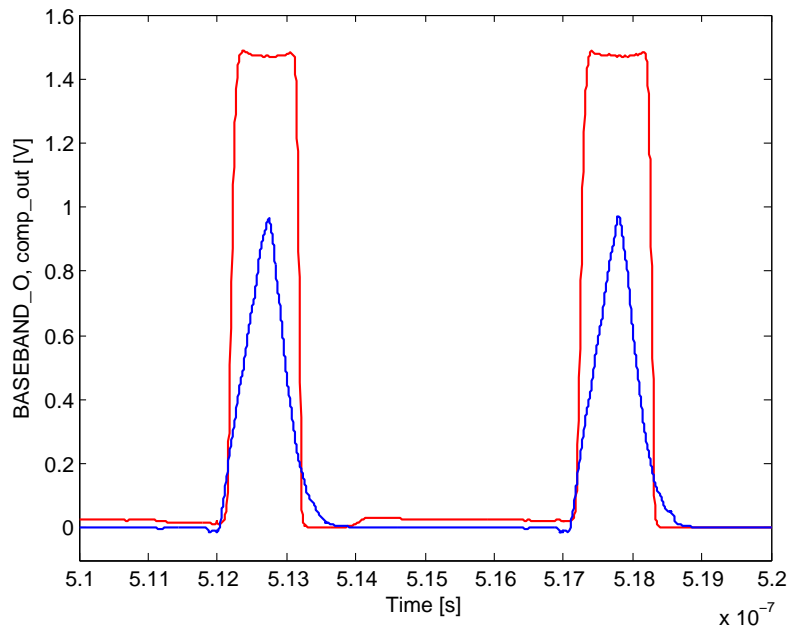


Abbildung 4.3.: Komparatorausgang und Basisbandsignal (extrahierte Simulation)

Abbildung 4.3 zeigt das Ausgangssignal des Komparators als Ergebnis der extrahierten Simulation. Wie zu erwarten war, wurde durch auftretende parasitäre Kapazitäten die Pulsweite etwas gedehnt.

Kapitel 5.

Schlussfolgerungen und Ausblick

Ziel dieser Diplomarbeit war es, einen konfigurierbaren Ultra-Wideband-Transmitter zu entwerfen, der einen Teil eines autarken Gesamtsystems bildet. Der Sender wurde nach seiner Fertigstellung im *Data Grain* integriert, das, ebenso wie eine Verifikationsversion des Transmitters, zur Produktion freigegeben wurde. Da es der zeitliche Rahmen dieser Arbeit nicht erlaubte, musste auf die Erwähnung von *post silicon - Messergebnissen* in diesem Dokument verzichtet werden. Im Entwicklungsprozess wurde klar, dass es bei hohen Systemfrequenzen unabdingbar ist, die physikalische Implementierung parallel voran zu treiben, da dadurch sofort auf die Auswirkungen parasitärer Effekte reagiert werden kann. Der Aufwand, der betrieben werden muss, um einen darauf zurück zu führenden Fehler in der Schaltung zu finden steigt mit der Komplexität der selben. Die Wahl des Trägeroszillators, die vorwiegend aus Zeitgründen erfolgte, und die damit verbundene Notwendigkeit ein differentiell Signal zu erzeugen, können für künftige Entwicklungen verbessert werden (beispielsweise durch die Verwendung eines differentiellen Oszillators). Ebenfalls kann eine Kompensation des Temperaturgangs der Oszillatoren angedacht werden.

Die Entwicklung der konfigurierbaren Basisbandeinheit zeigt, dass es möglich ist, diverse Parameter des Systems zu variieren. Daraus folgernd lässt sich sagen, dass es für künftige Entwicklungen möglich ist, als Kodierungsverfahren M-äre PPC (auch bei hohen Datenraten) zu implementieren - die benötigte Empfängerarchitektur vorausgesetzt. Wesentlich anspruchsvoller ist die Realisierung eines kohärenten Senders, da stets Kenntnis über die Phasenlage des Trägers herrschen muss. Ein im System integrierter Speicher, in dem die entsprechenden Konfigurationseinstellungen gespeichert werden können, könnte es ermöglichen, verschiedene Varianten der Puls-Position-Kodierung in einer universellen Sendeeinheit unterzubringen.

Anhang A.

Schaltbild des UWB-Transmitters

Anhang A. Schaltbild des UWB-Transmitters

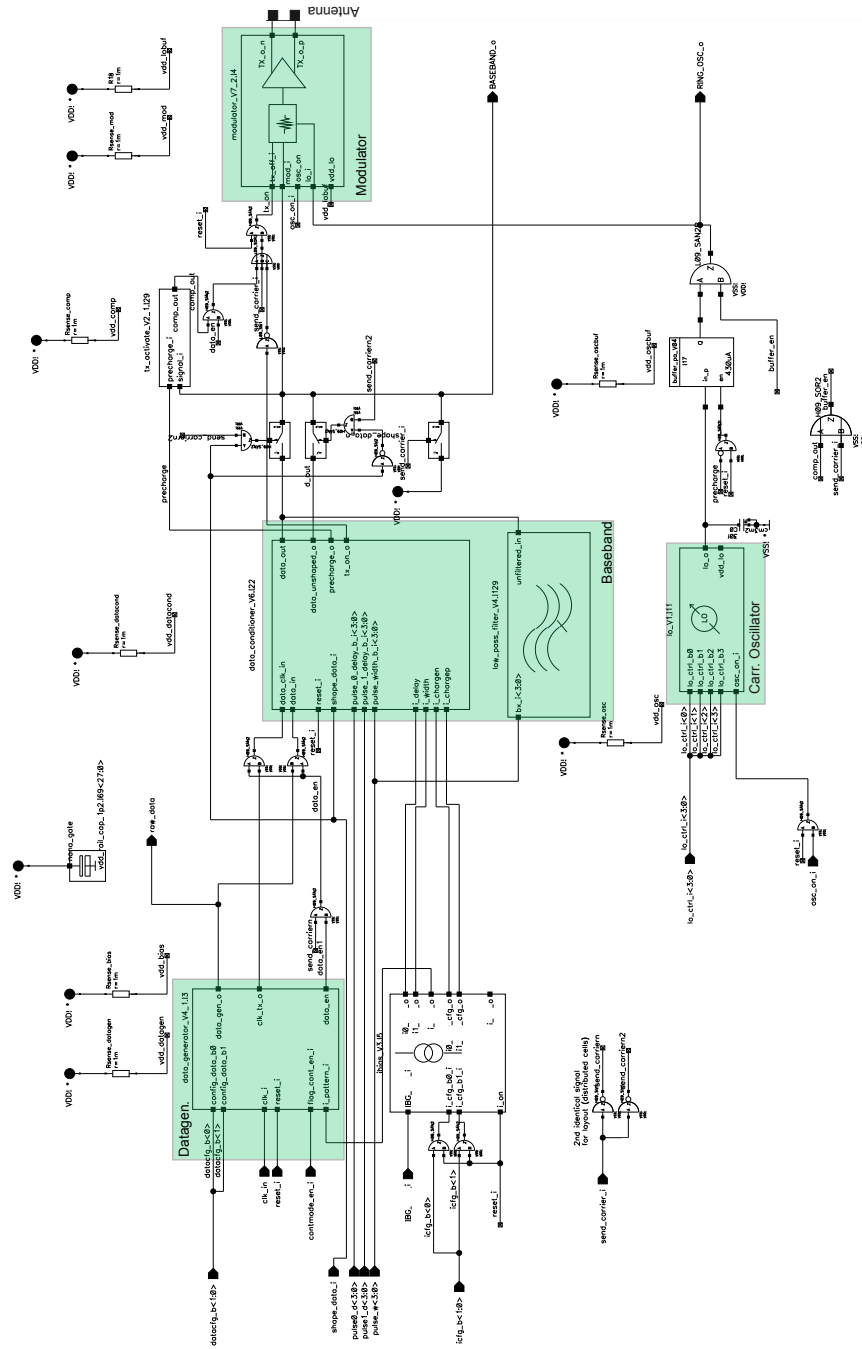


Abbildung A.1.: Schaltbild des UWB-Transmitters (ohne Konfigurationseinheit)

Anhang B.

Chip-Layout

Abbildung B.1 zeigt das Chiplayout des autarken Data Grain. Unten ist die Ringantenne zu sehen, die dem Energy-Harvester als Quelle dient. Am oberen Bildrand sieht man die Sendeantenne mit dem darunterliegenden UWB-Sender. Der Freiraum zwischen den beiden Schaltungen bietet Platz für Stützkondensatoren, die den Sender versorgen. Die Chipabmessungen betragen in etwa 1 x 3 mm.

In Abbildung B.2 ist die Verifikationsversion des UWB-Senders gezeigt. Dieser Chip verfügt über Anschluss pads, welche die Konfiguration, sowie den Zugang zu Ein- und Ausgangssignalen ermöglichen.

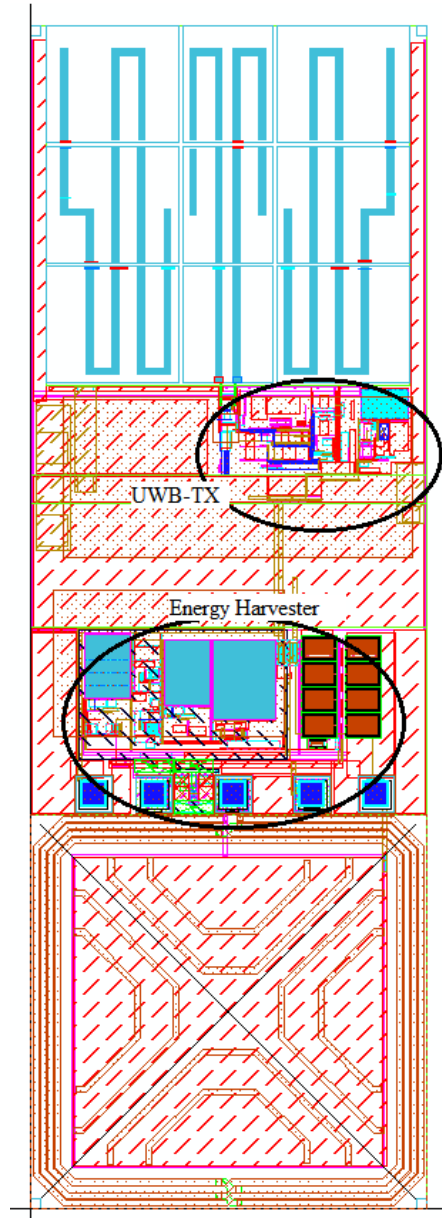


Abbildung B.1.: Toplevel-Layout des Data Grain

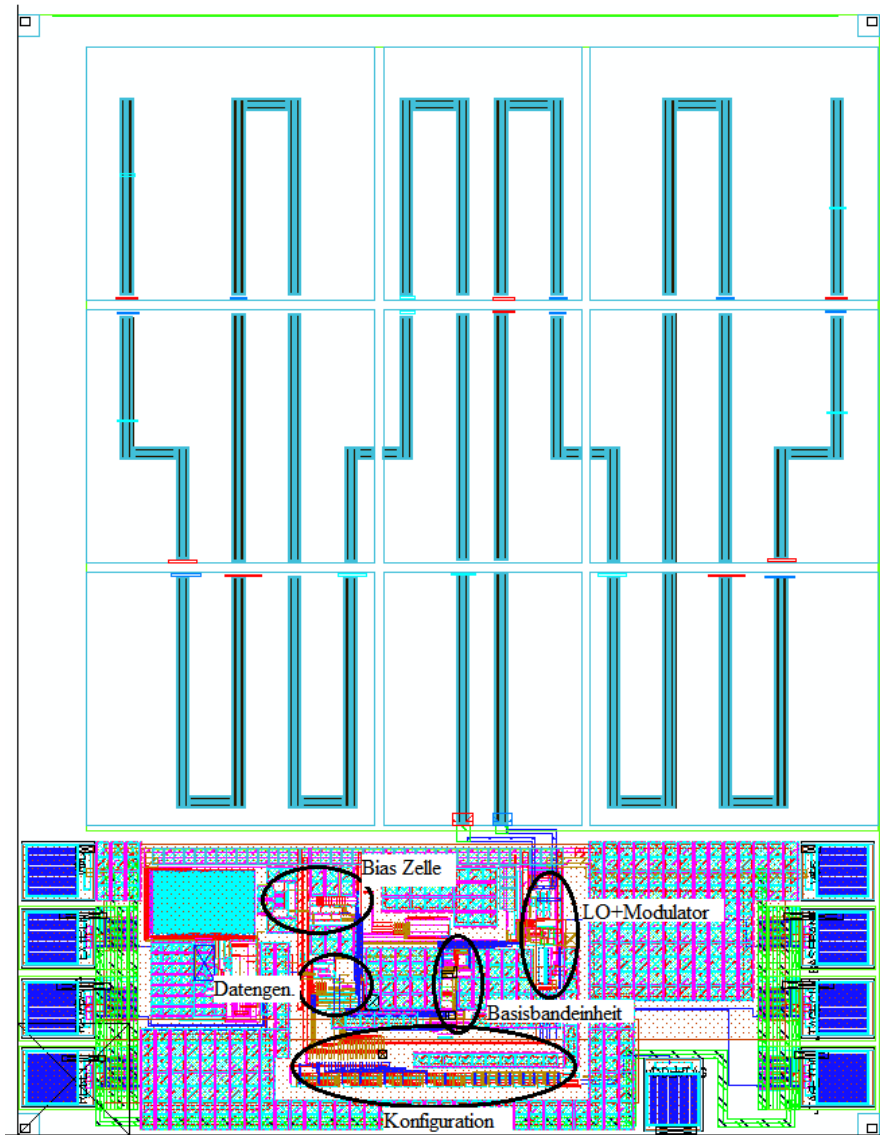


Abbildung B.2.: Toplevel-Layout der Verifikationsversion des Senders

Literaturverzeichnis

- [1] *D-FlipFlop Synchronzaehler*. Website, 2010. Available online at <http://tams-www.informatik.uni-hamburg.de/applets/hades/webdemos/30-counters/30-sync/sync-dff.html>; visited on December 16th 2010.
- [2] *Leitungscode*. Website, 2010. Available online at <http://de.wikipedia.org/wiki/Leitungscode>; visited on November 22nd 2010.
- [3] *Data Grain*, 2011. Foto: Dipl.-Ing. Philipp K. Gentner, TU-Wien.
- [4] *RFID-Tag*. Website, 2011. Available online at <http://www.infineon.com>; visited on March 22nd 2011.
- [5] ECC/DEC: *ECC Decision of 24th March 2006 amended 6 July 2007 at Constanta on the harmonised conditions for devices using Ultra-Wideband (UWB) technology in bands below 10.6 GHz*, July 2007.
- [6] FAUSSURIER, E.: *2nd Congress of Portuguese Committee of URSI 'Electromagnetic Compatibility and New Radiocommunications Services'*. 2008.
- [7] IEEE: *IEEE 802.15.4a-2007*, 2007.
- [8] IEEE: *IEEE 802.11.n*, 2009.
- [9] RAZAVI, B.: *RF Microelectronics*. Prentice Hall, 1998.
- [10] RAZAVI, B.: *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, 2006.
- [11] RYCKAERT, J.: *Ultra-Wide-Band Transmitter for Low-Power Wireless Body Area Networks: Design and Evaluation*. Circuits and Systems I: Regular Papers, IEEE Transactions, 52:2515–2524, 2005.