

Diplomarbeit

DA681

**Design eines
UHF RFID Frontends für Datenraten
bis zu 100 Mbit/s**

Ivan Muhoberac

Institut für Elektronik

Technische Universität Graz

Leiter: Univ.-Prof. Dipl.-Ing. Dr.techn. Wolfgang Pribyl

Begutachter: Ass.Prof. Dipl.-Ing. Dr.techn. Peter Söser



unterstützt durch Infineon Technologies Austria AG

Graz, im November 2010



Diese Diplomarbeit wurde unterstützt von
Infineon Technologies Austria AG
Development Center Graz
Abteilung Contactless and RF Exploration
Leitung Holweg Gerald

Abstract

From the contemporary field of RFID applications, the desire for increasing the data rate at information exchange between the components of such a system and the optimization of the associated communication relevant elements arises.

Within the framework of this diploma thesis, a feasibility study of passive UHF-RFID-front-ends for data rates up to 100 Mbit/s is carried out. The main priorities are identification of suitable rectifier structures, internal circuitry to improve efficiency, shunt control system, longitudinal control system for stable output voltages and the entire unit for data detection. Factors such as dynamic power consumption, field strength, temperature, data rate, modulation index and more are challenges for developing a complete system. In addition to internal supply of individual function blocks, this concept also needs to ensure a supply of additional blocks (such as a controller).

The required rectification of a field with alternating signals is modeled taking the output voltage, output power and efficiency into account. Various approaches and structures are presented in this work. The base for data detection are innovative auxiliary circuits. Simulation results of an envelop simulation interpret the behavior of the front-end.

Keywords: UHF-RFID-front-end; Rectifier; High power rectifier; Data detector; Data rate 100 Mbit/s

Kurzfassung

Aus dem heutigen Feld von RFID-Anwendungen ergibt sich der Wunsch einer Steigerung der Datenraten beim Informationsaustausch zwischen den Komponenten eines solchen Systems und die Optimierung der zugehörigen kommunikationsrelevanten Elemente.

Im Rahmen der vorliegenden Diplomarbeit findet eine Machbarkeitsuntersuchung von passiven UHF-RFID-Frontends für Datenraten bis zu 100 Mbit/s statt. Die wesentlichen Schwerpunkte sind dabei die Ermittlung geeigneter Gleichrichterstrukturen, die interne Schaltung zur Effizienzverbesserung, Shuntregelung, Längsregelung für stabile Ausgangsspannungen und die gesamte Einheit zur Datendetektion. Faktoren wie z.B. dynamischer Stromverbrauch, Feldstärke, Temperatur, Datenrate, Modulationsindex uvm. stellen Herausforderungen an die Entwicklung eines Komplettsystems. Neben der internen Versorgung einzelner Funktionsblöcke, muss dieses Konzept auch eine Versorgung zusätzlicher Blöcke (wie z.B. einen Controller) gewährleisten.

Die dafür notwendige Gleichrichtung, aus einem Feld mit Wechselsignalen, wird unter Berücksichtigung der Ausgangsspannung, Ausgangsleistung als auch der Effizienz modelliert. Verschiedene Ansätze und Strukturen werden in dieser Arbeit präsentiert. Die Grundlage zur Datendetektion bilden innovative Hilfsschaltungen. Simulationsergebnisse der Einhüllenden-Simulation interpretieren das Verhalten des Frontends.

Stichworte: UHF-RFID-Frontend; Gleichrichter; Gleichrichter für hohe Leistungen; Datendetektor; Datenrate 100 Mbit/s

EIDESSTÄTTLICHE ERKLÄRUNG

Ich erkläre an Eides statt, dass ich die vorliegende Arbeit selbstständig verfasst, andere als die angegebenen Quellen/Hilfsmittel nicht benutzt und die den benutzten Quellen wörtlich und inhaltlich entnommenen Stellen als solche kenntlich gemacht habe.

Graz, am _____

Ivan Muhoberac

STATUTORY DECLARATION

I declare that I have authored this thesis independently, that I have not used other than the declared sources / resources and that I have explicitly marked all material which has been quoted either literally or by content from the used sources.

date

Ivan Muhoberac

Danksagung

Ich möchte mich bei meinem Betreuer Ass.Prof. Dipl.-Ing. Dr.techn. Peter Söser, vom Institut für Elektronik der Technischen Universität Graz, für die Unterstützung und Betreuung der Diplomarbeit bedanken.

Für die Anstellung bei Infineon und die Möglichkeit an dieser Thematik zu arbeiten, möchte ich Dipl.-Ing. Gerald Holweg danken. Meinen vielen weiteren Kollegen der Abteilung Contactless RF Exploration und speziell Dipl.-Ing. Günter Hofer bin ich für die herzliche Aufnahme, dem angenehmen Arbeitsklima, der technischen Betreuung und für den großen Beitrag zur persönlichen Entwicklung zu großem Dank verpflichtet.

Mein besonderer Dank gilt meiner Familie für die großartige Unterstützung und das wichtige Ermöglichen einer schönen Studienzeit. Für das anstrengende Korrekturlesen danke ich herzlichst meiner Freundin Diana und meinem Kollegen Christian. Nicht nur während dieser Arbeit, sondern während meiner gesamten Studienzeit danke ich meinem gesamten Freundeskreis für den Rückhalt und die intensive Zeit der Freundschaft.

Ivan Muhoberac

Inhaltsverzeichnis

1	Einleitung	1
1.1	Motivation	1
1.2	RFID Technologie	2
1.2.1	Einführung	2
1.2.2	Komponenten	4
1.2.3	Versorgung und Kommunikation	4
1.3	Anforderungen an das Frontend	8
1.3.1	Feldstärke und Frequenz	8
1.3.2	Ausgangsleistung und Ausgangsspannung	8
1.3.3	Temperatur	8
1.3.4	Codierung, Modulation, Datenrate und Frequenzrückgewinnung	9
2	Systemkonzept	12
2.1	Gleichrichter	12
2.1.1	Gleichrichterstrukturen	12
2.1.2	Einweggleichrichter	12
2.1.3	Brückengleichrichter	13
2.1.4	Mittelpunktgleichrichter	13
2.1.5	Gleichrichterdiode in CMOS	14
2.1.6	Kreuzgekoppelter Kurzschlusschalter	20
2.1.7	Gatesteuerung der Gleichrichterioden	21
2.1.8	Gleichrichterarchitekturvergleich	24
2.1.9	Konfiguration konträr ausgerichteter Gatespannungen	30
2.1.10	Erzeugung einer Bulkspannung	31
2.1.11	Shuntregelung	32
2.1.12	Adaptierung des Systems an eine höhere Ausgangsspannung	36
2.1.13	Längsregelung	40
2.1.14	Freigabesignal bei stabiler Versorgung	42
2.1.15	Sperren der Shuntgatespannung bei Datendetektion	43
2.1.16	Gesamtübersicht	45
2.2	Bandgapreferenz und Stromverteilung	48
2.3	Datendetektor	49
2.3.1	Detektionsprinzip	49

2.3.2	Reproduktion der Daten (FAST)	49
2.3.3	Erzeugen der Vergleichsschwelle (SLOW)	59
2.3.4	Komparator	64
2.3.5	Frequenzrückgewinnung	67
2.3.6	Frequenzteilung	68
2.3.7	Datendetektor	68
3	Simulationskonfigurationen	70
3.1	Einhüllenden-Testbench	70
3.2	Wechselsignal-Testbenches	71
3.2.1	Testbench mit Schaltwiderständen	71
3.2.2	Testbench mit Transformator	72
4	Simulationsergebnisse	74
4.1	Datenrate 1Mbit/s	75
4.2	Datenrate 20Mbit/s	76
4.3	Datenrate 100Mbit/s	77
5	Ausblick	78
	Literaturverzeichnis	80

Abbildungsverzeichnis

1.1	Strukturdiagramm eines RFID-Systems	4
1.2	Versorgung und Kommunikation der RFID-Systeme [4]	5
1.3	Nah-, Mittel- und Fernfeldbereich [10]	5
1.4	Spannungsverlauf an $L_{a\ m}=30\%$	10
1.5	Spannungsverlauf an $L_{a\ m}=70\%$	10
2.1	Einweggleichrichterschaltung	12
2.2	Brückengleichrichterschaltung	13
2.3	Mittelpunktgleichrichterschaltung	14
2.4	Stromflusswinkel bei unterschiedlichen Schwellenspannungen	15
2.5	NMOST als Diode	16
2.6	CMOS-Struktur im Querschnitt mit pn-Sperrschichten	17
2.7	PMOST als Diode	18
2.8	Versuchsschaltung NMOS	19
2.9	Versuchsschaltung PMOS	19
2.10	Kreuzgekoppelter Kurzschlusschalter	20
2.11	Funktionsweise eines kreuzgekoppelten Kurzschlusschalters	21
2.12	Einfacher Gleichrichter	22
2.13	Gleichrichter mit Gatespannungssteuerung	22
2.14	Rückfluss aufgrund starrer Gatespannungen	23
2.15	Architekturenvergleich	24
2.16	Simulationsaufbau	25
2.17	IVC-Gleichrichter mit Hochvolt-Transistoren	27
2.18	Vergleich der Effizienzverläufe von IVC-RF und Cross-PMOS-SW-RF	29
2.19	Gatespannungssteuerung variabler Gatespannungen	30
2.20	Verlauf einer entkoppelten Gatespannung	31
2.21	Ausschnitt aus einem IVC-Gleichrichter mit Bulkspannungsgenerierung	32
2.22	Stromflussänderung durch den Shunttransistor	33
2.23	Ungünstige Betriebszustände des Gleichrichters	34
2.24	Einfache Shuntregelung	35
2.25	Lastausgleichstransistor	36
2.26	Regelkreis der Spannung $U_{REF\ SHUNT}$	38
2.27	Bodediagramm der Referenzregelung für den Shunt	39

2.28	Blockschaltbild der Shuntregelung	40
2.29	Längsregelung	41
2.30	Bodediagramm der Längsregelung	42
2.31	Erzeugung des Freigabesignals	43
2.32	Betriebssituationen des Gleichrichters ohne Verriegelung von U_{SHUNT}	44
2.33	Sperren der Shuntgatespannung bei einer Datenübertragung	45
2.34	Strukturdiagramm des gesamten Gleichrichters	46
2.35	Vergleich der Effizienzverläufe bei verschiedenen Belastungen	47
2.36	Grundstruktur des Datendetektors	49
2.37	Vergleich der Varianten für die Erstellung des Signals FAST	50
2.38	Erstellen der Gatespannung für Transistor T1	51
2.39	Überschwingen der Spannung U_{FAST}	52
2.40	Startunterstützung	53
2.41	Unterdrückung des Überschwingens beim Starten	53
2.42	Generierung der Spannung U_{ENABLE}	54
2.43	Reduzierung der Welligkeit von U_{FAST}	55
2.44	Ausschnitt relevanter Schaltungsbauteile zur Minimierung von Schwankungen der Gatespannungen von T1 und T3	56
2.45	Gesamtschaltung zur Generierung des Signals FAST	57
2.46	Simulierte und relevante Spannungsverläufe	58
2.47	Nichtinvertierender Verstärker mit Spannungsteiler am Ausgang	60
2.48	Peak & Hold Schaltung für das Signal FAST	61
2.49	Spannungsverläufe zur Erstellung der Vergleichsschwelle	62
2.50	Gesamtschaltung für die Generierung der Signale FAST und SLOW	63
2.51	Spannungsverläufe der Eingangssignale für den Komparator	64
2.52	Komparator	65
2.53	Datendetektion mit Temperaturverhalten	66
2.54	Schaltung zur Frequenzrückgewinnung	67
2.55	Schaltung zur Frequenzteilung	68
2.56	Funktionsblöcke des Datendetektors mit Frequenzrückgewinnung	69
3.1	Einhüllenden-Testbench	70
3.2	Wechselsignal-Testbench 1	72
3.3	Wechselsignal-Testbench 2	73
4.1	Relevante Signalverläufe bei einer Datenrate von 1Mbit/s	75
4.2	Relevante Signalverläufe bei einer Datenrate von 20Mbit/s	76
4.3	Relevante Signalverläufe bei einer Datenrate von 100Mbit/s	77

Symbol- und Abkürzungsverzeichnis

Abkürzungen

AHDL	Altera Hardware Description Language
ASK	Amplitude Shift Keying
CMOS	Complementary Metal Oxid Semiconductor
CS	Common Source (z.B. Common Source Stufe)
dB	Dezibel
EIRP	Equivalent Isotropic Radiated Power
ENV	Envelop / Einhüllende
FSK	Frequency Shift Keying
f_T	Trägerfrequenz
IVC	Internal Vth Cancellation
m	Modulationsindex
MOSFET	Metal Oxide Semiconductor Field-Effect Transistor
NMOS	N-Type Metal Oxid Semiconductor
NMOST	N-Type Metal Oxid Semiconductor Transistor
NRZ	Non Return to Zero
OTA	Operational Transconductance Amplifier
PLL	Phase Locked Loop
PMOS	P-Type Metal Oxid Semiconductor
PMOST	P-Type Metal Oxid Semiconductor Transistor
PSK	Phase Shift Keying
PSS	Periodic Steady State
PSSR	Power Supply Rejection Ratio
RFID	Radio Frequency Identification
RMS	Root Mean Square
SW-RF	Switched-Rectifier
UHF	Ultra High Frequency

Symbole, Knoten und Variablen

<i>DATA</i>	Datenflussausgang
I_D	Referenzstrom generiert durch Bandgap
I_L	Laststrom
<i>La</i>	Versorgungsknoten La
<i>Lb</i>	Versorgungsknoten Lb

Symbol- und Abkürzungsverzeichnis

U_{DD}	Versorgungspotential einzelner Schaltungsteile
U_{DD_UP}	Hohe Ausgangsspannung des Gleichrichters
U_{FAST}	Nachbildung der Einhüllenden des Feldes für den Komparatoreingang
U_{REF}	Referenzspannung generiert durch Bandgap
U_{SLOW}	Vergleichsschwelle
U_{SS}	Bezugspotential
U_{TH}	Schwellenspannung

Kapitel 1

Einleitung

Als Einstieg in diese Arbeit folgt eine kurze Erläuterung zur Motivation dieser Diplomarbeit, sowie eine Auflistung der Anforderungen an das System. Eine einfache Einleitung in die Thematik RFID (Radio Frequency Identification) soll dem Leser die wesentlichen Grundlagen vermitteln, welche für das Verständnis dieser Arbeit von Vorteil sind.

1.1 Motivation

In neuesten Entwicklungen von RFID-Systemen ist es von großem Interesse erhebliche Datenmengen zu übermitteln. Unter Berücksichtigung der dafür benötigten Transferdauer entsteht der Anspruch hoher Übertragungsgeschwindigkeiten.

Ausgehend vom Wunsch einer hohen Datenrate (100 Mbit/s), welche bei einem HF-System aufgrund der niedrigeren Trägerfrequenz von 13,56 MHz bisher nicht realisierbar ist, bleibt der Umstieg auf UHF-Systeme mit einer Trägerfrequenz von 865 MHz bis 869 MHz als eine Option. Bisherige UHF-Anwendungen sind auf große Reichweiten ausgelegt und müssen mit geringeren Leistungen auskommen. Für eine hohe Datenrate steigt jedoch der Energiebedarf und Reichweiten minimieren sich. Auch die Versorgung eines nachfolgenden Controllers soll berücksichtigt werden und fordert eine gewisse Minimalleistung. Um diese Energie zur Verfügung stellen zu können, bedarf es „High Power Rectifier“, Gleichrichter für hohe Leistungen. Ansehnliche Reichweiten (im Bereich von einigen Zentimetern) werden durch den Einsatz effizienter Gleichrichter erreicht.

Die Motivation dieser Arbeit ergibt sich somit aus der Notwendigkeit passiv versorgte Transponder, mit einer für diese Anwendungen relativ hohen Leistung, aus einem Feld zu versorgen. Das durch einen Reader generierte Feld dient nicht nur zur Energieversorgung, sondern auch als Medium zur Kommunikation. Die so übertragenen Daten müssen vom Transponder, unter Berücksichtigung der Anforderungen, als solche erkannt werden. Diese Arbeit soll eine Machbarkeitsuntersuchung dieser Forderungen darstellen.

1.2 RFID Technologie

1.2.1 Einführung

RFID-Systeme werden primär zur Identifikation von Objekten, Waren, Tieren und Personen verwendet. Erste RFID-Anwendungen kamen bereits während des zweiten Weltkrieges zum Einsatz und wurden zur Freund-Feinderkennung in Flugzeugen und Panzern eingesetzt. Dank der Weiterentwicklung nützte man RFID z.B. in der Landwirtschaft, wo die Identifikation von Tieren eine wichtige Rolle spielte [7]. Waren Reichweiten früherer Systeme oft begrenzt auf wenige Zentimeter, sind es heute einige Meter. Die sinkenden Preise der Komponenten, sowie die abnehmenden Größen der Strukturen ermöglichen heute verschiedene Einsatzgebiete. Es folgten neue Regelungen zur Datensicherheit, Verschlüsselung und antikollisions Algorithmen um eine Kommunikation mit einem oder mehreren Transpondern gleichzeitig zu ermöglichen. Mit dem Fortschritt dieser Technologie, immer weiter steigender Frequenzen und neuer Anwendungen ergab sich die Notwendigkeit neuer (globaler) Standards. Bekannteste Standards sind:

- ISO/IEC 14443 Standard für proximity cards (Reichweiten 5 cm bis 15 cm)
- ISO/IEC 15693 Standard für vicinity cards (Reichweiten 30 cm bis 1 m)
- ISO/IEC 18000 Familie neuer ISO-Standards
- EPCglobal (Electronic Product Code)

Frequenzbereiche erstrecken sich vom LF-Bereich bis zum SHF-Bereich und sind in der Tabelle 1.1 aufgelistet. Abhängig vom Einsatzgebiet (USA, Europa, Japan usw.) ändern sich Regulativen bei den Bereichen UHF und SHF. Bei LF und HF überwiegen weltweite Standards [5].

Bereich	Frequenzband	RFID-Frequenzen
LF (Low Frequency) Langwellen-Frequenzen	30 bis 300 kHz	<135 kHz
HF (High Frequency) Kurzwellen-Frequenzen	3 bis 30 MHz	13,56 MHz
UHF (Ultra High Frequency) Ultrakurzwellen-Frequenzen	300 bis 3000 MHz	433 MHz 860 bis 960 MHz 2,45 MHz
SHF (Super High Frequency) Mikrowellen-Frequenzen	3 bis 30 GHz	5,8 MHz

Tabelle 1.1: Frequenzbänder und für RFID-authorisierte Frequenzen [10]

Häufigste Einsatzgebiete RFID-Systeme:

- Fahrzeugindustrie
- Landwirtschaft
- Warenverkauf, -sicherung und -lagerung
- Bibliotheken
- Ticketing

1.2.2 Komponenten

Ein RFID-System besteht aus einem Reader (auch Basisstation genannt) und einem Transponder (auch Tag genannt) [4]. Beide Elemente sind sogenannte intelligente Bauteile und beinhalten schaltungstechnische Komponenten. Der Reader setzt sich aus einem Koppellement (Antenne), Transmitter/Receiver und einer Controlunit mit Interface zum Computer zusammen. Transponder werden in zwei Klassen eingeteilt. Aktive Transponder besitzen eine eigene Energieversorgung (Batterie), passive hingegen, werden aus dem Feld versorgt und kommen ohne Hilfsenergie aus [10]. Diese Einteilung bezieht sich nur auf die Versorgungsvariante. Transponder bestehen in der Regel aus einer Antenne, einem analogen Schaltkreis, dazu kommen öfters auch digitale Schaltkreise und verfügen meist zusätzlich über einen Speicher. Wie im folgenden Blockdiagramm Abbildung 1.1 ersichtlich ist, ergeben sich durch den Einsatz analoger Bauteile verschiedene Impedanzen des Versorgungsteils. Daraus ergibt sich die Notwendigkeit einer Anpassschaltung zwischen den Analogbauteilen und der Antenne.

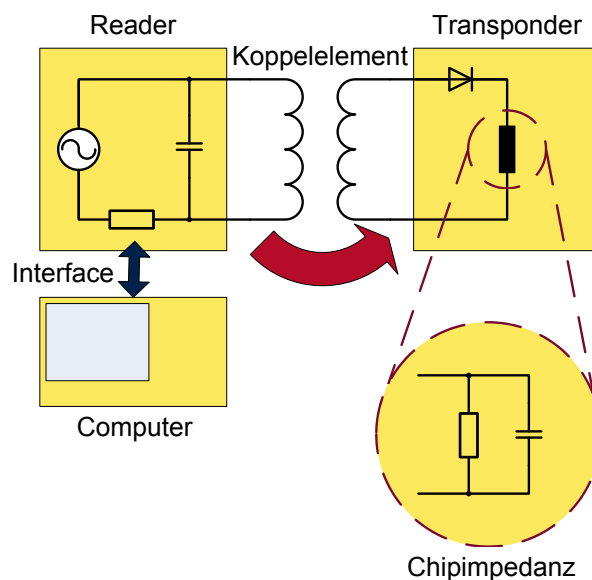


Abbildung 1.1: Strukturdiagramm eines RFID-Systems

1.2.3 Versorgung und Kommunikation

Die zur Versorgung benötigte Energie passiver Transponder wird aus dem magnetischen oder elektromagnetischen Feld gewonnen. Man unterscheidet prinzipiell drei Bereiche, das Nah-, Mittelfeld und das Fernfeld [10] (Abbildung 1.3). Eine Verbindung kann somit

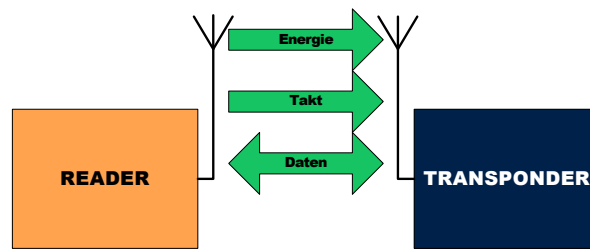


Abbildung 1.2: Versorgung und Kommunikation der RFID-Systeme [4]

vollständig ohne einen galvanischen Kontakt aufgebaut werden (Abbildung 1.2). Um auch während einer Datenübertragung konstante Versorgung gewährleisten zu können, wird die aus dem Feld gewonnene Energie in Kapazitäten gespeichert. Die aufgenommene Energie muss den Energiebedarf, bei voller Bandbreite der Funktionen, des Tags decken.

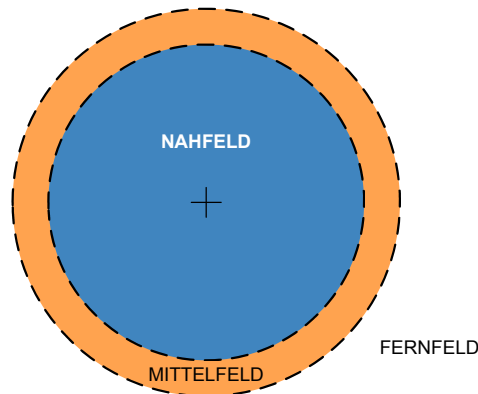


Abbildung 1.3: Nah-, Mittel- und Fernfeldbereich [10]

Nahfeld

Im Nahfeld herrscht vorwiegend induktive Kopplung. Die Energieübertragung resultiert hierbei aus dem magnetischen Feld. Ein geringer Anteil des vom Reader abgestrahlten Wechselfeldes durchsetzt die Antenne des Transponders und induziert dort eine Spannung. In der Literatur existieren mehrere Methoden zur Bestimmung der Grenzen dieses Bereichs. Abhängig von Orientierung, Abmessungen, Frequenz, Abstand usw. ergeben sich stark vereinfacht folgende Bedingungen für dieses Gebiet:

Antennenabmessungen klein, verglichen mit der Wellenlänge

$$d < \frac{\lambda}{2\pi} \quad (1.2.1)$$

Antennenabmessungen groß, verglichen mit der Wellenlänge

$$d \leq 0,63\sqrt{\frac{D^3}{\lambda}} \quad (1.2.2)$$

d Abstand Reader zu Transponder

D Größte Dimension der Antenne

λ Wellenlänge

Mittelfeld

Das Mittelfeld oder als „strahlendes Nahfeld bezeichnet“, beschreibt die Grenzfläche, wo sowohl magnetische als auch elektrische Feldkomponenten vorhanden sind. Die Antennenabmessungen müssen dabei größer als die Wellenlänge sein.

Antennenabmessungen klein, verglichen mit der Wellenlänge

$$d \approx \lambda \quad (1.2.3)$$

Antennenabmessungen groß, verglichen mit der Wellenlänge

$$0,63\sqrt{\frac{D^3}{\lambda}} \leq d \leq \frac{2D^2}{\lambda} \quad (1.2.4)$$

Fernfeld

Das Fernfeld hat die Eigenschaft Energie über elektromagnetische Wellen zu übertragen. Für RFID-Anwendungen sind große Reichweiten von Interesse. Das Nahfeld deckt, bei einer Frequenz von 865 MHz, einen Bereich von ca. 5,5 cm ab und ist, bei vielen UHF-Anwendungen, ein Bereich minderer Bedeutung. Bereichsgrenzen:

Antennenabmessungen klein, verglichen mit der Wellenlänge

$$d > \frac{\lambda}{2\pi} \quad (1.2.5)$$

Antennenabmessungen groß, verglichen mit der Wellenlänge

$$d \geq \frac{2D^2}{\lambda} \quad (1.2.6)$$

Bei der Kommunikation unterscheidet man zwei Übertragungsrichtungen [10]. Die Übermittlung vom Reader zum Transponder wird als „forward link“ bezeichnet und der umgekehrte Weg als „return link“. In beiden Fällen agiert die Basisstation dabei als Sende-Empfangsgerät (Transceiver). Im forward link muss die Basisstation den Tag durch einen bestimmten Binärcode, einem Kommunikationsprotokoll und einer Modulation der Trägerfrequenz, welcher keinerlei oder wenig Einfluss auf die Versorgung haben darf, aktivieren. Zu diesem Zweck kommen Modulationsverfahren wie FSK (Frequenz Shift Keying), PSK (Phase Shift Keying) und ASK (Amplitude Shift Keying) zum Einsatz.

Ist die Rede von Kommunikation, bestehen bei den Transpondern zwei verschiedene Funktionsweisen. Ein aktiver Transponder verfügt hierbei, unabhängig von seiner Versorgung, über einen Transmitter. Passive hingegen besitzen keinen Transmitter und sind die häufigst zum Einsatz kommenden Transponder. Für die Datenübertragung zum Reader (return link) sendet ein Tag Signale im Halb- oder Vollduplexmodus.

Versucht ein passiver Transponder Signale an die Basisstation zu senden, so muss diese einen unmodulierten Träger als Kommunikationsschnittstelle zur Verfügung stellen. Die Regulierung der elektrischen Eigenschaften (Impedanzmodulation) bewirkt bei LF und HF, durch die magnetische Kopplung, eine Änderung des Stromflusses in der Antenne der Basisstation. Bei UHF und SHF veranlasst die Varianz der Impedanz eine Änderung der reflektierten Strahlung (auch bezeichnet als Back Scattering).

Aktive Transponder verfügen über Transmitter, deren Funktionsweisen hier nicht behandelt werden.

Signale werden entsprechend dem Übertragungskanal mit Codierungsverfahren angepasst. Die üblichen Codierungen sind:

- Manchester-Codierung
- Miller-Codierung
- Pulse Position Modulation
- RZ-Familie (Return to Zero)

1.3 Anforderungen an das Frontend

1.3.1 Feldstärke und Frequenz

Die vom Reader maximal abgestrahlte Leistung beträgt 4 W EIRP (Equivalent Isotropic Radiated Power). Abhängig von der Entfernung des Transponders zum Reader, verfügt dieser (Transponder) über einen weiten Feldstärkebereich. Um einen Chip korrekt betreiben zu können, benötigt man stabile Versorgungsspannungen, welche ab einer bestimmten Feldstärke, der Ansprechfeldstärke, garantiert werden können. Für die Erstellung bzw. Simulation der Schaltung wurden Eingangsleistungen bis zu 30 dBm und eine Frequenz von 900 MHz herangezogen. Grundsätzlich gilt die Friis-Formel für die Berechnung der übertragenen Leistung:

$$P_{t\ rms} = P_{bs\ cond\ rms} G_{bs} \left(\frac{\lambda}{4\pi r}\right)^2 G_{ant\ t} \quad [10] \quad (1.3.1)$$

$P_{t\ rms}$ Empfangene RMS-Leistung (Tag)

$P_{bs\ cond\ rms}$ Abgestrahlte RMS-Leistung (Basisstation)

G_{bs} Antennengewinn (Basisstation)

λ Wellenlänge

r Entfernung (Radius)

$G_{ant\ t}$ Antennengewinn (Tag)

1.3.2 Ausgangsleistung und Ausgangsspannung

Am Ausgang des Gleichrichters soll eine maximale Leistung von 10 mW anliegen. Vorausgesetzt ist eine ausreichende Versorgung am Eingang. Da ein Transponder während seiner Funktion auch höhere Eingangsleistungen erfahren kann, bedarf es einer Regelung zur Begrenzung der Ausgangsleistung. Andere Komponenten des Frontends fordern eine möglichst konstante Versorgungsspannung. Dieser Punkt ist eine Anforderung an eine weitere Regelung, die Längsregelung der Versorgungsspannung.

1.3.3 Temperatur

Beschäftigt man sich mit der Arbeitsumgebung, so stellt sich automatisch die Anforderungen der Temperatur durch die Spezifikation der Umgebungstemperatur für RFID (-40 °C bis 85 °C). Die neue obere Grenze für das Frontend mit 120 °C, resultiert aus der

Ladungsträgerbewegung im Chip. Im Shuntmodus entsteht Wärme durch „Abführen“ der überflüssigen Leistung.

1.3.4 Codierung, Modulation, Datenrate und Frequenzrückgewinnung

Für das Design des Datendetektors bedarf es weiterer Anforderungen. Datenraten von 1 Mbit/s bis 100 Mbit/s sollen ohne zusätzliche Konfigurationsbits empfangen und erfasst werden. Die Datenübertragung erfolgt mittels AM (Amplituden Modulation) des UHF-Trägers. Auf eine protokollbezogene Kommunikation wird verzichtet, d.h. die Datenübermittlung ist protokolltransparent. Die Codierung der Daten basiert auf dem Prinzip der Manchester-Codierung. Prinzipiell kann der Modulationsindex zwischen 30 % und 100 % frei gewählt werden. Einschränkung dabei ist die Restamplitude der Spannungen am Knoten La und Lb , welche den Wert der Vergleichsschwelle für die Frequenzrückgewinnung, nicht unterschreiten darf. Der Modulationsindex ist wie folgt definiert:

$$m = \frac{U_{MAX} - U_{MIN}}{U_{MAX} + U_{MIN}} [3] \quad (1.3.2)$$

oder anders interpretiert:

$$\frac{U_{MIN}}{U_{MAX}} = \frac{1 - m}{1 + m} \quad (1.3.3)$$

In den folgenden Abbildungen 1.4 und 1.5 sind zwei verschiedene Modulationsindizes dargestellt. Die Spannung U_{MAX} ist in beiden Fällen auf 1 V bezogen. Durch Anwendung der Formel 1.3.3 wird die Spannung U_{MIN} berechnet.

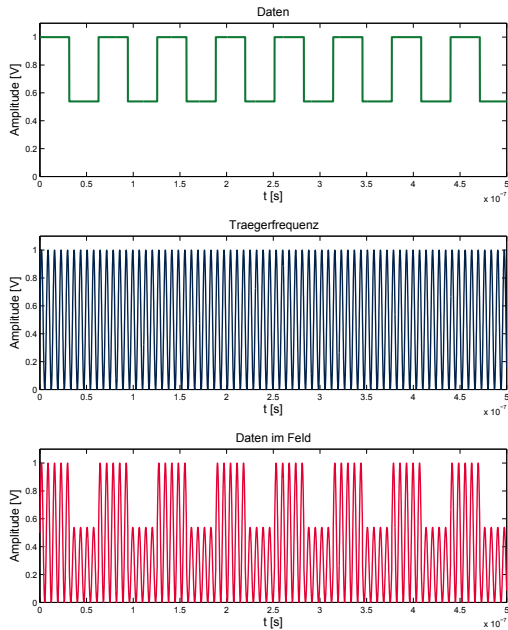


Abbildung 1.4: Spannungsverlauf an La
 $m=30\%$

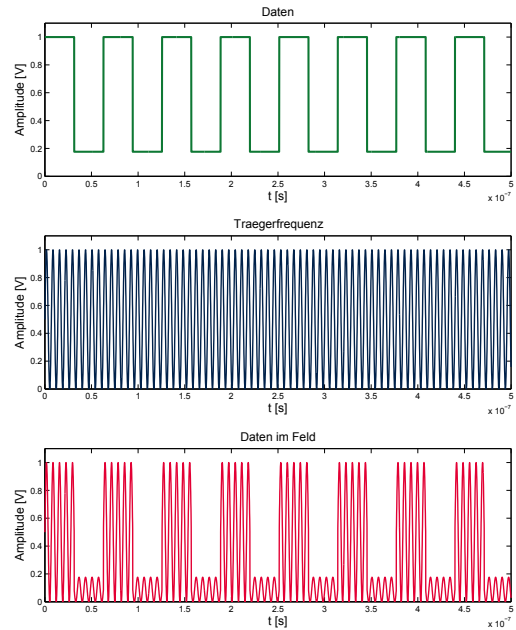


Abbildung 1.5: Spannungsverlauf an La
 $m=70\%$

Aus dem abgestrahlten Feld soll die Trägerfrequenz reproduziert werden. Die so gewonnene Frequenz muss dann durch Frequenzteiler mehrfach geteilt werden. Die bei der Umwandlung entstandenen Zwischenfrequenzen sollen für nachfolgende Schaltungen zur Verfügung stehen.

Eine Entwicklungsphase analoger Frontends bringt viele Herausforderungen mit sich, da Veränderungen im Gleichrichtermodell direkte Auswirkungen auf den Datendetektor (und umgekehrt) haben und man in der Realisierung ein funktionierendes Zusammenspiel aller Komponenten finden muss.

Die Zusammenfassung aller Anforderungen an das Frontend folgt in Tabelle 1.2

Anforderung	Wertebereich
Eingangsleistung	bis 30 dBm
Simulationsfrequenz	900 MHz
Datenrate	1 Mbit/s bis 100 Mbit/s
Ausgangsspannung	1,5 V
Temperatur	-40 °C bis 120 °C
Codierung	Manchester-Code
Modulation	Amplitudenmodulation
Modulationsindex	30 % bis 100 %
Frequenzen	$\frac{f_T}{2}$ $\frac{f_T}{4}$ $\frac{f_T}{8}$ $\frac{f_T}{16}$ $\frac{f_T}{32}$

Tabelle 1.2: Zusammenfassung der Anforderungen

Kapitel 2

Systemkonzept

2.1 Gleichrichter

2.1.1 Gleichrichterstrukturen

Zur Gleichrichtung von Wechselsignalen eignen sich Halbleiterdioden in allen Variationen sehr gut. Es folgt eine Auflistung typischer Gleichrichterstrukturen und deren Erklärung.

2.1.2 Einweggleichrichter

Das einfachste Prinzip zur Erzeugung gleichgerichteter Spannungen aus einer Wechselspannung ist die Einweggleichrichterschaltung (Abbildung 2.1) [16].

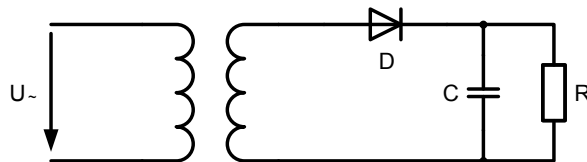


Abbildung 2.1: Einweggleichrichterschaltung

Dieses Prinzip nutzt jedoch nur die positiven Halbwellen einer Wechselspannung zur Umsetzung aus. Während der positiven Halbwelle befindet sich die Diode im leitenden Zustand und es kommt zu einem Stromfluss in Richtung der Last. Dabei wird eine Kapazität geladen, welche als Speicher dient und es resultiert eine geglättete Spannung. Abhängig von der Frequenz der Wechselspannung, kann am Ausgang eine pulsierende Gleichspannung gemessen werden. In den negativen Halbwellen wird die Diode in Sperrrichtung betrieben.

Wird die Diode als ideales Element, die Versorgung als hinreichend, der Energiespeicher

als ausreichend dimensioniert und der Laststrom als gering gesehen, ist die DC-Spannung gleich hoch wie der Spitzenwert der Wechselspannung. In der Praxis ist dieser Wert aufgrund von Verlusten, realem Verhalten der Diode und der begrenzten Strukturgrößen (Fläche) der Kapazitäten nicht möglich. Nachteil hierbei ist die schlechte Nutzung (Gleichrichtung lediglich positiver Halbwellen) der Eingangsleistung.

2.1.3 Brückengleichrichter

Ein weiteres Verfahren zur Gleichrichtung von Wechselspannungen ist der Brückengleichrichter (Abbildung 2.2) [16].

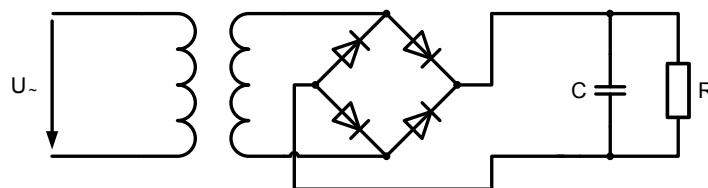


Abbildung 2.2: Brückengleichrichterschaltung

Dieses System nutzt sowohl positive als auch negative Halbwellen zur Generierung einer DC-Spannung aus. Die Schaltung besteht aus vier Dioden. Negative Halbwellen erscheinen für das System, wie „hochgeklappte“ Spannungspulse. Viel günstiger gegenüber dem Einweggleichrichter ist die Ausnutzung der verfügbaren Leistung. Auch die Restwelligkeit, die auch bei diesem Verfahren vorhanden ist, kann durch diese Struktur gegenüber Einweggleichrichter minimiert werden. Die Spannungsverluste und Einflüsse aufgrund des Verhaltens realer Dioden sind anhand der höheren Anzahl der Dioden größer.

2.1.4 Mittelpunktgleichrichter

Die nächste Methode um aus Wechselspannung Gleichspannung zu konvertieren ist der Mittelpunktgleichrichter (Abbildung 2.3) [16].

Bei dieser Umsetzung werden im Prinzip, ähnlich zum Brückengleichrichter, beide Halbwellen zur Konvertierung in eine DC-Spannung verwendet. Es wird ein spezieller Transformator mit einem Mittelpunktanschluss benötigt, um ein Vergleichspotential zu erhalten. Mit zwei Dioden nutzt man jeweils die positiven Halbwellen beider Anschlüsse und erlangt so eine gleichgerichtete Spannung, welche eine kleinere Restwelligkeit als jene Spannung vom Einweggleichrichter aufweist. Die effizientere Nutzung der vorhandenen Leistung ist ein Vorteil dieser Schaltung. Ein weiterer positiver Effekt sind die kleineren Verluste, durch Verwendung von nur zwei Dioden anstatt vier wie beim Brückengleichrichter.

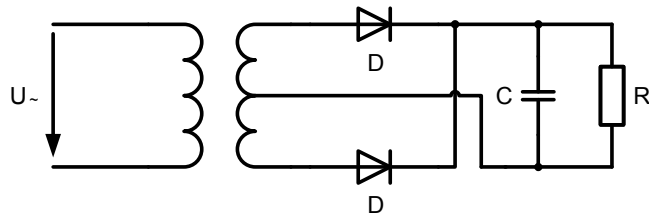


Abbildung 2.3: Mittelpunktleichterschaltung

2.1.5 Gleichrichterdiode in CMOS

Ausgehend von der Betrachtung der vorhergehenden Gleichrichterstrukturen fällt die Wahl, aufgrund der vorgestellten Vor- bzw. Nachteile, auf den Mittelpunktleichter. Auf einen Mittelpunktleichterschluss des Koppellements (Antenne) kann nicht zurückgegriffen werden. Wegen dieser Einschränkung bedarf es schaltungstechnischer Maßnahmen, (im Punkt 2.1.6 vorgestellt) um ein Bezugspotential erzeugen zu können. Der Einsatz von Schottky-Dioden wäre aufgrund der niedrigen Schwellenspannung zu bevorzugen. Die Schottky-Diode als alleinstehendes Element ist in einem CMOS-Prozess nicht vorhanden. Eine Transistor-Diode kann jedoch durch schaltungstechnische Veränderung eines MOSFETs gebildet werden [1]. Ideal gesehen wäre U_{TH} 0 V, jedoch existiert eine reale Schwellenspannung welche größer 0 V ist und somit muss versucht werden diese zu minimieren. Die Folge einer niedrigen Schwellenspannung ist ein größerer Stromflusswinkel (siehe Abbildung 2.4). Pro Halbwelle ist ein größerer Leistungsfluss in Richtung Last möglich.

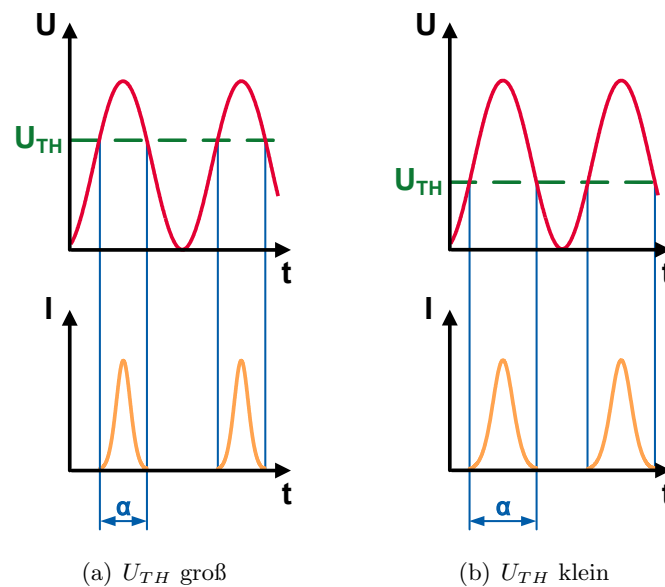


Abbildung 2.4: Stromflusswinkel bei unterschiedlichen Schwellenspannungen

Der Hauptunterschied zwischen einer Diode und einem Transistor in Diodenkonfiguration ist die Stromkennlinie. Während der Stromverlauf bei der Diode exponentiell mit der Spannung steigt, nimmt der Strom beim Transistor quadratisch über die Spannung zu. Ohne nähere Untersuchung der Abmessungen, Belastung, Temperaturen und weiteren Faktoren folgt eine Erläuterung der Unterschiede beim Einsatz von PMOS- bzw. NMOS-Transistoren als Diode.

NMOS-Transistor als Diode

Verwendet man einen NMOST (NMOS-Transistor) als Gleichrichterdiode, muss die Eingangsspannung am Knoten A (Anode) um eine, dem Transistor entsprechende Schwellenspannung U_{TH} , höher liegen als die Spannung am Knoten K (Kathode). In diesem Fall bildet sich ein Kanal aus, der Transistor arbeitet als Diode in Vorwärtsrichtung und befindet sich im Sättigungsbereich.

$$U_A > U_K + U_{TH} \quad (2.1.1)$$

In anderen Worten muss gelten:

$$U_{GS} > U_{TH} \quad (2.1.2)$$

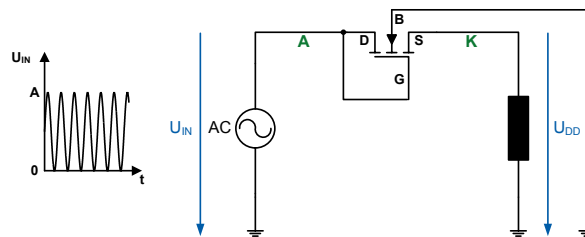


Abbildung 2.5: NMOST als Diode

Sind diese Forderungen erfüllt, müssen weitere Punkte beachtet werden. Im verwendeten CMOS-Prozess sind alle Bulkanschlüsse eines NMOSTs mit dem niedrigsten Potential U_{SS} im System verbunden. Diese Einstellung bewirkt, dass die pn-Sperrschichten, resultierend aus p-Substrat und n-Source bzw. n-Drain, sowie Wann-pn-Übergängen stets in Sperrrichtung betrieben werden (Abbildung 2.6) [15]. Damit können keine parasitären oder Effekte höherer Ordnung hervorgerufen werden. Analysiert man das Eingangssignal in Abbildung 2.5, erkennt man, dass es bezogen auf das niedrigste Potential im System immer größer als dieses ist. Bei einer Erhöhung der Spannung U_{IN} am Drain-/Gate-Anschluss folgt eine nicht proportionale Zunahme der Ausgangsspannung U_{DD} am Source-Anschluss. Einer der Gründe dafür ist der Substratsteuereffekt, auch Back-Gate-Effekt oder Body-Effekt genannt. Eine Zunahme der Sourcespannung erhöht den Potentialunterschied U_{SB} , da sich die Bulkspannung, welche an U_{SS} liegt, nicht verändert hat. Dies hat zur Folge, dass die Schwellenspannung U_{TH} (gegeben durch die Formel 2.1.3) steigt. Die Spannung U_{IN} muss nun eine noch höhere Schwellenspannung übersteigen damit die Diode im leitenden Zustand ist.

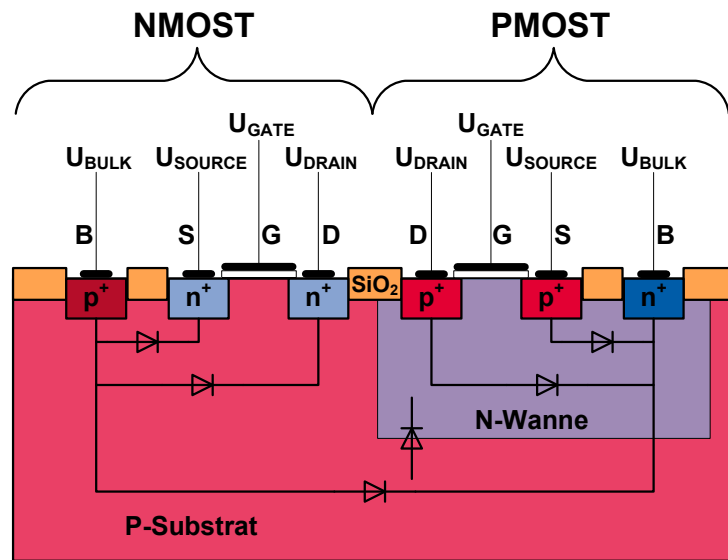


Abbildung 2.6: CMOS-Struktur im Querschnitt mit pn-Sperrschichten

$$U_{TH} = U_{TH0} + \gamma(\sqrt{|2\phi_f + U_{SB}|} - \sqrt{|2\phi_f|}) \quad [13] \quad (2.1.3)$$

- U_{TH0} Schwellenspannung ($U_{SB}=0\text{ V}$)
- U_{SB} Potentialunterschied zwischen Source- und Bulkanschluss
- γ Substratsteuerfaktor
- ϕ_f Oberflächenpotential bei starker Inversion ($U_{SB}=0\text{ V}$)

PMOS-Transistor als Diode

Für den PMOST (PMOS-Transistor) als Diode gelten ähnliche Voraussetzungen wie für den NMOST. Die Anodenspannung U_{IN} muss um die Schwellenspannung U_{TH} größer als die Kathodenspannung U_{DD} sein, damit der Transistor als Diode betrieben werden kann (siehe Gleichung 2.1.1).

Da die Schwellenspannung bei einem PMOST als negativ gesehen wird muss folgende Bedingung gelten:

$$U_{GS} < U_{TH} \quad (2.1.4)$$

Die Bulkanschlüsse eines PMOST können im verwendeten Prozess frei gewählt werden. Um den Betrieb von pn-Sperrschichten, resultierend aus n-Wanne und p-Source bzw.

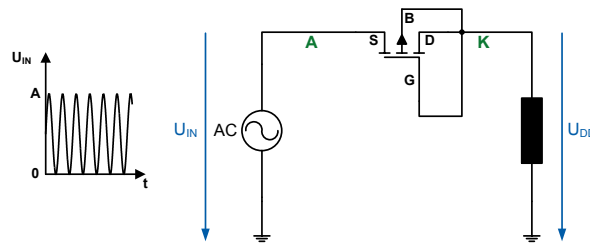


Abbildung 2.7: PMOST als Diode

p-Drain, sowie Wann-pn-Übergängen in Vorwärtsrichtung entgegenzuwirken, muss der Bulkanschluss am höchsten Potential im System liegen (Abbildung 2.6). Wie hoch dieses sein muss, erklärt sich durch folgende Forderung:

$$U_{SB} < U_{TH-PN-JUNCTION} \quad (2.1.5)$$

Die Spannung U_{SB} darf den Schwellenwert der pn-Sperrschicht $U_{TH-PN-JUNCTION}$ nicht überschreiten, damit der Betrieb dieser „Diode“ in Sperrrichtung garantiert bleibt. In der Praxis liegt der Schwellenwert U_{TH} einer durch den Transistor geformten Diode größtmäßig unter $U_{TH-PN-JUNCTION}$. Ist diese Bedingung erfüllt, können Drain- und Bulkanschluss in Diodenkonfiguration miteinander verbunden werden (Abbildung 2.7). Es existieren verschiedene Verfahren in Gleichrichtern, wie z.B. Spitzenwertdetektoren, um die höchste vorkommende Spannung eines Systems zu generieren. Eine Option wird im Kapitel 2.1.10 beschrieben. Ausgehend von der Annahme der Transistor sei in Sättigung und das Bulkpotential ist ausreichend hoch, ändert sich bei dieser Beschaltung die Schwellenspannung U_{TH} mit zunehmender Eingangsamplitude in keinem dieser Fälle.

Vergleich NMOST und PMOST als Diode

Die Ausgangsspannung U_{DD} soll laut Anforderungen 1,5V oder höher betragen. Der Unterschied zwischen PMOS- und NMOS-Architektur (Abbildungen 2.8 und 2.9) wird erst durch diese Voraussetzung deutlich. Die Beispielparameter für diesen Vergleich sind in der Tabelle 2.1 aufgelistet. Die Richtung und somit auch die Polarität der Schwellenspannungen sind für die Berechnung angepasst. Abmessungen und genaues Verhalten der Transistoren rücken bei diesem Beispiel in den Hintergrund. In der Praxis wirken sich natürlich diese Einflüsse auf die Gleichrichtung aus. Jedoch ist hier zu erwähnen, dass Ausgangsleistung sowie Ausgangsspannung im späteren Einsatz einen dynamischen Verlauf besitzen und es für die Grundüberlegung sehr schwierig wird alle Faktoren mit einzubeziehen. Am Eingang werden für diese Untersuchung drei Gleichspannungen U_{IN} (2V, 2,5V und 3V) angelegt. Am Ausgang stellt sich eine, der Methode entsprechende

Spannung U_{DD} ein. Zu beachten ist der Bodyeffekt aus der Formel 2.1.3 und dessen Auswirkung.

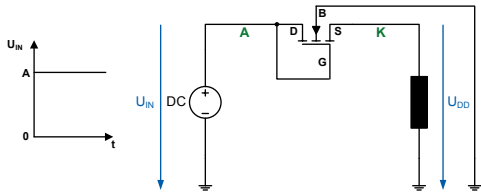


Abbildung 2.8: Versuchsschaltung NMOS

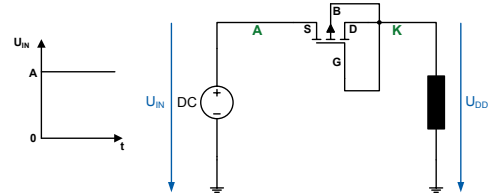


Abbildung 2.9: Versuchsschaltung PMOS

Variable	NMOS	PMOS
U_{TH0}	0,45V	0,5V
γ	$0,3\sqrt{V}$	$0,4\sqrt{V}$
$2\phi_f$	0,4V	0,45V

Tabelle 2.1: Parameter zur Beispielberechnung

$$U_{DD} = U_{IN} - U_{TH} \quad (2.1.6)$$

$$U_{TH} = U_{TH0} + \gamma(\sqrt{|2\phi_f + U_{SB}|} - \sqrt{|2\phi_f|}) \quad (2.1.7)$$

$$U_{DD} = U_{IN} - (U_{TH0} + \gamma(\sqrt{|2\phi_f + U_{SB}|} - \sqrt{|2\phi_f|})) \quad (2.1.8)$$

Bei der NMOST-Methode ist U_{SB} gleich der Ausgangsspannung U_{DD} . Beim PMOST hingegen ist U_{SB} gleich der Schwellenspannung U_{TH} .

Durch Einsetzen der Parameter erhält man folgende Werte für die Ausgangsspannung:

U_{IN}	$U_{TH-NMOS}$	$U_{TH-PMOS}$	$U_{DD-NMOS}$	$U_{DD-PMOS}$
2V	0,657V	0,651V	1,343V	1,349V
2,5V	0,705V	0,651V	1,795V	1,849V
3V	0,749V	0,651V	2,251V	2,349V

Tabelle 2.2: Ergebnisse des Berechnungsbeispiels

Aus den Ergebnissen in der Tabelle 2.2 kann man beobachten, dass die Schwellenspannung U_{TH} der NMOST-Variante mit zunehmender Eingangsspannung U_{IN} steigt, jene der

PMOST-Diode bleibt über den Spannungsbereich konstant. Dabei bleibt die Schwellenspannung der PMOST-Diode, bei steigender Eingangsspannung, betragsmäßig stets unter jener der NMOST-Diode. Aufgrund dieser Erkenntnis werden PMOST-Dioden in dieser Arbeit als Gleichrichterioden eingesetzt.

2.1.6 Kreuzgekoppelter Kurzschlusschalter

Für den Einsatz von Mittelpunktgleichrichtern in differentiellen RFID-Systemen, bedarf es einer Generierung des Bezugspotentials. Durch eine vorgeschaltete Antenne erhält man an den Versorgungsknoten La und Lb differentielle Signale, welche mittels sogenannten gekoppelten Kurzschlusschaltern [11] (Abbildung 2.10) auf ein Bezugspotential U_{SS} geführt werden. Aufgebaut ist ein solches System mit zwei Transistoren vom Typ NMOS, wobei die Gateanschlüsse jeweils mit dem „gegenüberliegenden“ Versorgungsknoten (La bzw. Lb) verbunden sind.

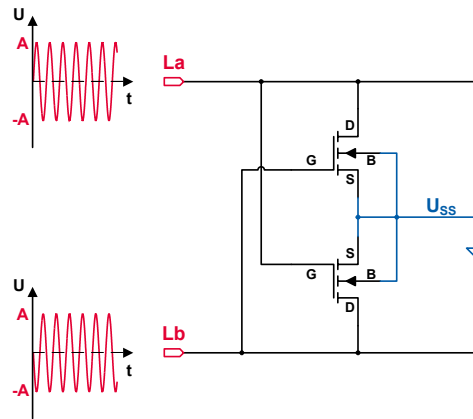


Abbildung 2.10: Kreuzgekoppelter Kurzschlusschalter

In Phase 1 (zum Zeitpunkt t_1 in Abbildung 2.11) ist die Spannung am Knoten La maximal und am Knoten Lb minimal. Das Gate des Transistors T1 ist im ersten Moment negativer als das Potential U_{SS} und der Transistor befindet sich im gesperrten Zustand. Das Gatepotential von T2 ist gegenüber dem Potential an Lb am höchsten Punkt. Reicht dieser Potentialunterschied aus um die Schwellenspannung des Transistors zu überschreiten wird dieser leitend. Das Bezugspotential wird auf den niedrigsten Punkt im System gezogen.

Phase 2 (Zeitpunkt t_2) beschreibt die umgekehrte Funktion zu t_1 . Hier sperrt der Transistor T2 aufgrund seines tiefen Gatepotentials. T1 befindet sich im leitenden Zustand und „zieht“ das Bezugspotential wiederum auf das tiefste Potential im System, welches zu dieser Zeit am Knoten La auftritt.

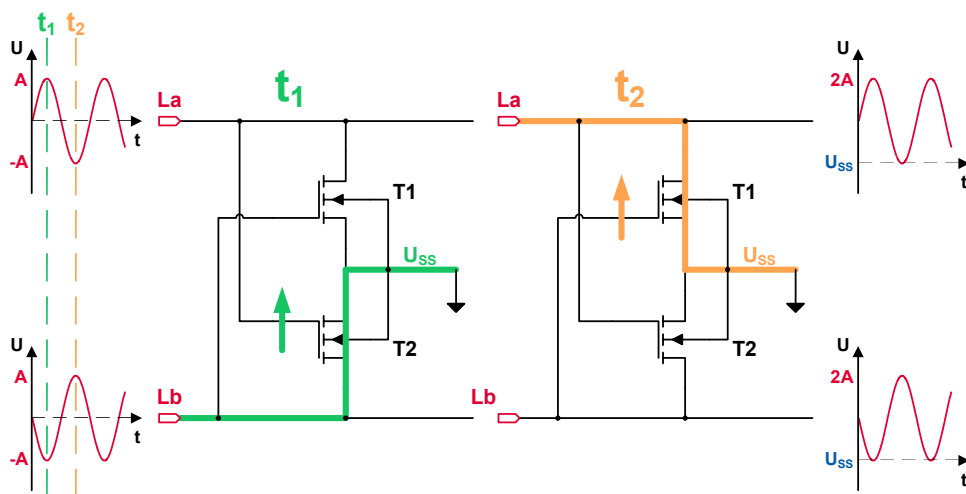


Abbildung 2.11: Funktionsweise eines kreuzgekoppelten Kurzschlusschalters

Diese Betrachtung ist so gesehen idealisiert. In der Praxis wird das Bezugspotential das absolut tiefste Potential nicht zu 100 % erreichen. Die Anwendung dieser Schaltung in Gleichrichtern bringt den Vorteil, dass zwei Schwellenspannungen weniger, gegenüber dem Brückengleichrichter, ins Gewicht fallen.

2.1.7 Gatesteuerung der Gleichrichterioden

Der herkömmliche Gleichrichter (Abbildung 2.12) nutzt die während der Umsetzung entstandene Strompulse und speichert diese in einem Energiespeicher. Aus der Trägerfrequenz resultierende Spannungsschwankungen können mit einer Kapazität (Energiespeicher) entsprechender Größe minimiert werden. Der Wirkungsgrad dieser Schaltung hängt von der Dimensionierung der Transistoren ab und ist begrenzt infolge auftretender Schwellenspannungen.

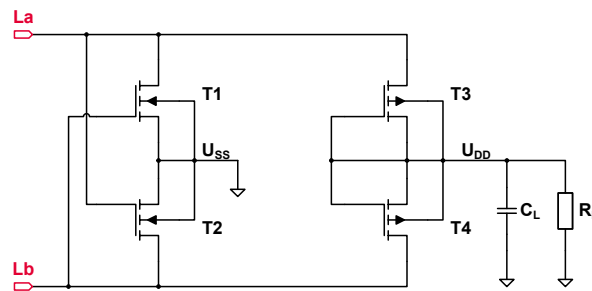


Abbildung 2.12: Einfacher Gleichrichter

Zur Weiterentwicklung des Gleichrichters wäre es von Interesse eine Diode mit einer geringen, bis gar keiner Schwellenspannung zu entwerfen um somit den Stromflusswinkel zu maximieren. Zu diesem Zwecke bedient man sich einer besonderen Technik. Eine weitere PMOST-Diode T5 mit darauf folgender Last (Abbildung 2.13) arbeitet in Vorwärtsrichtung und bildet ausgehend von der Ausgangsspannung U_{DD} des Gleichrichters ein vermindertes Potential. Erreicht man durch zweckmäßige Betriebsbedingungen und Modellierung von T5 eine Nachbildung der Schwellenspannungen der Gleichrichterdioden T3 und T4 als Spannungsabfall über T5, bietet sich die Möglichkeit diese neue Spannung U_{G_DIODE} als Gatespannung von T3 und T4 zu verwenden.

U_{G_DIODE} ist dabei eine Schwellenspannung niedriger als U_{DD} und ergibt im übertragenen Sinne eine Aufhebung der Schwellenspannung. Der Stromflusswinkel steigt und führt zu größeren Ausgangsleistungen bei gleichbleibenden Versorgungsbedingungen. Dieses Verfahren wird in weiterer Folge als IVC (Internal Vth Cancellation) [9] bezeichnet.

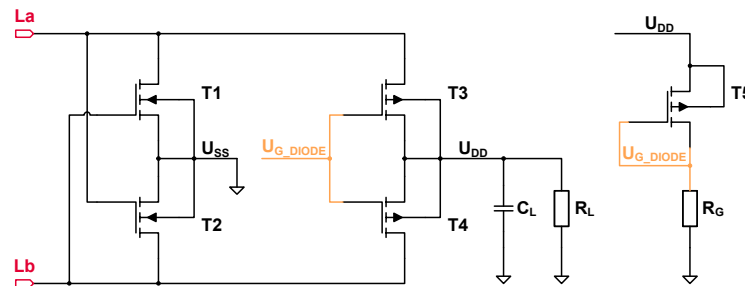


Abbildung 2.13: Gleichrichter mit Gatespannungssteuerung

Problem hierbei ist der nicht ausgeschlossene Rückfluss durch den Transistor T3 aufgrund der starren Gatespannung. Als Beispiel (Abbildung 2.14) sei der Transistor T4 als leitend und T3 als „gesperrt“ angenommen. Spannung an La 0 V, an Lb 4 V und U_{DD} sei 0,5 V. Am Ausgang stellt sich eine Spannung U_{DD} von 3 V ein und generiert U_{G_DIODE} mit 2,5 V. Mit

diesen Potentialen kann sich der Transistor T3, wegen der starren Gatespannung, nicht im gesperrten Zustand befinden und es fließt ein sogenannter Rückstrom. Die Transistoren T3 und T4 kann man in „Vorwärtsrichtung“ als Schalter, in „Rückwärtsbetrieb“ in Stromspiegelkonfiguration mit dem Transistor T5 sehen.

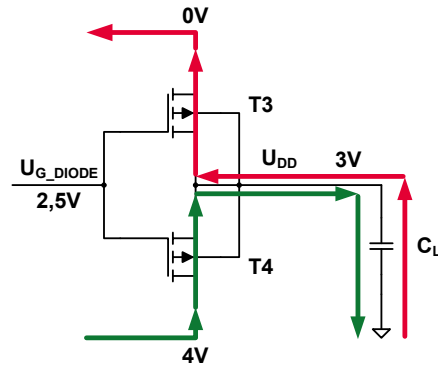


Abbildung 2.14: Rückfluss aufgrund starrer Gatespannungen

2.1.8 Gleichrichterarchitekturvergleich

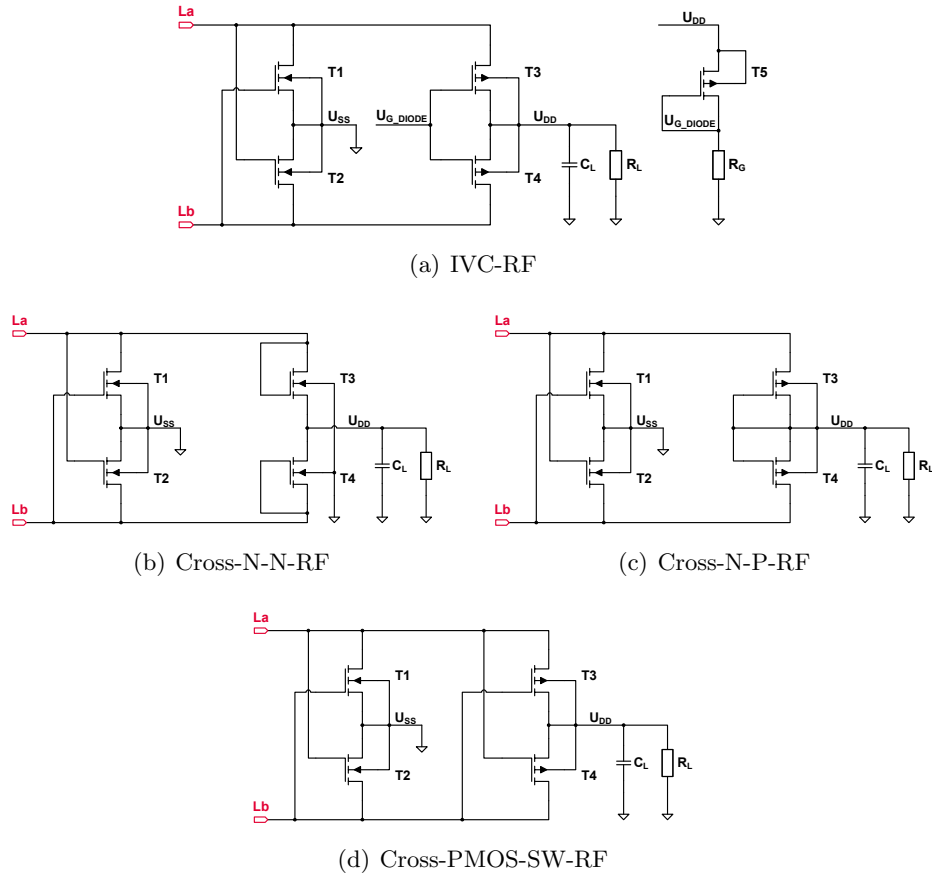


Abbildung 2.15: Architekturenvergleich

Bei der Gleichrichtung von Spannungen gibt es viele Ansätze und verschiedene Schaltungstypen. Im Zuge dieser Diplomarbeit wurden einige dieser Schaltungen modelliert und hinsichtlich Effizienz, bei bestimmten Leistungen, optimiert. Eine kurze Einführung in die Untersuchungen und Vergleich der vier interessantesten Strukturen (Abbildung 2.15), soll einen Einblick in die Entwicklung von Gleichrichtern geben. In der Analysephase werden auch Technologiebauelemente der einzelnen Strukturen verglichen und ausgewertet.

(a) Gleichrichter mit IVC-Methode. Aus dem vorhergehenden Kapitel bekannter Gleichrichter mit Generierung der Diodengatespannungen durch einen nachgeschalteten PMOST in Diodenkonfiguration. (Abkürzung: IVC-RF) (b) Kreuzgekoppelter Kurzschlusschalter gefolgt von NMOSTs als Gleichrichterdiode. Die Gatespannungen entsprechen der

Spannung am jeweiligen Versorgungsknoten. Die Schwellenspannung nimmt wegen des Substratsteuereffektes bei steigender Ausgangsspannung U_{DD} zu [8]. (Abkürzung: Cross-N-N-RF) (c) Kreuzgekoppelter Kurzschlusschalter gefolgt von PMOSTs in Diodenkonfiguration. Im Vergleich zum Gleichrichter a) ist der Bauteileaufwand geringer und es gibt keine Steuerung der Gatespannung. Diese ist mit der Ausgangsspannung U_{DD} verbunden. (Abkürzung: Cross-N-P-RF) (d) Kreuzgekoppelter Kurzschlusschalter mit nachfolgenden PMOSTs als Schalter. Die Gatespannungen entsprechen der Spannung am jeweilig gegenüberliegenden Versorgungsknoten. Inadäquate Dimensionierung und Versorgung haben ungünstige Umschaltzeitpunkte zur Folge und wirken sich in der Effizienz aus [8]. (Abkürzung: Cross-PMOS-SW-RF)

Simulationsverfahren

Bei der Ermittlung der Effizienz einzelner Strukturen wird eine PSS-Simulation (Periodic Steady State) durchgeführt. Die benötigte Eingangsleistung wird durch eine PORT-Quelle generiert, wobei die Eingangsamplitude variiert. Am Ausgang wird das System durch einen Stromspiegel, welcher einen Konstantstrom I_{DC} (in diesem Fall 10 mA) aus einer idealen Quelle einspiegelt, belastet. Die dadurch resultierende Ausgangsspannung U_{DD} soll sich auf einen bestimmten Wert (1 V) einstellen, um dann im nächsten Schritt Ausgangs- und Eingangsleistung gegenüberzustellen und die Effizienz der Architektur zu bestimmen. Die Abbildung 2.16 zeigt die für den Gleichrichtervergleich eingesetzte Simulationsumgebung.

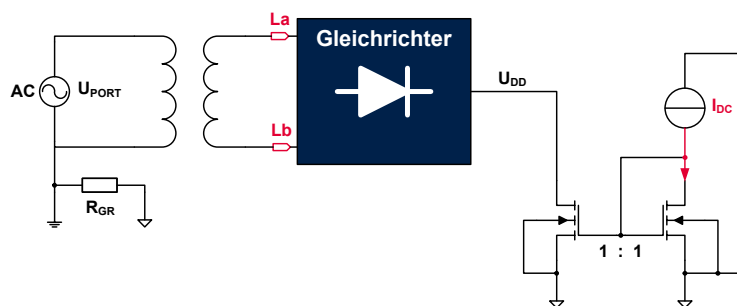


Abbildung 2.16: Simulationsaufbau

Bemerkungen zur Simulation: Zu erfassen sind Ausgangsstrom und Ausgangsspannung bei verschiedenen Eingangsspannungen. Der Strom kann aufgrund eines nichtidealen Stromspiegels von den vorgegebenen 10 mA abweichen. Eine Anpassung für alle Simulationspunkte wäre zu umfangreich. Für die PSS-Analyse benötigte Einschwingzeit kann bei Nichterreichen eines stabilen Arbeitspunktes verfälschte Resultate liefern. Die Abmes-

sungen der Transistoren wurden innerhalb einer Struktur, bedingt durch die Minimaldimensionierung, angepasst. Die Weite bleibt konstant, die Länge wird entsprechend der Devicerichtlinien auf ein Minimum gesetzt.

Um die Simulation besser verstehen zu können, folgt ein Beispiel zur Bestimmung der Effizienz eines IVC-Gleichrichter aufgebaut mit sogenannten „Hochvolt-Transistoren“.

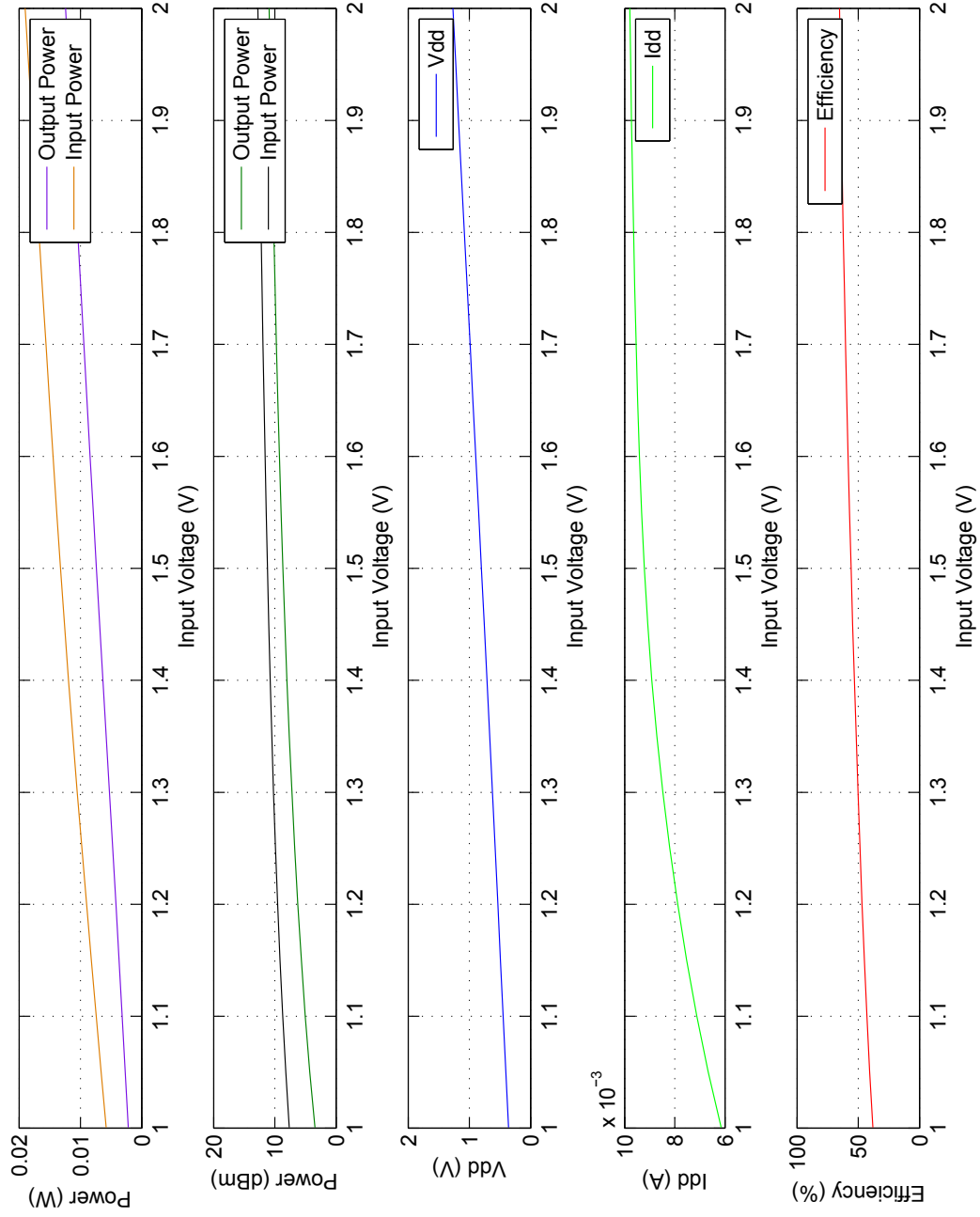


Abbildung 2.17: IVC-Gleichrichter mit Hochvolt-Transistoren

Aus dem Diagramm können nun die Ergebnisse der Simulation herausgelesen werden. Bei einer Ausgangsleistung von 10 mW, liegt eine Spannung U_{DD} von 1,04 V an und es fließt ein Strom von 9,6 mA. Die entsprechende Effizienz beträgt 61,4 %.

In weiterer Folge werden alle Devices (Technologiebauelemente) und Strukturen gleichartig simuliert und ausgewertet. Aus den Ergebnissen entsteht ein Überblick über die Effizienz der Gleichrichterstrukturen, welche in tabellarischer Form präsentiert wird.

Technologiebauelemente: ana⇒analoger Transistor bis 3,6 V; hvt⇒Hochvolttransistor bis 1,5 V; reg⇒regulärer Transistor bis 1,5 V; lvt⇒Niedervolttransistor bis 1,5 V

IVC-RF 10 mW				
Device	Eingangsleistung	Ausgangsspannung	Ausgangsstrom	Effizienz
ana	19,13 mW	1,04 V	9,6 mA	52,20 %
hvt	16,26 mW	1,04 V	9,6 mA	61,40 %
lvt	16,01 mW	1,04 V	9,6 mA	62,35 %
reg	16,04 mW	1,04 V	9,6 mA	62,23 %

Cross-N-N-RF 10 mW				
Device	Eingangsleistung	Ausgangsspannung	Ausgangsstrom	Effizienz
ana	22,54 mW	1,04 V	9,6 mA	44,30 %
hvt	22,18 mW	1,04 V	9,6 mA	47,13 %
lvt	18,39 mW	1,04 V	9,6 mA	54,30 %
reg	19,27 mW	1,04 V	9,6 mA	51,80 %

Cross-N-P-RF 10 mW				
Device	Eingangsleistung	Ausgangsspannung	Ausgangsstrom	Effizienz
ana	20,00 mW	1,04 V	9,6 mA	50,04 %
hvt	17,83 mW	1,04 V	9,6 mA	56,02 %
lvt	16,56 mW	1,04 V	9,6 mA	60,20 %
reg	17,07 mW	1,04 V	9,6 mA	58,50 %

Cross-PMOS-SW-RF 10 mW				
Device	Eingangsleistung	Ausgangsspannung	Ausgangsstrom	Effizienz
ana	17,02 mW	1,04 V	9,6 mA	58,65 %
hvt	15,80 mW	1,04 V	9,6 mA	63,17 %
lvt	23,29 mW	1,04 V	9,6 mA	42,86 %
reg	19,77 mW	1,04 V	9,6 mA	50,50 %

Tabelle 2.3: Zusammenfassung der Simulationsergebnisse

Aus der Tabelle 2.3 kann man nun für diesen einen spezifizierten Arbeitspunkt (10 mW) der optimierten Gleichrichterschaltungen die höchste Effizienz bestimmen (grün hinterlegt). Die gewünschte Ausgangsspannung U_{DD} dieser Simulationen beträgt 1 V. Um nun im nachgeschalteten Kondensator C_L die gespeicherte Ladung maximieren zu können, bedarf es einer höheren Spannung U_{DD} . Nachteil dieser Wahl ist die höchstzulässige Betriebsspannung, welche aufgrund der Technologiespezifikationen 1,5 V beträgt. Als Alternative zu einem „Hochvolt-Transistor“ kann man in diesem Fall einen „Analog-Transistor“ verwenden, wobei sich die maximal zulässige Speisespannungen auf 3,6 V erhöht. Beim Umstieg auf „analoge Transistoren“ nimmt die Effizienz der Gleichrichter jedoch ab.

Zur weiteren Untersuchung bleibt der Fokus auf zwei (IVC-RF und Cross-PMOS-SW-RF) der vier Strukturen. Mit geänderten Anforderungen am Ausgang (10 mW, 2 V) wurden beide Schaltungen erneut simuliert. Betrachtet man in Abbildung 2.18 die Kurvenverläufe der beiden, wiederum optimierten, Strukturen stellt man fest, dass der IVC-Gleichrichter für einen großen Spannungs- bzw. Leistungsbereich eine ausgewogenere Effizienzkennlinie aufweist als der Cross-PMOS-SW-Gleichrichter. Für das folgende Einsatzgebiet eines Gleichrichters ist dieses Merkmal von größerer Bedeutung als der Maximalwert der Effizienz.

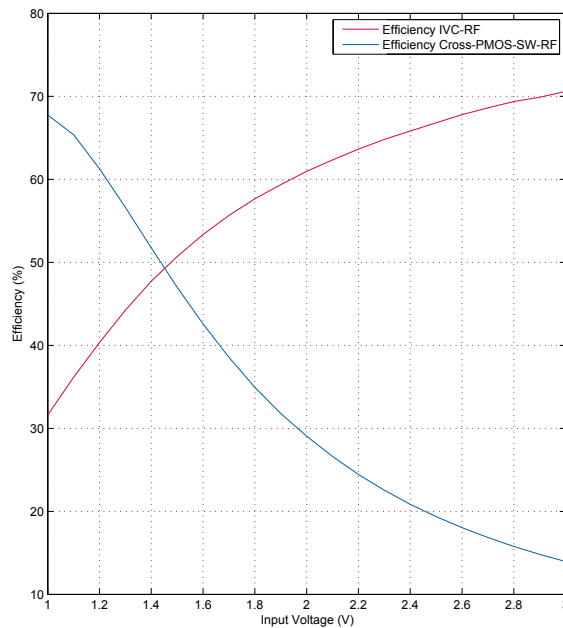


Abbildung 2.18: Vergleich der Effizienzverläufe von IVC-RF und Cross-PMOS-SW-RF

Der aus der Analysephase herausragende IVC-Gleichrichter soll in weiterer Folge weiterentwickelt werden und künftige Anforderungen mit einbeziehen.

2.1.9 Konfiguration konträr ausgerichteter Gatespannungen

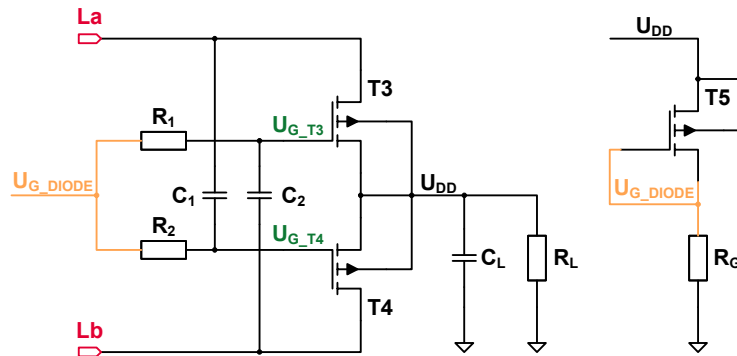


Abbildung 2.19: Gatespannungssteuerung variabler Gatespannungen

Als Abhilfe für das Problem aus 2.1.7 (Rückfluss durch starre Gatespannungen) kann die Gatespannung für jeden dieser beiden Transistoren unabhängig voneinander bearbeitet werden. Ein Kondensator, zwischen dem Gateanschluss und dem jeweilig gegenüberliegenden Versorgungsknoten, verursacht eine Verschiebung des starren Gatepotentials in Richtung aktuell anliegender Spannung. Befindet sich einer der Gleichrichtertransistor in einem Arbeitspunkt, bei welchem er sich im gesperrten Zustand befinden müsste und es aufgrund der starren Gatespannung nicht sein kann, bewirkt der Kondensator eine Anhebung der Gatespannung und der Stromfluss durch den Transistor nimmt ab. Der konträre Transistor erfährt zeitgleich eine Gatespannungsverminderung und sein Stromflusswinkel nimmt zu. Analog dazu verhalten sich zum Zeitpunkt der nächsten Halbwelle die Transistoren genau umgekehrt. Das heißt, die starre Gatespannung dient als Referenzspannung, um welche die Einzelspannungen oszillieren (Abbildung 2.20). Der Wert der Kapazität hat direkten Einfluss auf die Effizienz der Gleichrichtung und muss für alle Feldzustände untersucht werden, um dann eine Optimierung durchführen zu können. Die Widerstände R_1 und R_2 in dieser Schaltung (Abbildung 2.19) dienen zur Entkopplung der Einzelgatespannungen zur generierten, starren Gatespannung.

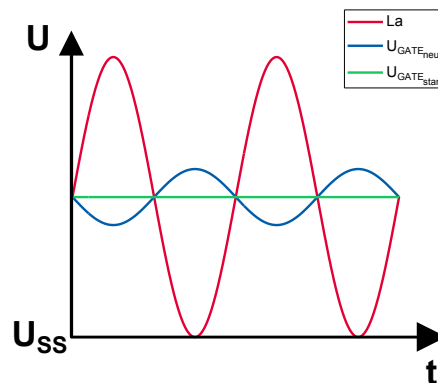


Abbildung 2.20: Verlauf einer entkoppelten Gatespannung

2.1.10 Erzeugung einer Bulkspannung

Wie aus dem Kapitel 2.1.5 bekannt, erfordert es bei der Gleichrichtung mit PMOSTs als Diode eine Bulkspannung, welche größer sein muss als die Spannung am Sourceanschluss (Versorgungsknoten La bzw. Lb) abzüglich der Schwellenspannung der pn-Sperrschicht. Bisher wurde diese Bedingung durch Verbinden der Drain- und Bulkanschlüsse gewährleistet. Steigt jedoch die Belastung am Drainanschluss, sinkt die dort vorhandene Spannung U_{DD} und es besteht die Gefahr, dass bei genügend großer Abnahme von U_{DD} die pn-Sperrschicht leitend wird. Eine Gegenmaßnahme zur Unterdrückung der beschriebenen Situation stellt die unabhängige Generierung einer Bulkspannung mittels PMOST-Dioden (Abbildung 2.21) dar. Man bedient sich des selben Prinzips aus dem vorhergehenden Kapitel 2.1.9 und erzeugt mit Hilfe einer Zusatzschaltung die Spannung U_{BULK} . Die Transistorabmessungen der „Bulk-Dioden“ (T6 und T7) sind deutlich geringer als die der Gleichrichterioden (T3 und T4). Dazu ist auch die Dynamik der Belastung in weiterer Folge geringer als beim Gleichrichter selbst. Die Herabsetzung der Bulkspannung U_{BULK} durch den Transistor T8 auf eine neue Spannung $U_{BULK-GATE}$ und die Rückführung dieser auf die Gateanschlüsse der „Bulk-Dioden“ hat eine Maximierung der Bulkspannung zum Ergebnis.

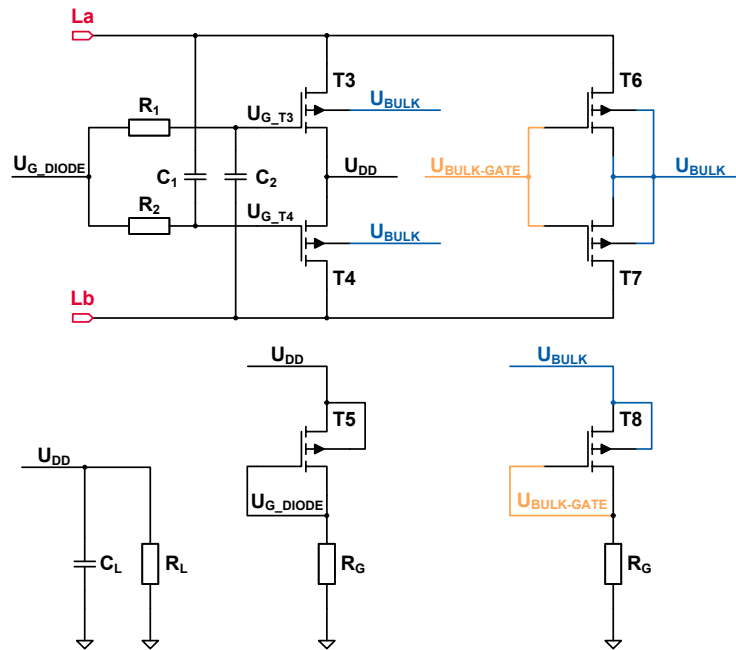


Abbildung 2.21: Ausschnitt aus einem IVC-Gleichrichter mit Bulkspannungsgenerierung

2.1.11 Shuntregelung

Um einen großen Feldbereich mit konstanten Bauteilgrößen abdecken zu können, ist ein sogenannter Shunt [2] notwendig. Bei einem „starken“ Feld würden die Spannungen an den Versorgungsknoten La und Lb stark ansteigen und zur Zerstörung der Komponenten eines Gleichrichters führen. Der Shunt ist ein vorgeschalteter, regelbarer Transistor und liegt zwischen den Knoten La und Lb . Treten zu „hohe“ Spannungen an diesen Punkten auf, sollen diese registriert werden und darauf hin die Shuntregelung initiieren, maximal zulässige Betriebszustände der Transistoren nicht zu überschreiten. Zu diesem Zeitpunkt fließt der „überschüssige“ Strom (ΔI) über den Shunt ab (siehe Abbildung 2.22). Die Spannungen nehmen wegen des Stromflusses durch den nun geringeren Widerstand (R_{ON}) des Shunts gegenüber dem Lastwiderstand und Antennenwiderstand ab. Die Anforderungen an eine Regelung ergeben sich aus den möglichen Betriebszuständen eines Transponders.

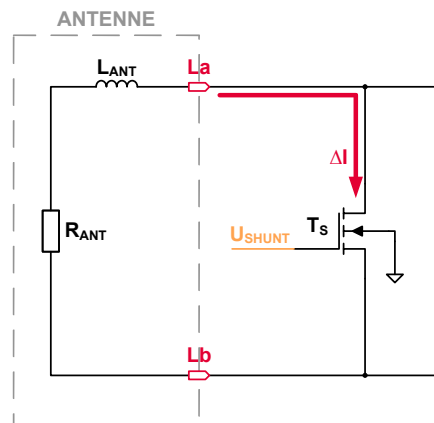


Abbildung 2.22: Stromflussänderung durch den Shunttransistor

Startup

Liegt beim Aktivieren des Gleichrichters am Eingang eine hohe Leistung an, bedarf es einer unverzüglichen Antwort der Regelung um die Knotenspannungen unter dem maximal zulässigen Wert halten zu können. Die enorme Anforderung an die Regelgeschwindigkeit folgt aus der Tatsache, dass sich das Feld prompt (Größenordnung von wenigen ns) vollkommen ausbilden kann. Bei kleinen Eingangsleistungen, im Bereich üblicher Betriebszustände der Transistoren, darf die Begrenzung der Spannungen nicht ansprechen und keine zusätzliche Verzögerung für das nachfolgende Versorgungssystem produzieren. Es folgt kein Stromfluss über den Shunt. Diese Gegebenheit hat direkte Auswirkungen auf die Effizienz eines Gleichrichters und spielt daher eine übergeordnete Rolle. Um Stabilität gewährleisten zu können, muss bei der Modellierung einer Shuntregelung besonderes Augenmerk auf die dabei vorkommenden Zeitkonstanten gelegt werden.

Lastwechsel

Lastwechsel, verursacht durch Ein- bzw. Ausschaltvorgänge diverser Schaltungsteile, werden primär mittels eines Kondensators so gestützt, dass sie die Versorgungsspannung anderer Verbraucher nur geringfügig oder gar nicht beeinflussen. Fallen die Lastwechsel jedoch stärker aus, muss die Shuntregelung diese, unter Berücksichtigung der Transistorversorgungsgrenzen und minimal benötigter Ausgangsleistung, ausgleichen.

Datenübertragung

Während einer Datenübertragung treten verschiedene Feldstärken aufgrund der Amplitudenmodulation auf. Ein nachfolgender Datendetektor macht von diesen Feldstärkeunterschieden zur Erkennung von Datenfolgen Gebrauch. Gleicht die Regelung nun die auftretenden Feldungleichmäßigkeiten aus, hat der Detektor keine Möglichkeit Unterschiede zu erfassen und Datenverlust ist die Konsequenz. Dazu wird die Regelung vom Datendetektor unterstützt. Eine Datenübertragung stellt für den Shunt Leistungsschwankungen dar. Folgt eine Phase „starken“ Feldes einer „schwachen“, kann sogenanntes Überschwingen auftreten und in weiterer Folge Transistoren bedingt durch hohe Spannungen zerstören.

2.1.11.1 Ausführung der Shuntregelung

Ein Shunt ist ein NMOST mit, dem abzuleitenden Strom entsprechenden, Weiten- zu Längenverhältnis und ist mit den Knoten La und Lb verbunden. Die Gatespannung und somit die Regelung des Shunts wird abhängig vom Feld gebildet. Die Hilfsspannung U_{DD_SENSE} wird durch zwei NMOS-Transistoren in Diodenkonfiguration erzeugt. Im Kapitel 2.1.5 beschriebene Vorteile der PMOS-Transistoren als Diode würden bei dieser Schaltung zu einem Totpunkt führen. Das ansteigende Feld würde eine gleich ansteigende Hilfsspannung mit sich führen und der Shunt regelt gegen diesen Anstieg. Da hierbei fast keine Verzögerung auftritt, können sich Betriebszustände einstellen, die für Funktion eines Gleichrichters ungeeignet sind, z.B. Schwingungen oder totale Aussetzer durch die Shuntregelung. Zur besseren Illustration des Problems folgt eine Abbildung (2.23) komplizierter Betriebszustände. Gezeigt wird der zeitliche Verlauf der Einhüllenden der Knotenspannung La und der Spannung am Shuntgate.

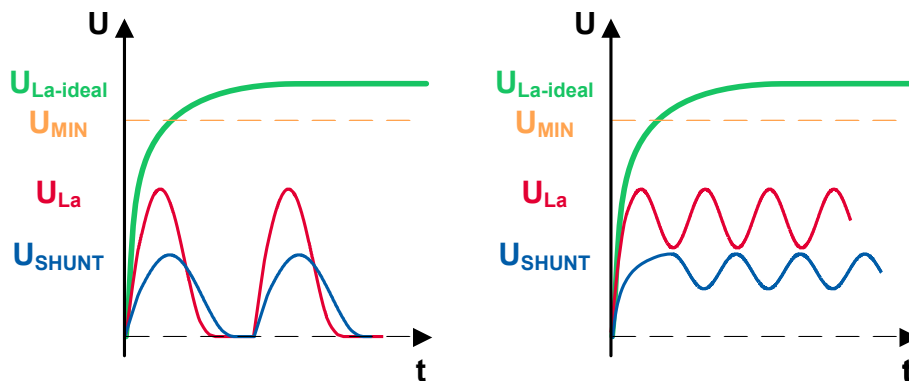


Abbildung 2.23: Ungünstige Betriebszustände des Gleichrichters

Als Abhilfe kommen NMOSTs zum Einsatz, welche durch die Veränderung der Spannung

U_{SB} und folgedessen der Schwellenspannung einen abweichenden Potentialverlauf zum Feld bilden.

Die so gewonnene Hilfsspannung wird mit Hilfe einer konstanten Referenzspannung U_{REF} und dem PMOST T11 zur Erzeugung der Shuntgatespannung U_{SHUNT} verwendet (siehe Abbildung 2.24). Eine Bandgapreferenz (präsentiert in Kapitel 2.2) liefert eine temperatur- und versorgungsstabile Spannung in der Höhe von 1,2V. Steigt die vom Feld erzeugte U_{DD_SENSE} über die Referenzspannung U_{REF} zuzüglich der Schwellenspannung des Transistors T11, so wird dieser leitend. Die Shuntgatespannung nimmt zu. Über einen gewissen Wert hinaus fließt ein entsprechender Strom durch den Shunttransistor und die Spannungen an den Knoten La und Lb nehmen ab. Im weiteren Verlauf nimmt auch U_{DD_SENSE} und U_{SHUNT} ab. Die Spannungen an den Knoten La und Lb steigen und führen die Ausgangssituation herbei. Die richtige Dimensionierung der relevanten Bauteile bringt einen schnellen Einschwingvorgang und eine stabile Ausgangsspannung U_{DD} , welche sich bei jeder Feldänderung dementsprechend verstellt.

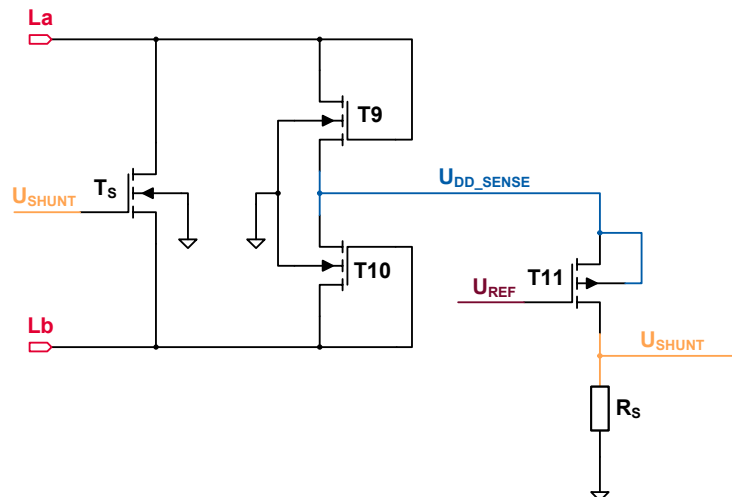


Abbildung 2.24: Einfache Shuntregelung

Bei schnellen Lastwechseln hat ein Gleichrichter die Unterstützung einer Lastausgleichschaltung (Abbildung 2.25). Diese einfache Schaltung besteht aus einem einzigen Transistor und hat die Aufgabe den Gleichrichter auf eine mögliche Belastung vorzubereiten. Die Referenzspannung U_{REF} verursacht einen bestimmten Stromfluss durch den Transistor. Tritt nun ein höherer Strombedarf bei einem der Verbraucher auf, nimmt die Spannung U_{DD} geringfügig ab und kurzerhand sinkt der Stromfluss durch den Lastausgleichstransistor und steht dem Verbraucher zur Verfügung. Anhand der Dimensionierung und der Eigenschaften des Transistors, bewirkt eine kleine Änderung von U_{GS} , eine große

Änderung des Stromes. Die Lastwechsel verlieren an Intensität. Diese Funktion könnte man mit der einer Balkenwaage vergleichen.

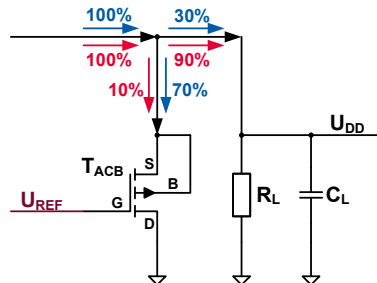


Abbildung 2.25: Lastausgleichstransistor

2.1.12 Adaptierung des Systems an eine höhere Ausgangsspannung

Bei einer Datenübertragung mit hohen Modulationsindizes (z.B. 70 % bis 100 %) existieren Phasen mit unzureichender Versorgung. Eine korrekte Funktion der Schaltungsteile kann nicht gewährleistet werden. Das System erhält sich während dieser Zeiten mit der im Kondensator C_{UP} gespeicherten Energie. Je länger diese Phasen andauern, desto weiter sinkt die Versorgungsspannung der Schaltungsteile ab, bis Funktionsstörungen auftreten oder keine Versorgung mehr möglich ist. Bei totalen Feldausssetzern steht die Selbsterhaltungszeit im Vordergrund. Um diese Zeiten verlängern zu können (wichtig bei niedrigen Datenraten und langen Feldausssetzern), bedarf es einer Erhöhung der Ausgangsspannung U_{DD} über 1,5 V hinaus. Dies bringt den Vorteil einer größeren gespeicherten Ladung im Kondensator C_L . Diese wird auch benötigt um bei Feldänderungen und Datenübertragungen die Versorgung konstant halten zu können. Je höher die gespeicherte Energie ist, desto kleiner sind die Ausgangsspannungsschwankungen. Schaltungsteile mit einer Versorgungsspannung von 1,5 V werden zusätzlich über einen Längsregler 2.1.13 versorgt.

$$Q = CU \tag{2.1.9}$$

- Q Ladung in Coloumb
- C Kapazität in Farad
- U Spannung in Volt

Für eine höheres U_{DD} ($>1,5\text{ V } U_{DD,UP}$ genannt) müssen nicht nur die Abmessungen angepasst, sondern auch einige neue Überlegungen beachtet werden. Ein geringes U_{REF}

bewirkt ein verfrühtes Einsetzen des Shuntmodus'. Die Ausgangsspannung der Bandgapreferenz ist 1,2 V und soll für weitere Schaltungsteile bei diesem Wert belassen werden. Für den Gleichrichter muss diese Spannung auf einen höheren Pegel angehoben werden. Mit der Hilfe eines OTAs (Operational Transconductance Amplifier) [14] und U_{REF} erhält man eine neue Spannung $U_{REF\ SHUNT}$. Die tatsächliche Schaltung besteht aus drei Stufen (Abbildung 2.26). Die erste (grau umrandet) besteht aus einem simplen OTA, die zweite (grün) ist eine Common Source Stufe mit einem PMOST und Widerstandslast. Hier befindet sich auch der Millerkondensator C_M zur Frequenzgangkorrektur. Die letzte Stufe (orange) ist ein RC-Tiefpass zur Entkopplung und Stabilisierung des Signals $U_{REF\ SHUNT}$.

Der OTA vergleicht die beiden Eingangssignale U_{REF} und U_{FB} , steuert den Ausgang entsprechend der Werte dieser Spannungen und versucht die Differenz auszugleichen. Sieht man den Knoten mit der Spannung U_{REF} als stabilen Punkt und U_{FB} als Eingangssignal, so ist dieser OTA als nichtinvertierender Verstärker ausgeführt. Die zweite Stufe, gesteuert vom Ausgangssignal der ersten, ist eine Common Source Schaltung mit Spannungsteiler als Last. Steigt die Spannung am Gateanschluss des PMOSTs, so sinkt die Ausgangsspannung dieser Stufe. Gleichzeitig nimmt die Spannung U_{FB} , generiert durch den Spannungsteiler ab und dient als Rückkopplung (Feedback) für den OTA-Eingang. Der Millerkondensator dient zur Frequenzgangkorrektur und weiters zur Stabilisierung des Systems. Durch den Einsatz einer Bandgapreferenz kann der Konstantstrom I_D für die Funktion des OTAs zur Verfügung gestellt werden. Der Wert von I_D , sowie das Spiegelverhältnis wirken sich in der Transkonduktanz g_m der Eingangsstufe aus. Die Spannungsverstärkung eines alleinstehenden OTAs (2.1.10) berechnet sich aus der Transkonduktanz g_m der Eingangsstufe, dividiert durch die Summe der Drain-Source-Leitwerte der entsprechenden Eingangsstufentransistoren und Lasttransistoren. Die Transistoren der Eingangsstufe und der Last sind gleich groß dimensioniert. Bei der Berechnung der Gesamtverstärkung der Regelung müssen die Verstärkungen der restlichen Stufen berücksichtigt werden. Das Produkt der Einzelverstärkungen entspricht der Gesamtverstärkung des Regelsystems.

$$A_{OTA} = \frac{g_m}{g_{ds_ES} + g_{ds_PMOS}} \quad (2.1.10)$$

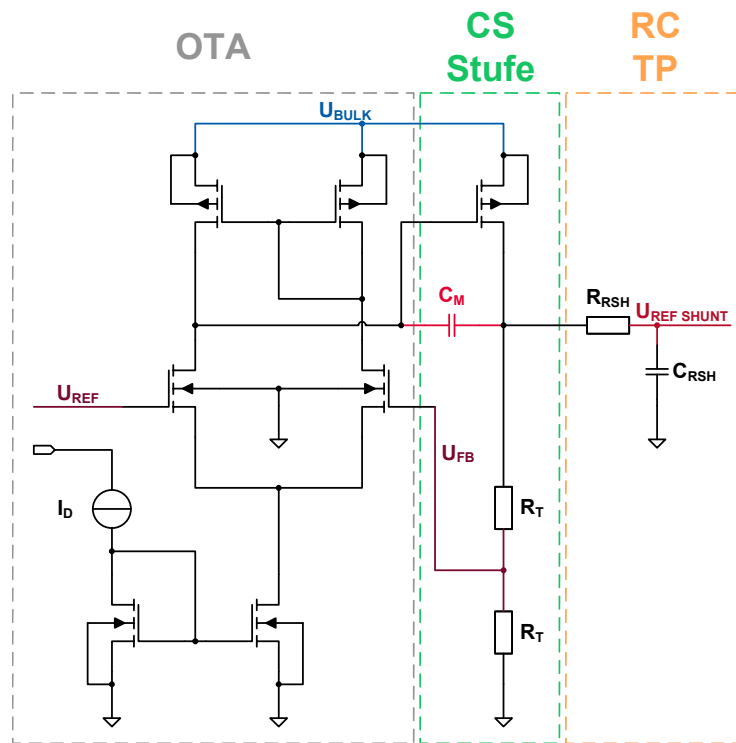


Abbildung 2.26: Regelkreis der Spannung $U_{REF SHUNT}$

Dieses Regelsystem wurde einer Stabilitätskontrolle unterzogen und optimiert. Dafür wird der Feedback-Zweig U_{FB} aufgetrennt und das Bodediagramm ermittelt. Die Dimensionierung des Millerkondensators hängt von der gewünschten Phasenreserve bei verschiedenen, üblichen Versorgungsspannungen und der Verstärkung 1 (0 dB) ab.

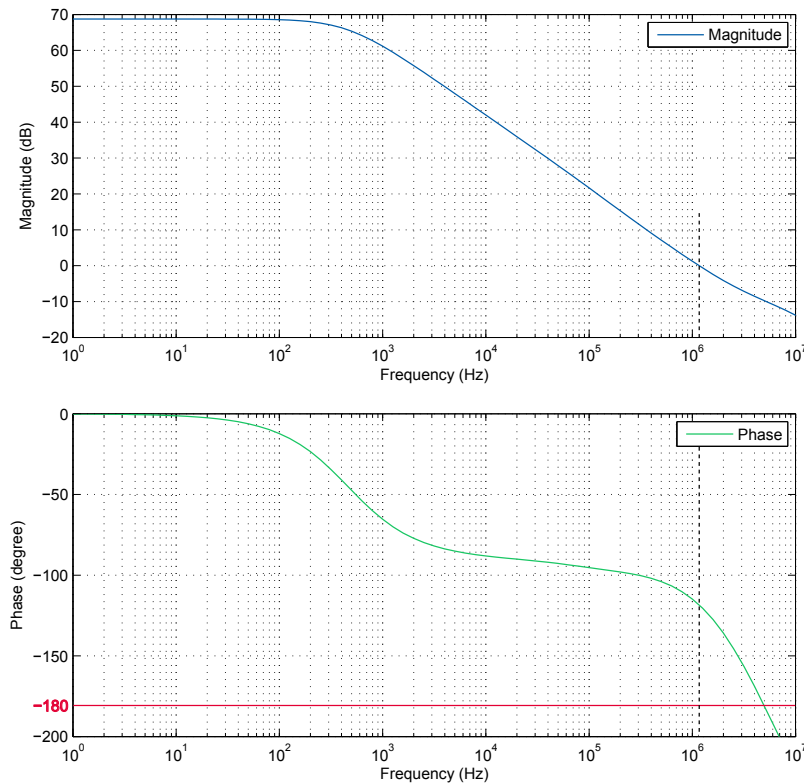


Abbildung 2.27: Bodediagramm der Referenzregelung für den Shunt

Bei der Analyse des optimierten Systems (Abbildung 2.27) fällt auf, dass die Phasenreserve [14] bei ca. 62° liegt und die Referenzregelung für den Shuntkreis stabil ist. Es wurden weitere mögliche Betriebspunkte untersucht und die Auswertung zeigt ein stabiles Verhalten der Regelung.

Die Integration einer Bandgapreferenz in das System hat den Vorteil Konstantströme als Lasten nutzen zu können. Der Widerstand R_S im Shuntregelkreis (Abbildung 2.24) kann nun durch Spiegeln des Konstantstromes ersetzt werden. Die Temperaturabhängigkeit dieser Variante ist deutlich geringer als bei vergleichbarer Belastung mit Widerständen. Diese Methode kann auch bei der Modellierung einer Bulkspannung und Generierung der Gatespannung für die Gleichrichterdioden eingesetzt werden und hat im Layout einen geringeren Platzbedarf.

Die nun verfügbare Shuntregelung, wie in dem folgenden Blockschaltbild 2.28 gezeigt, hat beim Startup den Nachteil, dass die Shuntspannung U_{SHUNT} dem Verlauf von U_{DD_SENSE} folgt und so den Gleichrichter nicht ordnungsgemäß starten lässt. Die Bandgapreferenz benötigt eine gewisse Zeit um in Funktion treten zu können und es folgt eine

Verzögerung beim Initialisieren des Konstantstromes. Ist diese Verzögerung lang genug, gegenüber dem Laden der Shuntkapazität C_{SH} , baut sich die maximale Shuntspannung auf und blockiert die Funktion des Gleichrichters. Um diese Verzögerung überbrücken zu können verwendet man einen zusätzlichen Transistor T_{START} , welcher so lange leitend ist, bis die Bandgapreferenz ihre Initialisierung durch die Spannung U_{OK} als abgeschlossen meldet und den Stromfluss unterbricht. Der Transistor hat die Aufgabe in einem gewissen Zeitraum die Shuntkapazität zu entladen um beim Startup die korrekte Funktion der Regelung gewährleisten zu können. Diese Hilfsschaltung wird ebenfalls zur Unterstützung bei den Stromspiegeln, der Modellierung einer Bulkspannung und der Generierung der Gatespannung für die Gleichrichterioden eingesetzt. Sind alle Blöcke „hochgefahren“ entnimmt der Konstantstrom Ladungen aus der Shuntkapazität C_{SH} , die wiederum aus dem Pfad U_{DD_SENSE} transportiert wurden. Befindet sich der Transponder in einem „konstanten“ Feld stellt sich ein Gleichgewicht der Ladungsflüsse ein und die Shuntspannung ist starr.

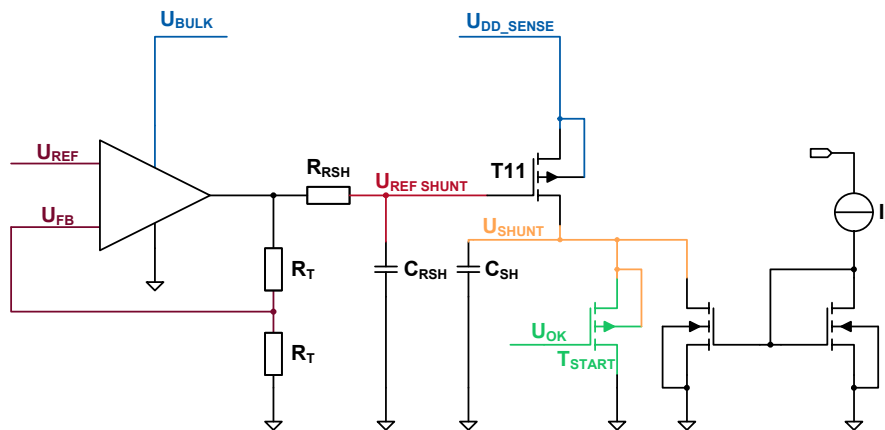


Abbildung 2.28: Blockschaltbild der Shuntregelung

2.1.13 Längsregelung

Aufgrund der Erhöhung der Spannung U_{DD_UP} über 1,5 V muss die Versorgung, für die restlichen Schaltungsblöcke mit der Spannung $U_{DD}=1,5$ V, über die Längsregelung generiert werden. Das Hauptelement dabei ist ein NMOST, welcher wiederum durch einen OTA geregelt wird (Abbildung 2.29). Die Abmessungen des Transistors ergeben sich durch den Strombedarf der Verbraucher und folge dessen dem Stromfluss durch den NMOST. Um eine stabile Spannung U_{DD} zu erzeugen und die Abhängigkeit von Schwankungen der Spannung U_{DD_UP} minimieren zu können, muss die Gatespannung des Längstransistors durch eine Stützkapazität C_{GL} unterstützt werden.

Die Erzeugung der Spannung für die Rückkopplung des OTAs wird durch einen Spannungsteiler mit zwei Widerständen durchgeführt. Die Widerstandswerte ergeben sich mit den Forderungen $U_{DD}=1,5\text{ V}$ und $U_{FB}=1,2\text{ V}$. Da der Längstransistor vom Typ NMOS ist, gilt eine andere Anforderung an die Konfiguration des OTA als bei der Shuntregelung. Wird der Knoten U_{FB} als Eingang und U_{REF} als Vergleichsschwelle gesehen, so muss der OTA als invertierender Verstärker ausgeführt sein.

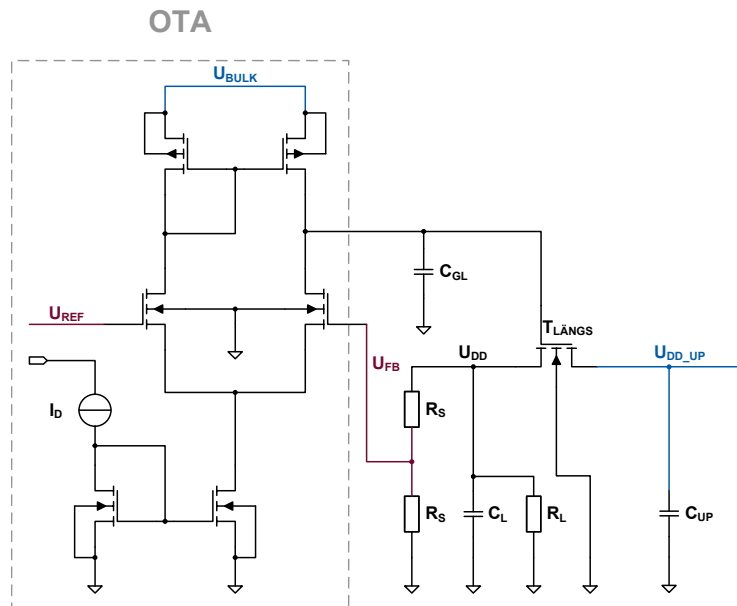


Abbildung 2.29: Längsregelung

Die einfache Funktion der Regelung lässt sich folgendermaßen beschreiben: Nimmt die Spannung U_{DD} zu, steigt auch U_{FB} und die Ausgangsspannung des Verstärkers und zugleich Gatespannung des Längstransistors sinkt aufgrund der invertierenden Funktionsweise. Einer Abnahme der Gatespannung folgt die Verringerung der Spannung U_{DD} .

Damit die richtige Versorgung ($U_{DD}=1,5\text{ V}$) gewährleistet werden kann, muss am Gate eine um die Schwellenspannung des Transistors höhere Spannung als U_{DD} anliegen. Diese Bedingung bedeutet, dass die Spannungen U_{DD_UP} und U_{BULK} minimal dieser Spannung entsprechen müssen. Natürlich reduziert diese Vorgabe auch die Reichweite des Systems, jedoch nimmt man diese, für eine stabilere Funktion der Gesamtschaltung mit einem größeren Energiespeicherpotential in Kauf.

Ein Auftrennen des Pfades U_{FB} und die Durchführung der Stabilitätsanalyse bringt folgende Ergebnisse (Abbildung 2.30).

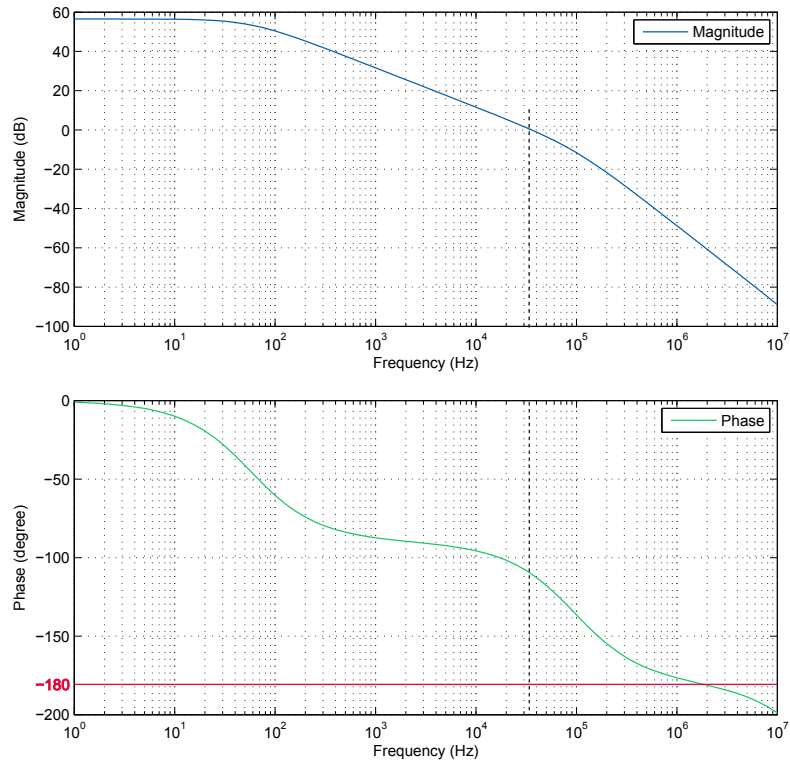


Abbildung 2.30: Bodediagramm der Längsregelung

Für eine realitätsnahe Simulation wird am Pfad U_{DD} ein Lastkondensator hinzugefügt. Weiters müssen alle Belastungsprofile und Versorgungsvariationen mitberücksichtigt werden, um eine geeignete Aussage über die Stabilität geben zu können. Die Analyse des Bodediagramms zeigt bei einer Verstärkung von 1 (0 dB) eine Phasenreserve von 70° .

2.1.14 Freigabesignal bei stabiler Versorgung

Um ein frühzeitiges Starten der Verbraucher bei zu niedriger Versorgung $U_{DD} < 1,5$ V vermeiden zu können, wird ein Signal für die Freigabe und Quittierung der stabilen Spannung U_{DD} generiert. Dieses Signal soll Verbraucher unterstützen, keine Fehlfunktionen aufgrund der niedrigen Versorgung zu produzieren. Diese Schaltung ist beim Startup hilfreich und schaltet sensible Schaltungsteile nach Erfüllung der Bedingungen für die stabile Versorgung frei.

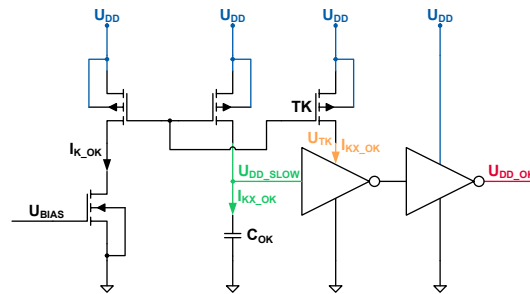


Abbildung 2.31: Erzeugung des Freigabesignals

Der Aufbau (Abbildung 2.31) besteht aus einem PMOST-Stromspiegel, welcher einen geringen Konstantstrom I_{K_OK} mit einem Spiegelverhältnis entsprechend spiegelt (darauf folgt I_{KX_OK}) und damit einen Kondensator C_{OK} lädt. Die Reihenschaltung von zwei Invertern stellt einen Puffer mit der Ausgangsspannung U_{DD_OK} dar und führt zu einer schnelleren Anstiegsgeschwindigkeit des Signals. Der langsame Anstieg von U_{DD_SLOW} würde beim ersten Inverter einen großen Stromfluss zur Folge haben. Die Begrenzung dieses Stromes wird durch den Transistor T_K erfüllt. Während der Umschaltung fließt maximal, der in den Inverter eingespiegelte Strom I_{KX_OK} . Betrachtet man den Transistor T_K und den Inverter vor dem Schalten als hochohmig, so wird beim Umschalten der Inverter niederohmig, die Spannung U_{TK} sinkt und es kommt zu einer Verschiebung der Schaltschwelle des Inverters. Überschreitet die Spannung U_{DD_SLOW} die Schaltschwelle des ersten Inverters, folgt die Ausgangsspannung der Puffer U_{DD_OK} der Spannung U_{DD} .

2.1.15 Sperren der Shuntgatespannung bei Datendetektion

Während einer Datenübertragung unterstützt der Datendetektor den Shuntregelkreis, indem er ein Signal $\overline{pause\bar{x}}$ aussendet, wenn Daten als solche erkannt werden. Dieses Signal kann verwendet werden um das Abfallen der Gatespannung, aufgrund der Feldschwächung durch die Datenübertragung, zu diesem Zeitpunkt zu verhindern. Während der Detektion dürfen keine Fehler auftreten, da sonst der Pegel der Gatespannung verschoben werden würde. Dieses Sperren der Gatespannung verhindert, dass Feldänderungen (herbeigeführt durch Datenübertragung) vom Shuntregelkreis ausgeregelt werden. Des Weiteren tritt wegen starrer Spannung U_{SHUNT} kein Überschwingen bei starken Feldstärkeschwankungen auf. Im folgenden Diagramm (Abbildung 2.32) sind übliche Betriebssituationen ohne Verriegelung der Shuntgatespannung dargestellt. Die Spannung U_{La-ENV} zeigt dabei den Verlauf der Einhüllenden der Spannung am Knoten La .

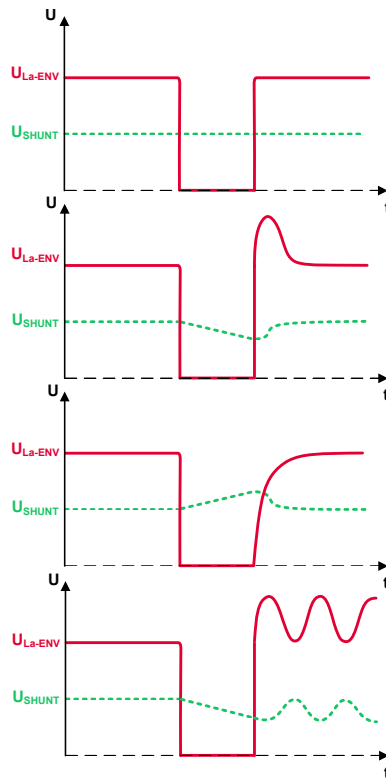


Abbildung 2.32: Betriebssituationen des Gleichrichters ohne Verriegelung von U_{SHUNT}

Liegt keine Datendetektion vor, so sind $\overline{pause\bar{x}}$ und U_{DD} gleich groß. In diesem Punkt verhalten sich die Transistoren T_P und T_{PX} (identisch zu den oberen zwei Transistoren T_S und T_{SX}) als NMOST-Stromspiegel mit einem bestimmten Spiegelverhältnis (siehe Abbildung 2.33). Liegen Daten an, so sendet der Detektor das $\overline{pause\bar{x}}$ Signal gleich U_{SS} aus und der NMOST T_{PX} sperrt. Es fließt kein Strom gegen U_{SS} ab und die Ladung der Kapazität C_{SH} bleibt (ideal gesehen) konstant. Der Transistor T_P bleibt im leitenden Zustand und der Stromfluss des Referenzstromes I_D wird nicht unterbrochen. Beim erneuten Einschalten fließt wieder ein, dem Spiegelverhältnis entsprechender, Strom. Der schnelle Schaltvorgang des Transistors T_{PX} verursacht Ladungsinjektionen in der Schaltung und verfälscht die gespeicherte Ladung. Die Abmessungen des Transistors müssen deshalb auf ein Minimum reduziert werden. Datendetektorverzögerungen führen eine Abnahme der Shuntgatespannung herbei und können die Feldstabilität während einer Übertragung beeinflussen.

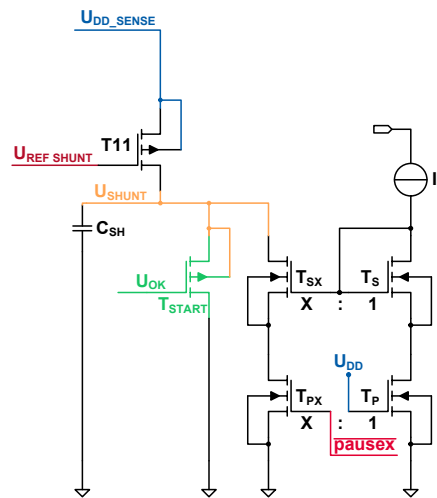


Abbildung 2.33: Sperren der Shuntgatespannung bei einer Datenübertragung

2.1.16 Gesamtübersicht

In Abbildung 2.34 folgt eine schematische Darstellung des gesamten Gleichrichters. Blau umrandet ist die Shuntregelung und dazugehörige Bauteile, rot die Bulkspannungsgenerierung und grau umrandet ist der Block zur Erstellung variabler Gatespannungen. Der grüne Block zeigt die Längsregelung, der schwarze den Lastausgleichstransistor. Orange umrandet ist die Schaltung zur Erzeugung eines Freigabesignals bei stabiler Versorgung.

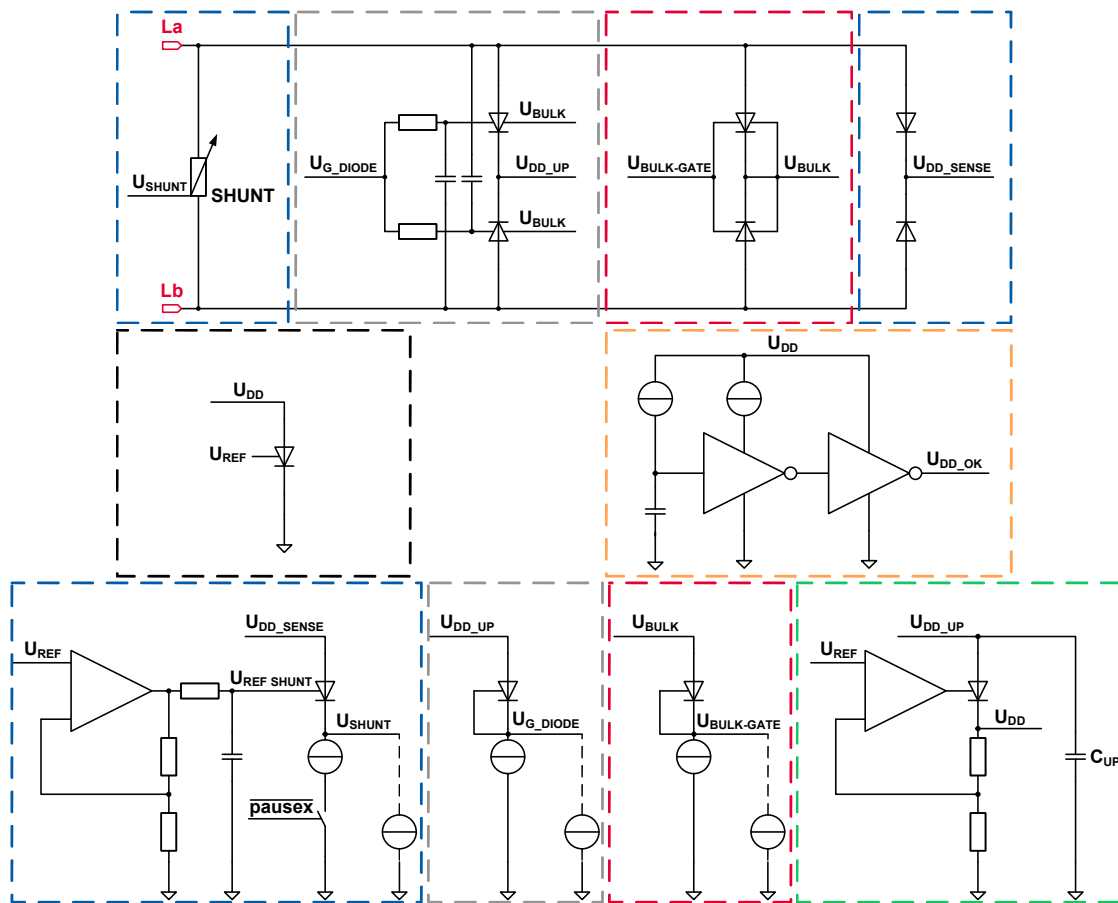


Abbildung 2.34: Strukturdiagramm des gesamten Gleichrichters

Mit allen bekannten Einflüssen bezüglich Effizienz, wie z.B. parasitäre Kapazitäten der Versorgungsleitungen, Induktivität der Leitungen, Temperatur, sowie dem Einfluss des Shuntregelkreises, entsteht bei einer PSS-Simulation mit verschiedenen Lasten ein möglichst realitätsnahes Effizienzkennlinienfeld mit variabler Versorgungsspannung. In Abbildung 2.35 erkennt man eine verminderte Effizienz zu vorhergehenden Simulationen. Da nun der Shuntregelkreis und die Längsregelung sich direkt auf das Verhalten des Gleichrichters auswirken, wird dies auch in der maximal erreichbaren Effizienz ersichtlich.

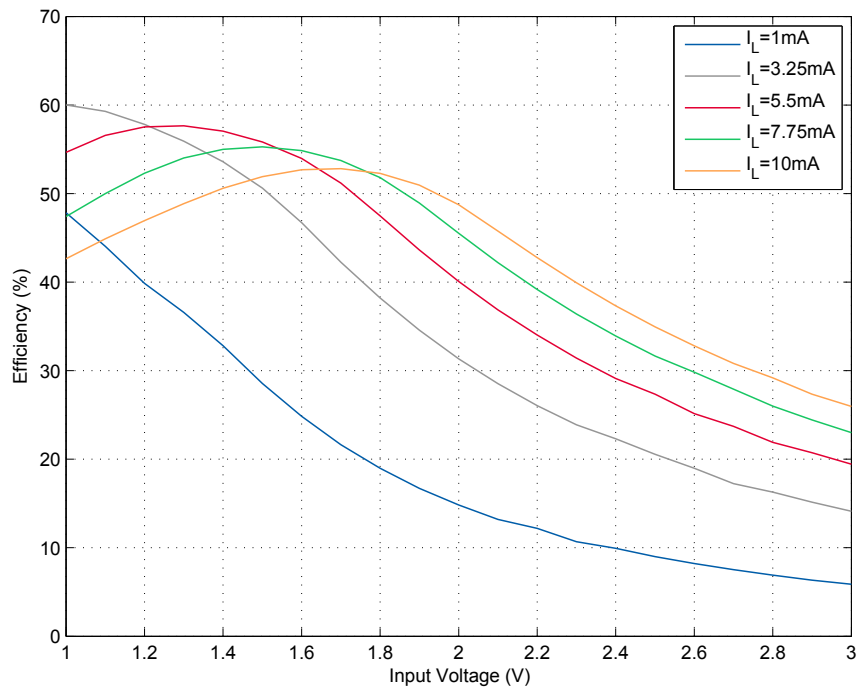


Abbildung 2.35: Vergleich der Effizienzverläufe bei verschiedenen Belastungen

2.2 Bandgapreferenz und Stromverteilung

Die für die richtige Funktion des Frontends notwendigen Referenzspannungen U_{REF} und Ströme I_D , werden in einer Bandgapreferenz (oder kurz Bandgap) erstellt und mittels Pfaden und Stromverteilerschaltungen (Stromspiegeln) in richtiger Amplitude zu den dafür vorgesehenen Anschlüssen geführt. Die Ausgangsgrößen sind dabei temperatur- und versorgungskompensiert.

Man nutzt dazu ein gut bekanntes Temperaturverhalten eines pn-Überganges und gleicht dieses mit gegengleichen Temperaturkoeffizienten aus. Zum Einsatz kommt eine im Vorfeld entwickelte, firmeninterne Low-Voltage-Bandgapreferenz. Diese musste auf die Anforderungen und Bedingungen dieser Arbeit angepasst werden.

Anforderungen:

- Ausgangsspannung 1,2 V
- Ausgangsstrom 300 nA
- Ausgabesignal REF_OK

Weitere Adaptierungen mussten zusätzlich für die große Dynamik der Versorgung (U_{DD_UP}) und einem angemessenen Temperaturverhalten für diese Schaltung vorgenommen werden. REF_OK signalisiert beim Starten das Erreichen einer bestimmten Versorgungsspannung zur korrekten Funktion der Bandgapreferenz. Eine nähere Untersuchung der Bandgap wird in dieser Arbeit nicht vorgenommen.

2.3 Datendetektor

2.3.1 Detektionsprinzip

Für die Rekonstruktion der Daten wird die Einhüllende des Feldes (FAST) zur Untersuchung herangezogen. Die Trägerfrequenz wird dabei nicht mehr sichtbar. Eine Vergleichsschwelle (SLOW) für den nachfolgenden Komparator soll mit Hilfe der zuvor erstellten Einhüllenden gebildet werden (Abbildung 2.36).

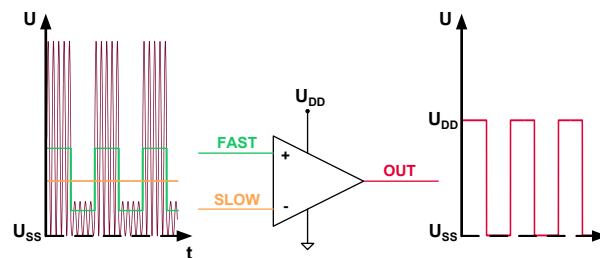


Abbildung 2.36: Grundstruktur des Datendetektors

2.3.2 Reproduktion der Daten (FAST)

2.3.2.1 Grundstruktur

Zur Vereinfachung leitet der PMOST in Abbildung 2.37(a), wenn die Spannung am Knoten La um eine Schwellenspannung größer ist als eine feste Gatespannung. Die mit dem Verlauf der Versorgungsspannung und der Trägerfrequenz entstandenen Strompulse werden im Kondensator C_{FAST} gespeichert. Eine Konstantstromquelle entzieht dem Kondensator Ladungen und es stellt sich eine bestimmte Spannung U_{FAST} ein. Sinkt die Spannung an La ab, reicht der Mittelwert der Strompulse nicht mehr aus um den Kondensator bei konstanter Ladung zu halten (da die Konstantstromquelle weiterhin Strom treibt) und die Spannung U_{FAST} sinkt ab. Die Kapazität des Kondensators und der Betrag des Konstantstromes müssen so gewählt werden, dass der Durchgriff der Spannung am Knoten La und deren Frequenz am Signalpfad (FAST) minimiert werden, die Schaltung jedoch trotzdem für Datenraten bis 100 Mbit/s ausreichend schnell agiert. Der Nachteil dieser Schaltung liegt in der Abhängigkeit des Signals von der Spannung am Knoten La . Die große Dynamik der Spannung hat negative Auswirkungen auf den Wert der Spannung U_{FAST} und in weiterer Folge auch auf die Funktionsweise des Komparators. Ein von der Bandgap eingespiegelter Strom I_{KONST} ist gegenüber der variablen Spannung konstant und liefert, wegen der ungleichen Relationen, eine verzerrte Darstellung der gewünschten Einhüllenden.

Benutzt man einen Stromspiegel, um Konstantstrom in den Pfad einzuprägen, so ist die Gatespannung des Transistors TD konstant. Aus den Transistorgleichungen für den Sättigungsbereich ist ersichtlich, dass der Strom von der Spannung U_{GS} abhängt.

$$I_D = \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (U_{GS} - U_{TH})^2 \quad [13] \quad (2.3.1)$$

- μ_n Elektronenmobilität
- C_{OX} Flächenbezogene Gate-Oxid-Kapazität
- W Weite
- L Länge
- U_{GS} Gate-Source-Spannung
- U_{TH} Schwellenspannung

Beim Entladen des Kondensators ist dies kein Nachteil. Beim Aufladen jedoch müsste der Mittelwert der von La kommenden Strompulse deutlich größer sein um den Kondensator C_{FAST} zu laden und die Spannung U_{FAST} ausreichend schnell ins Ausgangsniveau zu befördern. Als Abhilfe kann man versuchen die Kapazität zu verringern. Diese Maßnahme wirkt sich jedoch negativ auf die Welligkeit der Spannung U_{FAST} aus. Dies stellt ein Problem für schnelle Komparatoren dar.

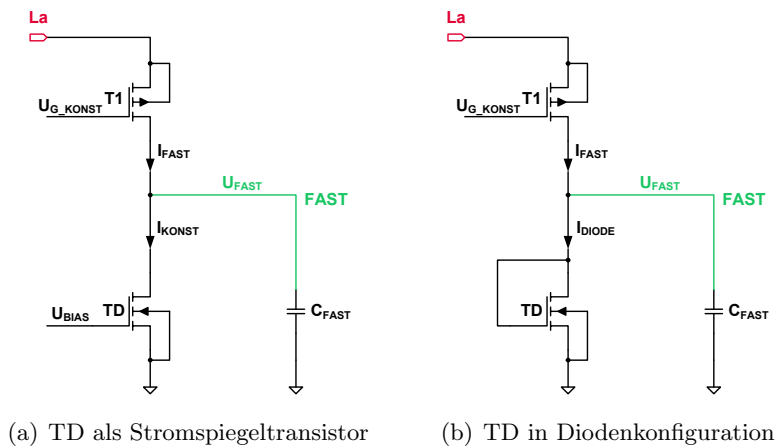


Abbildung 2.37: Vergleich der Varianten für die Erstellung des Signals FAST

Bei angemessener Dimensionierung des Transistors TD in Diodenkonfiguration (Abbildung 2.37(b)), nutzt man die Eigenschaften einer quadratischen Stromkennlinie aus, um schnelle Feldänderungen (Daten) leichter darstellen zu können. Der Vorteil liegt dabei in der variablen Gatespannung des Transistors. Ist die Spannung U_{FAST} aufgrund von

Daten abgesunken, so kann sie mit den Strompulsen viel schneller wieder aufgebaut werden als bei einem Transistor mit konstanter Gatespannung. Die Erklärung folgt aus der Gleichung 2.3.1. Die Spannung U_{GS} und folgedessen der Strom, sind zu diesem Zeitpunkt geringer als bei einem Stromspiegeltransistor. Der Mittelwert der Strompulse (von La kommend) kann kleiner sein und die Spannung U_{FAST} stellt sich schneller auf das Ausgangsniveau ein, ohne dabei die Kapazität des Kondensators verringern zu müssen. Diese Eigenschaft ist für hohe Datenraten von großer Bedeutung. Die Einhüllende muss die Daten im Feld so gut wie möglich reproduzieren, um für den Komparator bessere Vergleichswerte liefern zu können.

2.3.2.2 Generieren der Gatespannungen für den PMOST

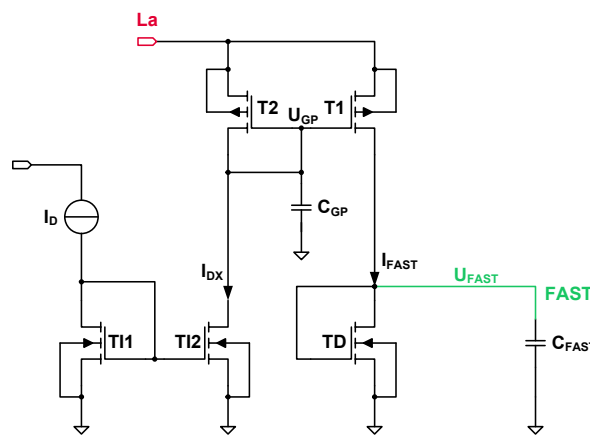


Abbildung 2.38: Erstellen der Gatespannung für Transistor T1

Für die Erstellung einer Gatespannung für den PMOST T1 wird ein Konstantstrom herangezogen und durch NMOST-Stromspiegel eingespiegelt (Abbildung 2.38). Am PMOST T2, welcher als Diode ausgeführt ist, ergibt sich eine bestimmte Gatespannung. Die Schaltung der Transistoren T1 und T2 hat zur Folge, dass beide dieselbe Gatespannung besitzen und so als Stromspiegel fungieren.

Der eingepreßte Strom I_D , vervielfacht durch die Spiegelverhältnisse, fließt bei ausreichender Spannung am Knoten La auch im Pfad FAST. Dabei lädt sich die Kapazität C_{FAST} auf, bis ein Gleichgewicht zwischen zu- und abfließendem Strom herrscht und eine feste Spannung am Knoten U_{FAST} auftritt. Sinkt die Spannung am Knoten La , so wird auch der Strom I_{FAST} reduziert. Die Transistordiode TD entlädt den Kondensator C_{FAST} und die Spannung U_{FAST} nimmt ab. Die Auslenkung dieser Spannung muss maximiert werden und für alle Datenraten schnell genug absinken bzw. ansteigen. Der

eingeprägte Konstantstrom I_D , vervielfältigt durch die Stromspiegelverhältnisse, die Dimensionierung des Transistors TD und die Kapazität von C_{FAST} führen zu einer weitgehenden Unabhängigkeit der Dynamik der Versorgungsspannung, welche aufgrund der größeren Speicherfähigkeit des Kondensators C_{UP} in Kauf genommen wird. Die Gatespannung U_{GP} muss mit einer Stützkapazität stabilisiert werden, um bei Feldwechsel einem Absinken oder Ansteigen der Spannung und somit einer „Verfälschung“ des Stromes I_{FAST} entgegenzuwirken. Diese Maßnahme ist von großer Bedeutung für den Verlauf der Spannung U_{FAST} und auch für den folgenden Komparator.

Für hohe Datenraten genügen geringe Kapazitätswerte um die Spannung U_{GP} konstant zu halten, für niedrige bedarf es höherer Werte. Eine geringe Kapazität des Stützkondensators kann bei niedrigen Datenraten das Absinken der Spannung U_{GP} aufgrund abnehmenden Stromes I_{DX} nicht verhindern. Diese Reduktion der Spannung U_{GP} ruft beim PMOST T1 eine Erhöhung des Stromflusses hervor. Der Kondensator C_{FAST} wird trotz des anliegenden schwachen Feldes (Datenbit, Spannung an La klein) wieder geladen und die Spannung steigt bis zum Ausgangsniveau an. Die Detektion dieses Datenbits wird dadurch unmöglich. Ein Ausweg ist es die Kapazität C_{GP} zu erhöhen.

Diese Adaptierung bringt ein Problem beim Startup des Systems mit sich. Wegen des zeitlich versetzten Startens der Bandgap und der daraus resultierenden Verzögerung beim Aufbau des Stromflusses I_D , kann der Kondensator, welcher nun eine höhere Kapazität besitzt, sich nur langsam laden und die Gatespannung steigt schleichend. Eine Analyse dieses Problems zeigt, dass beim Starten des Systems (Spannung an La baut sich unverzüglich auf) Strompulse großer Amplitude Richtung C_{FAST} fließen. Die „Ladungspakete“ können im ersten Moment durch den Stromfluss der Diode TD nicht abgeführt werden, bleiben im Kondensator C_{FAST} gespeichert und erhöhen die Spannung U_{FAST} (Abbildung 2.39). Die Beschaffenheit und die verwendete Technologie des Transistors TD als Diode, können dem Anstieg der Spannung U_{FAST} nicht standhalten und führen zur Zerstörung des Transistors.

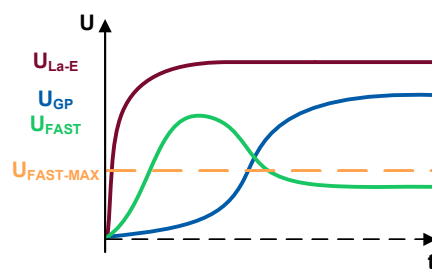


Abbildung 2.39: Überspringen der Spannung U_{FAST}

Das Signal U_{La-E} in der Darstellung 2.39 entspricht der Einhüllenden der Spannung am

Knoten La . Der Verlauf von U_{FAST} zeigt das beschriebene Überschwingverhalten.

Als Unterstützung für den Startvorgang des Datendetektors und um ein Überschwingen der Spannung U_{FAST} verhindern zu können, existiert der Transistor TSTART (Abbildung 2.40). Er verbindet die Pfade mit den Spannungen U_{DD_UP} und U_{GP} und wird durch das Signal REF_OK gesteuert. Der Kondensator C_{GP} wird beim Startup auf die Spannung U_{DD_UP} aufgeladen. Das Signal REF_OK , kommend von der Bandgap, ist vom Startaugenblick weg bis zu einem bestimmten Zeitpunkt gleich dem Bezugspotential U_{SS} und folgt dann der Spannung U_{DD_UP} . Der Kondensator wird durch diese Variante schneller als ohne Unterstützung auf einen bestimmten Spannungspegel geladen und minimiert das Überschwingen der Spannung U_{FAST} .

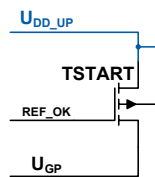


Abbildung 2.40: Startunterstützung

Die Ausbildung der Spannung U_{DD_UP} erfolgt, gegenüber dem schnellen Anstieg der Spannung am Knoten La , deutlich langsamer und genügt nicht um ein Überschwingen von U_{FAST} komplett zu unterbinden. Der Transistor TSTART ist somit nur eine Hilfe während des Startvorganges und wirkt primär zur Verkürzung von Start- und Simulationszeiten.

Als Lösung gegen das Überschwingen und in weiterer Folge zur Begrenzung maximal zulässiger Spannungspegel am Pfad (FAST), gibt es den Transistor TST1 (Abbildung 2.41).

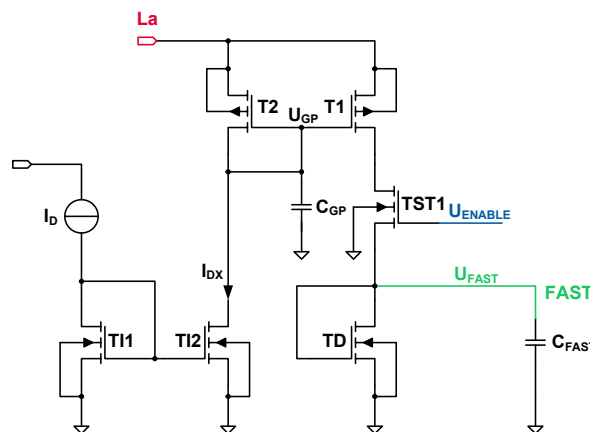


Abbildung 2.41: Unterdrückung des Überschwingens beim Starten

Während des Startvorganges ist dieser Transistor gesperrt und es gelangen keine Strompulse in Richtung C_{FAST} . Die Spannung U_{FAST} bleibt gleichzeitig auf Bezugspotential U_{SS} . Ein langsamer und verzögerter Anstieg der Spannung U_{ENABLE} lässt U_{FAST} kontrolliert und allmählich bis zum Betriebspunkt anwachsen. Die dafür vorgesehene Schaltung (Abbildung 2.42), besteht aus einem PMOST-Stromspiegel, welcher einen vom NMOST TDK selektierten Strom I_{DK} vervielfältigt. Die zugehörige Spannung U_{BIAS} , stammt aus der Bandgapreferenz- und Stromverteilerschaltung. Der Strom I_{DC} lädt die Kapazität C_{ENABLE} auf und U_{ENABLE} steigt sukzessive an, bis sie U_{DD} erreicht und dort verharrt. Der Einsatz des Transistors TST1 mit der Gatespannung U_{ENABLE} begrenzt wegen der Transistoreigenschaften die maximal zulässige Spannung am Pfad FAST und minimiert die unerwünschten Auswirkungen der Dynamik des Feldes.

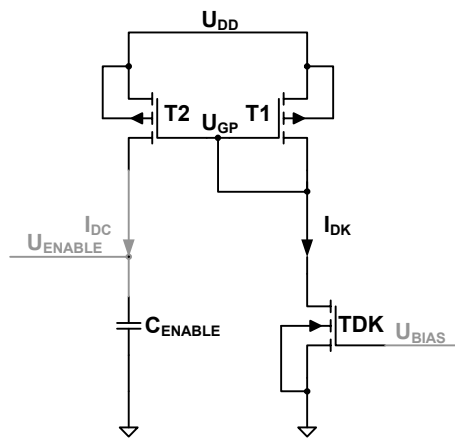


Abbildung 2.42: Generierung der Spannung U_{ENABLE}

2.3.2.3 Reduzierung der Welligkeit am Pfad FAST

Kleine Modulationsindizes und durch die Schaltung verursachte Welligkeit der Spannung U_{FAST} , ergeben kleine verwertbare Auslenkungen des FAST-Signals. Mit der daraus folgenden Vergleichsschwelle sind diese zwei Signale schlecht voneinander zu unterscheiden und stellen den Komparator vor eine unlösbare Aufgabe, Daten korrekt zu detektieren.

Betrachtet man den Zeitpunkt, bei dem die Spannung an La aufgrund des sinusförmigen Verlaufs der Versorgungsspannung in der Nähe von U_{SS} liegt, so zeigt sich, dass der Transistor T1 sperrt und kein Strompuls in Richtung Diode TD und Kondensator C_{FAST} zu fließen kommt. Die Diode entlädt den Kondensator. In der nächsten Phase ist die Spannung am Knoten La ausreichend hoch und Strompulse laden den Kondensator wieder auf. Die Konsequenz ist eine Welligkeit von U_{FAST} . Eine Anhebung der Kapazität von C_{FAST} und damit verbundene Vergrößerung der Zeitkonstante ist bei höheren Datenraten

ungünstig, sodass die Spannung U_{FAST} den Feldwechseln für die Detektion nicht adäquat folgt.

Die Phasenverschiebung (invertierte Signallage) der Spannung an den Knoten La und Lb findet durch Zufügen eines weiteren PMOSTs (T3) Verwendung und minimiert die Welligkeit (Abbildung 2.43). Die bereits vorhandene Gatespannung wird auch in diesem Fall eingesetzt. Der PMOST T3 verbindet dabei die Pfade Lb und FAST. Entsteht kein Stromfluss, bedingt durch die geringe Spannung am Knoten La , kann resultierend aus der höheren Spannung an Lb Strom durch T3 fließen und den Kondensator C_{FAST} laden. Die Zeitkonstante des Lade- und Entladezyklus fällt mit dem Einsatz des PMOSTs T3 kürzer aus und die Welligkeit nimmt ab. Für die Begrenzung von U_{FAST} in diesem Pfad existiert zusätzlich der Transistor TST2, welcher die gleiche Aufgabe wie TST1 erfüllt.

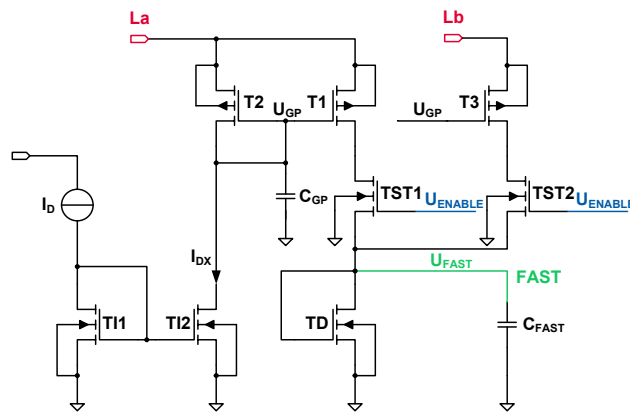


Abbildung 2.43: Reduzierung der Welligkeit von U_{FAST}

2.3.2.4 Minimierung von Schwankungen der Gatespannungen von T1 und T3

Durch den Einsatz von PMOSTs für die Generierung des FAST-Signals besteht eine große Empfindlichkeit gegenüber Spannungsschwankungen am Gateanschluss, welche Abweichungen in der Darstellung der Daten verursacht. Zum Zeitpunkt „schwachen“ Feldes (Datenbit) nimmt der Stromfluss I_{DX} wegen großer Änderungen der Spannung am Knoten La ab und beeinflusst, trotz der Kapazität C_{GP} , die Gatespannung der Transistoren T1 und T3. In diesem Fall kommt es zu einer Abnahme der Auslenkung von U_{FAST} und einer „verzerrten“ Reproduktion der Daten.

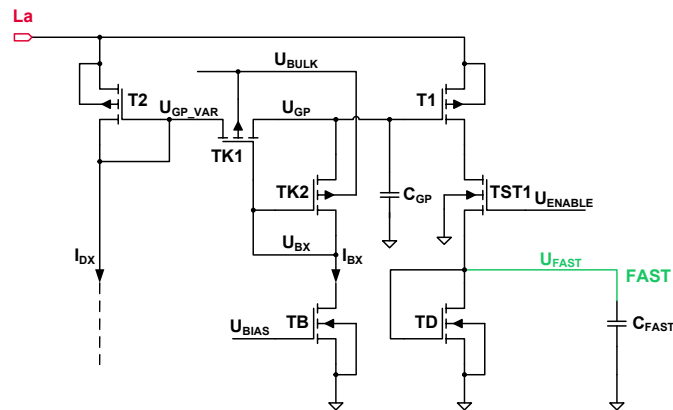


Abbildung 2.44: Ausschnitt relevanter Schaltungsbauteile zur Minimierung von Schwankungen der Gatespannungen von T1 und T3

Zur Minimierung von Schwankungen der Gatespannung U_{GP} während einer Datenübertragung existiert die Schaltung in Abbildung 2.44. Kurz gefasst, lädt diese Schaltung die Kapazität C_{GP} auf. Die Spannung U_{GP} stellt sich, entsprechend der aktuellen Feldstärke vor der Datenübertragung ein und verriegelt diese wenn Daten anliegen, ohne zusätzliche Schalter zu verwenden.

Ist die Spannung U_{GP_VAR} , größer als U_{GP} fließt ein Strom in Richtung C_{GP} . Dies wird durch die Schaltung der Transistoren TK1, TK2 und TB ermöglicht. TB repräsentiert hierbei eine Konstantstromquelle und treibt im Sättigungsbereich einen geringen Strom I_{BX} . Gesteuert wird dieser Transistor mittels Bandgapreferenz und Stromverteilerschaltungen. Bei ausreichender Spannung U_{GP} verursacht I_{BX} einen Spannungsabfall am Transistor TK2, der als Diode ausgeführt ist. Die so erstellte Spannung U_{BX} ($U_{GP} - U_{DS_TK2}$) dient dem Transistor TK1 als Gatespannung. Man behilft sich mit dem selben Prinzip wie bei der Erstellung starrer Gatespannungen beim IVC-Gleichrichter in 2.1.7.

Beim Starten ist der Kondensator C_{GP} leer, die Spannungen U_{GP} und U_{BX} gleich U_{SS} . U_{GP_VAR} steigt mit der Versorgungsspannung am Knoten La an, TK1 leitet und lädt C_{GP} . U_{GP} nimmt zu, TK2 wird leitend und TB versucht einen Konstantstrom zu treiben. Der erwähnte Spannungsabfall über TK2 stellt sich ein und steht am Gate von TK1 zur Verfügung.

Der übliche Betriebspunkt wird erzielt, wenn U_{GP} und U_{GP_VAR} annähernd gleich groß sind. Im Idealfall sind diese Spannungen gleich, es fließt der Strom I_{BX} durch die Transistoren TK1 und TK2 und wird durch TB abgeleitet. U_{BX} stellt sich entsprechend der Spannung am Knoten La ein.

Liegen Daten an, sinkt die Spannung an La und somit auch U_{GP_VAR} . Der geringe Strom I_{BX} fließt weiterhin und entlädt C_{GP} nur minimal. Die Gatespannung von TK1 bleibt annähernd am selben Niveau wie vor dem Zeitpunkt anliegender Daten. Der Stromfluss

von U_{GP} zu U_{GP_VAR} kann aufgrund der starren Gatespannung von TK1 gegenüber der herkömmlichen Variante deutlich reduziert werden. Die Spannung U_{GP} sinkt nur geringfügig ab. Für die Transistoren T1 und T3 bedeutet dies eine bessere Reproduzierbarkeit der Daten im Pfad FAST.

Konfiguriert man alle Einzelblöcke zur einer Gesamtschaltung ergibt sich folgende Übersicht (Abbildung 2.45):

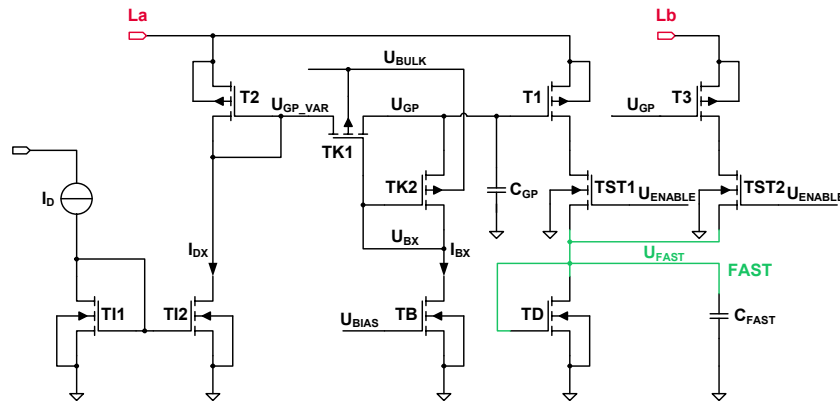


Abbildung 2.45: Gesamtschaltung zur Generierung des Signals FAST

Die Funktionsweise des Systems, mit der Versorgung durch den Gleichrichter, lässt sich mit den Ergebnissen einer Einhüllendensimulation deuten. Die relevanten Spannungen sind im folgenden Diagramm dargestellt.

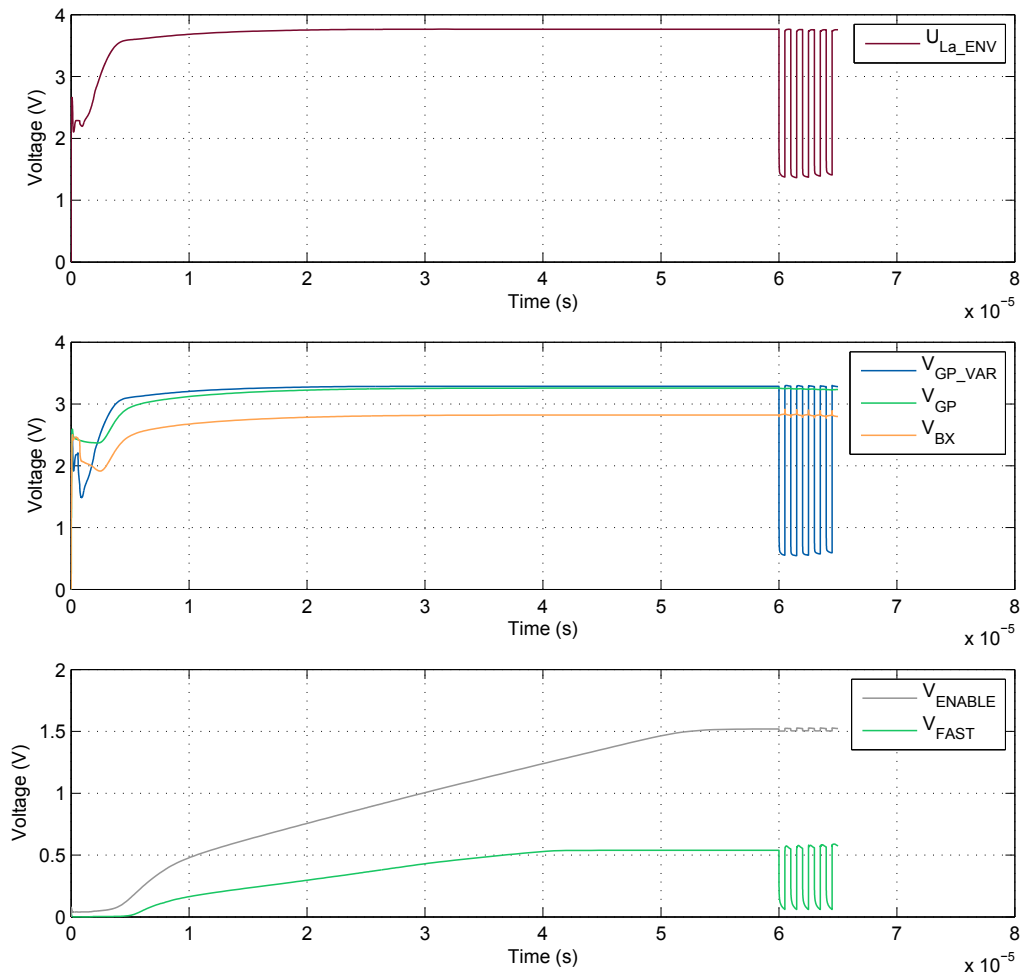


Abbildung 2.46: Simulierte und relevante Spannungsverläufe

Abbildung 2.46 zeigt, dass trotz Änderungen von U_{GP_VAR} durch den Informationsaustausch die Spannung U_{GP} nur wenig variiert. Die Nachbildung am Pfad FAST ist für eine Detektion der Daten angemessen.

2.3.3 Erzeugen der Vergleichsschwelle (SLOW)

2.3.3.1 Leitgedanke

Die einfachste Realisierung einer Vergleichsschwelle für den Komparator wäre ein RC-Tiefpass. Ein Problem adäquater Ausführung ergibt sich bei langsamen Datenraten mit großen Zeitkonstanten. Weiters nehmen größere Datenmengen Einfluss auf den Verlauf der Vergleichsschwelle. Es kommt zu einer Variation der Spannungsdifferenz zwischen U_{FAST} und der Vergleichsschwelle bei den Betriebspunkten ohne und mit Informationsübertragung. Für den sensiblen Komparator bewirkt solch ein Signal, dass Daten nicht richtig dargestellt werden können.

2.3.3.2 Entkopplung vom Signal FAST

Ein erster Ansatz ist die Entkopplung des Signals FAST durch einen nichtinvertierenden Verstärker (Abbildung 2.47). Diese Maßnahme wird benötigt, um Rückwirkungen auf das Signal zu verhindern und eine bessere Darstellung der Daten zu erreichen.

Der Verstärker muss in dieser Konfiguration arbeiten um so wenig zusätzliche Temperatureinflüsse wie möglich mitein zu beziehen.

Steigt die Spannung U_{FAST} mit der Temperatur, so soll sich auch die Ausgangsspannung des Verstärkers dementsprechend verhalten. Die Verfälschung der Vergleichsschwelle kann bei zu kleinen Auslenkungen am Pfad FAST zu Fehldetektion führen und Dateninkonsistenz wäre die Folge. Befindet sich U_{FAST} in üblicher Betriebslage (kein Informationsfluss), folgt die Ausgangsspannung des Verstärkers diesem Signal. Der Spannungsteiler, realisiert durch die Widerstände R1 und R2, ergibt eine betragsmäßig verminderte Spannung (die Vergleichsschwelle oder U_{SLOW}) gegenüber U_{FAST} aus. Zur Stabilisierung dieses Signals existiert der Kondensator C_{SLOW} . Bei der Dimensionierung der Widerstände muss die Belastungsfähigkeit des Verstärkers beachtet werden. Auch in diesem Fall muss der Verstärker die Stabilitätskriterien erfüllen.

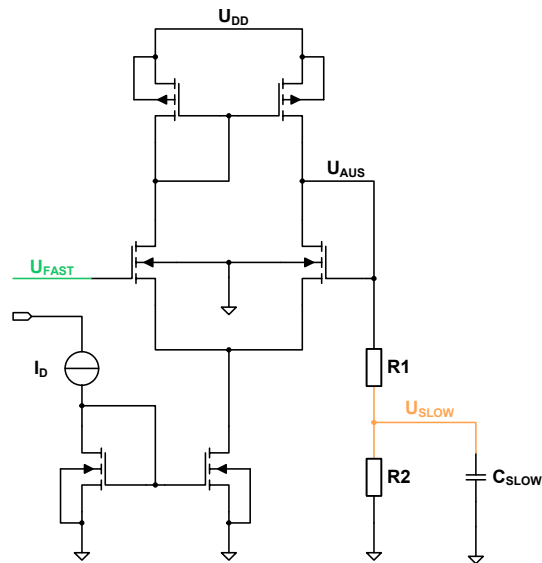


Abbildung 2.47: Nichtinvertierender Verstärker mit Spannungsteiler am Ausgang

Werden Daten am Pfad FAST reproduziert, so folgt der Ausgang U_{AUS} diesem Verlauf und es resultiert das Signal SLOW. Der Kondensator C_{SLOW} kann dies für kurze Zeiten kompensieren. Bei längeren Periodendauern entlädt sich auch ein Kondensator mit „großer“ Kapazität und die Vergleichsschwelle wird unbrauchbar. Bei Minimierung der Verstärkung des OTAs nimmt man zwar die Dynamik des Signals raus, aber für die anliegenden Daten wird dadurch nicht mehr der Ausgangswert (Spitzenwert) betrachtet, sondern der Mittelwert der Spannung U_{FAST} als Eingangssignal herangezogen.

2.3.3.3 Selbstsperrender kontinuierlicher Spitzenwertdetektor

Ein großer Beitrag zur korrekten Funktion des Gesamtsystems liefert die Schaltung in der Abbildung 2.48. Sie hat die Aufgabe den Spitzenwert der Spannung U_{FAST} zu detektieren, während einer Datenübertragung zu halten und trotzdem flexibel gegenüber Feldänderungen und daraus folgender Spannungsschwankungen am Pfad FAST zu agieren. Die Herausforderung besteht darin, ohne zusätzliche Schalter oder einer Steuerung, ein autonomes, selbst regulierendes, dazu weitgehend von Temperatureinflüssen unabhängiges System zu konstruieren.

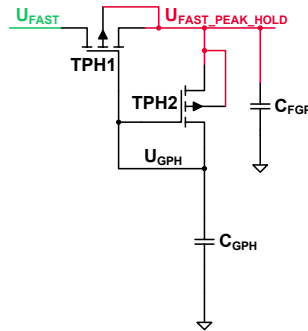


Abbildung 2.48: Peak & Hold Schaltung für das Signal FAST

Beim Einschalten steigt die Spannung U_{FAST} , U_{GPH} und $U_{FAST_PEAK_HOLD}$ sind gleich U_{SS} . Der Transistor TPH1 leitet bei dieser Bedingung und lädt C_{FGP} auf. Ab einer bestimmten Spannung $U_{FAST_PEAK_HOLD}$ leitet auch der Transistor TPH2 und lädt den Kondensator C_{GPH} . TPH1 muss so dimensioniert sein, dass die Schaltung das Signal FAST nicht belastet und kein Defizit bei der Auslenkung auftritt. Die Spannung $U_{FAST_PEAK_HOLD}$ nähert sich U_{FAST} mit der Zeit immer mehr an. Der Transistor TPH2 wirkt bis zu diesem Zeitpunkt als Gatesteuerung für TPH1. Die Spannung U_{GPH} folgt ebenfalls U_{FAST} , jedoch deutlich langsamer, da TPH2 kurz vor Erreichen des üblichen Betriebszustandes (U_{FAST}) nur mehr im linearen Bereich arbeitet, bis dieser und TPH1 sperren. Die Schaltung arbeitet nun als Haltekreis, solange keine Änderung am Signal FAST auftritt.

Für die vollständige Diskussion der Schaltung fehlen noch jene Zustände, bei denen Abweichungen vom Ausgangswert des Signals FAST eintreten, während sich die Schaltung im Haltezyklus befindet. Gegenüber den, durch die Datenübermittlung verursachten, Auslenkungen sind diese Änderungen deutlich langsamer.

U_{FAST} steigt: Der Transistor TPH1 hat dank der Dimensionierung eine kleine Schwellenspannung. Das heißt, U_{FAST} muss minimal größer sein als $U_{FAST_PEAK_HOLD}$ damit TPH1 leitet und sich alle Spannungen nach bestimmten Einstellzeiten an die neue U_{FAST} angleichen.

U_{FAST} sinkt: Ausgangspunkt ist $U_{GPH} = U_{FAST_PEAK_HOLD}$; Der Transistor TPH1 sperrt solange diese Bedingung erfüllt ist. Durch Leckströme und vor allem aufgrund der im Vorhinein bestimmten Kapazitätswerte von C_{GPH} und C_{FGP} sinkt die Spannung U_{GPH} langsam ab und ermöglicht einen Stromfluss von FAST_PEAK_HOLD nach FAST. Die Spannung $U_{FAST_PEAK_HOLD}$ nimmt dabei ab und erreicht U_{FAST} schneller als U_{GPH} . Sind alle Spannungen wieder gleich U_{FAST} , sperren die Transistoren und die Schaltung befindet sich wieder im Ausgangspunkt. Ist U_{FAST} wiederum geringer, fängt der Zyklus wieder von vorne an. Die Schwierigkeit liegt in der Dimensionierung aller Bauteile, um

zwischen dem Absinken von U_{FAST} aufgrund von Daten oder Feldänderungen zu unterscheiden und die adäquate Antwort der Spannung $U_{FAST_PEAK_HOLD}$ einzuleiten. Bei der Betrachtung der gesamten Schaltung spielen mehrere Zeitkonstanten eine wesentliche Rolle. Der Einfluss der Temperatur auf die Schwellenspannungen darf nicht vernachlässigt werden und die Leckströme sind hierbei ein positiver Aspekt.

Die Abbildung 2.49 beschreibt in einer verzerrten Zeitaufösung die Spannungsverläufe der vorhergehenden Fälle, wenn keine Datenübermittlung stattfindet. Die zugehörigen Änderungen der Spannungen haben gegenüber einer Datenübertragung vielfach größere Zeitkonstanten.

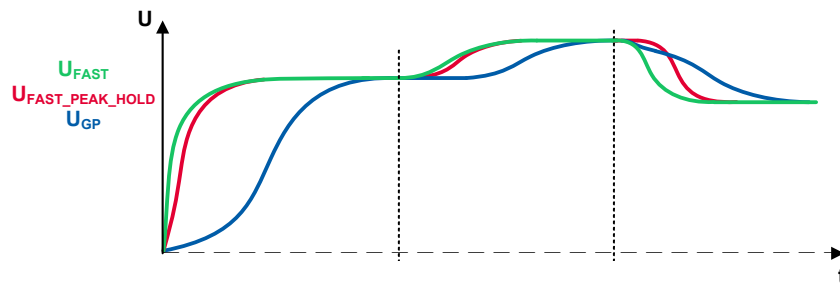


Abbildung 2.49: Spannungsverläufe zur Erstellung der Vergleichsschwelle

Daten am Pfad FAST: Bei schnellem Abfallen von U_{FAST} bleibt die Spannung U_{GPH} auf dem Ausgangswert. Der Transistor TPH1 befindet sich ideal gesehen im gesperrten Zustand und die Änderung der Spannung $U_{FAST_PEAK_HOLD}$ wird verhindert. Ein für das System baldiges Ansteigen von U_{FAST} stellt die Ausgangssituation wieder her.

Die Entkopplung des Signals durch den Verstärker hat den Nutzen, dass der Kondensator C_{FGP} nicht unnötig entladen wird und sich Spannungen im weitesten Sinne frei von Belastungen einstellen können.

2.3.3.4 Zusammenschaltung einzelner Blöcke für die Generierung der Signale FAST und SLOW

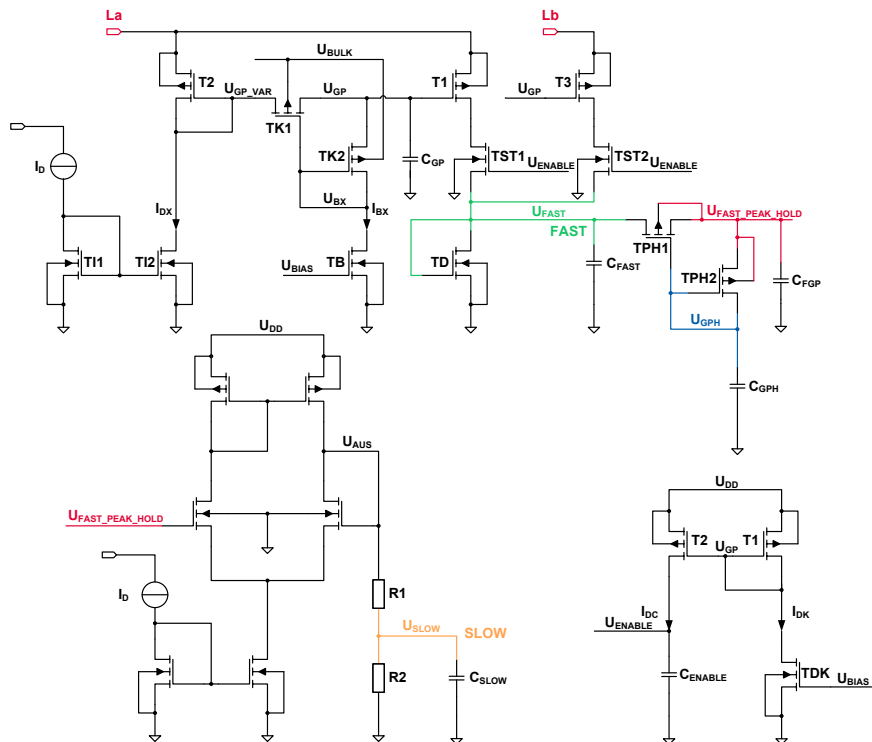


Abbildung 2.50: Gesamtschaltung für die Generierung der Signale FAST und SLOW

Eine realistische Einhüllenden-Simulation bei üblichen Bedingungen, mit der Versorgung durch den Gleichrichter, der Bandgap als Referenz und den beschriebenen Schaltungsteilen (als Gesamtschaltung in Abbildung 2.50 sichtbar) für die Erstellung der Signale FAST und SLOW folgt in Abbildung 2.51.

Die Auslenkung der Spannung U_{FAST} bleibt trotz der Schaltung in Abbildung 2.48 unverändert groß. Die Vergleichsschwelle U_{SLOW} befindet sich in einem bestimmten, konstanten Verhältnis zu $U_{FAST_PEAK_HOLD}$ und liegt nicht im Mittelwert von U_{FAST} bei einer Datenübertragung. Reicht die Auslenkung des Signals FAST nicht mehr aus, um die Vergleichsschwelle zu unter- bzw. überschreiten, erfolgt keine Datendetektion. Der Verlauf der Spannung $U_{FAST_PEAK_HOLD}$ verharrt, trotz schneller Änderungen an U_{FAST} , am aktuellen Spitzenwert und sinkt nicht ab. Das Startupverhalten der Schaltung mit allen unterstützenden Elementen wird anhand der Begrenzung der Spannung am Knoten La beschrieben. Das Überspringen von U_{FAST} ist minimiert und kann bei

Bedarf noch weiter verringert werden. Man muss aber mit längeren Einstellzeiten der detektionsrelevanten Signale rechnen.

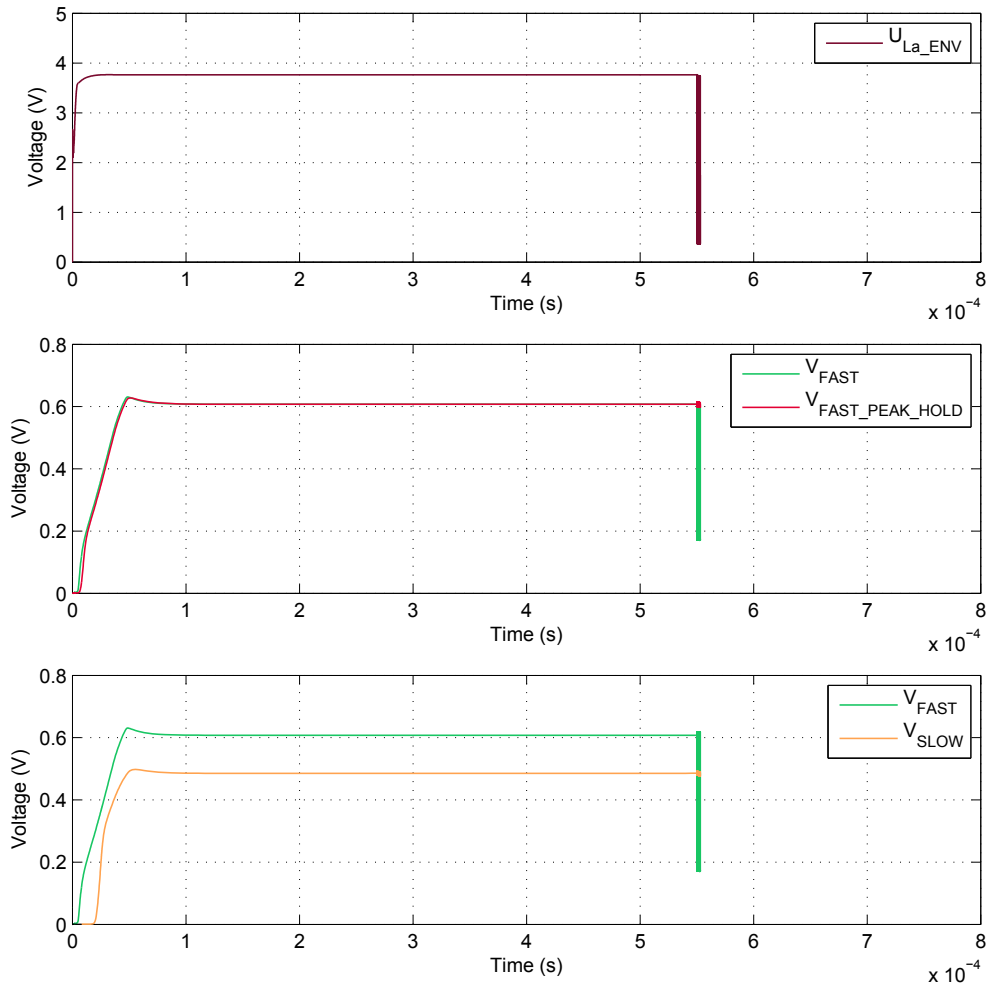


Abbildung 2.51: Spannungsverläufe der Eingangssignale für den Komparator

2.3.4 Komparator

Mit den bisherigen, generierten Signalen FAST und SLOW besteht die Möglichkeit mittels eines Komparators Daten zu interpretieren. Die relevanten Anforderungen für den Komparator sind Geschwindigkeit an hohe Datenraten (100 Mbit/s), Aussteuerung bis nahe an die Versorgungsspannungsgrenzen und der Stromverbrauch während der

Detektion. Unter Miteinbeziehung dieser Gesichtspunkte wird ein einstufiger Verstärker mit PUSH-PULL-Ausgang verwendet (Abbildung 2.52) [12]. Um höhere Verstärkungen erzielen zu können, folgt noch eine ausgangsseitige Pufferstufe.

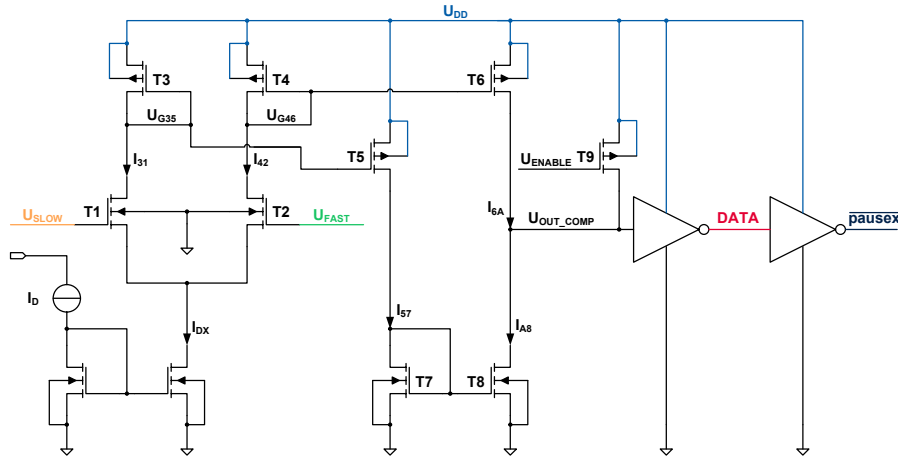


Abbildung 2.52: Komparator

Ausgangspunkt für die Funktion des Komparators ist: $\frac{I_{DX}}{2} = I_{31} = I_{42}$
 $U_{OUT_COMP} = \frac{U_{DD}}{2}$

Der Konstantstrom I_D wird gespiegelt (I_{DX}) und auf die Ströme I_{31} und I_{42} bei gleichen Spannungen U_{FAST} , U_{SLOW} gleichmäßig aufgeteilt. Ist eine dieser Spannungen höher z.B. U_{FAST} , fließt in diesem Pfad ein größerer Strom I_{42} , die Spannung U_{G46} , generiert mit dem Transistor T4 in Diodenkonfiguration, sinkt und der Transistor T6 leitet (entsprechend dem Spiegelverhältnis) I_{6A} , welcher nun gegenüber dem Ausgangspunkt größer ist. Die Aufteilung des Stromes I_{DX} bewirkt, dass I_{31} sinkt, U_{G35} steigt und I_{57} abnimmt. Der Stromfluss I_{A8} durch T8 wird geringer, der Ausgangspunkt mit der Spannung U_{OUT_COMP} steigt. Analog dazu verhält sich der Komparator bei umgekehrten Bedingungen ($U_{FAST} > U_{SLOW}$) genau konträr, d.h. die Ausgangsspannung U_{OUT_COMP} sinkt. Die Invertierung des Ausgangssignals zeigt den detektierten Datenfluss an. Eine weitere Invertierung erzeugt das Signal $\overline{pause_x}$, welches zur Sperrung der Shuntgatespannung des Gleichrichters benötigt wird.

Um Fehldetektion aufgrund von Startaktivitäten der Schaltung zu verhindern, wird der Ausgang mit der Spannung U_{DD} mitgeführt. Der Transistor T9 leitet so lange bis U_{ENABLE} um eine Schwellenspannung kleiner ist als U_{DD} . Die Auslegung der Schaltung muss ein früheres Ausbilden von U_{DD} gegenüber U_{ENABLE} gewährleisten. Bevor es zu Datendetektion kommen kann, müssen sich alle relevanten Spannungen auf den Ausgangspegeln befinden und der Transistor T9 gesperrt sein.

Die folgende Darstellung (Abbildung 2.53) zeigt einen zeitlichen Ausschnitt des Verhaltens des bisherigen Systems bei verschiedenen Temperaturen. Dargestellt sind die zur Datendetektion relevanten Spannungsverläufe. Die Temperatureinflüsse auf die Ausgangssignale DATA und \overline{pausex} sind wegen der Datenrate von 1 Mbit/s und der intelligenten Schaltung zur Erstellung der Vergleichsschwelle nur minimal. Es ist zu erkennen, dass U_{SLOW} (dem Teilverhältnis gemäß) dem Spitzenwert U_{FAST} folgt. Bei geringer Versorgung und kleinem Modulationsindex (z.B. 10%) folgt, besonders bei niedrigen Temperaturen, eine mäßige Auslenkung des Signals FAST, was zu Fehldetektion führen kann.

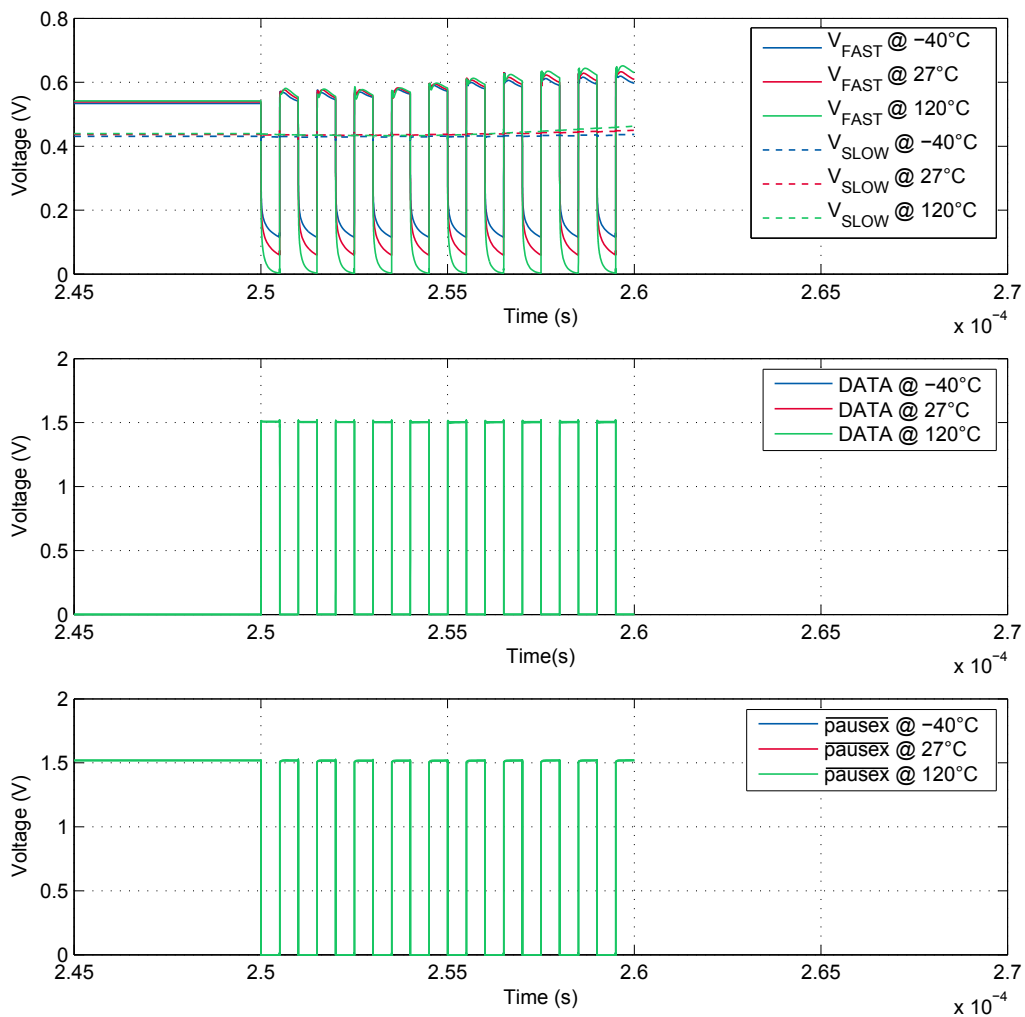


Abbildung 2.53: Datendetektion mit Temperaturverhalten

2.3.5 Frequenzrückgewinnung

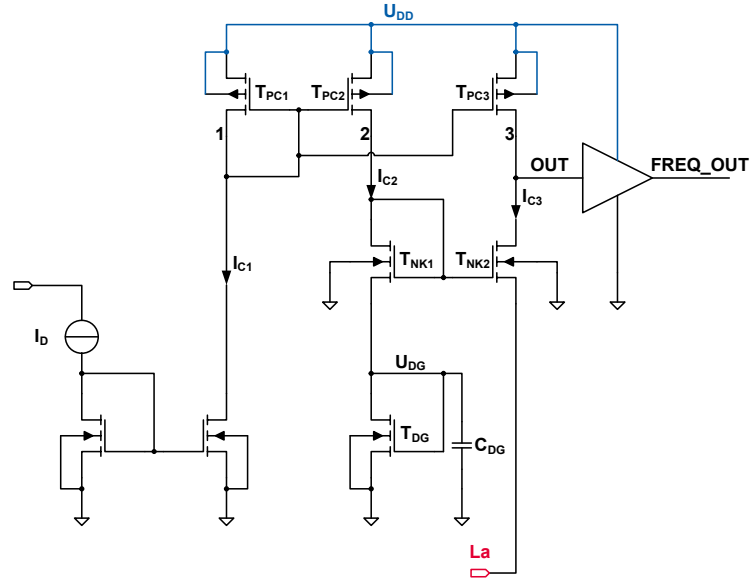


Abbildung 2.54: Schaltung zur Frequenzrückgewinnung

Der Konstantstrom I_D in Abbildung 2.54 wird mit einem bestimmten Stromspiegelverhältnis im Pfad 1 reproduziert, um wiederum in Pfad 2 und 3 durch die PMOSTs TPC2 und TPC3 gespiegelt zu werden. Somit ergeben sich die Ströme I_{C1} , I_{C2} und I_{C3} . Für ein leichteres Verständnis seien I_{C2} und I_{C3} gleich groß.

Die Beschaltung der zwei NMOSTs TNK1 und TNK2, sowie die darauffolgende NMOST-Diode TDG ergeben mit dem Strom I_{C2} eine Source-Spannung des Transistors TNK1, welche um eine Schwellenspannung größer als U_{SS} ist. Weiters ruft diese Schaltung eine bestimmte Gate-Source-Spannung des Transistors TNK1 hervor und dient im weiteren Verlauf als Referenz. Der im Pfad 3 eingepreßte Strom I_{C3} kann nur in Abhängigkeit von der Spannung am Knoten La fließen.

$$U_{TH(TNK2)} = U_{TH(TDC)} = U_{TH(TNK1)} = U_{TH} \quad (2.3.2)$$

Mit der Annahme, die Schwellenspannungen von TNK2, TNK1 und TDG seien gleich groß, ergibt sich eine Gatespannung von TNK2, die der doppelten Schwellenspannung entspricht. Die Voraussetzung für einen leitenden Transistor TNK2 ist:

$$2U_{TH} - U_{La} > U_{TH} \Rightarrow U_{La} < U_{TH} \quad (2.3.3)$$

Ist diese Bedingung erfüllt, so leitet TNK2, der Strom I_{C3} fließt und die Spannung am Knoten OUT ist nahe U_{SS} . Steigt die Spannung an La über die Schwellenspannung, so sperrt TNK2 und der Ausgangspunkt folgt U_{DD} . Die Pufferstufe verwertet das Ausgangssignal und verleiht eine größere Verstärkung für steilere Flanken.

2.3.6 Frequenzteilung

Die Frequenzteilung der Trägerfrequenz generiert eine Referenzfrequenz für nachfolgende Schaltungen. Die Teilung gelingt mit einer rückgekoppelten Zusammenschaltung von taktzustandsgesteuerten Delay-Flipflops gezeigt in Abbildung 2.55 [6]. Das Teilverhältnis N ist dabei ganzzahlig (in diesem Fall $N=2$). Der Ausgang eines Blocks dient dem nachfolgenden als Eingangssignal und ergibt ein dual gewichtetes (2, 4, 8, 16, 32) Teilverhalten.

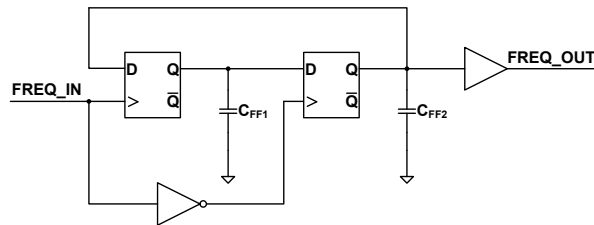


Abbildung 2.55: Schaltung zur Frequenzteilung

Die dabei entstandenen Frequenzen ($\frac{f_T}{2}$, $\frac{f_T}{4}$, $\frac{f_T}{8}$, $\frac{f_T}{16}$ und $\frac{f_T}{32}$) stehen den weiteren Schaltungsteilen zur Verfügung. Der Stromverbrauch der frequenzbetreffenden Schaltungsteile darf bei der Lastanalyse nicht vernachlässigt werden.

2.3.7 Datendetektor

Alle bisherigen Schaltungsteile berücksichtigt und miteinander verkoppelt, ergeben den Datendetektor mit Frequenzrückgewinnung (wie in Abbildung 2.56 gezeigt). Grün umrandet ist die Schaltung zur Erstellung einer für den Komparator entsprechenden Replikation der Einhüllenden der Daten. Die Erzeugung der Vergleichsschwelle befindet sich im orangen Block. Die Schaltung zur Freigabe bei Erreichen der adäquaten Versorgung ist grau umrandet. Der Komparator und die Erzeugung des $\overline{pause\bar{x}}$ Signals sind im schwarzen Block wiederzufinden. Der Frequenzrückgewinnungs- und der Frequenzverarbeitungsblock sind mit blauer Umrandung versehen.

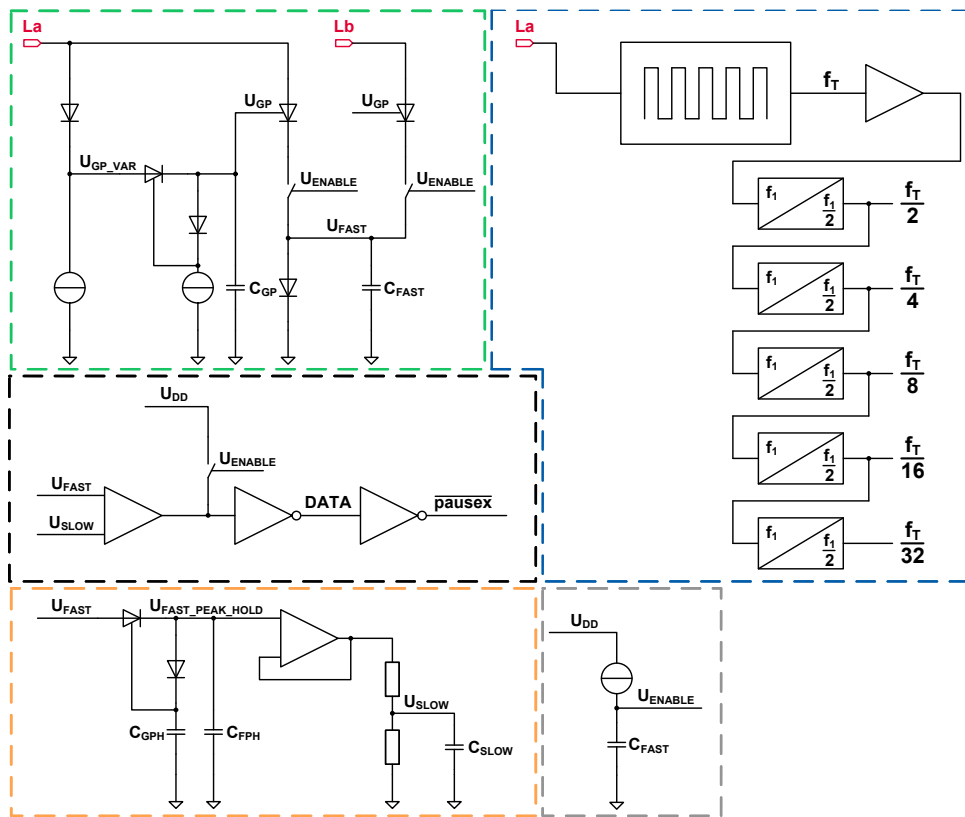


Abbildung 2.56: Funktionsblöcke des Datendetektors mit Frequenzrückgewinnung

Kapitel 3

Simulationskonfigurationen

Während der Analysephase des Frontends wurden verschiedene Simulationssysteme bzw. Simulationstestbenches eingesetzt. Eine kurze Erläuterung der Unterschiede zeigt die Vor- und Nachteile verwendeter Varianten. Dabei handelt es sich hauptsächlich um das Versorgungskonzept und das Verhalten der Schaltung.

3.1 Einhüllenden-Testbench

Eine Spannungsquelle generiert ein Rechtecksignal mit Berücksichtigung des Modulationsindex' bezogen auf die Signalgröße 1 V (Abbildung 3.1). Der Multiplexer (AHDL-basierendes Modell, ideales Bauelement) kombiniert dieses Signal mit einer DC-Spannung und einem Datenstartsignal mit der Verzögerungszeit t_{DELAY} . Ein darauffolgendes Multiplizieren mit dem gezeigten Spannungsverlauf ergibt die gewünschte Einhüllendensignalförm am Knoten La . Der Spannungspegel nimmt den Wert U_{LEVEL} an und $t_{STARTUP}$ simuliert die Zunahme des Feldes und der Spannungen. Diese Signalförm kommt ohne Trägerfrequenz aus.

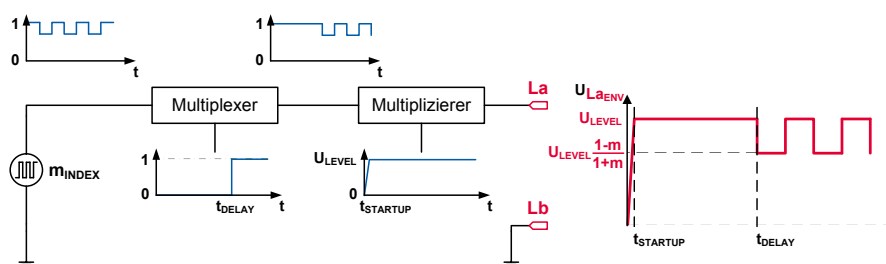


Abbildung 3.1: Einhüllenden-Testbench

Die Schaltung benötigt noch kleinere Veränderungen, um bei dieser Simulationsvariante

konkrete Ausgangswerte liefern zu können. Das Signal Lb wird auf Bezugspotential gelegt und die Bauteile, welche mit diesem Potential in Verbindung stehen, müssen einen direkten Stromfluss von La zu Lb unterbinden und sollen gegebenenfalls dafür entsprechend beschalten werden. Da auch der Multiplizierer auf einem AHDL Modell basiert und ein ideales Bauteil darstellt, steht am Ausgang theoretisch unendliche Leistung zur Verfügung. Zur Begrenzung dieser, wird ein kompatibler Widerstand zwischen den Knoten La des Versorgungsmodells und der Schaltung eingefügt. Das Frontend hat nun eine endliche Leistung als Versorgung. Die Faktoren t_{DELAY} , $t_{STARTUP}$, U_{LEVEL} und der Wert des zwischengeschalteten Widerstandes müssen mittels Vergleich zu einer korrekten Simulation mit Wechselsignalen angepasst werden, um das Verhalten der Schaltung richtig simulieren zu können.

Der Vorteil dieser Art der Simulation ist die relativ kurze Simulationszeit im Vergleich zu den Varianten mit Wechselsignalen. Komponenten, die mit der Trägerfrequenz in Verbindung stehen (wie z.B. Trägerfrequenzrückgewinnung, Frequenzteilung usw.), können bei der Simulation nicht berücksichtigt werden, zeigen ein falsches Verhalten und sind deswegen Nachteile dieses Systems. Die Auswirkungen der Frequenzen auf Schaltungsteile werden dabei nicht simuliert.

3.2 Wechselsignal-Testbenches

3.2.1 Testbench mit Schaltwiderständen

Hauptbestandteil dieses Systems (Abbildung 3.2) sind zwei Leistungsquellen mit Innenwiderstand und sinusförmiger (Trägerfrequenz entsprechender) Signalform. Eine Quelle (1) versorgt das Frontend mit einer gewissen Ausgangsleistung, wenn keine Datenübertragung im Gange ist. Die zweite Quelle liefert bei anliegenden Daten die Leistung, welche mit dem Modulationsindex und der Ausgangsleistung der Quelle (1) bestimmt wird. Das Umschalten zwischen den Leistungen funktioniert mit der Hilfe der vier Schaltwiderstände mit regulierbaren Widerstandszuständen. Die zeitliche Steuerung (Profil) ermöglicht die Einstellung der aktuellen Werte R_{ON} (z.B. 100 m Ω) und R_{OFF} (z.B. 1 M Ω) jedes einzelnen Widerstandes. Der Übergang zwischen den beiden Werten muss realistisch gestaltet werden, um realitätsnahe Simulationen ausführen zu können. Die Spulen L1 und L2 simulieren die im System auftretenden Auswirkungen von Induktivitäten. Die Leistungen stehen dem Frontend an den Knoten La und Lb mit einer Phasenverschiebung von 180° zur Verfügung.

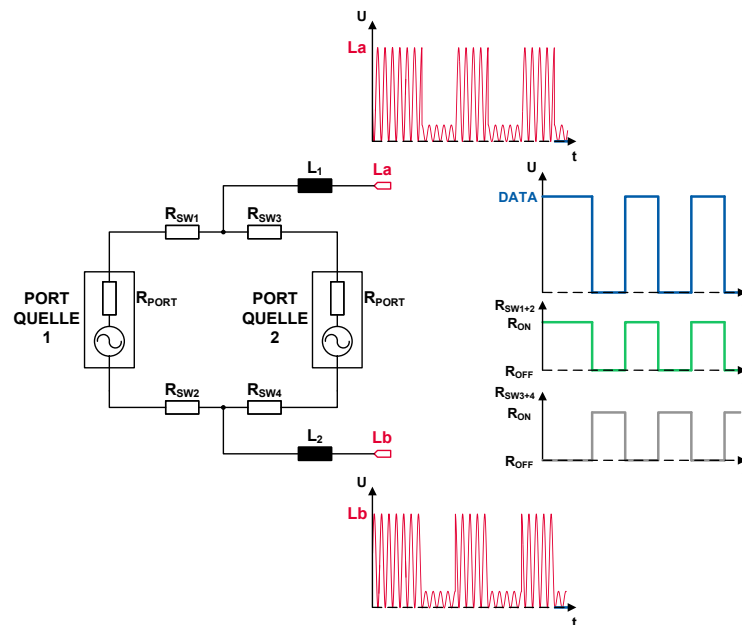


Abbildung 3.2: Wechselsignal-Testbench 1

Vorteil dieser Testbench ist die umfangreiche Simulation aller Bauteile mit Frequenzverhalten. Die Simulationsdauer ist wesentlich größer gegenüber der Einhüllenden-Simulation. Das Schalten der Widerstände hat, bei unpassender Auslegung der Zeiten, negative Auswirkungen auf die Stetigkeit und bereitet dem Simulator Probleme eine Lösung zu berechnen.

3.2.2 Testbench mit Transformator

Ein Profil der Datenübertragung, erstellt durch einen Rechteckspannungsgenerator, einem Multiplizierer und einem Subtrahierer wird mit einem sinusförmigen Wechselsignal aus der Spannungsquelle multipliziert und auf den Transformator geführt (Abbildung 3.3). Am Ausgang des Transformators entsteht eine differentielle Spannung bestimmter Amplitude. Da dieses Bauelement ideal ist, muss die Leistung an beiden Pfaden durch Widerstände (ähnlich wie in Kapitel 3.1) begrenzt werden.

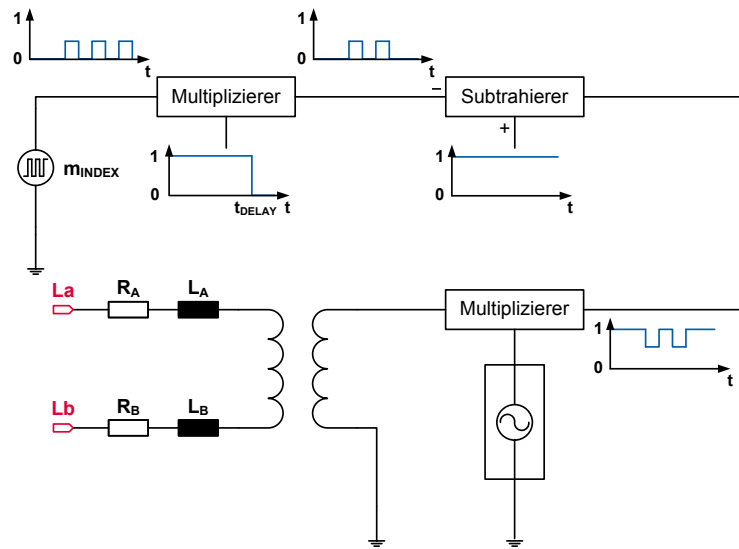


Abbildung 3.3: Wechselsignal-Testbench 2

Vorteil ist wiederum die umfangreiche Simulation. Dazu kommt bei dieser Methode die besser bestimmbare Änderung der Leistungen und daraus das bessere Handling der Unstetigkeit. Der Nachteil ist die noch längere Simulationszeit zur vorhergehenden Testbench aufgrund des erhöhten Bauteileaufwands.

Kapitel 4

Simulationsergebnisse

In den folgenden Darstellungen werden simulierte Spannungsverläufe des Frontends bei unterschiedlichen Datenraten gezeigt. Die Versorgung ist dabei in allen Fällen gleich und die Temperatur beträgt 27 °C. Es wurden Einhüllenden-Simulationen durchgeführt, da bei dieser zeitlichen Auflösung die Trägerfrequenz ohnehin nicht zu erkennen ist. Der Modulationsindex beträgt 10 % und ist im Vergleich zu den Anforderungen (30 % - 100 %) deutlich niedriger. Bei dieser Simulationsvariante kann die Schaltung trotz dieser Einstellung Daten detektieren. Das Temperaturverhalten der Schaltung hat aufgrund der adäquaten Dimensionierung aller Bauteile wenig Einfluss auf die Funktionalität und kann aus der Abbildung 2.53 gedeutet werden. Die Feldstärkedynamik wurde einerseits durch schaltungstechnische Lösungen (Shuntregelung, Längsregelung, Erzeugung des FAST-Signals usw.) minimiert, andererseits bleibt noch eine geringe Restdynamik. Diese spielt aber eine untergeordnete Rolle und hat wenig Auswirkungen auf die Datendetektion, da das SLOW- dem Verlauf des FAST-Signals folgt. Zu Fehlfunktionen kommt es erst, wenn die Versorgung aller Schaltungsteile nicht mehr ausreicht. Eine genaue Minimalleistung für die Gewährleistung einer richtigen Arbeitsweise dieser Schaltung kann wegen fehlender Elemente (z.B. Antenne und Last am Ausgang) nicht exakt bestimmt werden. Das Startverhalten ist von den Faktoren Datenrate und Modulationsindex unabhängig. Der anspruchvollste Vorgang, bei maximaler Eingangsleistung, ist in Abbildung 2.50 dargestellt.

Beim Vergleich der Diagramme 4.1 - 4.3 muss ein besonderes Augenmerk auf die unterschiedlichen Zeitachsen gelegt werden, welche zur besseren Darstellung verändert wurden.

4.1 Datenrate 1Mbit/s

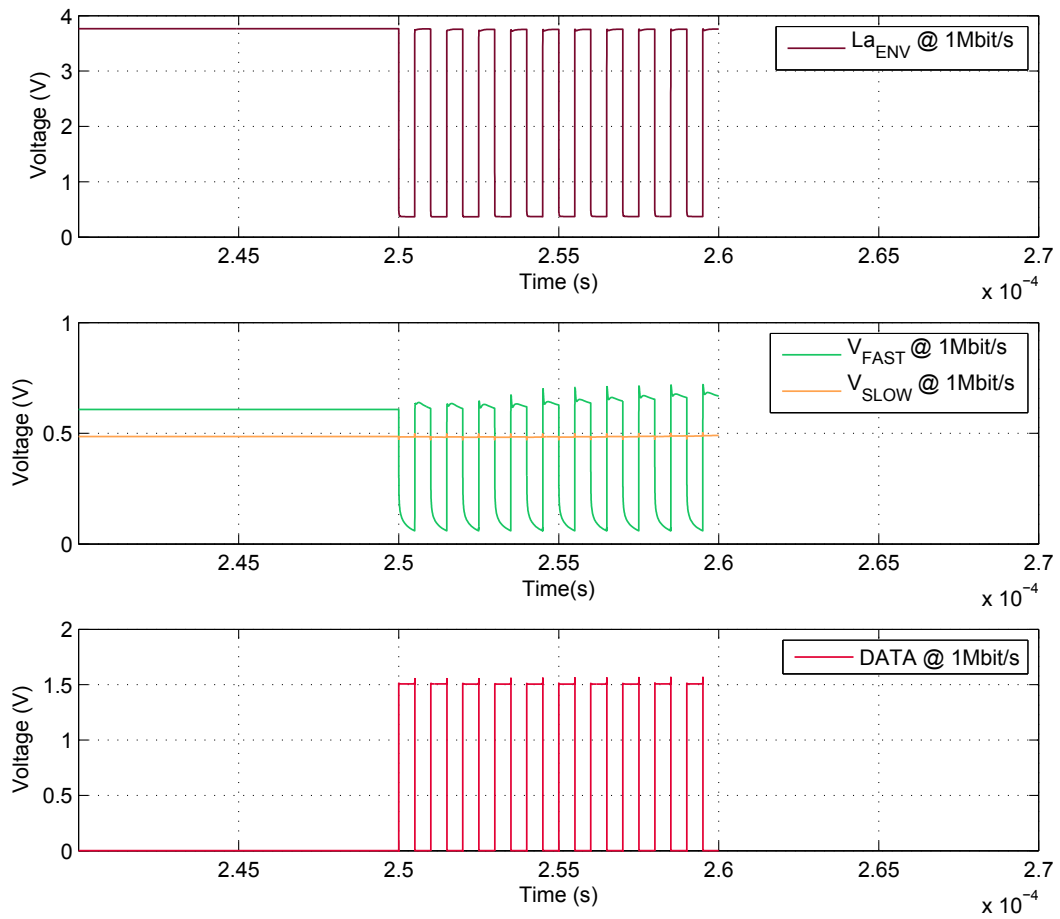


Abbildung 4.1: Relevante Signalverläufe bei einer Datenrate von 1Mbit/s

4.2 Datenrate 20Mbit/s

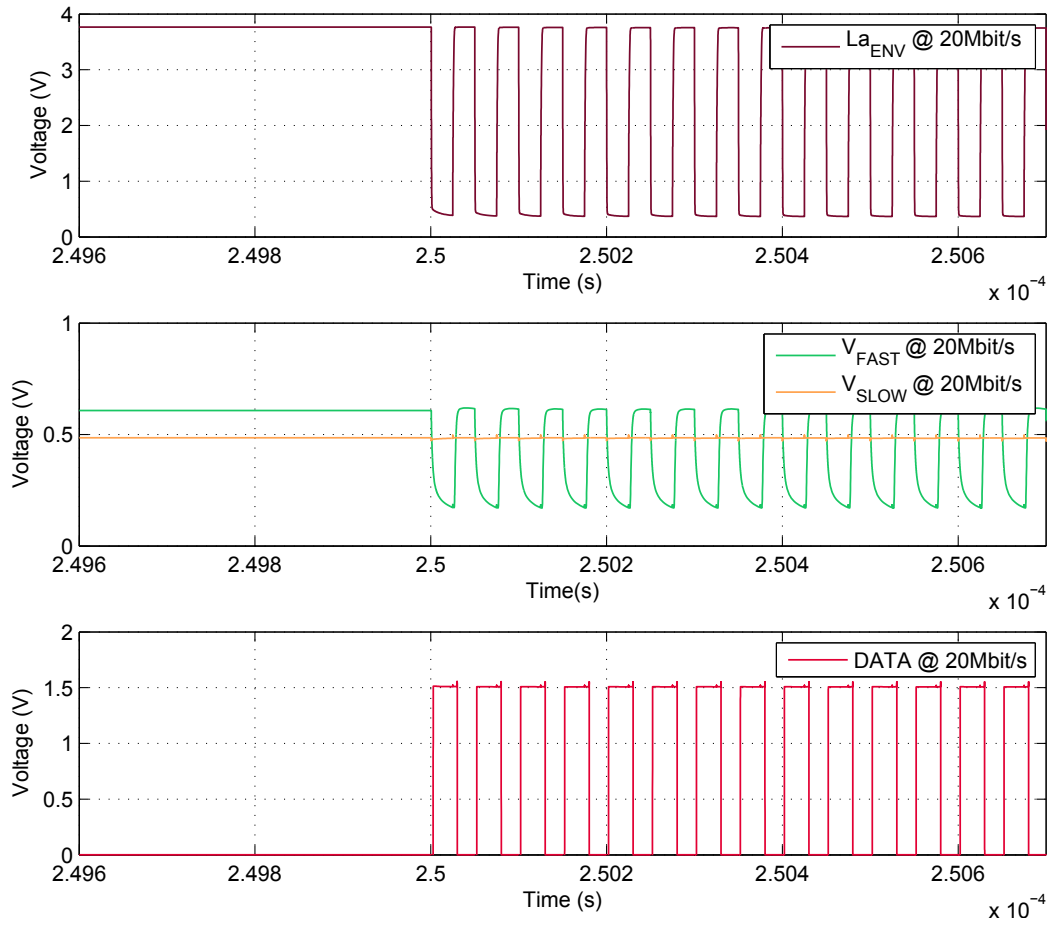


Abbildung 4.2: Relevante Signalverläufe bei einer Datenrate von 20Mbit/s

4.3 Datenrate 100Mbit/s

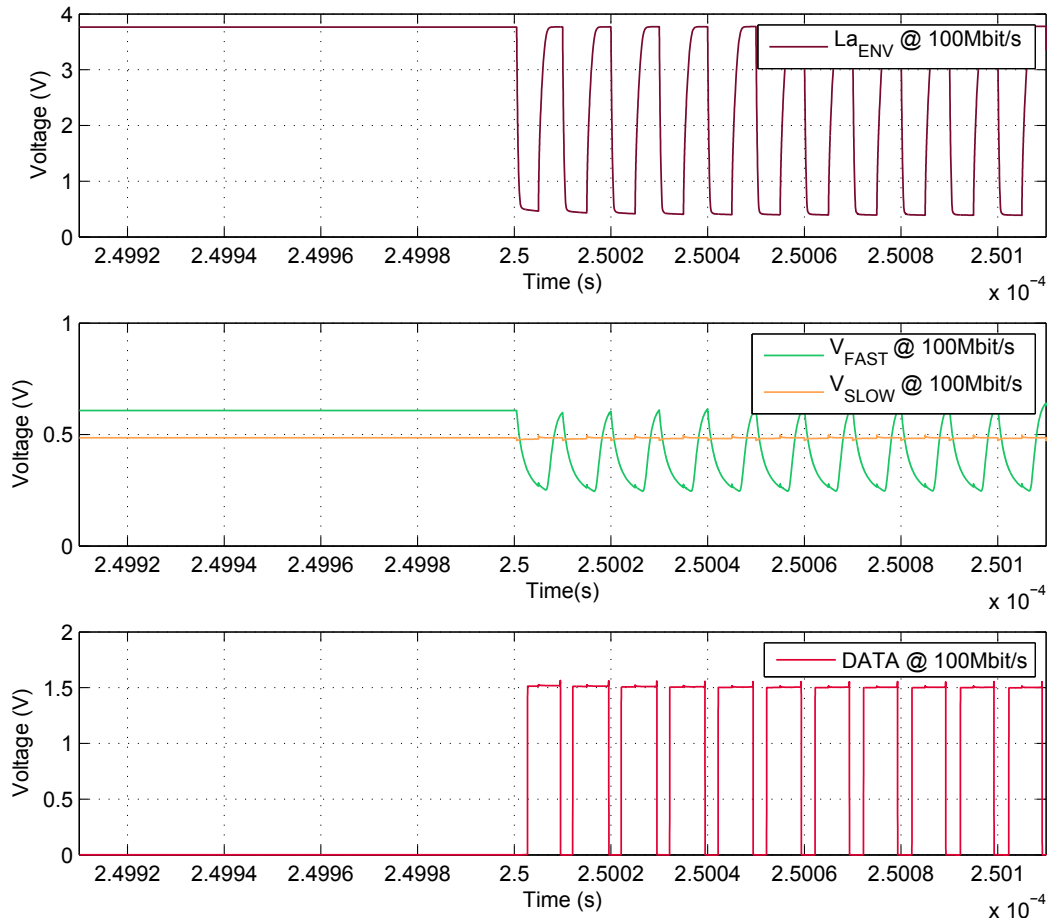


Abbildung 4.3: Relevante Signalverläufe bei einer Datenrate von 100Mbit/s

Kapitel 5

Ausblick

Die weiteren Schritte (Layout und Fertigung des Systems) konnten aufgrund der limitierten Zeitmöglichkeiten und der festen Fertigungstermine nicht umgesetzt werden. Eine gezielte Adaptierung der Schaltung an eine bestimmte Anwendung und eine umfassende Untersuchung des Verhaltens würden das Projekt abrunden. Dazu führt ein festgelegter Verbraucher zu einem definierten Stromverbrauchsprofil, einer besseren Auslegung des Gleichrichters und zur leichteren Ermittlung der passenden Gleichrichterstruktur. Dies würde sich in Effizienz, sowie Reichweite positiv auswirken. Die Längsregelung hätte die Möglichkeit die PSRR (Power Supply Rejection Ratio) der Versorgungsspannung U_{DD} hoch zu halten. Verfolgt man diese Optimierungsvorschläge in der Verbesserungsphase, werden auch kleinere Modulationsgrade (und daraus resultierende bessere Versorgungsbedingungen) möglich.

Zur Lösung der Versorgungsfrage bedarf es der Modellierung und Entwicklung einer breitbandigen Antenne (200MHz). Die Verifikation der Antennenparameter verhilft beim Optimierungsvorgang zu effizienteren Gleichrichtern.

Die Einbindung eines Digitalteiles (Controllers) ermöglicht den Einsatz von Übertragungsprotokollen. Es bietet sich die Gelegenheit der Identifikation einzelner Tags, der Auflösung von Kollisionen und vielen weiteren kommunikationsrelevanten Vorteilen. Durch den Einsatz von Fehlerkorrekturmechanismen kann Dateninkonsistenz erkannt und dadurch die Sicherheit des Systems entscheidend erhöht werden. Die Synchronisationsdaten eines Headers ermöglichen die Einstellung der Datenraten und Frequenzen an die der Basisstation. Zudem würde ein definierter Startzeitpunkt der Daten die Datendetektion erleichtern.

Die Erweiterung der Kommunikationseinheit um den „return link“ vervollständigt die Informationsübermittlung zwischen Tag und Basisstation. Die Implementierung einer PLL (Phase Locked Loop) ermöglicht, mit der Hilfe des Kommunikationsprotokolls, ein Einschwingen auf die Frequenz der Datenübertragung. Dieser Vorgang hilft bei der Abtastung der übertragenen Daten. Die Datenraten der aktuellen Backscatteringssysteme

sind gegenüber den „forward link“-Datenraten wesentlich geringer, wodurch sich Entwicklungspotential ergibt. Mit der Einführung anderer Codierungsverfahren ergeben sich gegebenenfalls auch höhere Datenraten, wobei die dabei auftretenden Vor- und Nachteile abgewogen werden müssen.

Literaturverzeichnis

- [1] ASHRY, A., K. SHARAF und M. IBRAHIM: *A Simple and Accurate Model for RFID Rectifier*. Systems Journal, IEEE, 2(4):520 –524, 2008.
- [2] COLIN, E., A. MORETTO, S. ABOU CHAKRA und C. RIPOLL: *Shunt Resistance Variation for a Constant Power Supply in UHF RFID Tags*. S. 1 –4, sep. 2009.
- [3] DR.J.S.CHITODE: *Communication Theory*. Technical Publications Pune, 2009.
- [4] FINKENZELLER, K.: *RFID Handbuch: Grundlagen und praktische Anwendungen induktiver Funkanlagen, Transponder und kontaktloser Chipkarten*. Carl Hanser Verlag München, 2006.
- [5] GEBHART, M.: *Unterlagen zur Vorlesung aus RFID Systems*. 2008.
- [6] HAMID R. RATEGH, T. H. L.: *MULTI-GHZ FREQUENCY SYNTHESISIS & DIVISION: Frequency Synthesizer Design for 5GHz Wireless LAN Systems*. Kluwer Academic Publisher, 2001.
- [7] JARI-PASCAL CURTY, MICHEL DECLERCQ, C. D. N. J.: *Design and Optimization of Passive UHF RFID Systems*. Springer, 2007.
- [8] JIANYUN, H., H. YAN und M. HAO: *High efficient rectifier circuit eliminating threshold voltage drop for RFID transponders*. In: *ASIC, 2005. ASICON 2005. 6th International Conference On*, Bd. 2, S. 607 –610, 2005.
- [9] NAKAMOTO, H., D. YAMAZAKI, T. YAMAMOTO, H. KURATA, S. YAMADA, K. MUKAIDA, T. NINOMIYA, T. OHKAWA, S. MASUI und K. GOTOH: *A Passive UHF RF Identification CMOS Tag IC Using Ferroelectric RAM in 0.35 μ m Technology*. Solid-State Circuits, IEEE Journal of, 42(1):101 –110, jan. 2007.
- [10] PARET, D.: *RFID AT ULTRA AND SUPER HIGH FREQUENCIES Theory and application*. John Wiley and Sons, Ltd, 2009.
- [11] PETERS, C., M. ORTMANN und Y. MANOLI: *Fully CMOS integrated active rectifier without voltage drop*. In: *Circuits and Systems, 2008. MWSCAS 2008. 51st Midwest Symposium on*, S. 185 –188, 2008.

- [12] PHILLIP E. ALLEN, D. R. H.: *CMOS Analog Circuit Design (Second Edition)*. Oxford University Press, 2002.
- [13] RAZAVI, B.: *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, 2001.
- [14] SANSEN, W. M. C.: *Analog Design Essentials*. Springer, 2006.
- [15] TSIVIDIS, Y.: *Operation and Modeling of The MOS Transistor (Second Edition)*. Oxford University Press, 2003.
- [16] WOLFGANG BÖGE, P. W.: *Vieweg Handbuch Elektrotechnik, Grundlagen und Anwendungen für Elektrotechniker*. Friedr. Vieweg & Sohn Verlag, 2002.