

Spezifikation und Design einer integrierten Ausgangsstufe für den Ladungsausgleich einer Lithium-Ionen Batterien Serienschaltung für automobiler Applikationen

Diplomarbeit
DA666

Clemens Kain

Technische Universität Graz
Institut für Elektronik
Leiter: Univ.-Prof. Dipl.-Ing. Dr.techn. Wolfgang Pribyl
Betreuer: Ass.-Prof. Dipl.-Ing. Dr.techn. Peter Söser
Telefon: +43(0)316-873-7521 FAX: +43(0)316-873-8020
E-Mail: sek.ife@tugraz.at



Graz, Jänner 2010

EIDESSTATTLICHE ERKLÄRUNG

Ich erkläre an Eides statt, dass ich die vorliegende Arbeit selbstständig verfasst, andere als die angegebenen Quellen/Hilfsmittel nicht benutzt und die den benutzen Quellen wörtlich und inhaltlich entnommenen Stellen als solche kenntlich gemacht habe.

Graz,Unterschrift:.....

STATUTORY DECLARATION

I declare that I have authored this thesis independently, that I have not used other than the declared sources/resources and that I have explicitly marked all material which has been quoted either literally or by content from the used sources.

Graz,Signature:.....

Inhaltsverzeichnis

1. Einleitung	1
1.1. Motivation	1
1.2. Zielsetzung	2
1.3. Gliederung	2
2. Grundlagen	4
2.1. Batterien	4
2.1.1. Batterieeigenschaften	4
2.1.2. Batterietypen	7
2.2. Balancing	9
2.3. Fertigungsprozess SPT6	18
2.3.1. Bipolar-Transistoren	19
2.3.2. CMOS-Transistoren	20
2.3.3. DMOS-Transistor	20
3. Spezifikation	21
3.1. System	21
3.2. Chip	23
3.3. Ausgangsstufe	28
4. Schaltungsentwurf	37
4.1. Aktiv Balancing Schaltung	37
4.1.1. Stromquelle	37
4.1.2. Simulation	43
4.1.3. Layout	44
4.2. Passiv Balancing Schaltung	45
4.2.1. DMOS-Transistor Dimensionierung	45
4.2.2. Pullup-Widerstand	46
4.2.3. Simulation	47
4.2.4. Layout	49
4.3. Kontrollblock	50
4.3.1. Power-Down Schaltung	50
4.3.2. Decoder	52
4.3.3. Simulation	54
4.3.4. Layout	55
4.4. Diagnose	55

4.4.1. Ausgangsspannungsüberwachung aktiv	55
4.4.2. Ausgangsspannungsüberwachung passiv	58
4.4.3. Unterspannungserkennung	60
4.4.4. Simulation	63
4.4.5. Layout	66
4.5. Simulation Ausgangsstufe	67
4.5.1. Aktiver Balancingmodus	67
4.5.2. Passiver Balancingmodus	68
4.6. Layout Ausgangsstufe	69
5. Zusammenfassung und Ausblick	71
5.1. Zusammenfassung	71
5.2. Ausblick	72
Literaturverzeichnis	73
Abbildungsverzeichnis	75
A. Schematics	77
B. Simulationen	87

Abkürzungsverzeichnis

ADC	...	Analog Digital Converter, Analog-Digital Umsetzer
ASIC	...	Application Specific Integrated Circuit, Speziell für eine Anwendung entwickelte integrierte Schaltung
BCD	...	Bipolar CMOS DMOS
BMS	...	Batterie-Management-System
CeFu	...	Central-Functions
EV	...	Electric Vehicle
FET	...	Field Effect Transistor, Feldeffekttransistor
HS	...	High Side
LS	...	Low Side
MOS	...	Metal Oxide Semiconductor, Metall-Oxid-Halbleiter
MV	...	Mittelvolt
NTC	...	Negative Temperature Coefficient, Negativer Temperaturkoeffizient
NV	...	Niedervolt
OL	...	Open Load
OPV	...	Operationsverstärker
PD	...	Power Down
S2B	...	Short to Battery
S2G	...	Short to Ground
S&H	...	Sample and Hold, Abtasten und Halten
SC	...	Switched Capacitor
SOC	...	State of Charge, Ladezustand
SPI	...	Serial Peripheral Interface, Serieller Datenbus
SPT	...	Smart Power Technologie
UV	...	Undervoltage, Unterspannung
µC	...	Mikrocontroller

Vorwort

Seit 2003 bin ich bei der Firma Infineon in der Automotive-Abteilung Graz als Chip-Layouter tätig. Es lag nahe, dass ich meine Diplomarbeit in Zusammenarbeit mit der Firma Infineon mache. Das Diplomarbeitsthema ergab sich durch ein neues Forschungsprojekt unter der Leitung von Herrn Dipl.-Ing. Viktor Kahr. Aufgrund der Aktualität des Themas E-Mobility war die Begeisterung für die Diplomarbeit schnell geweckt. Die vorliegende Arbeit entstand im Zeitraum vom April 2009 bis Dezember 2009.

Die Diplomarbeit wurde von Herrn Ass.-Prof. Dipl.-Ing. Dr.techn. Peter Söser, vom Institut für Elektronik, betreut, bei ihm möchte ich mich an dieser Stelle recht herzlich bedanken. Während der Erstellung der Diplomarbeit wurde ich auch von Herrn Dipl.-Ing. Michael Hausmann, Firma Infineon, betreut, ihm darf ich für sein persönliches Engagement besonders danken. Für die Einführung in das bestehende System danke ich Herrn Dipl.-Ing. Werner Rössler. Weiters möchte ich mich bei Herrn Dr.Dipl.-Ing. Günter Gross für seine Unterstützung bei schaltungstechnischen Fragen bedanken.

Allen Mitarbeitern der Abteilung sei mein Dank für die gute Zusammenarbeit in der Firma ausgesprochen. Ebenso danke ich meinen Studienkollegen, für ihre Unterstützung in organisatorischer, fachlicher sowie privater Hinsicht. Vor allem möchte ich mich jedoch bei meiner Familie und meinen Freunden für die Unterstützung in all den Jahren hindurch bedanken.

Kurzfassung

Elektrisch betriebene Automobile stellen an die darin verwendeten Energiespeicher hohe Ansprüche. Der Energiespeicher besteht aus mehreren Batterien, welche in Serie geschaltet werden (Batteriestack). Um diesen Batteriestack möglichst effizient und über viele Zyklen laden und entladen zu können, ist es notwendig einen Ladungsausgleich zwischen den Batterien durchzuführen (Balancing). Man unterscheidet dabei zwischen dem aktiven und dem passiven Balancingverfahren. Im Rahmen der Diplomarbeit soll an der Entwicklung eines Batterie-Management-Systems (BMS) mit den Firmen Infineon Technologies, Magna und AIT mitgearbeitet werden. Ziel dieses Forschungsprojekts ist es einen ASIC zu entwickeln, welcher einerseits jede Einzelspannung und Zelltemperatur in einem Batteriestack misst, und andererseits mittels eigens dafür konstruierten Ausgangsstufen externe Bauteile ansteuert um aktives oder passives Balancing zu unterstützen. Ziel der Diplomarbeit ist die Spezifizierung der Ausgangsstufe sowie deren integrierter Schaltungsentwurf samt Layout in der Smart Power Technologie SPT6. Im theoretischen Teil der Arbeit werden Batterien sowie verschiedene Ladungsausgleichsverfahren beschrieben. Im praktischen Teil wird auf die Spezifikation des Chips sowie die Entwicklung der Ausgangsstufe eingegangen. Um die Schaltung zu verifizieren sind transiente, DC sowie statistische Simulationen, welche die Einhaltung der Spezifikationsgrenzen belegen, durchzuführen und die Ergebnisse zu dokumentieren. Da die Schaltung 12 mal am Chip eingesetzt werden soll, ist sowohl auf ein flächenoptimales Design als auch auf ein kompaktes Layout besonderes Augenmerk zu legen.

Abstract

Energy Storage for Electric Vehicles (EV) has to meet many requirements. It usually consists of several batteries connected in series (battery stack). To efficiently charge and discharge the battery stack over a lot of cycles it is necessary to balance the charge among the batteries (balancing). A distinction has to be made between active and passive balancing. The topic of this diploma thesis arose in the course of the joint development of a battery management system (BMS) between Infineon Technologies, Magna and AIT. The aim of this research is to develop an ASIC to measure all battery voltages and temperatures and to support active and passive balancing by means of an integrated output stage driving external components. The aim of this thesis is the specification, design and layout of the integrated output stage using Infineon's SPT6 technology. The theoretical part of this thesis discusses various battery technologies and charge equalisation methods. The second part covers the specification of the ASIC and the development of the output stage. To verify the design transient, DC and statistical simulations are done to prove compliance with the specification limits. Since this output stage will be placed on the chip twelve times, compact design and layout are of importance.

1. Einleitung

1.1. Motivation

Elektrisch angetriebene Automobile sind nicht erst eine Option der letzten Jahre. Der Bleiakkumulator, welcher um 1859 erfunden wurde, konnte bis 1881 für das Elektrofahrzeug zur Praxisreife gebracht werden. Unter anderem wurden vor 1900 sogar Geschwindigkeitsrekorde mit den damals zur Verfügung stehenden Elektroautos aufgestellt. Bis 1940 konnte das Elektroauto mit seinen Konkurrenten, welche mit Dampf oder fossilen Brennstoffen betrieben wurden, in deren Verbreitung durchaus mithalten. Ein großer Nachteil der batteriebetriebenen Automobile ergab sich schon damals durch die geringe Energiedichte des Energiespeichers. Bei gleichen baulichen Voraussetzungen, wie maximalem Volumen bzw. maximales Gewicht, kann durch fossile Brennstoffe mehr Energie mit dem Fahrzeug mitgeführt werden, als mit Batterien. Mit dem Ausbau der Straßen und zunehmenden Individualverkehr auch über die Stadtgrenze hinaus, stellte die Reichweite des Automobils eine immer wichtiger werdende Anforderung dar. [12]

Die Forschung und Entwicklung fokussierte sich damit auf die Verbrennungsmaschinen, welche kontinuierlich verbessert wurden, während für die Akkumulatoren die Zeit still zu stehen schien. Ausgelöst durch Ölkrisen und steigendes Umweltbewusstsein der Gesellschaft wurde erst um 1990 mit Nachdruck nach Alternativen zum Verbrennungsmotor gesucht. Neben dem Akkumulator wurde auch die Brennstoffzelle als Energiespeicher in Betracht gezogen. Während E-Autos mit Brennstoffzellen über einzelne Prototypen hinaus noch nicht hergestellt werden, kann der Akkumulator schon auf einige Kleinserien in der Vergangenheit zurückblicken.

Unterstützt durch das Aufkommen mobiler elektrischer Geräte wie Laptop, PDA und dem Handy in großen Stückzahlen, wurden NiCd und NiMH Akkumulatoren als Energiespeicher verwendet. Aktuell werden der Lithium Batterie die besten Erfolgsaussichten im Elektroauto vorausgesagt.

Um einen geringeren Strom sowie dünnere Leitungen bei gegebener Leistung zu ermöglichen werden viele dieser Zellen in Serie zueinander angeordnet um Spannungen von mehreren hundert Volt zu erreichen. Durch Produktionsunterschiede der Zellen sowie verschiedenen Alterserscheinungen nach vielen Ladezyklen können diese Zellen verschiedene Ladungszustände aufweisen, was ein Batterie-Management-System notwendig

macht. Dieses Batterie-Management-System überwacht zum einen alle Zellspannungen auf deren regulären Betrieb innerhalb der vorgesehenen Spannungsgrenzen, und steuert zum anderen die Ladungsbalancierung, damit alle Zellen gleich weit geladen bzw. entladen werden können. [1]

Die Entwicklung dieses Systems erfolgt in einer Kooperation der Firmen Magna, AIT und Infineon. Infineon Technologies entwickelt dazu einen IC, welcher die Schnittstelle zwischen den Batterien und dem Mikrocontroller (μC) darstellt. Diese Diplomarbeit umfasst dabei die Beschreibung verschiedener Balancing Verfahren sowie das Konzipieren und Realisieren eines Gatetreibers auf diesem IC, welcher ein von der Firma Infineon verwendetes aktiv Balancing Verfahren sowie das passiv Balancing unterstützt.

1.2. Zielsetzung

Im Laufe der Diplomarbeit soll an einer ersten Spezifikation des geplanten Chips (ASIC) mitgearbeitet werden. Äußere Beschaltung und Funktionen des Chips sollen nach Absprache mit den Projektpartnern festgelegt werden. Die Ausgangsstufe des Chips soll anschließend näher spezifiziert und in der Technologie SPT6 entworfen werden. Die statistischen Simulationen sollen die Einhaltung der Spezifikation bestätigen. Abschließend soll die Ausgangsstufe gelayoutet werden, damit die Schaltung auf einem Testchip produziert werden kann.

1.3. Gliederung

Die Diplomarbeit wurde in drei große Kapitel geteilt. Im ersten Kapitel werden die Grundlagen erläutert. Aktuell eingesetzte Batterien werden angeführt und deren Vor- und Nachteile erläutert. In diesem Teil werden auch Veröffentlichungen zum Thema verkürzt angeführt und ein Überblick der zur Zeit verwendeten Balancing Verfahren gegeben. Den Abschluss dieses Kapitels bildet eine Einführung in die Technologie SPT6, welche die Rahmenbedingungen für den Schaltungsentwurf darstellt.

Im zweiten Kapitel wird die Spezifikation des Chips beschrieben. Nach der Beschreibung des gesamten Systems werden Anforderungen und Vorgaben der Systementwickler angeführt. Eine Simulation an einem diskret aufgebauten System schafft einen Überblick und lässt eine Beschreibung sowie die nähere Spezifikation der Ausgangsstufe zu.

Im dritten Kapitel werden verschiedene Schaltungsentwürfe miteinander verglichen und auf deren sinnvolle Einsetzbarkeit für die Applikation überprüft. Die finale Schaltung wird detailliert auf Transistorebene beschrieben. Simulationen der einzelnen Schaltungs-

blöcke sowie der gesamten Ausgangsstufe sollen die Einhaltung der Spezifikation bezeugen.

Weiters werden die Herausforderungen des physikalischen Entwurfs angeführt und das finale Layout der Ausgangsstufe gezeigt.

Im abschließenden Kapitel Zusammenfassung und Ausblick werden die Erkenntnisse aus dieser Diplomarbeit zusammengefasst und auf die Erreichung der Zielsetzung eingegangen. Den Fortgang der Chipentwicklung und eine Abschätzung der benötigten Fläche des Chips bilden den Ausblick dieser Arbeit.

Im Anhang der Arbeit werden zunächst die Detail-Schematics der Ausgangsstufe und weitere Simulationsergebnisse angeführt.

2. Grundlagen

2.1. Batterien

Batterien sind galvanische Zellen und dienen der Speicherung elektrischer Energie. Wichtige Bestandteile der galvanischen Zelle sind die beiden Elektroden aus unterschiedlichen Materialien, welche die Zellspannung bestimmen, und der Elektrolyt. Trotz einiger Versuche in der Vergangenheit konnte sich die Batterie als Energiespeicher für Autos noch nicht gegen fossile Treibstoffe durchsetzen. Ein Hauptproblem ist die geringe Energiedichte, die Batterien gegenüber Benzin oder Diesel aufweisen.

Grundsätzlich teilt man Batterien in 2 Gruppen ein, den Primär- und den Sekundärzellen. Als Traktionsbatterien, also Batterien die ein Auto vollständig mit Energie versorgen, kommen nur Sekundärzellen in Frage. Im Gegensatz zu den Primärzellen können diese Zellen wieder aufgeladen werden und kommen dem konventionellen Treibstofftank des Autos wesentlich näher.

2.1.1. Batterieeigenschaften

Im Folgenden sollen die wichtigsten Eigenschaften der Traktionsbatterien erklärt werden.

Die spezifische Energiedichte einer Batterie beschreibt die speicherbare Energie in Wh pro Kilogramm. Dieser Wert ist essentiell für die Reichweite des Automobils. Je höher die spezifische Energiedichte umso leichter kann das Auto bei gleichem Energievorrat gebaut werden. Das senkt die benötigte Energie für eine Wegstrecke. Die volumetrische Energiedichte gibt einen Wh pro Liter Wert an, welcher für die Platzierung der Batterie und dessen benötigte Abmessungen berücksichtigt werden muss. Beide Werte sollten für ein rein elektrisch betriebenes Auto (EV) möglichst hoch sein.

Die Leistungsdichte in W pro kg gibt die Leistung, welche aus der Batterie entnommen werden kann, in Bezug auf das Gewicht an. Je höher dieser Wert ist, umso höhere Beschleunigungen können mit dem Auto erreicht werden. Weiters gibt die Leistungsdichte indirekt an, mit welcher Stromstärke die Batterie geladen werden kann. Für Batterien in Hybrid-Autos ist dieser Wert sehr wichtig, da zum Beispiel während einer Beschleunigungsphase für kurze Zeit eine hohe Leistung abrufbar sein soll.

In Abbildung 2.1 ist das Ragone-Diagramm für verschiedene Batterien abgebildet. Das Ragone-Diagramm zeigt die Leistungsdichte in Bezug auf die spezifische Energiedichte. Je nach Anwendung ist oft eine Auswahl zwischen Energie- oder Leistungsbatterien zu treffen.

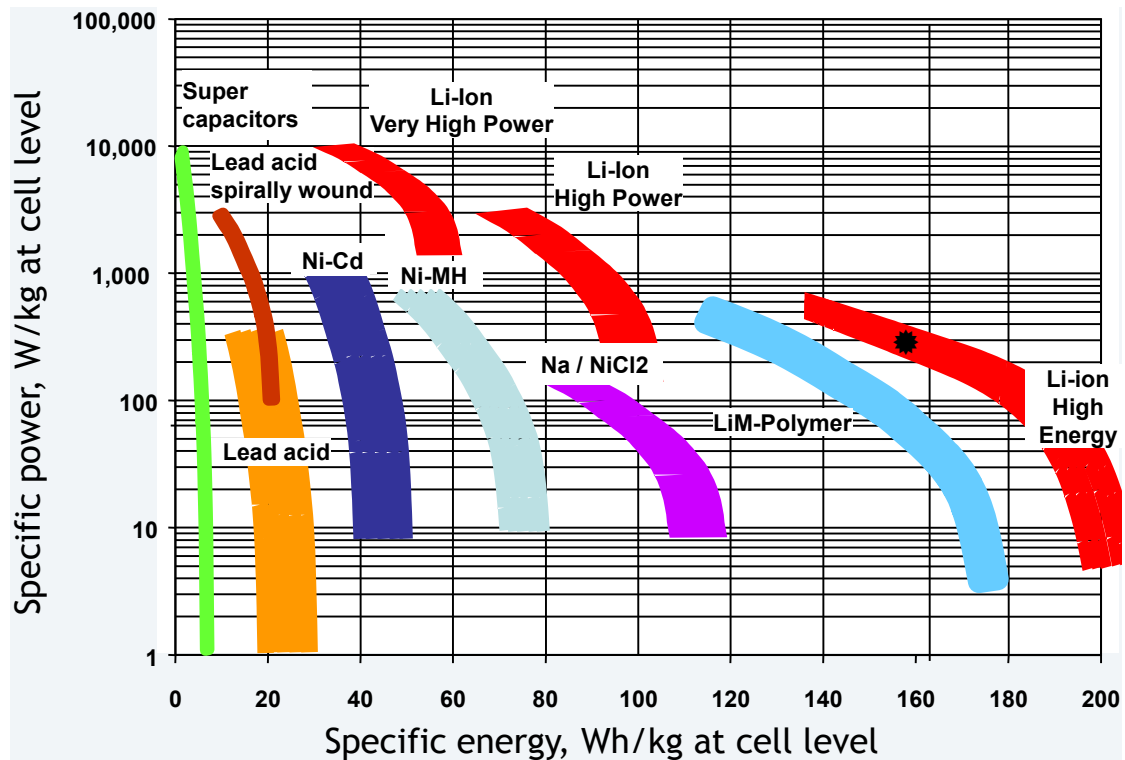


Abbildung 2.1.: Ragone Diagramm [Quelle: Firma SAFT]

Die Zellspannung einer Batterie ist abhängig vom Batterietyp beziehungsweise den Bestandteilen der Zelle, wie den Elektrodenmaterialien.

Wichtige Spannungsangaben einer Batterie sind:

- Leerlaufspannung: Spannung der Zelle ohne Belastung
- Ladeschlussspannung: Maximale Spannung, bis zu der die Batterie geladen werden darf
- Entladeschlussspannung: Minimale Spannung der Batterie, welche nicht unterschritten werden darf

Die Kapazität einer Batterie definiert die speicherbare Energie einer Zelle. Sie wird in Ah angegeben. Die Änderung der Zellspannung mit dem Ladezustand der Batterie ist in

der Entladecharakteristik zu sehen. Oft ist die Kapazität zusätzlich vom Entladestrom abhängig, da der Innenwiderstand der Zelle bei höheren Strömen stärker erhitzt wird. Auch die Umgebungstemperatur ändert den Kurvenverlauf der Entladecharakteristik. Die Kapazität kann also je nach Temperatur oder Stromentnahme variieren. [6]

Der State-of-Charge (SOC) Wert entspricht dem Ladezustand eines Energiespeichers und nimmt Werte zwischen 0 und 100 Prozent an. Der SOC-Wert ermöglicht somit eine Abschätzung, der verbleibenden Reichweite des Autos. Mittels Messung der Spannung, des Stromes und der Temperatur einer Zelle kann der SOC-Wert berechnet werden. [15]

Grundlage dieser Berechnung ist die Entladecharakteristik einer Zelle. Abbildung 2.2 zeigt die Entladecharakteristik einer Lithium-Ionen Zelle. Lade- oder Entladeströme werden bei Akkumulatoren oft in C-Werten angegeben. Der 1C-Strom entspricht jenem Strom, der die Zelle in einer Stunde, von dessen Nennkapazität ausgehend, vollständig entlädt. Spricht man von einer 40 Ah Zelle so ist der 1C-Strom 40 Ampere. [12]

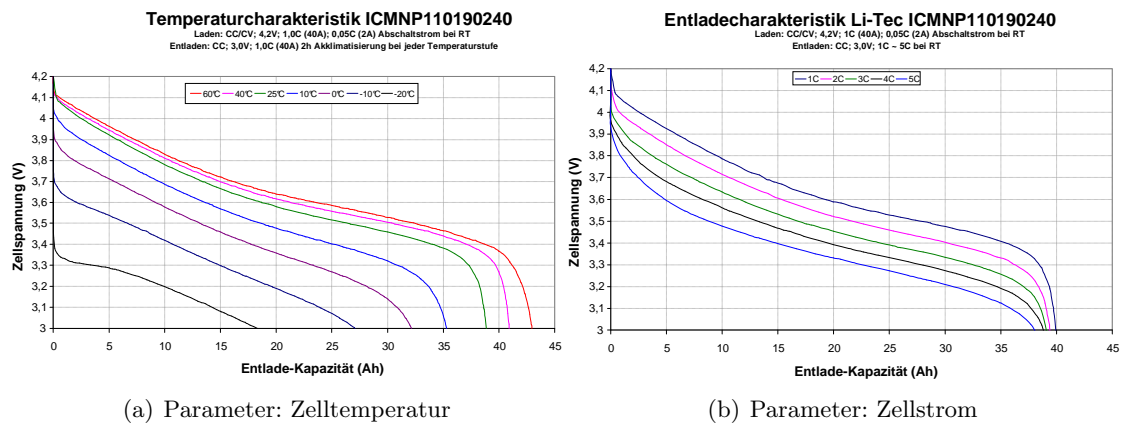


Abbildung 2.2.: Entladecharakteristik einer Lithium-Ionen Zelle [Quelle: Firma Li-Tec]

Der Ladefaktor ist der Kehrwert des Ladewirkungsgrads und beschreibt die Relation zwischen der Energie, mit der die Zelle geladen wird, und der Energie, die später aus der Zelle entnommen werden kann. Ein Ladewirkungsgrad von 1 ist demnach optimal. [6]

Die Lebensdauer der Batterie wird meist in Vollzyklen angegeben. Die Zelle wird dabei zu 80% pro Zyklus entladen. Die Batterie gilt für automotiv Anwendungen als kaputt wenn sie nach den Lade-/Entladezyklen nur mehr 80% ihrer Nennkapazität aufweist. Manche Batterien besitzen eine Lebensdauerangabe in Jahren, welche auch die Lagerung der Batterien begrenzt. [16]

2.1.2. Batterietypen

Die wichtigsten Vertreter von Traktionsbatterien in der Vergangenheit und Gegenwart sind der Bleiakkumulator sowie die NiMH und die Lithium-Ionen Zelle. Die Eigenschaften dieser Akkumulatoren werden folglich etwas näher beschrieben.

Bleiakkumulator

Der Bleiakkumulator wurde um 1859 erfunden. Die Zelle besteht an der positiven Elektrode aus Bleidioxid und an der negativen Elektrode aus Blei. Als Elektrolyt wird bei der Blei-Säure-Batterie 38-prozentige Schwefelsäure verwendet. Die Eigenschaften der Batterie wie Hochstromfestigkeit und Zyklenfestigkeit können durch die Platten-Oberfläche, deren Abstände sowie der Isolation beeinflusst werden und für bestimmte Applikationen optimiert werden. [12]

Bei einem Blei-Gel-Akkumulator ist der Elektrolyt als Gel vorhanden. Die Vorteile gegenüber der Blei-Säure-Zelle ist die Wartungsfreiheit, eine höhere Lebensdauer und Energieeffizienz sowie die Lageunabhängigkeit der Batterie. Beim Laden muss darauf geachtet werden, dass der Akkumulator nicht durch Überladen mehr Knallgas erzeugt als an den Polen rekombiniert werden kann. Die Folge wäre ein erhöhter Druck in der Zelle sowie das Ausgasen bzw. das Entweichen des Elektrolyts über das Sicherheitsventil des Gehäuses, was irreparable Schäden verursachen kann.

Eine weitere Bauform ist der Blei-Flies-Akkumulator, deren Schwefelsäure mit einem Flies gebunden wird. Dieser Akkumulator zeichnet sich durch verbesserte Lebensdauer, bessere Eigenschaften bei niedrigen Temperaturen und der Tiefentladefähigkeit aus. [12]

Die Nennspannung einer Zelle beträgt 2 Volt obwohl je nach Lade- bzw. Entladezustand eine Leerlaufspannung zwischen 1,75 und 2,4 Volt gemessen werden kann.

Applikationen für Bleiakkumulatoren:

- Startbatterie in Verbrennungsfahrzeugen
- Energiespeicher in unterbrechungsfreien Stromversorgungen
- Traktionsbatterien kleiner Elektrofahrzeuge
- Batterien für Solaranlagen

NiMH Akkumulator

Die Nickel Metall-Hydrid Zelle ist seit 1992 auf dem Markt und folgt der in Europa bereits wegen dem giftigen Cadmium verbotenen NiCd Akkumulator. Die positiven Elektrode besteht meist aus Nickelhydroxid und die negative Elektrode wird meist aus Kobalt-Mangan-Legierungen geformt. Der Elektrolyt ist Kalilauge. Der erlaubte Temperaturbereich der Zelle liegt zwischen -40 und 50 °C. Die theoretisch erreichbare Energiedichte von 215 Wh/kg wird in der Praxis (70-90 Wh/kg) bei weitem nicht erreicht. [6][16]

Die Nennspannung des NiMH Akkumulators liegt bei 1,2 V. Die Ruhespannung liegt zwischen der Entladeschlussspannung von 1 V und der Ladeschlussspannung von 1,45 V. Die Entladeeigenschaft ist vom Entladestrom sowie der Außentemperatur abhängig. Als Vorteil dieser Zelle ist das gute Hochstromverhalten, bedingt durch das negative Temperaturverhalten, zu nennen. [16]

Die Zyklenfestigkeit liegt bei ca. 2500 Zyklen (80 % Entladetiefe) bzw. 160000 Zyklen (5 % Entladetiefe). Überladen und Tiefentladen sind zu vermeiden, da es durch Kristallbildungen zu permanenten Schäden an der Zelle führen kann.

Ein großer Nachteil dieser Zelle ist die hohe Selbstentladungsrate von 4-5 % pro Tag bzw. 20-25 % pro Monat. [16] NiMH Akkumulatoren werden oft als Ersatz von Primärzellen in tragbaren Geräten wie MP3-Player, Digitalkamera usw. verwendet. Auch aktuell erhältliche Hybrid-Autos (Prius) verwenden diese Zellen.

Li-Ionen Akkumulator

Der Lithium-Ionen Akkumulator verdrängt seit Markteinführung 2004 die NiCd und auch NiMH Zelle. An den Elektroden-Materialien der Lithium-Ionen Zellen wird nach wie vor mit Nachdruck geforscht. Die meisten erhältlichen Lithium-Ionen Akkumulatoren besitzen eine positive $LiCoO_2$ Elektrode sowie eine negative Elektrode aus Kohlenstoff. Der Elektrolyt ist eine organische Flüssigkeit. Besonders an der positiven Elektrode befinden sich verschiedene Materialien, welche unterschiedliche Einflüsse auf die Eigenschaften der Zelle haben. In der Tabelle 2.1 sollen Zellen mit verschiedenen Legierungen der positiven Elektrode gegenübergestellt werden.

Lithium-Ionen Zellen mit $LiCoO_2$ Elektroden neigen bei hoher Spannung ab 4,4 V oder bei hohen Temperaturen zu einer starken exothermen Reaktion weshalb die Zellen elektronisch überwacht werden müssen. Viele Batterie-Hersteller integrieren auch schon mechanische Stromabschaltvorrichtungen um gefährliche Temperaturen, hohe Ströme oder einen zu hohen Druck der Zellen zu vermeiden. Die mechanische Abschaltung der Zelle selbst ist jedoch irreversibel.

System	Zellspannung	Temperatur	spez. Energiedichte		Zyklen	Leistung
	V		Wh/kg	Wh/l		
<i>LiCoO₂</i>	3,6	-20/60	140-190	360-500	800-1200	N-M
NCA	3,5	-20/60	220-240	500-630	800-1200	N-M
NCM	3,7	-20/60	100-150	230-400	500-700	M-H
Mn spinel	3,7	-20/60	130-150	300-320	500-700	H
Fe phosphate	3,3	-30/70	100-140	250-380	>1000	SH
Nexelion	3,5	-20/60	160	480	1000	M-H

Tabelle 2.1.: Übersicht Li-Ionen Systeme [12] [16]

N ... Niedrig
M ... Mittel
H ... Hoch
SH ... Sehr Hoch

Die Ladeschlussspannung des Lithium-Ionen Akkumulator liegt bei 4,2 V und sollte aus Sicherheitsgründen genau eingehalten werden. Die Entladeschlussspannung schwankt je nach Elektrodenmaterial zwischen 2,3 bis 3 V. Die Abhängigkeit der Zellspannung gegenüber dem Strom und der Temperatur muss für SOC-Berechnungen berücksichtigt werden. Bei Temperaturen unter 0 °C nimmt die Kapazität stärker ab als bei höheren Temperaturen. Bei diesen niedrigen Temperaturen sollte die Zelle mit kleineren Strömen geladen werden um einen vollständigen Ladevorgang zu ermöglichen. [16]

Die Selbstentladung von Lithium-Ionen Akkumulatoren liegt bei 1-5 % im Monat was relativ gering ist. Bei Zelltemperaturen höher 30 °C steigt die Selbstentladung weshalb die Lagerung von Lithium-Ionen Batterien bei Raumtemperatur und 60 % SOC erfolgen sollte. [16] Lithium-Ionen Akkumulatoren werden vor allem in tragbaren Geräten wie Handy, Laptop usw. verwendet. Auch neue Hybrid- und reine Elektroautos werden mit Lithium-Ionen Zellen geplant und aller Voraussicht nach die bestehenden NiMH Systeme ersetzen.

2.2. Balancing

Eine Serienschaltung von Batterien (Batteriestack) bringt mehrere Probleme mit sich. Speziell wiederaufladbare Batterien mit flacher Entladecharakteristik und unbedingt einzuhaltenen Spannungsgrenzen stellen hohe Anforderungen an das Batterie-Management-System (BMS).

Man unterscheidet in der Literatur zwischen internen und externen Gründen für Zellen in einem Batteriestack mit unterschiedlichen Ladungszuständen (unbalancierter Batte-

riestack). [3] Interne Gründe sind zum Beispiel unterschiedliche Parameter wie Kapazität, Selbstentladungsrate oder Serienwiderstand. Diese unterschiedlichen Parameter können massiv durch verschieden alte Zellen bzw. Zellen verschiedener Hersteller auftreten. Optimal ist deshalb ein Batteriestack mit Zellen einer Produktionstranche. Durch die Prozessstreuung, welche je nach Werk und verwendeter Technologie unterschiedlich ausfallen kann, kommt man jedoch an der Tatsache nicht vorbei, dass die Zellparameter zumindest leicht verschieden sind.

Externe Gründe können unterschiedliche Belastungen der Zellen durch die äußere Beschaltung (Spannungsüberwachung) oder auch verschiedene Zelltemperaturen sein. Da sich die maximale Entladekapazität, die Selbstentladungsrate und der Serienwiderstand einer Zelle mit deren Temperatur verändert, sind Temperaturunterschiede der einzelnen Zellen möglichst zu vermeiden.

Zur Veranschaulichung der Problematik eines unbalancierten Batteriestacks ist auf [1] zu verweisen. Vergleichbar mit einem Wassermodell, indem die Batterien durch Gefäße dargestellt werden, kann ein Batteriestack nur solange geladen werden bis die vollste Zelle ihre maximal erlaubte Spannung erreicht hat. Umgekehrt begrenzt die leerste Zelle den Entladevorgang durch die minimal erlaubte Zellspannung. Der Ladungsunterschied zwischen der vollsten und der leersten Zelle gleicher Kapazität eines Stacks reduziert die theoretisch zur Verfügung stehende Ladung des gesamten Stacks. Im Extremfall befindet sich eine volle und eine leere Batterie in einem Stack was bewirkt, dass der Stack weder geladen noch entladen werden kann.

Bei Einhaltung aller Empfehlungen kann ein Batteriestack gefertigt werden, dessen einzelne Zellparameter nur wenig voneinander abweichen. Während den ersten Lade-/Entladezyklen spielen diese Abweichungen keine große Rolle. Bei längerer Lagerung oder höherer Zyklenanzahl summiert sich die Unausgewogenheit der einzelnen Zellen zusehends, sodass die zu erwartende Lebensdauer des Stacks doch deutlich geringer ausfällt, als die einer Einzelzelle. [10]

Da die gespeicherte Energie in den Batterien immer höher wird um größere Reichweiten zu ermöglichen, werden auch die Ladungsunterschiede der einzelnen Zellen absolut gesehen immer höher. Ungleiche Innenwiderstände der Batterien verursachen bei Spannungsmessungen während dem Betrieb (durch laden oder entladen) unterschiedliche Zellspannungen, und führen ohne einer zusätzlichen Referenzmessung der Ruhespannung zu verfälschten SOC-Berechnungen der Zellen.

In der Literatur existieren verschiedene Auffassungen bezüglich der Aufteilung der Balancingmethoden in aktives und passives Balancing. Bei Blei-Säure- oder NiCd-Batterien kann durch die zelltypbedingte Überladungsresistenz der gesamte Stack solange geladen werden, bis die letzte Zelle voll ist. Die überschüssige Leistung wird in Form von Wärmeenergie oder durch Ausgasen der Zelle (Elektrolyse) an die Umgebung abgegeben. Diese Art des Balancings wird als passives Balancing bezeichnet. Wird eine externe Schaltung

ungeachtet der verwendeten Bauteile oder der Methode für das Balancing verwendet, so spricht der Autor von aktivem Balancing. [3]

Speziell beim Balancing von Lithium-Ionen Batterien, wie sie in dieser Arbeit vorgestellt werden soll, spricht man jedoch von passivem Balancing, wenn die überschüssige Energie einer bereits vollen Zelle durch die äußere Beschaltung in Wärme umgewandelt wird, und von aktivem Balancing, wenn überschüssige Energie den anderen Zellen zugeführt wird. [1]

Passives Balancing

Das passive Balancing ist ein weit verbreitetes Balancingverfahren für Lithium-Ionen Batterien mit niedriger bis mittlerer Zellkapazität. Die Grundidee dahinter ist, Zellen mittels eines Widerstandes zu belasten und somit ein weiteres Aufladen der Zelle, je nach Dimensionierung des Balancingstromes, einzubremsen oder zu verhindern. Die Schaltung in Abbildung 2.3 zeigt eine Schaltung für passives Balancing. [3] Durch ermitteln des SOC-Wertes aller Zellen kann eine Entscheidung getroffen werden, welche Zellen langsamer geladen werden sollen. Den betroffenen Zellen wird ein Widerstand parallel geschaltet wodurch je nach Widerstandswert ein Teil des Ladestroms an der Zelle vorbei geführt wird. Die Verlustleistung des Widerstandes berechnet sich aus der Spannung der Zelle V_{B1} sowie aus dem Balancingwiderstand R .

$$P_{R1} = \frac{V_{B1}^2}{R1} [W] \quad (2.1)$$

Bei der Dimensionierung des Widerstandes ist auf die Verlustleistung zu achten und die Wärmeabfuhr aus dem System sicherzustellen, wenn alle Widerstände zugeschaltet wurden. Durch den geringeren Ladestrom der volleren Zellen gleichen sich alle Zellen an. Nachdem alle Zellen den gleichen SOC-Wert aufweisen, können die Widerstände wieder abgeschaltet werden.

Die Vorteile dieser Methode sind der prinzipiell einfache Aufbau der Schaltung sowie geringe Anforderungen an die Schalteransteuerung. Pro Zelle wird ein Schalter und ein Widerstand benötigt. Für n Zellen ergibt dies n Schalter und n Widerstände, was die Kosten der Schaltung gering hält. Der Balancingstrom wird durch den Widerstandswert einfach definiert und kann somit für die verschiedenen Applikationen angepasst werden.

$$I_{R1} = \frac{V_{B1}}{R1} [A] \quad (2.2)$$

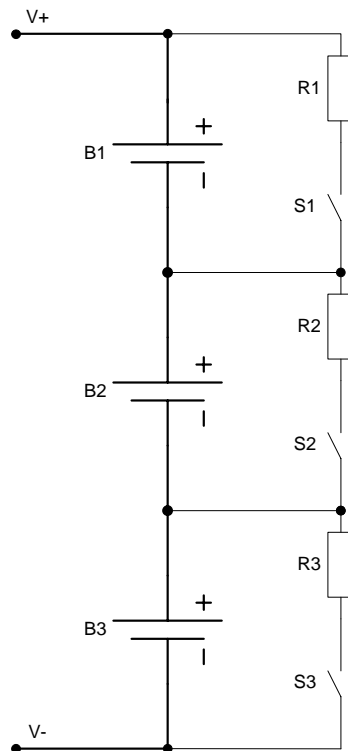


Abbildung 2.3.: Passives Balancing mit Widerstand

Ein großer Nachteil dieser Methode ergibt sich durch die geringe Energieeffizienz des Systems, da überschüssige Energie in Wärme umgewandelt wird und für die Applikation verloren geht. Aus diesem Grund ist ein Ladungsausgleich mit dieser Methode nur während einem Aufladevorgang der Batterie sinnvoll einsetzbar. Je nach thermischem Management kann die maximale Verlustleistung des Systems den Balancingstrom begrenzen, weshalb diese Methode oft nur für kleine Balancingströme (ca. 100 mA) angewandt wird.

Integrierte Schaltungen, welche passives Balancing für mehrere Zellen in Serie unterstützen sind zum Beispiel LTC6802 (Linear Technologies), AD7280 (Analog Devices) sowie BQ77PL900 (Texas Instruments).

Aktives Balancing

Beim aktiven Balancing wird die Energie voller Zellen an leere Zellen abgegeben. Für diesen Vorgang muss wegen der Serienschaltung der Zellen Energie temporär gespeichert werden, was entweder kapazitiv oder induktiv erfolgen kann. Kapazitiver Ladungsausgleich beruht meist auf SC (Switched Capacitor) Schaltungen.

In Abbildung 2.4 ist eine SC Schaltung nach [3] dargestellt, die $2n$ Schalter, $(n-1)$ Kondensatoren und ein Ansteuersignal benötigt. Das Ansteuersignal kann durch ein einfaches Taktsignal erzeugt werden. Jeder Kondensator stellt einen Spannungsausgleich zwischen 2 benachbarten Zellen her, was in Summe zu einem Angleichen aller Zellspannungen führt. Die Geschwindigkeit des Ladungsausgleichs definiert sich durch die Größe der Kapazitäten sowie der Taktfrequenz des Ansteuersignals und der Anzahl der Zellen.

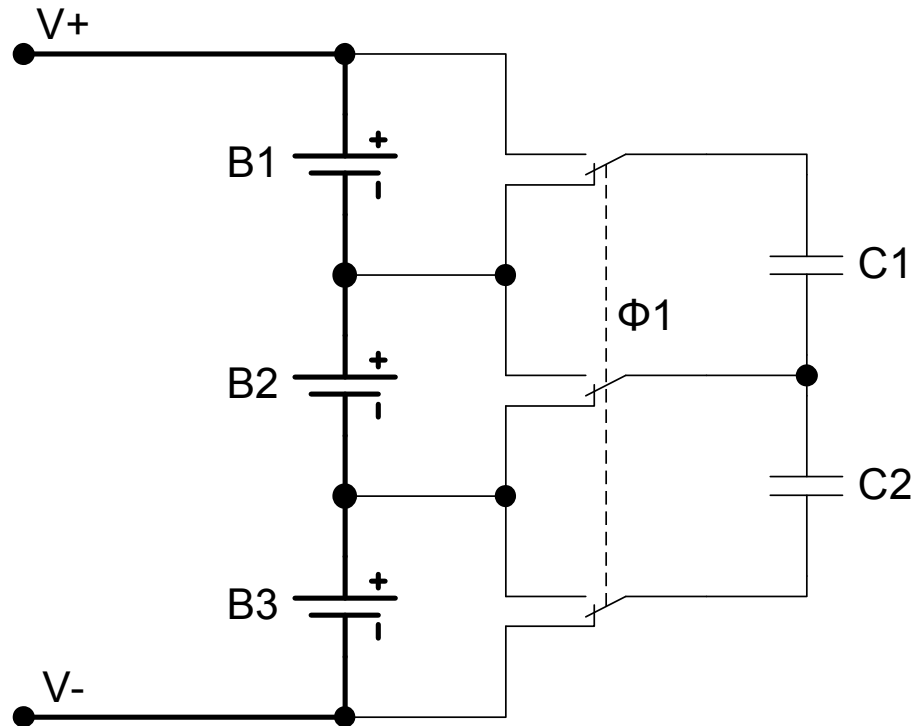


Abbildung 2.4.: Aktiv Balancing mit SC

Eine Abwandlung der Schaltung ist in Abbildung 2.5 dargestellt. Diese Single SC-Schaltung benötigt $2n$ Schalter, einen Kondensator und n Ansteuersignale. [3] Mit dieser Schaltung kann durch eine intelligente Ansteuerung gezielt zwischen zwei beliebigen Zellen im Stack balanciert werden. Die Vorteile dieser Schaltung ergeben sich durch die verminderte Kondensatoranzahl, sowie einer höheren Geschwindigkeit bei komplexerer Erzeugung der Ansteuersignale. Bei der Ausführung der Schalter mit Halbleiterbauelementen ist auf die höhere Schaltspannung gegenüber der SC-Schaltung hinzuweisen.

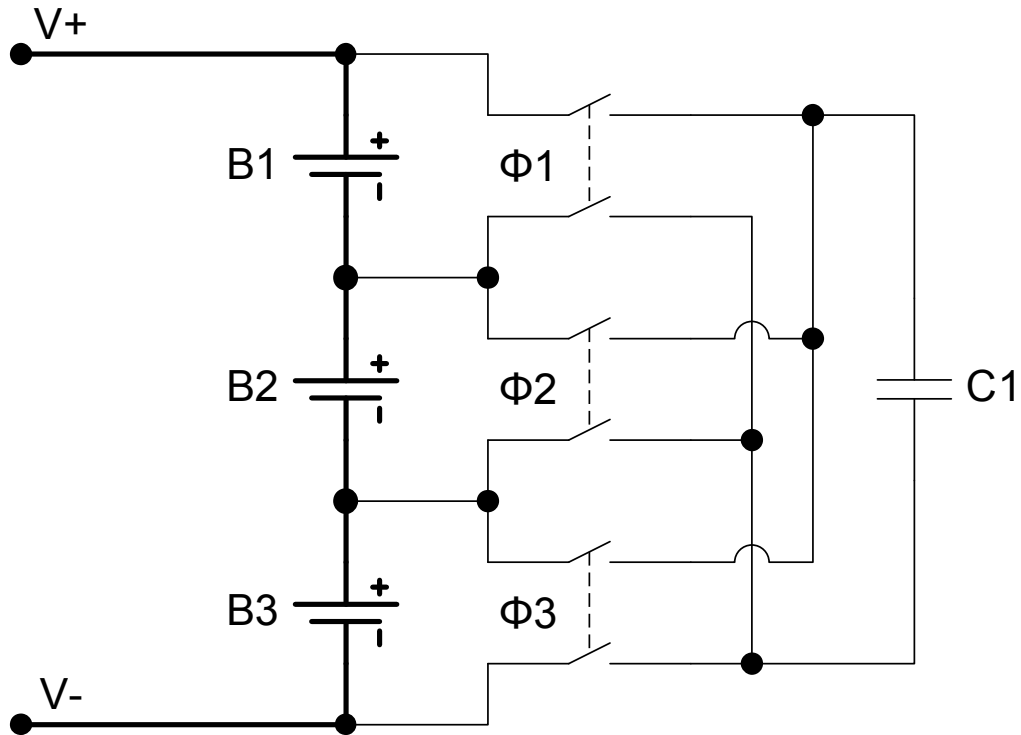


Abbildung 2.5.: Aktiv Balancing mit Single SC

Eine induktive Balancingschaltung wird in Abbildung 2.6 gezeigt. [3] Diese Schaltung wird von Texas Instruments unter der Bezeichnung BQ78PL114 PowerPump verwendet. Die Schaltung benötigt $2(n-1)$ Schalter sowie $(n-1)$ Induktivitäten und $2(n-1)$ Ansteuersignale. Im Ruhezustand sind alle Schalter geöffnet. Will man Energie von der Batterie 1 zur Batterie 2 transferieren so wird zunächst S1 geschlossen. Der Strom in der Spule L1 steigt linear an. Nach Erreichen des maximalen Stromes wird S1 geöffnet und S2 geschlossen, womit die Spule die magnetische Energie über die Batterie 2 abbaut und dieser somit Energie zuführt. Wenn der Strom den Nulldurchgang erreicht wird S2 wieder geöffnet womit sich die Schaltung wieder im Ausgangszustand befindet.

Sind den Schaltern parallel Dioden angeordnet, wie es bei MOSFET-Schaltern der Fall ist, kann die Ansteuerung von S2 für diesen Zyklus entfallen. Soll Energie von der Batterie 2 zur batterie 1 transferiert werden wechseln die Schaltzustände von S1 und S2. Ähnlich wie bei der SC-Schaltung ist es in einem Schaltzyklus nur möglich Energie zwischen benachbarten Zellen zu wechseln. Durch gezieltes Weiterschieben der Teilladungen kann Energie zwischen beliebigen Zellen ausgetauscht werden. Die Ansteuerung dieser Schaltung ist aufgrund der vielen unterschiedlichen Ansteuersignale als komplex zu bezeichnen.

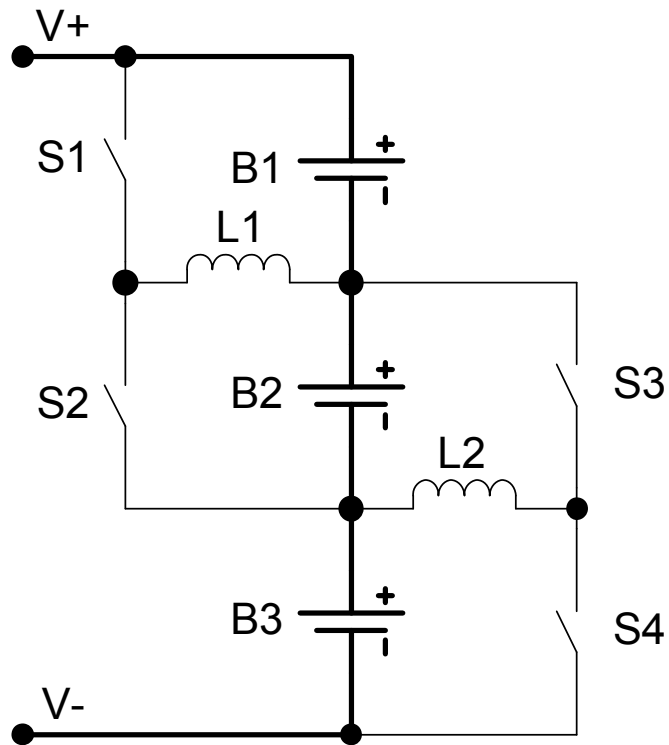


Abbildung 2.6.: Aktiv Balancing mit Spulen

Eine weitere induktive Balancingschaltung wie sie bei Infineon verwendet wird ist in Abbildung 2.7 zu sehen. Es werden ein Transformator mit einer Primärwicklung und n Sekundärwicklungen sowie $(n+1)$ Schalter und $(n+1)$ Ansteuersignale für die Schaltung benötigt. [1] Das Funktionsprinzip entspricht dem eines bidirektionalen Flybackconverters. [7] Der Energieaustausch kann auf 2 Arten erfolgen. Wird einer Zelle Energie entzogen und der gesamte Stack damit geladen spricht man von Topbalancing. Entzieht man dem gesamten Stack Energie und ladet damit eine Zelle, so spricht man von Bottombalancing. Es kann jede Zelle im Stack gezielt entladen oder aufgeladen werden. Eine genauere Beschreibung der Funktionsweise befindet sich in [1].

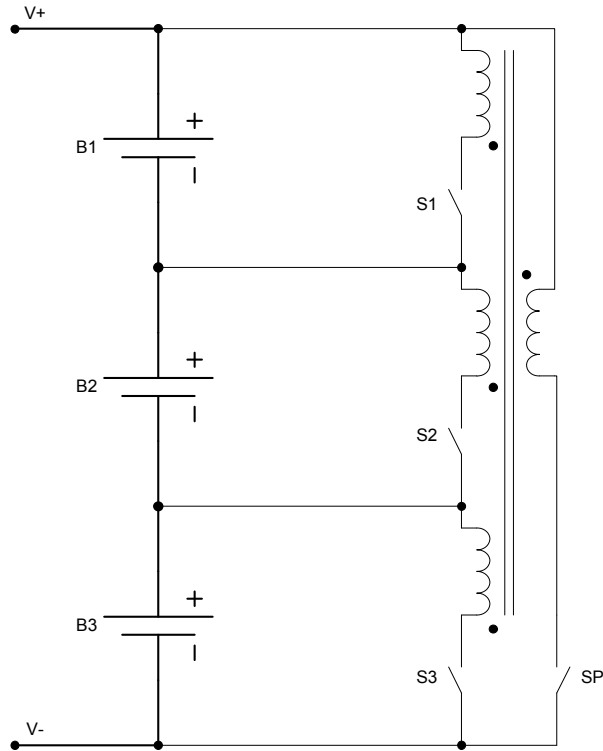


Abbildung 2.7.: Aktiv Balancing mit Transformator

Kapazitive und induktive Balancingschaltungen unterscheiden sich in deren Eigenschaften grundsätzlich. Beim kapazitiven Balancing kann mit relativ geringem Ansteuerungsaufwand ein Spannungsausgleich zwischen den Zellen hergestellt werden. Der Balancingstrom weist, wie für Kapazitäten typisch, hohe Stromspitzen auf, welche abhängig vom Spannungsunterschied der beiden Zellen und den Zuleitungswiderständen samt Schaltwiderstand sind. Haben alle Zellen die selbe Spannung ist kein Ladungsaustausch möglich.

Folgende Berechnungen sollen eine Hilfe bei der Dimensionierung der Schaltung geben und die Verfahren bezüglich Verlustleistung vergleichbar machen. Die Berechnungen erfolgen unter Annahme idealer Bedingungen, also ohne Verlustleistungen an Leitungs-, Einschalt- oder Innenwiderständen.

Die Energie, welche mit einem Kondensator der Kapazität C zwischen 2 Zellen in einem Zyklus ausgetauscht werden kann, ist bei $V_{B1} > V_{B2}$ definiert durch:

$$W_C = \frac{C \cdot (V_{B1}^2 - V_{B2}^2)}{2} [J] \quad (2.3)$$

Für eine Zyklenfrequenz f , bei der sichergestellt ist, dass der Kondensator vollständig geladen bzw. entladen ist, ergibt sich ein maximaler Leistungsausgleich der Zellen von:

$$P_C = W_C \cdot f [W] \quad (2.4)$$

Das ergibt für die Batterie B1 eine Belastung von:

$$I_{B1+} = \frac{P_C}{V_{B1}} [A] \quad (2.5)$$

Während die Batterie B2 geladen wird mit:

$$I_{B2-} = \frac{P_C}{V_{B2}} [A] \quad (2.6)$$

Mit einer Spule der Induktivität L wird eine Energie von

$$W_L = \frac{L \cdot \hat{i}_L^2}{2} [J] \quad (2.7)$$

zwischen zwei Batterien transferiert. Das ergibt eine Leistung von

$$P_L = W_L \cdot f [W] \quad (2.8)$$

für die Zyklenfrequenz f , die jedoch der Beziehung

$$\frac{1}{f} > t_{ein} + t_{aus} = \hat{i}_L \frac{L}{V_{B1}} + \hat{i}_L \frac{L}{V_{B2}} [s] \quad (2.9)$$

folgen muss, wenn sichergestellt ist, dass sich die Spule beim maximalen Strom noch nicht in Sättigung befindet. Demnach gilt für den Entladestrom in B1

$$I_{B1+} = \frac{P_L}{V_{B1}} [A] \quad (2.10)$$

während die Batterie B2 geladen wird mit

$$I_{B2-} = \frac{P_L}{V_{B2}} [A] \quad (2.11)$$

Ein Vorteil der induktiven Schaltung liegt in der Unabhängigkeit gegenüber der Batteriespannung. So könnte auch Energie von einer Batterie mit geringerer Zellspannung zu einer mit höherer Zellspannung transferiert werden. Ein solches Balancing wäre denkbar um zum Beispiel statische Temperaturunterschiede oder definierte Kapazitätsunterschiede der Batterien vor einem Entladevorgang auszugleichen.

Weitere Vorteile sind der gemächliche Stromverlauf durch die Spule und die Skalierbarkeit des Balancingstromes mit der Frequenz und den Spulenabmessungen (Sättigung, \hat{i}_L). Nachteile ergeben sich durch das Gewicht (Eisenkern), die komplexere Ansteuerung und die höheren Bauteilkosten (Spule, Transformator) der Schaltung.

2.3. Fertigungsprozess SPT6

In diesem Kapitel wird die verwendete Technologie sowie deren Bauelemente beschrieben. Abbildung 2.8 zeigt ein Schnittbild des Prozesses. SPT6 steht für Smart Power Technologie und ist ein 800 nm BCD Prozess. Das bedeutet, dass sowohl Bipolar als auch CMOS und DMOS Transistoren in dieser Technologie verfügbar sind.

Auf die p-dotierte Siliziumscheibe wird in einem Epitaxie-Prozessschritt n-dotiertes Silizium aufwachsen gelassen. Durch tiefe p-Dotierungen rund um geplante Epi-Wannen entsteht eine Verbindung zwischen Substrat und Chipoberfläche. Somit kann das Substrat an der Chipoberfläche kontaktiert werden. Im Gegensatz zu konventionellen CMOS Prozessen ist SPT6 ein Zweiwannenprozess was bedeutet, dass im p-Substrat keine Devices platziert werden. Vielmehr wird durch eine flache p-Dotierung in der Epi-Wanne eine p-Wanne erzeugt, in der Bauelemente platziert werden können.

Die Epi-Wannen werden untereinander über eine Junction-Isolierung getrennt. Voraussetzung dafür ist, dass der Substratanschluss am niedrigsten Potential des Chips liegt und das Potential jeder Epi-Wanne über den p-Wannen liegt. Somit sperren alle pn-Übergänge und die einzelnen Wannen stören einander nicht. Die maximale Spannungsfestigkeit der Epi-Wannen zueinander beträgt 60 V womit diese Technologie vor allem für automotive Anwendungen verwendet wird.

Um die Bauelemente untereinander verbinden zu können stehen drei fein strukturierbare Aluminium-Metallebenen sowie eine Kupfer-Metallebene für hohe Ströme zur Verfügung. Des Weiteren können mit 2 Polysiliziumebenen Widerstände mit verschiedenen Schichtwiderstandswerten und spannungsunabhängige Poly-Poly Kapazitäten implementiert werden.

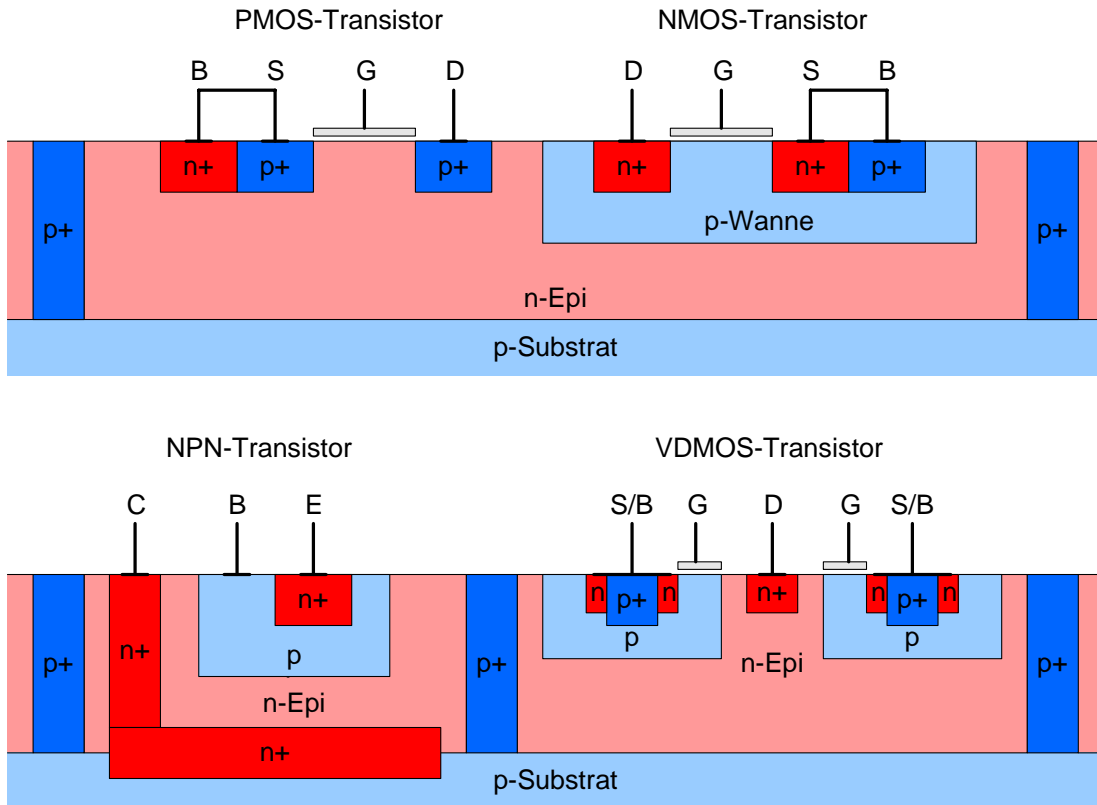


Abbildung 2.8.: Schnittbild SPT6

2.3.1. Bipolar-Transistoren

In SPT6 können vertikale NPN-Transistoren und laterale PNP-Transistoren verwendet werden. Da die Epi-Wanne immer einen Anschluss des Bauelements darstellt ist es oft nicht möglich mehrere Transistoren in einer Epi-Wanne zusammen einzubauen. Das ist jedoch ungünstig, da durch die Junction-Isolation zwischen den Epi-Wannen relativ große Abstände eingehalten werden müssen. Besonders als Einzelbauelement benötigen Bipolar Transistoren viel Chipfläche, weshalb sie, wenn möglich, vermieden werden sollten.

Oft werden die NPN-Transistoren als Z-Dioden eingesetzt indem die Basis-Emitter Diode in Sperrrichtung betrieben wird. Diese Z-Dioden werden zum Beispiel eingesetzt um Niederspannungen (NV) CMOS Schaltungen vor Überspannungen zu schützen. Der Kollektor (= Epi-Wanne) kann dabei entweder mit dem Emitter kurzgeschlossen oder an ein unempfindliches Potential (Versorgungsspannung) angeschlossen werden. Unter gewissen Bedingungen können somit Z-Dioden in eine bestehende Epi-Wanne integriert und der zusätzliche Flächenbedarf minimiert werden.

2.3.2. CMOS-Transistoren

In CMOS Schaltungen werden sowohl NMOS- als auch PMOS-Transistoren verwendet. Die PMOS-Transistoren werden in der Epi-Wanne, welche daher den Bulk-Anschluss darstellt, platziert. NMOS-Transistoren werden in einer flacheren p-Wanne innerhalb der Epi-Wanne platziert. Da in einer Epi-Wanne auch mehrere p-Wannen integriert werden können, sind NMOS-Transistoren mit verschiedenen Bulks flächensparender integrierbar als PMOS-Transistoren mit unterschiedlichen Bulk-Anschlüssen.

Es gibt 3 Spannungsklassen bei den PMOS- und NMOS-Transistoren wobei die maximale Drain-Source Spannung zwischen 5 V (NV), 20 V (MV) und 60 V (HV) gewählt werden kann. Je höher die Spannungsklasse, desto größer werden die Transistoren durch die längeren ldd (lightly doped drain)-Abmessungen. Die maximale Gate-Source Spannung ist unabhängig von der Spannungsklasse mit ± 5 V spezifiziert.

2.3.3. DMOS-Transistor

Speziell für das Schalten hoher Ströme wird in SPT6 der DMOS-Transistor (Doppelt Diffundierter MOS) eingesetzt. Dieses Bauelement entspricht den Eigenschaften nach einem optimierten NMOS-Transistor, welcher einen geringen Einschaltwiderstand pro Fläche aufweist und deshalb oft als Highside (HS) oder Lowside (LS) Schalter Verwendung findet. Die maximale Drain-Source Spannung beträgt 60 V mit einer maximalen Gate-Source Spannung von 5 V.

Die Epi-Wanne stellt den Drainkontakt des DMOS-Transistors dar, weshalb eine gemeinsam genutzte Epi-Wanne oft nicht möglich ist. Ein weiterer Nachteil kann die Epi-Substrat Kapazität am Drainanschluss für das dynamische Verhalten bei geringen Signalströmen darstellen. Da ein DMOS-Transistor oft sehr groß ist (bis einige mm^2) um hohe Ströme zu schalten, kann der Flächenbedarf der Junction-Isolierung an den Rändern des Bauelements vernachlässigt werden.

3. Spezifikation

3.1. System

Die Abbildung 3.1 zeigt die wichtigsten Bestandteile des BMS. Um Spannungen von mehreren hundert Volt zur Verfügung zu stellen werden die Batterien in Serie geschaltet. Dieser Batteriestack wird in mehrere Module zu je maximal 12 Zellen aufgeteilt. Die Aufteilung in mehrere Module ermöglicht das Auswechseln von fehlerhaften Teilen des Stacks ohne den gesamten Stack austauschen zu müssen. Damit beim Hantieren mit dem Modul keine gefährliche Spannung für den Menschen auftreten kann, sollte die Modulspannung auf jeden Fall unter der Kleinspannungsgrenze von 60 VDC liegen. Mit einer Begrenzung der Zellenanzahl auf 12, bei einer maximalen Zellspannung von bis zu 5 V, wird außerdem die gewohnte Automotive-Spannungsgrenze von 60 V nicht überschritten. Ein ASIC, in der Technologie SPT6 gefertigt, sollte somit die Spannungs- und Temperaturmessung jeder einzelnen Zelle innerhalb des Moduls sicher stellen können.

Ein μC kommuniziert mittels SPI mit dem ersten ASIC im Stack. Alle weiteren ASICs sind mittels Daisy Chain mit dem ersten IC verbunden womit sichergestellt ist, dass der μC mit jedem ASIC kommunizieren kann. Eine Strommessung liefert dem μC den aktuellen Strom des Batteriestacks und ermöglicht zusammen mit den Spannungs- und Temperaturwerten der ASICs die Berechnung der SOC Werte sowie der Innenwiderstände jeder einzelnen Zelle. Erkennt der μC einen Fehler, kann er den Stromkreis mittels eines Schalters jederzeit unterbrechen und somit die Zellen wieder in einen sicheren Betriebszustand bringen. Der μC übernimmt auch die Kommunikation mit der Umgebung z.B. mittels CAN-Bus und liefert damit die Daten für die Ladezustandsanzeige und die Temperatur der Batterie, sowie der verbleibenden Reichweite des Automobils.

Nach der Ermittlung des SOC-Wertes jeder Zelle kann der μC im Bedarfsfall Balancing-Anweisungen an die ASICs zurücksenden und somit einen ausbalancierten Batteriestack sicherstellen.

Wie in der Abbildung 3.2 gezeigt kann durch mehrere Module in Serie angeordnet eine Gesamtspannung von mehreren hundert Volt erreicht werden. Da der Elektromotor auf eine maximale Spannung berechnet und optimiert wird, kann die Spannungsänderung der Batterie, bedingt durch die Entladecharakteristik, über einen DC-DC Konverter ausgeglichen werden, während der DC-AC Konverter die Drehzahl der Maschine steuert.

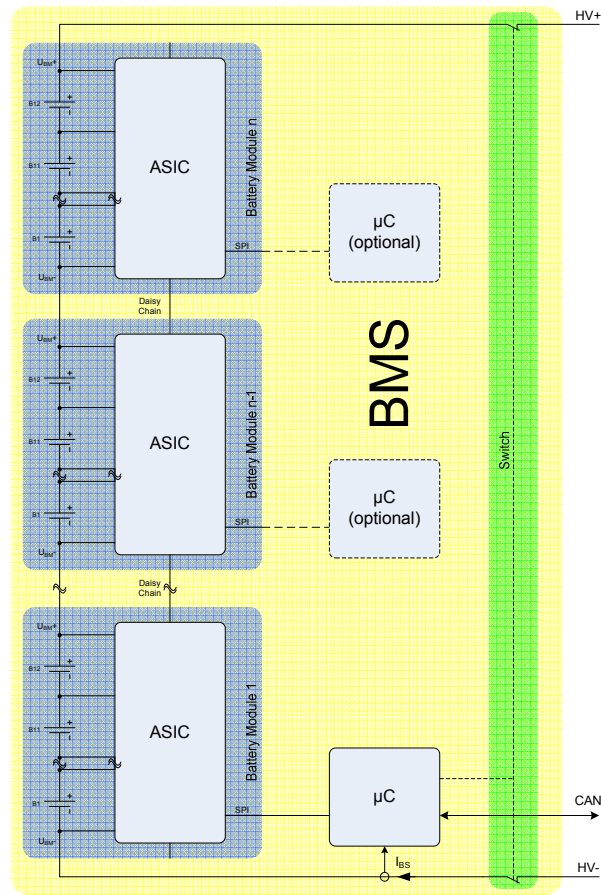


Abbildung 3.1.: Blockschaltbild BMS

Pro Modul wird ein ASIC auf einer Platine in das Modulgehäuse zusammen mit den Batterien verbaut. Der ASIC versorgt sich direkt von den Batterien, die er überwachen soll. Dies setzt einen möglichst geringen Stromverbrauch voraus. Auf der Platine befinden sich je nach verwendeter Balancing Methode auch die benötigten externen Bauteile wie Widerstände, Transformator, Kapazitäten usw.

Das BMS kommuniziert nach außen über die CAN-Schnittstelle des μC . Die berechneten SOC- und Innenwiderstands-Werte der Batterie liefern dem Fahrer Informationen darüber, wie voll die Batterie ist und wie weit das Auto noch fahren kann bzw. wann die Batterie zu tauschen ist. Ein Fehlerfall kann auch direkt in das Motormanagement des Autos eingreifen.

Innerhalb des BMS stellt die Kommunikation zwischen den ASICs und dem μC auf Grund der großen Spannungsunterschiede eine besondere Herausforderung an die Kommunikationsschnittstelle des ASICs dar. Jeder ASIC soll über ein Daisy Chain Interface

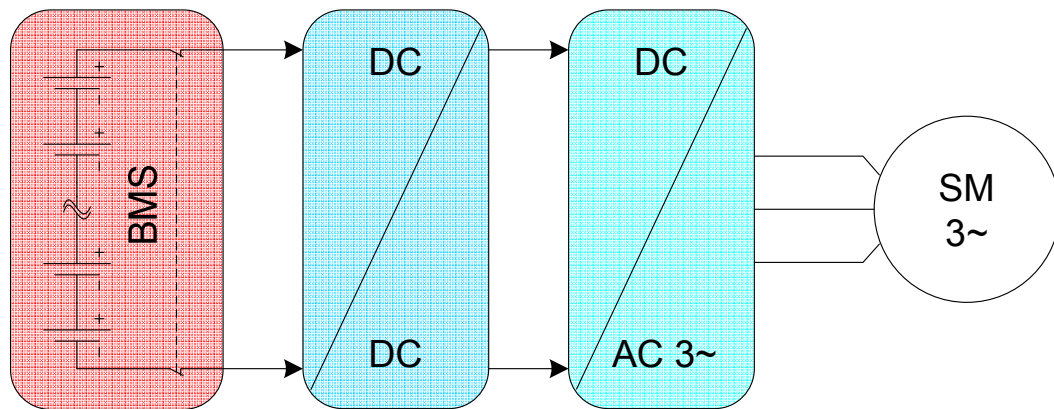


Abbildung 3.2.: Blockschaltbild Elektrischer Antrieb

und ein SPI Interface verfügen. Prinzipiell funktioniert die Kommunikation innerhalb des BMS nach dem Master-Slave Prinzip. Der μC als Master fordert Daten von den ASICs an, welche diese dann an den μC zurück schicken. Der Master veranlasst, nach dem Auswerten der Messdaten, einen bestimmten ASIC einen Balancingvorgang für bestimmte Zellen durchzuführen. Lediglich ein Fehler innerhalb des Moduls veranlasst den ASIC von sich aus mit dem μC zu kommunizieren.

3.2. Chip

Die Entwicklung eines ASICs für diese Applikation stellt für Infineon eine neue Herausforderung dar. In der ersten Entwicklungsstufe soll ein ASIC entworfen werden, mit dessen Hilfe man ein möglichst breites Spektrum an Balancing Schaltungen abdecken kann. Ziel ist es einen funktional überdimensionierten Chip zu entwickeln, der die verwendeten Schaltungsblöcke implementiert und zum Aufbau von Prototypen herangezogen werden kann. Das entspricht nicht den üblichen Anforderungen an einen IC, nur die nötigsten Funktionen zu implementieren um kostenoptimierte ICs in hoher Stückzahl produziert werden können. Durch diesen Zwischenschritt kann Know How in diesem neuen Anwendungsgebiet aufgebaut werden, welches in der zweiten Entwicklungsphase zu einem optimierten und kommerziell erfolgreichen Produkt führen soll.

Der Chip soll grundsätzlich für passives Balancing (Abbildung 3.4) oder aktives Balancing (Abbildung 3.3) verwendet werden können. In welchem Betriebsmodus der IC arbeitet wird durch die äußere Beschaltung des ICs festgelegt.

Die wichtigsten Funktionen des ICs sind:

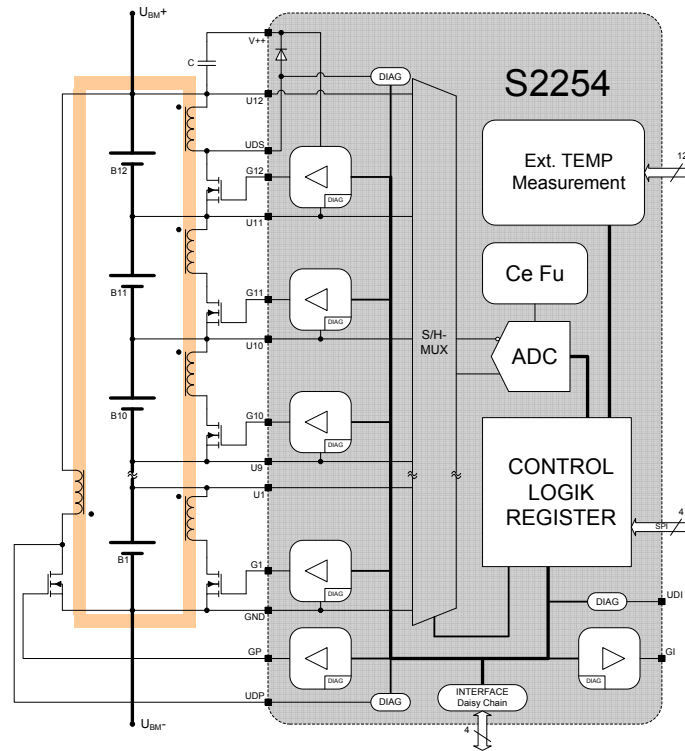


Abbildung 3.3.: Blockschaltbild IC aktiv Balancing

- Überwachen aller Zellspannungen und Zelltemperaturen
- Kommunikation über Daisy Chain und SPI
- Balancing der Batteriezellen nach Vorgabe des μC s

Abbildung 3.3 und 3.4 zeigen die einzelnen Blöcke des ICs.

Die Kommunikation unter den ASICs verläuft über eine Daisy-Chain welche aus zwei Leitungen besteht. Die Information soll über ein differentiellles Stromsignal zwischen den Interfaces von einem Modul-Spannungslevel zum nächsten weitergegeben werden. Die SPI-Schnittstelle dient vor allem als Verbindung zwischen den ASICs und dem Master (μC), welche nur vom untersten ASIC im Stack aus betrieben wird. Eine besondere Herausforderung an das Daisy-Chain Interface ist ein hoher Spannungsunterschied (bis zur gesamten Stackspannung) bei Unterbrechung der Batterieverbindung zwischen den Modulen. Die kann Beispielsweise vorkommen, wenn ein Sicherungsschalter für Wartungszwecke in der Mitte des Stacks angeordnet wird. Da die Batteriemodule auch örtlich verteilt im Fahrzeug untergebracht werden können sind die Leitungswiderstände zwischen den Batteriemodulen unbedingt zu berücksichtigen. Diese Leitungswiderstän-

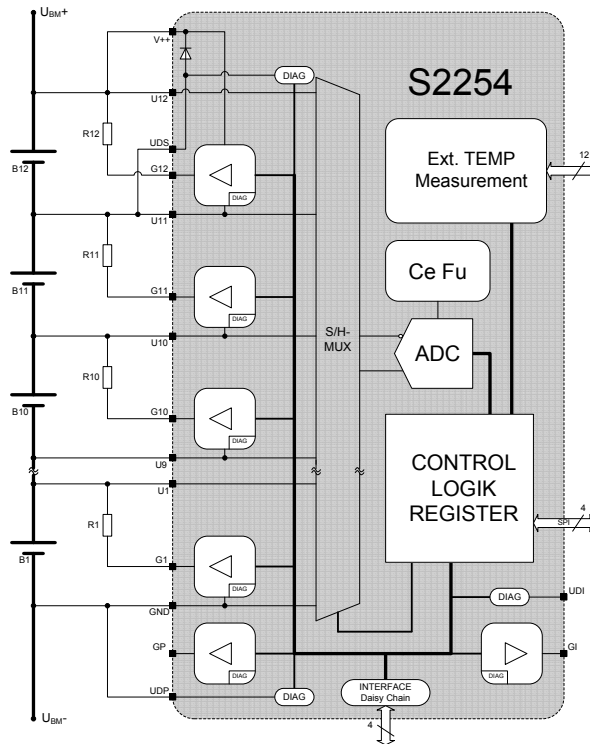


Abbildung 3.4.: Blockschaltbild IC passiv Balancing

de können je nach Betriebsart (Laden oder Entladen) bei entsprechenden Strömen nicht zu vernachlässigende Spannungsunterschiede zwischen den Interfaces hervorrufen.

Die Messung der Zellspannungen erfolgt über ein S&H Glied kombiniert mit einem Multiplexer und einem ADC. Diese Anordnung kann gewählt werden da die Spannungsüberwachung mit einer Messung aller Batterien in einer Sekunde gegeben ist. Die Spannungen sollen jedoch möglichst gleichzeitig zu einem bestimmten Zeitpunkt gemessen werden. Nach einem Messbefehl werden mittels dem S&H Glied alle Zellspannungen gleichzeitig abgegriffen und auf das niedrigste Potential des Batterieblocks (GND) bezogen. Der Digitalteil kann später mittels dem Multiplexer und dem ADC eine Zellspannung nach der anderen konvertieren und in den dafür vorgesehenen Registern speichern. Der Vorteil dieser Topologie ist, dass nur ein ADC samt Referenzspannungsquelle benötigt wird.

Eine große Herausforderung stellt jedoch der S&H-Multiplexer dar, welcher für Commonmode Spannungen bis zu 60 V ausgelegt werden muss.

Die benötigte Auflösung des ADCs ergibt sich aus der Entladecharakteristik der verwendeten Zelle. Je flacher die Entladekurve verläuft, umso genauer muss der ADC die Spannung auflösen um dennoch eine genaue SOC-Berechnung zu ermöglichen. Da die

Entladecharakteristik unter den verschiedenen Zelltypen stark variiert empfiehlt es sich für die Berechnung der benötigten Auflösung des ADCs die ungünstigste Zelle zu verwenden. Die Auflösung soll innerhalb eines einstellbaren Spannungsbereichs, der nicht größer als 1 V ist, 1 mV betragen, was einen 10-bit ADC voraussetzt.

Wie in Abbildung 3.5 gezeigt soll die Temperaturmessung über einen Multiplexer und einen eigenen ADC, welcher alle Spannungen mit einer Frequenz von 0,1 bis 10 Hz messen soll, erfolgen. Ein Referenzstrom erzeugt durch den NTC-Widerstand eine temperaturabhängige Spannung, welche mit dem ADC gemessen wird. Der μC rechnet anschließend aus dem digitalen Wert die Temperatur des Widerstandes aus. Der eingezeichnete programmierbare Verstärker wird benötigt um die Messspannung an den Eingangsspannungsbereich des ADCs anzupassen. Die Nominalwerte der verwendeten NTC-Widerstände soll zwischen 5 und 50 k Ω , bei einem Temperaturkoeffizient zwischen 2,3 und 7,4 %/ $^{\circ}\text{C}$, betragen. Die geforderte Auflösung beträgt 1 $^{\circ}\text{C}$, was bei einem Temperaturbereich von -40 $^{\circ}\text{C}$ bis 150 $^{\circ}\text{C}$ mindestens einen 8-bit ADC erfordert. Neben einer Übertemperaturabschaltung des Chips soll außerdem ein am Chip integrierter Temperatursensor über diesen ADC ausgelesen werden.

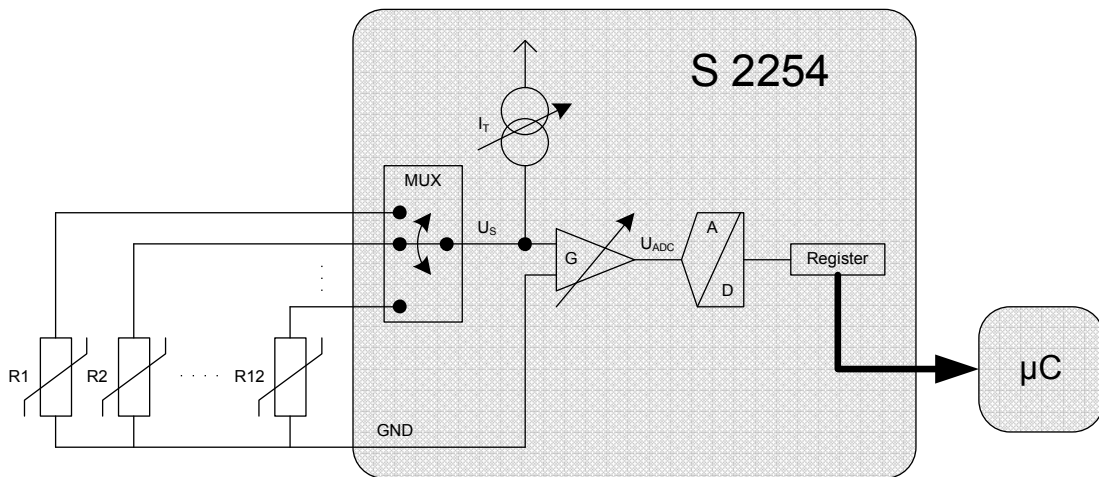


Abbildung 3.5.: Blockschaltbild Zell-Temperaturmessung

Um Fehler der externen Bauteile zu detektieren und darauf reagieren zu können, soll der IC über eine Funktionskontrollschaltung verfügen. Es kann beim aktiv Balancing in Abbildung 3.3, durch Überwachen der Drainspannungen des Primärtransistors sowie der Drainspannung eines Sekundärtransistors, eine Funktionskontrolle implementiert werden. Wird zuerst der Primärtransistor eingeschaltet, wie es beim Bottom-Balancing (Abbildung 3.6) der Fall ist, kann man an den Sekundärtransistoren eine Spannungsüberhöhung gegenüber der Zellspannung feststellen die proportional dem Wicklungsverhältnis des Transformator ist. Durch eine Spannungsüberwachung am Pin UDS (Abbildung

3.3) kann somit festgestellt werden, ob der Primärtransistor funktioniert bzw. ob die magnetische Kopplung zwischen den Wicklungen des Transformators gegeben ist.

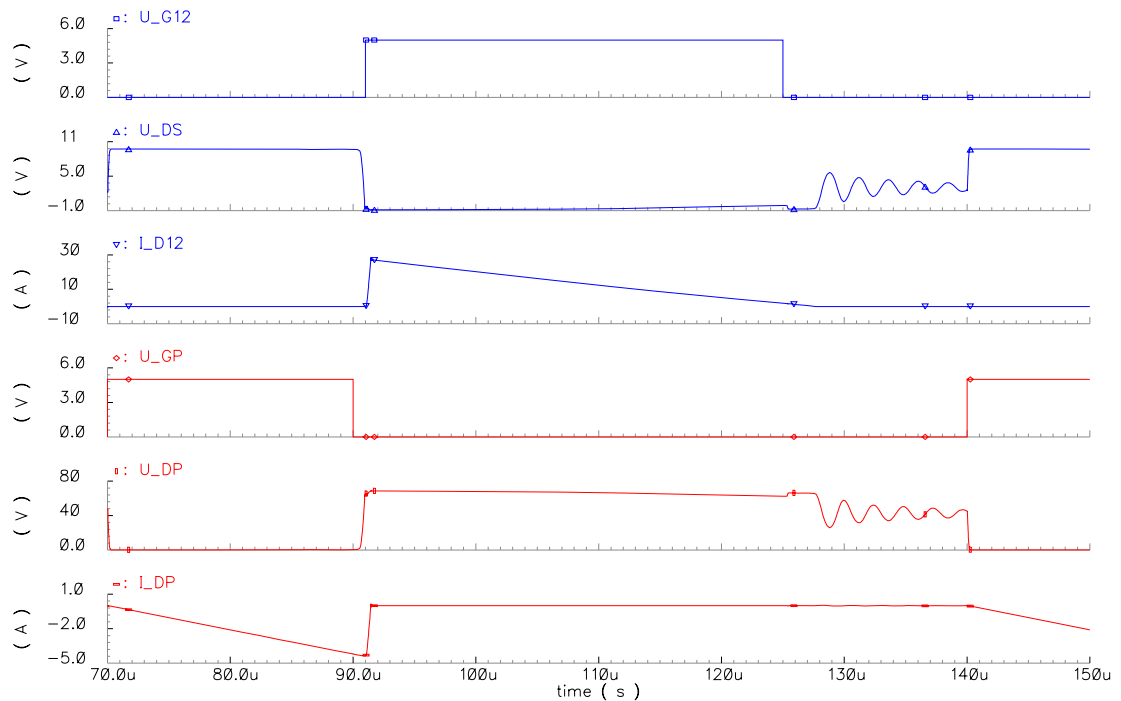


Abbildung 3.6.: Bottom Balancing

U_G12	...	Ausgangsspannung am Pin G12
U_DS	...	Spannung am Pin UDS
I_D12	...	Drainstrom des NMOS-Transistors am Pin G12
U_GP	...	Ausgangsspannung am Pin GP
U_DP	...	Spannung am Pin UDP
I_DP	...	Drainstrom des NMOS-Transistors am Pin GP

Beim Top-Balancing der Schaltung in Abbildung 3.3 wird zunächst ein Sekundärtransistor eingeschaltet was analog zum vorigen Fall eine Spannungsüberhöhung am Primärtransistor bewirkt (siehe Abbildung 3.7) . Mittels dem Pin UDP kann somit die Funktion der Sekundärtransistoren sowie des Transformators ebenfalls festgestellt werden.

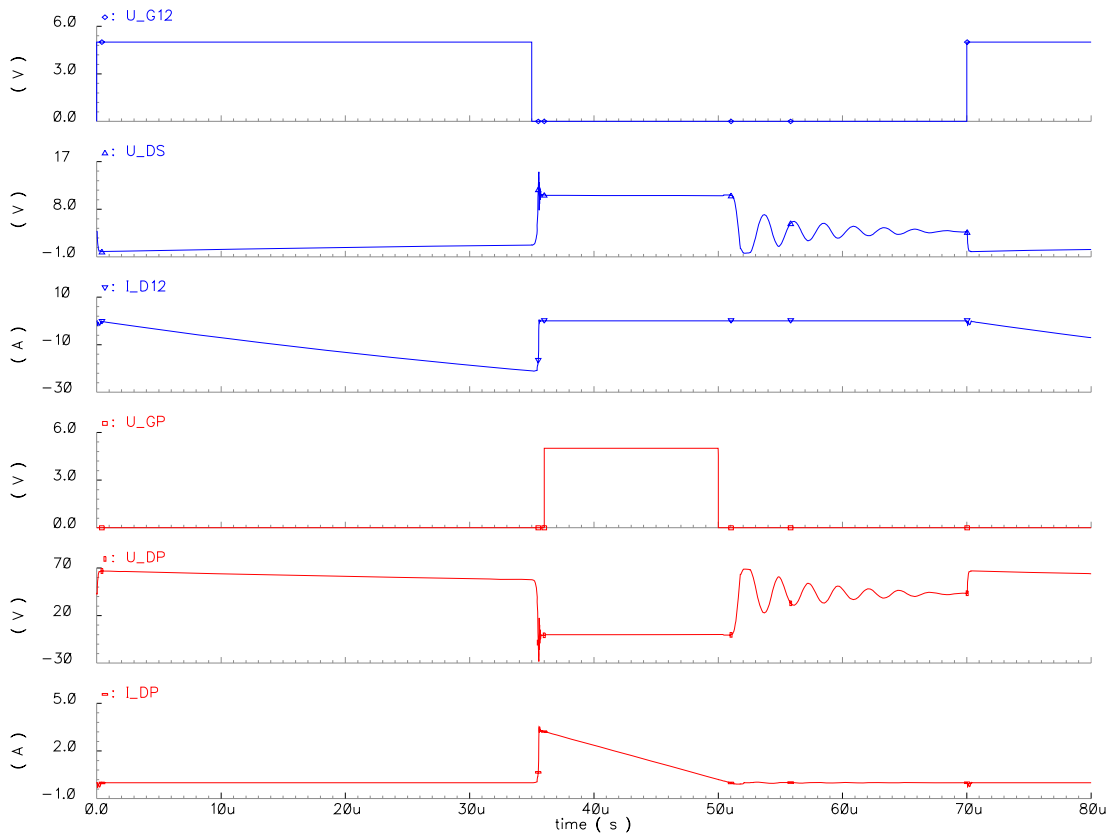


Abbildung 3.7.: Top Balancing

Im Central-Funktions Block (CeFu) vereinen sich Standardblöcke, wie sie in vielen Chips zu finden sind. In diesem IC sind dies Bandgap, Oszillator, Power On Reset, Undervoltage Detection, Spannungsregler usw. Auf diese Schaltungsblöcke soll in dieser Arbeit nicht näher eingegangen werden.

3.3. Ausgangsstufe

Die Ausgangsstufe des Chips besteht aus dem Gatedriver (HS und LS Stromquelle), einem LS-Schalter mit einem abschaltbaren Pullup-Widerstand sowie den Diagnoseschaltungen. Im aktiv Balancing Betriebsmodus steuert die Ausgangsstufe einen externen NMOS-Transistor mit einer Frequenz zwischen 10 und 50 kHz als Schalter an. Aus Sicht der EMV ist ein Laden des Gates mit einem konstanten Strom, gegenüber einer Variante mit Highside- und Lowsideschalter, zu bevorzugen. Für das passive Balancing hingegen kann der DMOS einfach mittels HS- und LS-Schalter angesteuert werden, da

dieser nur selten (während Ladevorgängen) und für längere Zeit (bis zum Ende des Ladevorgangs) eingeschaltet wird.

Für die Bemessung des Lade- und Entladestroms des Gates wurde aus dem Datenblatt des IPD70N03S4L (NMOS 30 V 70 A) der Firma Infineon aus der Gateladungskurve bei einer Gatespannung von 5 V und einer Drain-Source Spannung kleiner 6 V eine Ladung von 18 nC ermittelt. Soll der Transistor in 1 μ s vollständig geladen sein benötigt man einen Gateladestrom von $I = \frac{Q}{t} = 18 \text{ mA}$. In Absprache mit den Projektpartnern wurde vereinbart, dass der Lade- und Entladestrom auf 15, 20 oder 25 mA per SPI eingestellt werden können soll.

Beim passiven Balancing wird der Balancestrom über den integrierten DMOS-Schalter geführt. Geht man von einer maximalen Umgebungstemperatur $T_{U_{max}}$ an der Unterseite des Packages aus sowie von einer unteren Abschalttemperaturschwelle $T_{ab_{min}}$ des internen Temperatursensors aus, so kann über den thermischen Widerstand des Packages $R_{th_{JC}}$ die maximale Verlustleistung des Chips berechnet werden.

$$P_{tot_{max}} = \frac{T_{down_{min}} - T_{U_{max}}}{R_{th_{JC}}} \quad (3.1)$$

Die Gesamtverlustleistung setzt sich zum Großteil aus der Verlustleistung des Spannungsreglers und den Verlustleistungen der LS-Schalter in den Ausgangsstufen zusammen. Die Verlustleistung des DMOS-Transistors ist abhängig vom Balancestrom sowie vom R_{on} des DMOS-Transistors.

$$R_{on_{max}} = \frac{P_{DMOS_{max}}}{I_{bal}^2} \quad (3.2)$$

Der minimal garantierte passive Balancestrom durch den DMOS-Transistor wurde mit 200 mA definiert. Daraus ergab sich ein maximaler R_{on} des DMOS-Transistors von ca. 2 Ω . Dieser R_{on} -Wert soll für Zellspannungen größer 2,5 V garantiert werden, da bei kleineren Zellspannungen eine weitere Entladung der Zelle nicht sinnvoll erscheint.

Die Versorgungsspannung der Ausgangsstufe variiert mit der erlaubten Zellspannung, welche sich zwischen 2 und 5 V befinden kann, wobei die typische Zellspannung heute verwendeter hochenergie Zelltypen ca. 3,6 V beträgt. Die Unterspannungserkennung besitzt einen Auslösebereich zwischen 1,5 und 2 V bei steigender Versorgungsspannung. Bei Unterschreiten dieser Zellspannung wird die Ausgangsstufe durch den Digitalteil in den Power-Down (PD) Betriebszustand versetzt. Insgesamt darf die Ausgangsstufe also von 1,5 – 5 V Zellspannung keine Fehler verursachen. In diesem Bereich müssen auch alle Diagnosefunktionen erfüllt werden. Da die Balancingfunktionen erst ab erhöhten Zellspannungen benötigt werden und ein einfacheres Design zu erwarten ist, wurde dessen Spezifikationsbereich auf Zellspannungen zwischen 2,5 – 4,5 V begrenzt. Außerhalb dieser Spezifikationsgrenze werden die Balancing-Funktionen grundsätzlich noch richtig ausgeführt, wobei aber Werte wie R_{on} , Lade- und Entladestrom deren spezifizierten Bereich verlassen.

Die Spannung V_{++} lässt sich in Abhängigkeit von der Zellspannung und der Wicklungsverhältnisse wie folgt berechnen:

$$V_{++} = U_{DS}^{\hat{}} - U_{Df} = U_{12} \left(1 + \frac{N_S}{N_P} \right) - U_{Df} \quad (3.3)$$

U_{Df} ... Diodenspannung
 N_P ... Windungszahl Primärwicklung
 N_S ... Windungszahl Sekundärwicklung

Um bei verschiedenen Zelltypen und verschiedenen Wicklungszahlen des Transformators immer die selbe Spannung zur Verfügung zu haben empfiehlt es sich eventuell einen Spannungsregler zwischen dem Pin V_{++} und V_{B2} der letzten Ausgangsstufe vorzusehen. Bei der Schaltungsentwicklung ist zu berücksichtigen, dass bei passivem Balancing die Spannung V_{++} nicht erzeugt werden kann bzw. somit die Ausgangsstufe mit Ausnahme der Highside-Stromquelle von nur einer Zellspannung betrieben werden muss.

Da der Chip Sicherheitsanforderungen (nach IEC 61508) erfüllen muss sind verschiedene Diagnosefunktionen in die Ausgangsstufe zu integrieren, um Fehler erkennen und dementsprechend reagieren zu können.

Beim aktiven Balancing wird die Ausgangsstufe durch das Gate kapazitiv belastet. Um zu erkennen, ob der Ausgang mit V_{B0} oder V_{B1} kurzgeschlossen wurde, wird die Ausgangsspannung im Betrieb mit den Referenzspannungen U_{S2G} und U_{S2B} verglichen. Es gilt für die Wahl der Referenzspannungen $V_{B0} < U_{S2G} < V_{B1} < U_{S2B} < V_{B2}$ wobei jede Referenzspannung eine Hysterese aufweist um ein Toggeln des Ausgangs zu verhindern.

Abbildung 3.10 zeigt das Ansteuersignal HS_LSN, Ausgangsspannung und Ausgangsstrom sowie die Diagnosesignale S2B und S2G bei einer Belastung des Ausganges mit einer Kapazität. Nach Aufwachen der Ausgangsstufe ist HS_LSN=0 und die Ausgangsspannung $U_{out} = V_{B0}$, weshalb die Signale S2B und S2G auf logisch 1 liegen werden. Will man nun den MOSFET einschalten wird HS_LSN=1 und der Treiber ladet das externe Gate. Die Ausgangsspannung erreicht zunächst die Schwelle $U_{S2GH} = 0,2 \cdot V_{B2}$ worauf S2G=0 wird. Nach Überschreiten der Spannung $U_{S2BH} = 0,9 \cdot V_{B2}$ wird auch S2B=0 und der Transistor ist somit eingeschaltet.

Wird nun wieder HS_LSN=0 so fällt die Ausgangsspannung zunächst auf $U_{S2BL} = 0,8 \cdot V_{B2}$ womit S2B=1 wird. Fällt die Spannung unter $U_{S2GL} = 0,1 \cdot V_{B2}$ so ist S2G=1 und der Initialzustand ist wieder hergestellt. Der Digitalteil erwartet nach jedem Umschalten des Signals HS_LSN innerhalb der Zeit $t_{RISE_{max}} = t_{FALL_{max}}$, dass beide Ausgänge von 1 auf 0 bzw. von 0 auf 1 wechseln. Trifft das nicht ein wird dem μC ein Fehler an dieser Ausgangsstufe gemeldet.

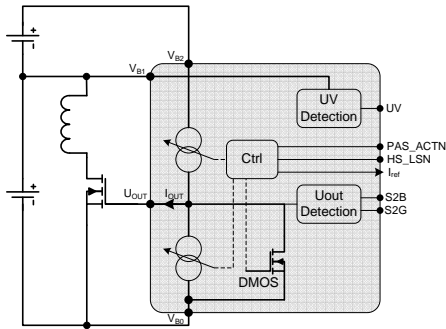


Abbildung 3.9.: Blockschaltbild
Ausgangsstufe
Aktiv

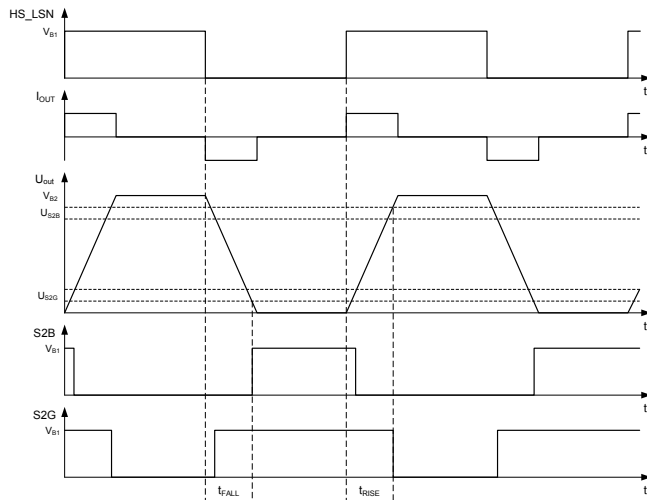


Abbildung 3.10.: Diagnose Aktiv Balancing

Detektierbare Fehler sind:

- niederohmige Verbindung zwischen den Pin Out und V_{B0} ($S2B=1$ $S2G=1$)
- niederohmige Verbindung zwischen den Pin Out und V_{B1} ($S2B=0$ $S2G=1$)
- niederohmige Verbindung zwischen den Pin Out und V_{B2} ($S2B=0$ $S2G=0$)
- HS oder LS Stromquelle funktionieren nicht mehr
- Externe Kapazität $C_{Load} > \frac{t_{RISE} \cdot I_{OUT}}{0,9 \cdot V_{B2}}$

Wird die Verbindung zwischen Ausgangsstufe und MOSFET unterbrochen (Openload) entspricht dies beim aktiven Balancing einer zu kleinen Ausgangskapazität und ist nur mit hohem Aufwand zu detektieren. Da dieser Fall jedoch auch mittels der am Chip geplanten Funktionskontrollschaltung erkannt wird, kann eine separate Detektionsschaltung in der Ausgangsstufe entfallen.

Wird die Ausgangsstufe beim aktiven Balancing in den Power-Down Betriebszustand versetzt, so werden beide Stromquellen deaktiviert und der DMOS-Transistor wird eingeschaltet. Damit ist $U_{out} = V_{B0}$ bzw. der externe NMOS ist sicher ausgeschaltet und der Stromverbrauch der Schaltung kann auf ein Minimum reduziert werden.

Beim passiven Balancing ist der Ausgang mittels eines Widerstandes R mit V_{B1} verbunden. Der Widerstand verhindert, dass ein zu hoher Strom den DMOS-Transistor thermisch beschädigt. Betrachtet man den DMOS-Transistor im eingeschalteten Zustand so stellt dieser einen spannungs- und temperaturabhängigen Widerstand dar. Mittels ei-

ner Spannungsüberwachung am Drainpotential sollen Kurzschluss- und Openload-Fehler erkannt werden. Dazu wird die Drainspannung des DMOS-Transistors mit den Referenzspannungen U_{s2g} und U_{s2b} verglichen. Ist der DMOS-Transistor eingeschaltet, so muss $U_{s2b} < U_{out} < U_{s2b}$ sein, wenn der externe Widerstand richtig dimensioniert ist. Spricht S2G oder S2B nach dem Einschalten des DMOS-Transistors länger als t_{delay} an, so wird der Fehler an den μC weitergegeben. In Abbildung 3.12 werden die zu erwartenden Kombinationen der Diagnosesignale bei verschiedenen externen Widerständen gezeigt.

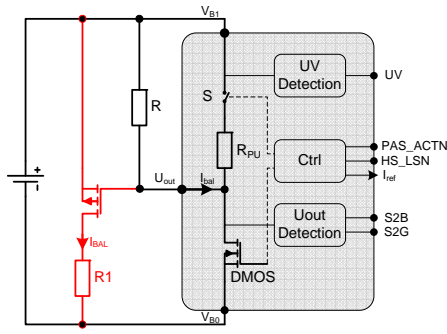


Abbildung 3.11.: Blockschaltbild
Ausgangsstufe
Passiv

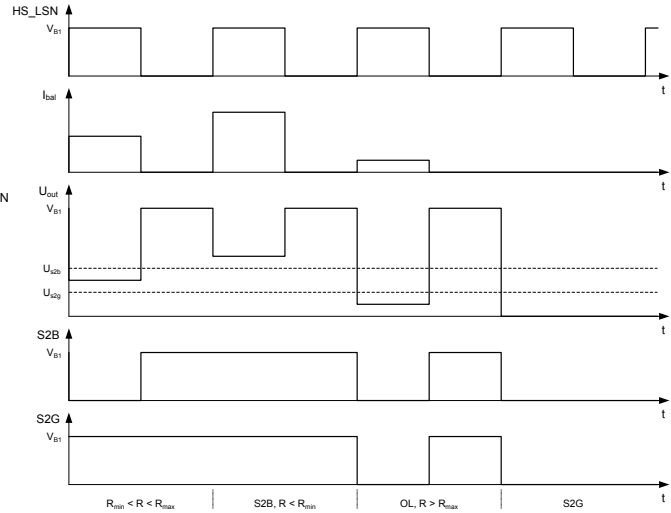


Abbildung 3.12.: Diagnose Passiv Balancing

Die Diagnose soll für einen Balancestrom I_{bal} im Bereich zwischen 50 und 200 mA bei einem typischen R_{ON} von 1Ω keinen Fehler ausgeben.

Somit berechnen sich die Schranken zu:

$$U_{s2b} > I_{bal_{max}} \cdot R_{ON_{max}} \quad (3.4)$$

$$U_{s2g} < I_{bal_{min}} \cdot R_{ON_{min}} \quad (3.5)$$

Für die Dimensionierung von R gilt allgemein:

$$I_{bal} = \frac{U_{out}}{R_{ON}} \quad (3.6)$$

$$R_{max} = \frac{R_{ON_{max}}}{U_{s2g}} \cdot (V_{B1_{max}} - U_{s2g}) \quad (3.7)$$

$$R_{min} = \frac{R_{ON_{min}}}{U_{s2b}} \cdot (V_{B1_{max}} - U_{s2b}) \quad (3.8)$$

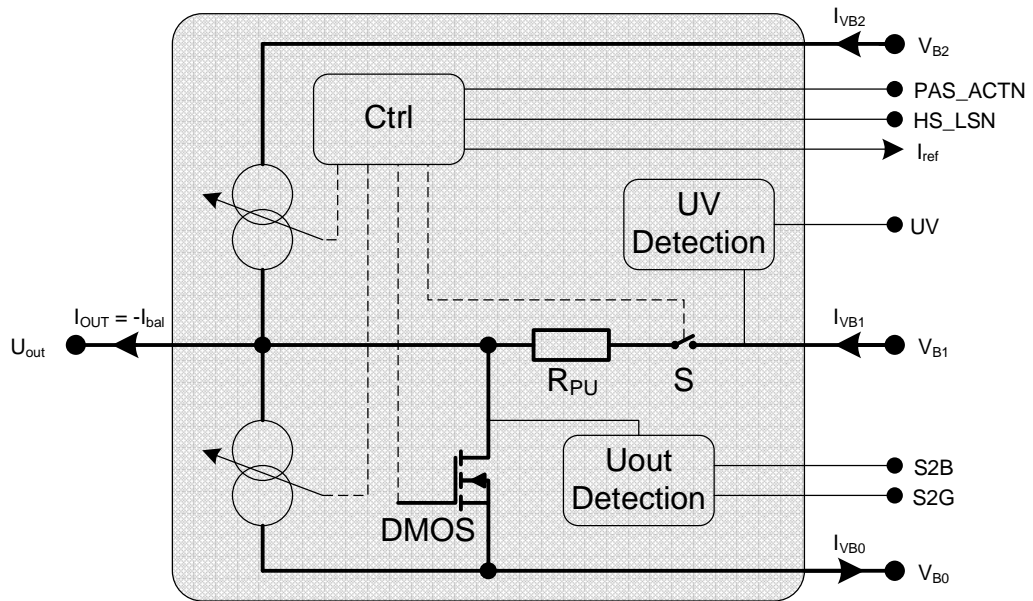


Abbildung 3.14.: Blockschaltbild Ausgangsstufe

Die folgende Tabelle 3.1 zeigt die bereits oben diskutierte Spezifikation der Ausgangsstufe in kompakter Form.

Parameter	Symbol	min	typ	max	Einheit	Kommentar
Nominale Versorgungsspannung	V_{B2}	5	7,2	9	V	$V_{B2} = 2 \cdot V_{B1}$
Erweiterte Versorgungsspannung	$V_{B2,ext}$	3	7,2	10	V	keine Fehlfunktionen der Schaltung
Unterspannung Detektionsgrenze	U_{UV}	1,5	1,75	2	V	wenn $V_{B1} < U_{UV}$ wird $U_V = V_{B1}$
Gateladestrom	I_{OUT}	15	20	25	mA	einstellbarer Ladestrom bei $U_{OUT} = V_{B1}$
Gateentladestrom	I_{OUT}	-15	-20	-25	mA	einstellbarer Entladestrom bei $U_{OUT} = V_{B1}$
Aktiv S2G Referenz	U_{S2GL}		$0,1 \cdot V_{B2}$		V	Referenz bei fallendem U_{OUT}
Aktiv S2G Referenz	U_{S2GH}		$0,2 \cdot V_{B2}$		V	Referenz bei steigendem U_{OUT}
Aktiv S2B Referenz	U_{S2BL}		$0,8 \cdot V_{B2}$		V	Referenz bei fallendem U_{OUT}
Aktiv S2B Referenz	U_{S2BH}		$0,9 \cdot V_{B2}$		V	Referenz bei steigendem U_{OUT}
Einschaltzeit	t_{RISE}		1	5	μs	bei $C_{iss} = 2,5 nF$ und typ. V_{B2}
Ausschaltzeit	t_{FALL}		1	5	μs	bei $C_{iss} = 2,5 nF$ und typ. V_{B2}
Balancingfrequenz	f_{BAL}	10	25	50	kHz	aktive Balancing
Balancingstrom	I_{bal}	50		200	mA	passiv Balancing $I_{bal} = -I_{OUT}$
DMOS Einschaltwiderstand	R_{ON}		1	2	Ω	max. Wert bei 120 °C und $V_{B1} = 2.5V$
Pullup-Widerstand	R_{PU}	10			k Ω	integrierter Pullup-Widerstand
Passiv S2G Referenz	U_{s2g}			40	mV	$U_{s2g} < I_{bal,min} \cdot R_{ON,min}$
Passiv S2B Referenz	U_{s2b}	400			mV	$U_{s2b} > I_{bal,max} \cdot R_{ON,max}$
Delayzeit	t_{delay}		5		μs	Zeit bis Fehler gemeldet wird

Tabelle 3.1.: Spezifikation der Ausgangsstufe

4. Schaltungsentwurf

4.1. Aktiv Balancing Schaltung

Die Ansteuerung des externen MOSFETs erfolgt über zwei Stromquellen. Die einstellbaren HS- und LS-Stromquellen sollen das Gate mit einem Strom zwischen 15 und 25 mA laden oder entladen können. Die Ausgangsstufe verfügt über einen Referenzstrom, welcher von der Bandgap Spannungsreferenz und einem Polywiderstand abgeleitet wird. Um die Schwankungen des Absolutwertes bedingt durch die Prozessstreuung des Polywiderstandes zu kompensieren wird der Strom getrimmt. Grundsätzlich soll der Referenzstrom der Ausgangsstufe im Betrieb zwischen 15 und 25 μA variiert werden können. Dieser Referenzstrom, 1000-fach verstärkt, soll den Lade- und Entladestrom der Ausgangsstufe bestimmen.

4.1.1. Stromquelle

Die schaltungstechnische Implementierung einer Stromquelle kann auf verschiedene Arten erfolgen. Im Wesentlichen reduziert sich die Auswahl der Schaltungstopologie auf zwei Varianten. Eine Operationsverstärker (OPV) Schaltung für die HS-Stromquelle, wie sie in Abbildung 4.1 gezeigt wird, erlaubt bei integrierten Schaltungen einen Stromspiegel mit hoher Stromverstärkung. Ein weiterer OPV würde für die äquivalente LS-Schaltung benötigt werden. Der Ausgangsstrom berechnet sich aus dem Verhältnis der beiden Widerstände und dem Referenzstrom. Werden die Widerstände aus den gleichen Teilwiderständen gebaut, kann ein gutes Matching zwischen den Widerständen erreicht und der Einfluss der Widerstands-Prozessstreuung sowie des Widerstands-Temperaturgangs minimiert werden.

$$I_{OUT} = I_{ref} \cdot \frac{R_1}{R_2} \quad (4.1)$$

Ein Vorteil dieser OPV Schaltung ist zum einen die geringe Stromaufnahme, bestimmt durch den Referenzstrom, sowie dem OPV. Als Nachteil ist die Source-Degeneration des Mittelvolt-PMOS zu nennen, welche sich in der Größe des Bauelements negativ auswirkt. Des weiteren müsste ein eigener Referenzstrom für die OPV in die Ausgangsstufe geführt werden, welcher auch bei verschiedenen Ausgangsströmen konstant bleibt. Die Common-Mode Spannung des OPVs wird durch die Dimensionierung der Widerstände bestimmt.

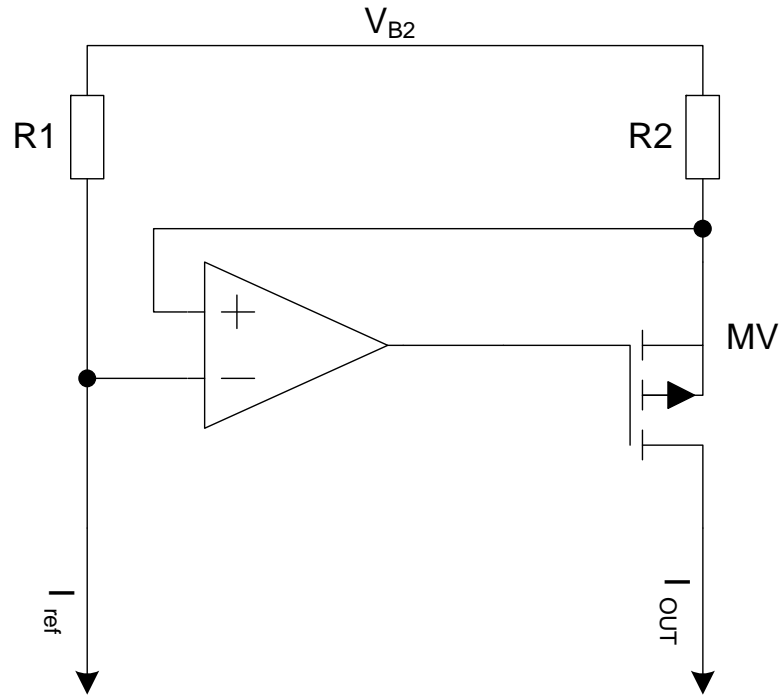


Abbildung 4.1.: OPV Stromquelle

Ein weiterer Nachteil ergibt sich durch die Versorgungsspannung des OPVs, welcher einen eigenen Spannungsregler benötigt um den OPV mit NV-MOSFETs aufbauen zu können.

Eine weitere Schaltung zur Vergrößerung des Referenzstroms ergibt sich durch mehrere einfache Stromspiegel. Konventionelle integrierte Stromspiegel sollten aufgrund guter Matching-Eigenschaften nur bis zu einem Stromverhältnis von 1:20 gebaut werden. Um eine Vergrößerung des Referenzstroms von 1000 zu realisieren, muss der Strom also mindestens 3 mal gespiegelt werden. Abbildung 4.2 zeigt ein Prinzipschaltbild.

Der Referenzstrom wird beim ersten Stromspiegel mittels M1 und M2 um den Faktor 5 vergrößert. Die Transistoren M3, M4 und M5 bilden einen umschaltbaren Stromspiegel. Entweder wird der Strom durch die MOS-Diode M3 um den Faktor 10 vergrößert durch M4 oder unverstärkt durch M5 fließen. Für den LS Pfad existiert ein zusätzlicher Stromspiegel, welcher den Strom um den Faktor 10 vergrößert. Je nach Schalterstellung kann somit die HS Stromquelle oder die LS Stromquelle aktiviert und damit das externe Gate geladen bzw. entladen werden.

Da die Ausgangsspannung von 0 bis zu 10 V betragen kann, müssen die Ausgangstransistoren mindestens aus Mittelvolttransistoren ausgeführt werden. Aus diesem Grund wurde jeweils für den HS- und den LS-Pfad ein Mittelvolt-Stromspiegel verwendet. Das

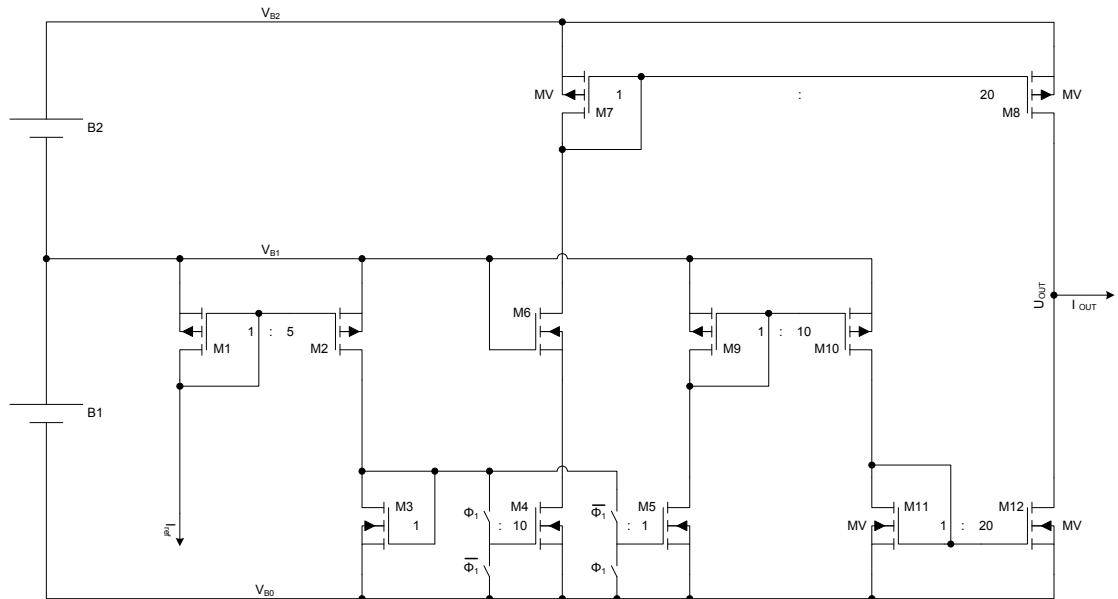


Abbildung 4.2.: Prinzip Stromspiegelschaltung

Verhältnis der Stromspiegel ist jeweils 1:20, womit in jedem Pfad der Referenzstrom mal Faktor 1000 vergrößert am Ausgang auftritt. Vorteil dieses Schaltungsentwurfs ist, dass keine Spannungsregler benötigt werden und der Flächenbedarf der Schaltung geringer ausfällt. Negativ ist der erhöhte Strombedarf im Vergleich mit der OPV Schaltung, da besonders durch die MOS-Dioden der Ausgangsstromspiegel ein relativ hoher Strom fließt.

Die Genauigkeit der Verstärkung definiert sich vor allem durch die unterschiedlichen Drain-Source Spannungen bei unterschiedlichen Zellspannungen. Sie ist geringer einzustufen als die Genauigkeit der OPV-Schaltung.

Da die Genauigkeit des Ausgangsstroms die Funktion nur unwesentlich beeinflusst und mittels Power-Down-Schaltung die Stromaufnahme im PD-Modus minimiert werden kann, wurde das Stromspiegelkonzept weiterverfolgt.

Abbildung 4.3 zeigt die finale Schaltung der Stromquellen. Die eingezeichneten Ströme beziehen sich auf den eingeschalteten Betriebszustand des jeweiligen Strompfades. Im Gegensatz zum Prinzipschaltbild ist die Schaltung etwas aufwändiger geworden, um im PD-Betriebszustand auch wirklich alle Ströme und Transistoren abzuschalten. Die Signale PD, PDN, HSN, HS, LSN und LS werden im Kontrollblock der Ausgangsstufe erzeugt. Mittels der NMOS Transistoren N1 und N2 werden die NMOS-Stromspiegel im PD-Modus abgeschaltet. Das selbe gilt für die PMOS-Transistoren P1, P2 und die PMOS-Stromspiegel.

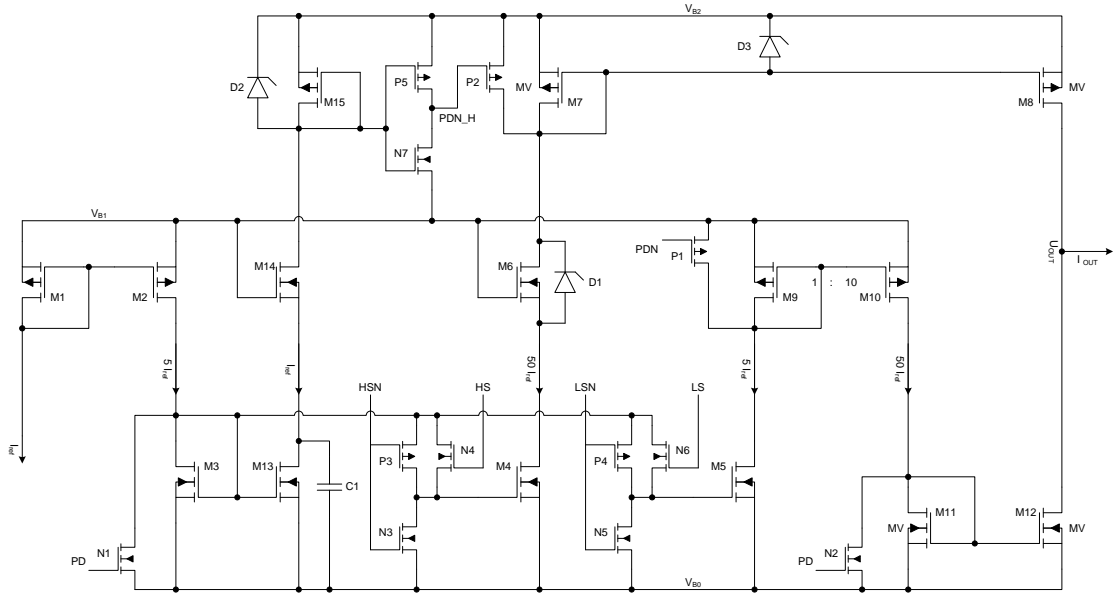


Abbildung 4.3.: Stromspiegelschaltung

Da sich alle Ansteuersignale zwischen V_{B0} und V_{B1} bewegen, muss für P2 ein PDN_H Signal erzeugt werden, welches gleich mit PDN, jedoch um eine Zellspannung höher (zwischen V_{B1} und V_{B2}), verläuft. Dieses Signal wird über die zusätzlich eingefügten Transistoren M13, M14 und M15 erzeugt. Ist die Ausgangsstufe aktiv (PD= V_{B0} , PDN= V_{B1}) so fließt durch M13, bedingt durch das Größenverhältnis zu M3, der Strom I_{ref} . M14 wird benötigt um die Drain-Source Spannung von M13 auf maximal eine Zellspannung ($< 5\text{ V}$) zu begrenzen. Die Abmessungen von M15, welcher eine MOS-Diode bildet, wurde so gewählt, dass bei einem minimalen Referenzstrom von $15\ \mu\text{A}$ eine Spannung von 5 V anliegt.

Für den PMOS-Transistor gilt laut [18] die Beziehung:

$$U_{SG} = \sqrt{\frac{2 \cdot I_{ref} \cdot L}{K'_P \cdot W}} + U_{th_P} \quad (4.2)$$

Daraus wird ersichtlich, dass durch eine höhere Länge L bei kleinerer Weite W des Transistors, die Source-Gate Spannung bei einem konstanten Strom erhöht werden kann.

Damit ist sichergestellt, dass nach dem Inverter (P5, N7) das Signal PDN_H= V_{B2} ist und der Stromspiegel M7-M8 nicht abgeschaltet wird. Die Z-Diode D2 begrenzt die Gate-Source Spannung von M15 auf maximal $-5,2\text{ V}$, wenn ein Referenzstrom größer $15\ \mu\text{A}$ fließen sollte. Wenn das PD-Signal high ist (PD= V_{B1}), so wird der Transistor M13 durch N1 ausgeschaltet und es fließt kein Strom durch M14 bzw. M15. Die Source-Drain

Spannung von M15 fällt unter die Thresholdspannung und der Inverter schaltet PDN_H auf V_{B1} , womit der Stromspiegel abgeschaltet wird.

Um die richtige Stromvergrößerung der Stromspiegel für Zellspannungen bis 2,5 V zu gewährleisten, muss garantiert werden, dass alle Stromquellen-Transistoren in Sättigung betrieben werden. Das heißt, für jeden Transistor muss die Bedingung

$$U_{DS} > U_{DS_{sat}} = U_{GS} - U_{th} \quad (4.3)$$

erfüllt werden. Für den Übergang zwischen den PMOS- und NMOS Stromspiegel ergibt sich folgende Bedingung.

$$2,5 \text{ V} > U_{SD_{sat_{M2}}} + U_{GS_{M3}} \quad (4.4)$$

Die Berechnung der Spannungen erfolgt mit dem maximalen Referenzstrom.

$$U_{SD_{sat_{M2}}} = U_{SG_{M1}} - U_{th_P} = \sqrt{\frac{2 \cdot I_{ref_{max}} \cdot L_{M1}}{K'_P \cdot W_{M1}}} \quad (4.5)$$

$$U_{GS_{M3}} = \sqrt{\frac{10 \cdot I_{ref_{max}} \cdot L_{M3}}{K'_N \cdot W_{M3}}} + U_{th_N} \quad (4.6)$$

K'_P	...	relativer Transkonduktanz-Koeffizient PMOS [A/V^2]
K'_N	...	relativer Transkonduktanz-Koeffizient NMOS [A/V^2]
U_{th_P}	...	Thresholdspannung PMOS [V]
U_{th_N}	...	Thresholdspannung NMOS [V]
$U_{DS_{sat}}$...	Drain-Source Sättigungsspannung [V]
L	...	Gatelänge [m]
W	...	Gateweite [m]

Für M6 und M7 muss eine zusätzliche Bedingung erfüllt werden. Für

$$I_D = 50 \cdot I_{ref_{max}} \quad (4.7)$$

gilt

$$U_{GS_{M7}} < 5 \text{ V} - U_{DS_{sat_{M6}}} - U_{DS_{sat_{M4}}} \quad (4.8)$$

Die angegebenen Formeln sind als Orientierung zu verstehen. Für eine genauere Auslegung, auch über den gesamten Temperaturbereich, muss die Schaltung mit den genaueren Spectre-Modellen simuliert werden.

Somit befinden sich durch das Einhalten der Bedingungen auch bei maximalem Referenzstrom und kleinster Zellspannung alle Transistoren in Sättigung. Im erweiterten Spannungsbereich des Ausgangstreibers bis 1,5 V Zellspannung, wird der Ausgangsstrom

eine kleinere Verstärkung aufweisen, da einige Stromquellen nicht mehr im Sättigungsbereich arbeiten.

Sowohl Gate-Source Spannung als auch Sättigungsspannung können durch kleine Gatelängen der Stromspiegel verringert werden. Allerdings sinkt damit der Ausgangswiderstand im Sättigungsbereich der MOS-Transistoren. Dieser Effekt wird Kanallängenmodulation genannt. Je kleiner der Ausgangswiderstand umso größer ist der Fehler des Stromspiegelverhältnisses bei unterschiedlichen Drain-Source Spannungen der Stromspiegeltransistoren. Es empfiehlt sich also eine größere Länge der Stromspiegel Transistoren zu wählen, um den Fehler gering zu halten und mit der Weite der Transistoren die gewünschten Spannungen einzustellen. Alle weiteren Stromspiegelausgänge können analog zur oberen Beschreibung dimensioniert werden.

Die Schalter im Prinzipschaltbild wurden durch eine T-Gate - NMOS-Schalter Kombination ersetzt. Im aktiv Betriebsmodus gilt HSN=LS und HS=LSN. Damit ist immer entweder der HS oder der LS-Pfad aktiv.

Damit die Spannungsgrenzen der Niedervolt-Transistoren statisch für hohe Zellspannungen bis zu 5 V eingehalten werden, muss eine weitere Bedingung für M6 und M7 eingehalten werden.

$$U_{GS_{M6}} < U_{SG_{M7}} \quad (4.9)$$

Für M14 und M15 gilt in gleicher Weise:

$$U_{GS_{M14}} < U_{SG_{M15}} \quad (4.10)$$

In der transienten Simulation zeigte sich eine Spannungsüberschreitung der Spannungen $U_{DS_{M15}}$ und $U_{DS_{M6}}$ für eine Zellspannung von jeweils 5 V. Der Fehler stellte sich nach einem PD der Schaltung und anschließendem Einschalten des HS-Strompfades ein. Grund für diese Überschreitung ist, dass nach dem Einschalten der NMOS-Stromspiegel diese schnell das Source-Potential des Kaskoden-Transistors nach unten ziehen, während durch die Gatekapazität der darüber liegenden MOS-Dioden das Drainpotential erst verspätet nach unten gezogen wird. Die Lösung des Problems ist für M15 und M6 unterschiedlich. Während eine kleine Kapazität am Sourcepotential von M15 ausreichte um dieses nach dem Einschalten gemächlicher fallen zu lassen, würde für M6, bedingt durch den höheren Drainstrom, eine größere Kapazität benötigt werden. Da eine Z-Diode an dieser Stelle den geringeren Platzbedarf erforderte, wurde die Drain-Source Spannung von M6 mit D1 auf maximal 5,2 V begrenzt.

4.1.2. Simulation

Es wurde eine DC-Simulation gemacht um den Einfluss der Zellspannung und der Temperatur auf den Ausgangsstrom zu zeigen (Abbildung 4.4). Die Ausgangsspannung wurde bei dieser Simulation auf V_{B1} gehalten und der Ausgangsstrom bei verschiedenen Referenzströmen und Temperaturen als Funktion der Zellspannung aufgenommen.

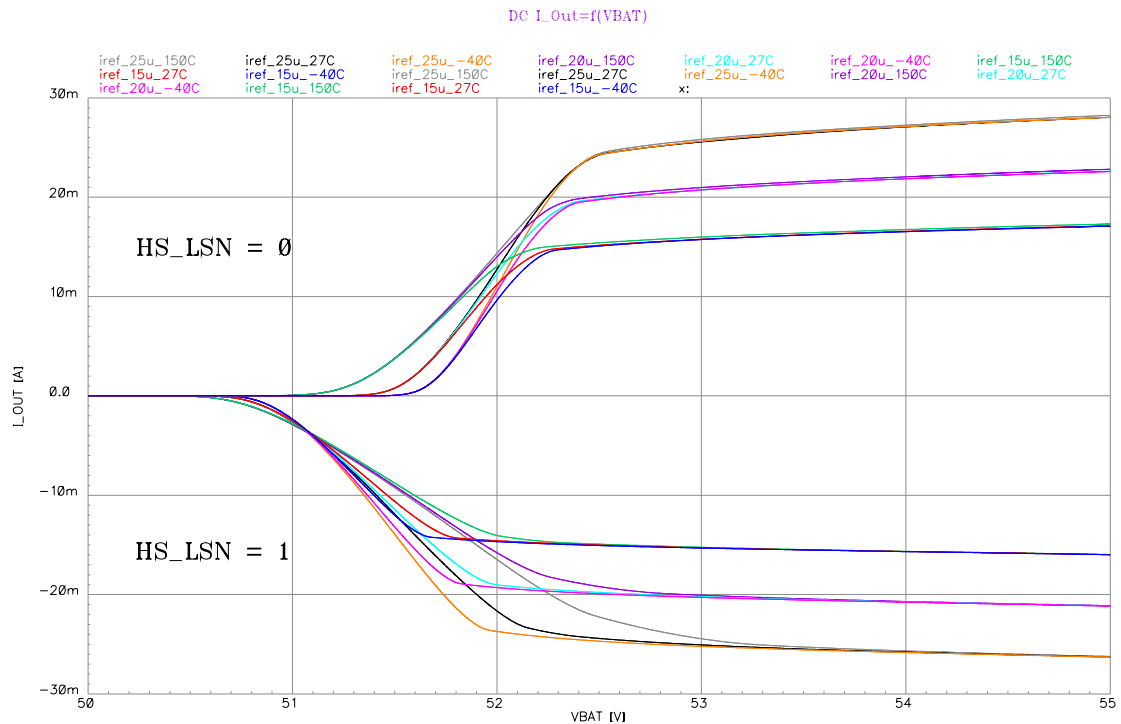


Abbildung 4.4.: DC-Simulation Ausgangsstrom

Positive Ströme sind Entladeströme ($HS_LSN=0$) und negative Ströme fließen aus der Ausgangsstufe ($HS_LSN=1$) heraus. Der spezifizierte Bereich der Ausgangsstufe liegt bei $V_{B1} > 2,5$ V. In diesem Bereich spielt die Temperatur eine untergeordnete Rolle. Wie erwünscht, kann mittels dem Referenzstrom der Ausgangsstrom eingestellt werden. Es zeigt sich auch, dass die Zellspannung auf die LS-Stromquelle mehr Einfluss hat, als auf die HS-Stromquelle, was auf verschiedene Kanallängenmodulationen (bei Bipolar-Transistoren wären es verschiedene Early-Spannungen) der NMOS und PMOS Transistoren hinweist.

Ein kritischer Fall ergibt sich bei einer Zellspannung von 2,5 V und einem Referenzstrom von 25 μ A und 150 °C. Die Größe des PMOS-Ausgangstransistors ist auf diesen Fall zu dimensionieren, wobei eine Reduktion des Ausgangsstroms in diesem Fall von ca. 15 % erlaubt werden kann.

4.1.3. Layout

Den größten Flächenbedarf der Stromquellschaltung stellen die Mittelvolt-Stromspiegel am Ausgang dar. Während der PMOS-Stromspiegel keine eigene Epi-Wanne benötigt, müssen beide MV-NMOS Transistoren in eigenen Epi-Wannen realisiert werden. Für den MV-NMOS Stromspiegel bedeutet dies viel inaktive Fläche sowie schlechteres Matching wegen des größeren Abstandes zueinander. Alle Dioden deren Kathode an V_{B2} angeschlossen sind können in die V_{B2} Epi-Wanne integriert werden.

Alle NV-Stromspiegel wurden Common-Centroid gelayoutet. Das bedeutet, dass die Flächenschwerpunkte der Stromspiegel Transistoren übereinander oder zumindest knapp nebeneinander liegen um lineare Gradienten (Temperatur, Schichtdicken ...) über den Chip zu kompensieren. Abbildung 4.5 zeigt das Layout des NV-NMOS Stromspiegels.

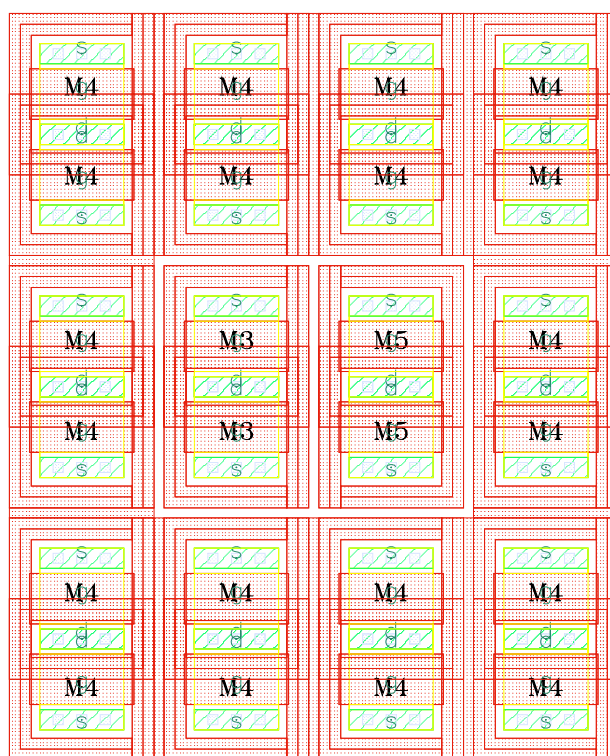


Abbildung 4.5.: Layout des NV-NMOS Stromspiegels

4.2. Passiv Balancing Schaltung

Für das passive Balancing werden die Stromspiegelschaltungen nicht benötigt. Auf die V_{B2} Versorgung muss wegen der fehlenden Überspannung V_{++} verzichtet werden. Mittels dem DMOS-Transistor und dem Pullup-Widerstand kann der Ausgang theoretisch zwischen V_{B0} und V_{B1} liegen, was dem Spannungsbereich einer Zelle entspricht.

4.2.1. DMOS-Transistor Dimensionierung

Der DMOS-Transistor soll einen maximalen Einschaltwiderstand von 2Ω aufweisen. In der Technologie SPT6 besitzt der vertikale DMOS-Transistor die besten Eigenschaften für diese Anwendung. Durch die thermische Eigenschaft des DMOS-Transistors ist der maximale Einschaltwiderstand bei $150 \text{ }^\circ\text{C}$ zu erwarten. Durch die vereinfachte Ansteuerung des Transistors mittels eines Buffers ist die Gate-Source Spannung gleich der Zellspannung V_{B1} . Der größte Einschaltwiderstand muss also für die maximale Temperatur und die minimale Gate-Source-Spannung berechnet werden, welche in diesem Fall $2,5 \text{ Volt}$ beträgt.

Allgemein laut [14] kann der Einschaltwiderstand eines MOS-FETs wie folgt berechnet werden:

$$I_D = K \left((U_{GS} - U_{th}) \cdot U_{DS} - \frac{U_{DS}^2}{2} \right) \quad (4.11)$$

$$g_{ds} = \frac{\delta I_D}{\delta U_{DS}} = K \cdot (U_{GS} - U_{th} - U_{DS}) \quad (4.12)$$

$$r_{ON} = \frac{1}{g_{DS}} = \frac{1}{K \cdot (U_{GS} - U_{th} - U_{DS})} \quad (4.13)$$

Die Drain-Source Spannung berechnet sich zu:

$$U_{DS} = I_D \cdot r_{ON} \quad (4.14)$$

Da der DMOS nicht über die Weite und Länge sondern über eine Zellanzahl Z , mit jeweils fixer Weite und Länge der Zelle, definiert wird gilt:

$$K = K' \cdot Z \quad (4.15)$$

Somit kann man die Zellanzahl berechnen zu:

$$Z = \frac{1}{r_{ON} \cdot K' \cdot (U_{GS} - U_{th} - I_D \cdot r_{ON})} \quad (4.16)$$

Auch hier soll die Formel nur die Zusammenhänge der beeinflussbaren Größen aufzeigen. Durch die fixe Größe einer Zelle wird bei Infineon ein $R_{on} \cdot A$ Wert für größere DMOS-Schalter (wegen vernachlässigbarer Randeffekte) angegeben, mit dessen Hilfe man für einen bestimmten Einschaltwiderstand die benötigte Fläche bzw. die benötigte Zellanzahl abschätzen kann. Durch eine parametrische DC-Simulation im Bereich der abgeschätzten Zellanzahl kann die genaue Zellanzahl für den maximalen Balancingstrom (200 mA) bei 150 °C und $V_{B1} = U_{GS} = 2,5 \text{ V}$ abgelesen werden.

Das Ansteuersignal DMOS_ON wird aus dem Kontrollblock bezogen und wie in Abbildung 4.6 durch zwei Inverter gepuffert. Der Widerstand zwischen Gate und dem Buffer wird benötigt, damit sich der DMOS-Transistor bei einem positiven ESD-Puls am Ausgangspin gegen V_{B0} einschalten kann. Dabei wird durch die rasche Spannungsänderung über die Drain-Gate Kapazität ein Strom über den Widerstand fließen, welcher eine ausreichend hohe Gate-Source Spannung erzeugt.

4.2.2. Pullup-Widerstand

Um das Potential der Ausgangsstufe bei abgeschaltetem DMOS-Transistor zu definieren wird ein Pullup-Widerstand verwendet. Damit ein Stromfluss bei eingeschaltetem DMOS-Transistor über den Widerstand verhindert werden kann, ist es notwendig den Pullup-Widerstand abschaltbar auszuführen. Im aktiven Balancing-Betrieb liegt der Ausgangsspannungsbereich zwischen V_{B0} und V_{B2} , womit ein Zuschalten des Widerstandes mittels einfachem PMOS-Schalter, aufgrund der im Spannungsbereich über V_{B1} leitenden Bulk-Diode, nicht ausreichen würde. In Abbildung 4.6 ist eine Schaltung abgebildet, welche diese Problematik löst.

Das Ansteuersignal RES_ON kommt aus dem Kontrollblock. Das invertierte Signal (über M6 und M7) steuert den als Schalter betriebenen Transistor M1 an. Die strichliert eingezeichnete Bulk-Diode leitet bei einer positiven Drain-Source Spannung größer der Diodenspannung U_{Df} . Ein verkehrt eingesetzter PMOS-Transistor M2 in Serie zu M1 sperrt einen Stromfluss im ausgeschalteten Zustand. Um zu gewährleisten, dass M2 für Ausgangsspannungen größer $V_{B1} + U_{th}$ gesperrt ist, wird mittels M3 die Gate-Source Spannung von M2 abgeschaltet.

Wird der DMOS-Transistor ausgeschaltet und RES_ON wird logisch high, so ist die Source-Spannung an M2 zunächst auf V_{B0} womit der Transistor gesperrt ist. M1 ist eingeschaltet und der Strom fließt über M1 und der Bulk-Diode von M2 über den Pullup-Widerstand aus der Ausgangsstufe. Ohne M5 würde die Ausgangsspannung durch die Bulk-Diode nur bis auf eine Diodenspannung unter V_{B1} ansteigen können. Durch das Einschalten von M5 wird der Gateanschluss von Transistor M2 auf V_{B0} gehalten womit M5 ab einer Ausgangsspannung größer $V_{B0} + U_{th}$ leitend wird. Somit ist es möglich die Ausgangsspannung bis auf V_{B1} ansteigen zu lassen. Das Abschalten des Pullup-

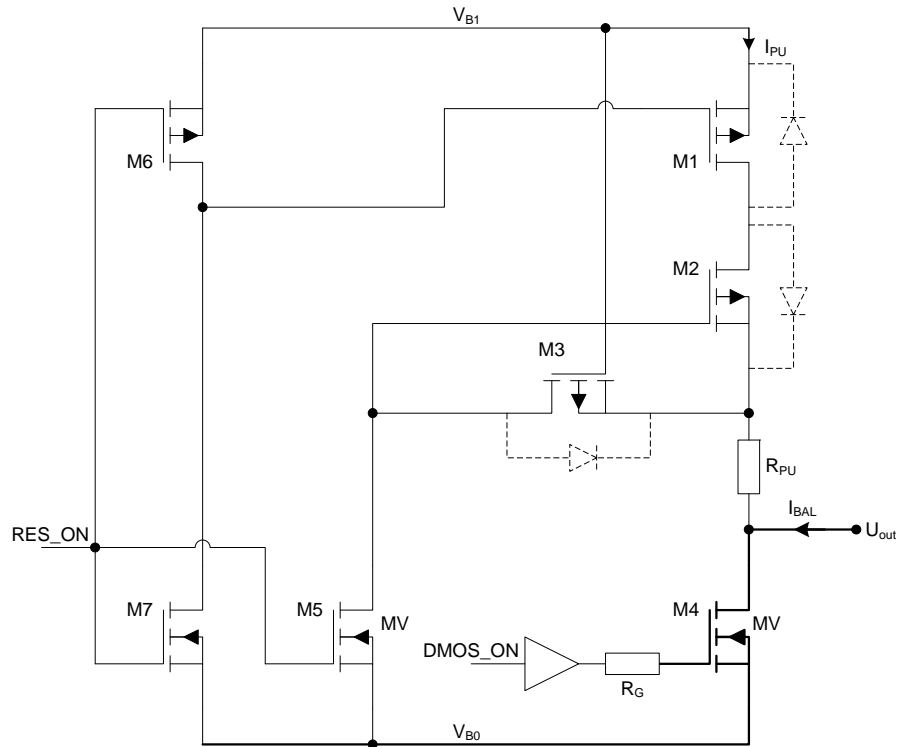


Abbildung 4.6.: DMOS und Pullup-Schaltung

Widerstandes erfolgt ausschließlich über M1. Da das Drainpotential von M5 beim aktiven Balancing durch M3 bis auf V_{B2} ansteigen kann, ist ein Mittelvolt-NMOS Transistor zu verwenden. Weiters ist sicherzustellen, dass beim aktiven Balancing RES_ON nicht angesteuert wird da dies zu einer Zerstörung der Transistoren M2 und M3 führen kann.

Der resultierende Pullup-Widerstand besteht aus der Summe der Einschaltwiderstände von M1 und M2 sowie dem temperaturabhängigen Polysilizium-Widerstand R_{PU} . Da die Einschaltwiderstände sowohl von der Temperatur, als auch von den Gate-Source Spannungen abhängig sind, ändert sich der resultierende Pullup-Widerstand ebenfalls mit der Zellspannung und der Umgebungstemperatur. Eine Reduktion dieses Einflusses ist durch Transistoren größerer Weite zu erreichen.

4.2.3. Simulation

In Abbildung 4.7 ist eine DC-Simulation des DMOS-Einschaltwiderstand für verschiedene Zellspannungen und Temperaturen als Funktion des Balancing-Stroms zu sehen. Man kann aus dem Diagramm erkennen, dass bei geringer Zellspannung der Einschaltwiderstand mit steigendem Strom höher wird. Dies liegt daran, dass die Ausgangskurve

des Transistors, bei kleinen Gate-Source Spannungen und einem bestimmten Strom, schneller die Sättigungsspannung erreicht. Ausserdem erkennt man die hohe Temperaturabhängigkeit des Einschaltwiderstands. Der Temperaturgang des Widerstandes ist außerdem von der Zellspannung abhängig. Je höher die Zellspannung, umso kleiner wird der Temperaturgang des Einschaltwiderstandes.

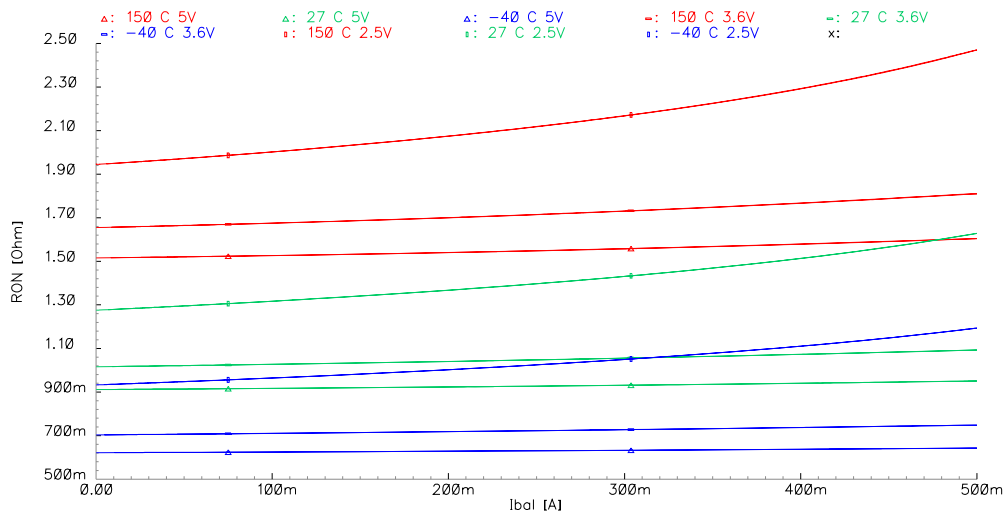


Abbildung 4.7.: Einschaltwiderstand des DMOS-Transistors bei verschiedenen Zellspannungen

Abbildung 4.8 zeigt eine DC-Simulation des Gesamt-Pullup-Widerstands für verschiedene Temperaturen als Funktion der Zellspannung.

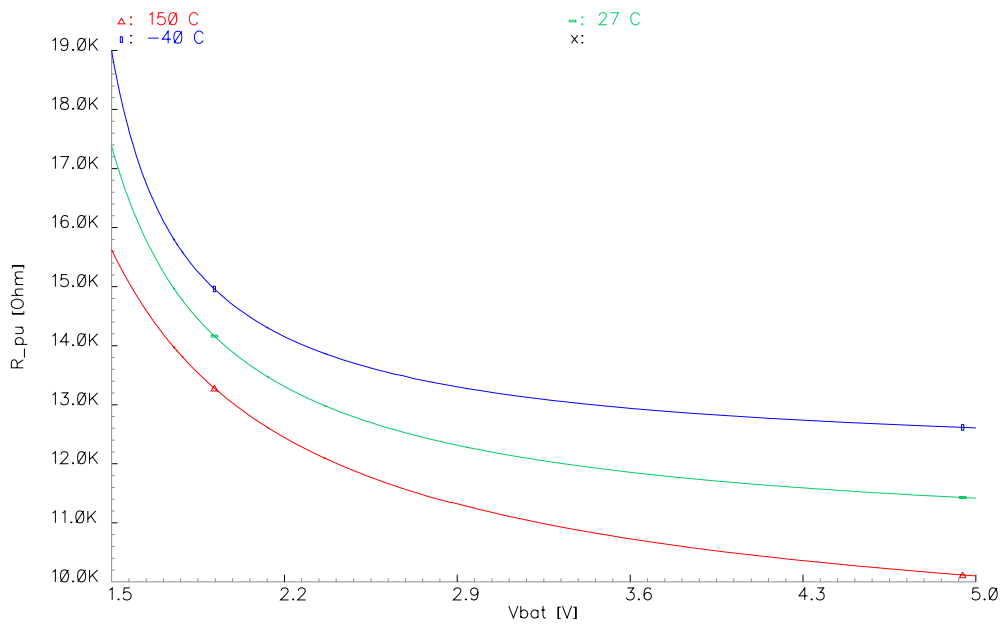


Abbildung 4.8.: Gesamt Pullup-Widerstand

4.2.4. Layout

Die Fläche des DMOS-Transistors ist von der Zellanzahl abhängig und umgekehrt proportional dem Einschaltwiderstand. Im Layout soll der DMOS-Transistor so angeordnet werden, dass eine Änderung des spezifizierten Einschaltwiderstand leicht umgesetzt werden kann, ohne das restliche Layout ändern zu müssen. Der Flächenbedarf für die Epi-Wanne ist bei einem Device dieser Größe vernachlässigbar.

Bei der Schaltung des Pullup-Widerstands ist darauf zu achten, dass M2 und M3 in einer eigenen Epi-Well platziert werden müssen. Auch M5 benötigt eine eigene Epi-Wanne, da es sich um einen MV-NMOS Transistor handelt. Besonderes Augenmerk muss auf das Layout des Transistors M2 gelegt werden, da dessen Bulk-Diode für Ausgangsspannungen nahe V_{B0} bei gleichzeitigem aktivieren von RES_ON leitend wird. Aufgrund der parasitären PNP Transistoren ist die Verstärkung dieser Transistoren durch Layoutmaßnahmen (Abstände, Wannendotierung ...) so gering wie möglich zu halten. Abbildung 4.9 zeigt die parasitären PNP-Transistoren eines PMOS.

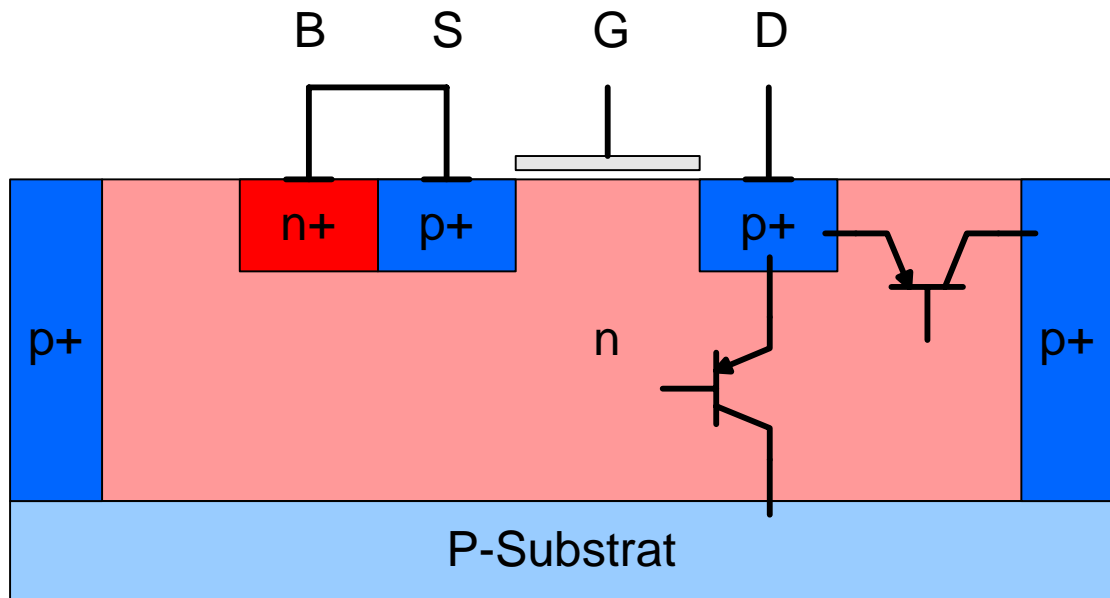


Abbildung 4.9.: Parasitäre PNP Transistoren

4.3. Kontrollblock

Der Kontrollblock besteht aus zwei Schaltungsblöcken. Durch die Power-Down Schaltung wird das PD-Signal aus dem Referenzstrom gewonnen. Im Decoder werden aus den Eingangssignalen der Ausgangsstufe die internen Signale erzeugt.

4.3.1. Power-Down Schaltung

Grundsätzlich soll im PD-Betriebszustand für die Ausgangsstufe kein Strom benötigt werden. Da zu diesem Zweck auch der Referenzstrom der Schaltung abgeschaltet wird liegt es nahe durch das Abschalten des Referenzstromes das PD-Signal zu erzeugen. Der Referenzstrom beträgt nominal $20 \mu\text{A}$ und kann für das aktive Balancing zwischen 15 und $25 \mu\text{A}$ variieren. Ziel der Schaltung in Abbildung 4.10 ist es also, die Schaltschwelle für das PD-Signal zwischen 0 und $15 \mu\text{A}$ für alle Zellspannungen und Temperaturen zu garantieren.

Der Referenzstrom wird mit dem Faktor $1:4$ gespiegelt. Der vierfache Referenzstrom erzeugt über den Widerstand $R1$ einen Spannungsabfall, welcher bei Unterschreiten der halben Zellspannung (einstellbar durch die Abmessungen der Invertertransistoren $M3$ und $M4$) das PD Signal auf V_{B1} setzt. Der Übergang zwischen 0 und $15 \mu\text{A}$ und umgekehrt sollte so schnell wie möglich durchlaufen werden. Führt man $M3$ und $M4$ etwas länger aus so begrenzt man damit den Querstrom während des Schaltvorgangs.

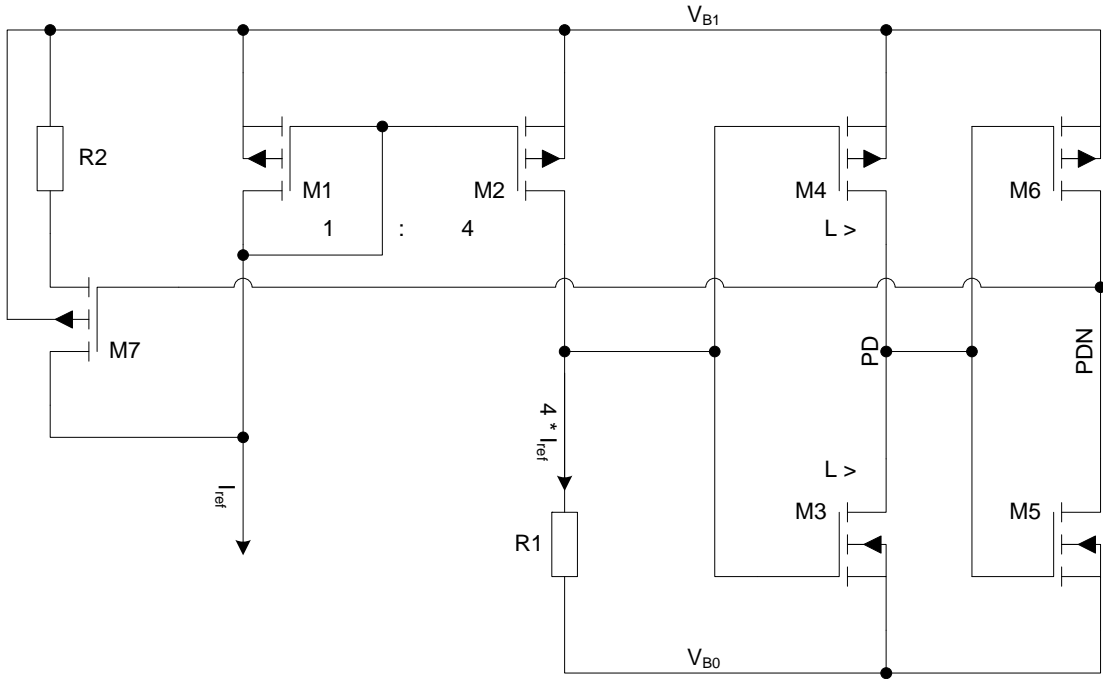


Abbildung 4.10.: Power-Down Schaltung

Gleichzeitig mit dem PD Signal wird M7 geschlossen womit ein zweiter Strompfad für den Referenzstrom geöffnet wird und somit zusätzlich eine Hysterese implementiert. Die Ausgangsstufe ist somit im PD-Betriebszustand. Die Hysterese besteht aus einem spannungsunabhängigen Teil (R2) und einem spannungsabhängigen Teil durch den Einschaltwiderstand von M7.

Für den Abschaltzeitpunkt gilt:

$$I_{ref_{PD}} = \frac{V_{B1}}{8 \cdot R_1} \quad (4.17)$$

Die Gate-Source Spannung von M1 zum Umschaltzeitpunkt beträgt:

$$U_{GSS} = \sqrt{\frac{2 \cdot I_{ref_{PD}}}{K}} - U_{th} \quad (4.18)$$

Für den Einschaltzeitpunkt gilt damit:

$$I_{ref_{PDN}} = I_{ref_{PD}} + \frac{U_{GSS}}{R_2 + r_{ON_{M7}}} \quad (4.19)$$

Es ist mit einer sehr hohen Streuung dieser Schaltung zu rechnen, da die Widerstandsstreuung und der Temperaturgang von R1 direkt in die Schaltschwellen eingeht. Die Streuung der Hysterese ist zu großen Teilen der Streuung des Widerstands R2 zuzuschreiben.

4.3.2. Decoder

Als Input-Signale für den Decoder werden die Signale PAS_ACTN, PD und HS_LSN herangezogen. Alle Signale sind logisch high (1) bei einer Spannung von V_{B1} bzw. logisch low (0) bei einer Spannung von V_{B0} .

PAS_ACTN wird durch die äußere Beschaltung des IC definiert und kann nur unter der Bedingung HS_LSN=0 und PD=1 den logischen Zustand ändern. Mittels dem PD Signal kann der Stromverbrauch der Ausgangsstufe gesenkt werden, indem die Diagnose der Ausgangsstufe abgeschaltet wird, und der Ausgang fix auf V_{B1} (passiv) oder V_{B0} (aktiv) definiert wird. HS_LSN definiert im Aktiv-Mode welche Stromquelle eingeschalten wird und im Passiv-Modus ob der DMOS-Transistor eingeschalten (HS_LSN=1) wird.

In der Wahrheitstabelle 4.1 werden den Eingangssignalkombinationen die Zustände der Ausgangssignale des Decoders zugeordnet.

P_A	PD	H_L	R_O	D_O	TRI	HS	HSN	LS	LSN	Beschreibung
0	0	0	0	0	0	0	1	1	0	LS ein, Diag ein
0	0	1	0	0	0	1	0	0	1	HS ein, Diag ein
0	1	0	0	1	0	0	1	1	0	DMOS ein, Diag aus
0	1	1	0	1	0	1	0	0	1	DMOS ein, Diag aus
1	0	0	1	0	0	0	1	0	1	Res ein, Diag ein
1	0	1	0	1	0	0	1	0	1	DMOS ein, Diag ein
1	1	0	1	0	0	0	1	0	1	Res ein, Diag aus
1	1	1	0	0	1	0	1	0	1	Tristate, Diag aus

Tabelle 4.1.: Wahrheitstabelle Decoder

P_A ... PAS_ACTN
H_L ... HS_LSN
R_O ... RES_ON
D_O ... DMOS_ON

Aus der Tabelle lassen sich Bool'sche Gleichungen für die Ausgangssignale erstellen. Da schaltungstechnisch NAND und NOR Gatter am wenigsten Transistoren benötigen, werden die Gleichungen dementsprechend umgeformt.

Wenn $RES_ON=1$ ist wird der Pullup-Widerstand am Ausgang zugeschaltet. Dieser zieht den Ausgangspin auf V_{B1} .

$$R_ON = PAS_ACTN \cdot \overline{HS_LSN} = \overline{PAS_ACTN} + HS_LSN \quad (4.20)$$

$DMOS_ON$ steuert den DMOS an. Damit entsteht eine niederohmige Verbindung (1Ω) zwischen dem Ausgang und V_{B0} .

$$DMOS_ON = \overline{PAS_ACTN} \cdot PD + PAS_ACTN \cdot \overline{PD} \cdot HS_LSN \quad (4.21)$$

$$DMOS_ON = \overline{\overline{PAS_ACTN} \cdot PD \cdot \overline{PAS_ACTN} \cdot \overline{PD} \cdot HS_LSN} \quad (4.22)$$

Das TRI-Signal wird für die Schaltung nicht benötigt, zeigt aber jenen Betriebszustand an, bei dem der Ausgang hochohmig ist. Im Betrieb sollte dieser Zustand nur bei erkannten Fehlern eingestellt werden können.

$$TRI = PAS_ACTN \cdot PD \cdot HS_LSN \quad (4.23)$$

HS und HSN steuern die Schalter für den HS-Strompfad der Stromspiegelschaltung an.

$$HS = \overline{HSN} = \overline{PAS_ACTN} \cdot HS_LSN = \overline{PAS_ACTN} + \overline{HS_LSN} \quad (4.24)$$

LS und LSN steuern die Schalter für den LS-Strompfad der Stromspiegelschaltung an und verlaufen beim aktiv Balancing gegenläufig zu HS und HSN.

$$LS = \overline{LSN} = \overline{PAS_ACTN} \cdot HS_LSN = \overline{PAS_ACTN} + HS_LSN \quad (4.25)$$

Zur Realisierung dieses Decoders werden Inverter, 2-fach NAND, 2-fach NOR und 3-fach NAND Gatter benötigt. In Abbildung 4.11 ist zu sehen, wie diese Gatter in CMOS realisiert werden. Die Schematic des Decoders ist im Anhang in der Abbildung A.3 auf Seite 80 zu finden.

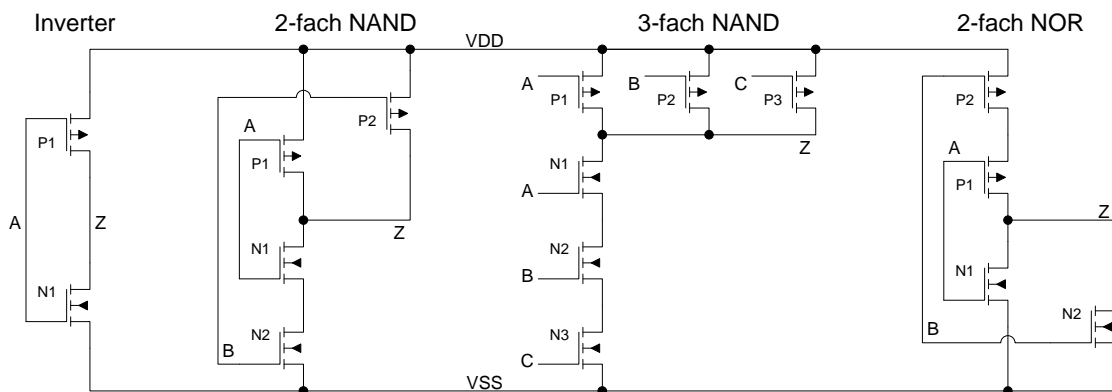


Abbildung 4.11.: Digitale CMOS Gatter

4.3.3. Simulation

Bei der Power-Down Schaltung ist besonders die statistische Simulation der Stromschwellen für das PD-Signal von Interesse um ein Schalten bei regulären Betriebszuständen (I_{ref} größer oder gleich $15 \mu\text{A}$) auszuschließen. Abbildung 4.12 zeigt die statistische Verteilung der höchsten und niedrigsten Schaltschwelle. Die niedrigste Schaltschwelle ist bei einer Zellspannung von $1,5 \text{ V}$ und fallendem Referenzstrom, also der Übergang zwischen $\text{PD}=0$ und $\text{PD}=1$. Die höchste Schaltschwelle tritt bei einer Zellspannung von 5 V und steigendem Referenzstrom (Übergang $\text{PD}=1$ zu $\text{PD}=0$) auf. Alle weiteren Schaltschwellen befinden sich zwischen diesen beiden und können im Anhang auf Seite 88 und 89 betrachtet werden.

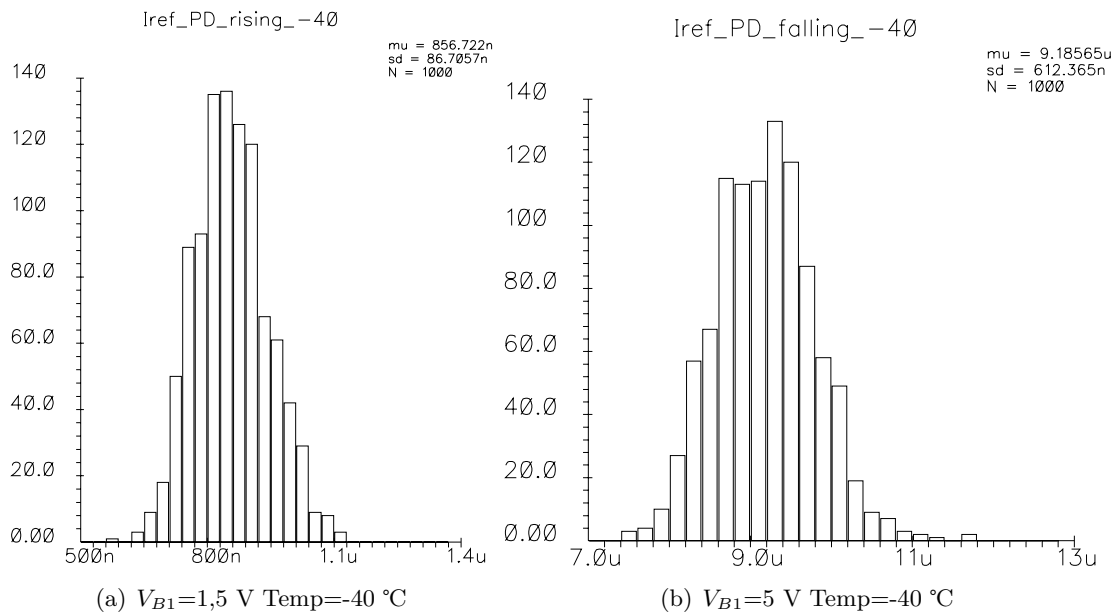


Abbildung 4.12.: Statistische Simulation PD-Schaltswelle

Die Schwellen weisen eine sehr hohe Streuung auf, sind aber für die Anwendung in Anbetracht des geringen Flächenbedarfs ausreichend, da DC-Referenzströme zwischen 0 und $15 \mu\text{A}$ von Seiten der Spezifikation nicht erlaubt werden.

Aus den Simulationen der Ausgangsstufe lässt sich die korrekte Umsetzung des Schaltungsentwurfs ableiten. Alle Zustände entsprechen der Definition in der Wahrheitstabelle. Die Verzögerungszeiten der Signale sowie der Verzicht auf eine Brake-before-Make Umsetzung der Ausgangssignale HS und HSN beziehungsweise LS und LSN spielen in dieser Anwendung keine Rolle.

4.3.4. Layout

Aus Sicht des Layouts stellt die Umsetzung dieser Schaltungen an die physikalische Anordnung am Chip keine besonderen Anforderungen dar. Der Decoder besteht aus digitalen Gattern, welche aufgrund der geringen Schaltfrequenz als nicht kritisch einzustufen sind. Der Stromspiegel in der PD-Schaltung ist matchend zu platzieren, um eine größere Streuung der simulierten Schwellen zu verhindern.

4.4. Diagnose

Mittels der Diagnosefunktion sollen Fehler der internen und externen Schaltung erkannt werden. Ist die Ausgangsstufe im Power-Down Betriebszustand, wird auch die Diagnose abgeschaltet um die Zellen nicht unnötig zu belasten. Die Diagnose überwacht einerseits die Ausgangsspannung mit unterschiedlichen Anforderungen für passiv beziehungsweise aktiv Balancing, und andererseits die Zellspannung in Bezug auf eine definierte Unterspannung.

4.4.1. Ausgangsspannungsüberwachung aktiv

Die Anforderungen an die Ausgangsspannungsüberwachung wurde im Kapitel Spezifikation behandelt. Um die beiden Signale zu erzeugen werden, wie in Abbildung 4.13 zu sehen ist, zwei Komparatoren benötigt. Die Referenzspannung, welche die Common-Mode Spannung der Komparatoren im Schaltzeitpunkt darstellt, wird aus der V_{B2} Spannung mittels Spannungsteiler erzeugt.

Durch geeignete Dimensionierung eines weiteren Spannungsteilers an der Ausgangsspannung können 2 Schaltschwellen erzeugt werden.

$$V_{ref+} = \frac{1 \cdot R}{20 \cdot R} \cdot V_{B2} = 0,05 \cdot V_{B2} \quad (4.26)$$

Da die Ausgangsspannung bis auf die Spannung V_{B2} (max. 10 V) ansteigt, aber gleichzeitig ein Niederspannungs-Komparator (max. 5 V) verwendet werden soll, darf der höhere Spannungsabgriff am Ausgangs-Spannungsteiler nicht höher als die Hälfte der Ausgangsspannung sein.

M1 und M2 werden durch die Komparator-Ausgangssignale S2B und S2G angesteuert. Die Hysterese der Schaltschwellen wird durch die Änderung des Spannungsteilers an der Ausgangsspannung erzeugt.

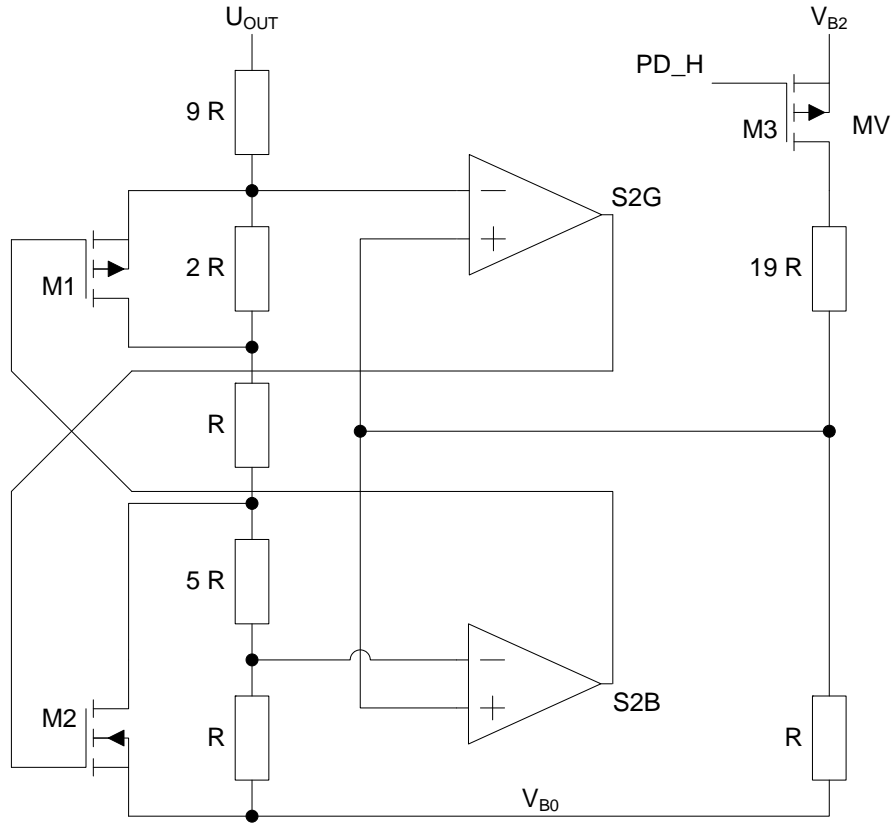


Abbildung 4.13.: Aktiv Balancing Diagnose

Ausgehend vom Grundzustand $U_{OUT} = 0V$ und $S2B=V_{B1}$ und $S2G=V_{B1}$ ergibt sich bei steigender Ausgangsspannung die erste Schwelle für das Signal S2G bei:

$$U_{S2G+} = \frac{3 \cdot R}{12 \cdot R} \cdot U_{OUT} = 0,05 \cdot V_{B2} [V] \quad (4.27)$$

Diese Gleichung ist erfüllt für die Bedingung:

$$U_{OUT} = \frac{12}{3} \cdot 0,05 \cdot V_{B2} = 0,2 \cdot V_{B2} [V] \quad (4.28)$$

Die Ausgangsspannung steigt weiter wobei nun $S2G=V_{B0}$ und $S2B=V_{B1}$ ist. Für die zweite Schwelle gilt daher:

$$U_{OUT} = \frac{18}{1} \cdot 0,05 \cdot V_{B2} = 0,9 \cdot V_{B2} [V] \quad (4.29)$$

Wenn die Ausgangsspannung die obere Schwelle überschritten hat gilt $S2G=S2B=V_{B0}$ womit bei fallender Ausgangsspannung sich die obere Schwelle ändert zu:

$$U_{OUT} = \frac{16}{1} \cdot 0,05 \cdot V_{B2} = 0,8 \cdot V_{B2} [V] \quad (4.30)$$

Die minimale Eingangsspannung des Komparators ergibt sich durch die Gate-Source Spannungen von M3 und M5 sowie der Sättigungsspannung von M3.

$$U_{IN_{min}} = U_{SG_{M3}} - U_{SD_{sat_{M3}}} - U_{GS_{M5}} \quad (4.32)$$

Wird diese Spannung unterschritten so ist mit einer kleineren Verstärkung des Komparators zu rechnen. Die Spannungsverstärkung des Komparators ergibt sich durch die Verstärkung der differentiellen Eingangsstufe, sowie der Verstärkung des nachgeschalteten Inverters. Da der Komparator mit dem gleichen Referenzstrom betrieben wird wie die aktive Stromspiegelschaltung, ist darauf zu achten, dass sich die Verstärkung sowie die DC-Spannungen mit dem Referenzstrom ändern. Der Offset des Komparators hängt hauptsächlich vom Matching der Eingangstransistoren M3 und M4 sowie des Stromspiegels M5 und M6 ab.

4.4.2. Ausgangsspannungsüberwachung passiv

Bei der passiven Ausgangsspannungsüberwachung wird nach dem Einschalten des DMOS-Transistors die Ausgangsspannung mit zwei Referenzspannungen verglichen. Da im Gegensatz zur aktiven Ausgangsspannungsüberwachung die Referenzspannung einen fixen Absolutwert besitzt, benötigt man eine Referenzspannung in der Ausgangsstufe.

Die Generierung einer eigenen Referenzspannung pro Ausgangsstufe mittels Bandgap-Schaltung ist eine sehr flächenintensive Variante zur Lösung des Problems. Da der Chip sowieso eine Bandgap im CeFu-Block aufweist, ist es eleganter aus dieser Referenzspannung über einen Widerstand einen Strom zu erzeugen, diesen in die Ausgangsstufen zu spiegeln und dort über einen Widerstand gleichen Typs wieder in eine Referenzspannung umzuwandeln. Unter der Annahme, dass die Widerstände die gleiche Temperatur und den gleichen Absolutwert aufweisen, ergibt sich wie gewünscht eine von der Widerstands-Streuung (bis zu 20 %) und Umgebungstemperatur unabhängige Referenzspannung.

Für die Ausgangsstufe bedeutet dies, dass beim passiven Balancing der Referenzstrom möglichst unverfälscht an eine Widerstandskette geführt werden muss, an der dann die Komparator-Referenzspannungen abgegriffen werden. Um den Einfluss der Versorgungsspannung (unterschiedliche Drain-Source Spannungen) auf den Stromspiegel zu verringern empfiehlt es sich einen kaskodierten Stromspiegel zu verwenden. In Abbildung 4.15 ist die Schaltung der passiven Diagnose zu sehen. Über M2, M10 und M11 wird an M6 eine Bias-Spannung für die Kaskoden-Transistoren M7-M9 erzeugt.

Wie man an der Schaltung weiter erkennt, wird der Referenzstrom von M1 auf M3, M4 und M5 gespiegelt. Während M4 den 5-fachen Referenzstrom spiegelt, dienen die zuschaltbaren 0,5-fachen Referenzströme von M3 und M5, zur Bildung einer Hysterese der Schaltspannungen. Die Drain-Spannung von M8 beträgt bei einem Referenzstrom

Für $S2G=V_{B0}$ und $S2B=V_{B1}$ ergibt sich die Schwellspannung für S2G zu:

$$U_{OUT} = \frac{R3}{R1 + R2 + R3} \cdot 0,6 \cdot 1,1 [V] \quad (4.34)$$

Wird der DMOS-Transistor wieder abgeschaltet so ergibt sich bei $S2G=S2B=V_{B1}$ für die Schwelle von S2G:

$$U_{OUT} = \frac{R3}{R1 + R2 + R3} \cdot 0,6 \cdot 1,2 [V] \quad (4.35)$$

Die obere Schwelle von S2B liegt dann für $S2G=V_{B0}$ und $S2B=V_{B1}$ bei:

$$U_{OUT} = \frac{R2 + R3}{R1 + R2 + R3} \cdot 0,6 \cdot 1,1 [V] \quad (4.36)$$

Wie man aus den Gleichungen erkennt, kann durch eine geeignete Wahl der Widerstände jede Schwelle zwischen 0 und 600 mV eingestellt werden. Um das Matching der Widerstände zu optimieren, ist es ratsam alle Widerstände aus dem größten gemeinsamen Teiler der Widerstände zu erstellen. Somit ergibt sich ein Widerstands-Array aus gleichen Widerständen. Außerdem sollten Dummy-Widerstände am Rand platziert und die Breite der Widerstände nicht zu klein gewählt werden, da sonst Randeffekte verstärkt als Fehler in den absoluten Widerstandswert, sowie den Widerstandsverhältnissen eingehen. Die Breite der Hysterese ergibt sich durch das W/L-Verhältnis der Transistoren M4 und M5 beziehungsweise M3.

4.4.3. Unterspannungserkennung

Obwohl die Zellspannung mittels ADC gemessen wird, soll aus Sicherheitsgründen eine separate Unterspannungserkennung in der Ausgangsstufe eingebaut werden. Die Schaltung liefert dem Digitalteil ein UV-Signal sobald die Zellspannung der jeweiligen Ausgangsstufe V_{B1} unter die minimale Versorgungsspannung fällt. Unterhalb der minimalen Versorgungsspannung kann, von Seiten der Ausgangsstufe, die korrekte Arbeitsweise nicht mehr garantiert werden. Als Reaktion des UV-Signals wird der Digitalteil die Ausgangsstufe in den Power-Down Modus schalten, indem der betreffende Referenzstrom abgeschaltet wird, um ein weiteres Entladen der Zelle zu verhindern.

Die Unterspannungserkennung sollte eine möglichst geringe Streuung aufweisen, um bei sinkender Zellspannung sicher ein UV-Signal zwischen 2 und 1,5 Volt zu erzeugen. Um eine präzise Schwellspannung mit geringer Streuung zu erreichen, werden ähnliche Schaltungen oft mittels dem Delta- V_{BE} Prinzip bipolarer Bandgap-Schaltungen verwirklicht. Da diese Schaltungen wegen der Bipolar-Transistoren sehr viel Fläche benötigen, wird

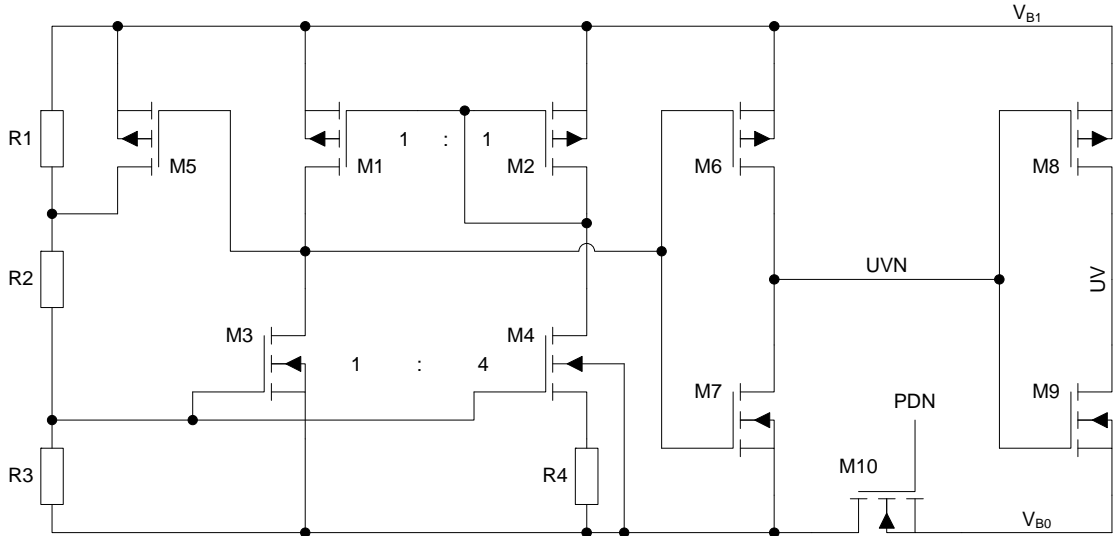


Abbildung 4.16.: Unterspannungs Detektion

für diese Anwendung eine möglichst kompakte CMOS-Schaltung bevorzugt, obwohl mit einer größeren Streuung der Auslösespannung zu rechnen ist.

Abbildung 4.16 zeigt die implementierte CMOS-Schaltung für die Unterspannungserkennung. Kernstück der Schaltung sind die NMOS-Transistoren M3 und M4 sowie der PMOS-Stromspiegel mit M1 und M2 sowie ein Spannungsteiler, mit dem die Auslösespannung eingestellt wird. Die Gates von M3 und M4 sind zusammenschaltet. Transistor M4 verfügt über einen Sourcewiderstand und dessen Gate ist 4-mal weiter, als die Gateweite von M3 bei gleicher Gatelänge.

Beginnend bei einer Gatespannung von V_{B0} sperren beide Transistoren bis die Gatespannung in den Bereich der Thresholdspannung angestiegen ist. Aufgrund der größeren Weite von M4 wird dessen Drainstrom höher sein, als der durch M3. Mit steigender Gatespannung werden die Drainströme immer höher, was bei M4 zu einer Gegenkopplung führt, da der Spannungsabfall an R4 steigt und die Gate-Source Spannung reduziert, bis der Drainstrom von M3 größer als jener von M4 ist. Durch die Zusammenführung der beiden Ströme am Drain von M3, mittels des PMOS-Stromspiegels, wird bei dieser Gatespannung das Drainpotential von V_{B1} auf V_{B0} wechseln. Die Berechnung der Gatespannung ergibt sich aus folgender Herleitung.

$$U_{GS_{M3}} = U_{GS_{M4}} + I_{D_{M4}} \cdot R_4 \quad (4.37)$$

$$\sqrt{\frac{2 \cdot I_{D_{M3}}}{K_{M3}}} - U_{th_{M3}} = \sqrt{\frac{2 \cdot I_{D_{M4}}}{K_{M4}}} - U_{th_{M4}} + I_{D_{M4}} \cdot R_4 \quad (4.38)$$

Bei Vernachlässigung des Substratsteuereffektes gilt:

$$U_{th_{M3}} = U_{th_{M4}} \quad (4.39)$$

Weiters gilt allgemein:

$$K_{M4} = X \cdot K_{M3} \quad (4.40)$$

Für den Schaltzeitpunkt gilt weiters:

$$I_{D_{M3}} = I_{D_{M4}} \quad (4.41)$$

Somit ergibt sich:

$$\sqrt{\frac{2 \cdot I_{D_{M3}}}{K_{M3}}} = \sqrt{\frac{2 \cdot I_{D_{M3}}}{X \cdot K_{M3}}} + I_{D_{M3}} \cdot R_4 \quad (4.42)$$

$$\sqrt{\frac{2 \cdot I_{D_{M3}}}{K_{M3}}} \cdot \left(1 - \sqrt{\frac{1}{X}}\right) = I_{D_{M3}} \cdot R_4 \quad (4.43)$$

$$I_{D_{M3}} = \frac{2}{K_{M3}} \cdot \left(1 - \sqrt{\frac{1}{X}}\right)^2 \cdot \left(\frac{1}{R_4}\right)^2 \quad (4.44)$$

Berechnet man daraus die Gatespannung zum Umschaltzeitpunkt der Schaltung, so erhält man:

$$U_{G_S} = \frac{2}{K_{M3} \cdot R_4} \cdot \left(1 - \sqrt{\frac{1}{X}}\right) + U_{th_{M3}} \quad (4.45)$$

Wie man aus der Formel erkennt, erhält man eine von der Versorgungsspannung unabhängige Gatespannung im Umschaltzeitpunkt des Ausgangssignals. Durch den Source-Widerstand und das W/L-Verhältnis der NMOS Transistoren kann die Gatespannung verändert werden. Bei einem sehr großen Sourcewiderstand nähert sich die Gatespannung der Thresholdspannung an. Auch die Einflussfaktoren der zu erwartenden Streuung lassen sich aus der Formel ablesen. Die Streuung der Thresholdspannung geht direkt in die Gatespannung ein. Die relativ große Prozessstreuung des Sourcewiderstands und die Streuung durch die Geometrie des Transistors beeinflussen das Ergebnis durch den Kehrwert.

Je kleiner der Sourcewiderstand gewählt wird, umso höher ist der Drainstrom der beiden Transistoren und umso höher ist die Gate-Umschaltspannung. Da wegen des Stromverbrauchs ein sehr hoher Widerstand gewählt wurde, liegt die Gate-Umschaltspannung leicht über der Thresholdspannung. Um bei einer höheren Versorgungsspannung das UV-Signal zu erzeugen wird ein Spannungsteiler (R1, R2 und R3) benötigt. Die UV-Spannung kann somit über das Widerstandsverhältnis eingestellt werden. Durch den Transistor M5 welcher R1 bei Unterspannung kurzschließt, wird eine Hysterese erzeugt.

Schwellspannung bei fallender Versorgungsspannung:

$$U_{UV} = \frac{R_1 + R_2 + R_3}{R_3} \cdot U_{G_S} \quad (4.46)$$

Schwellspannung bei steigender Versorgungsspannung:

$$U_{UV} = \frac{R_2 + R_3}{R_3} \cdot U_{G_S} \quad (4.47)$$

Die Schaltung besteht zusätzlich aus zwei Invertern (M6, M7 und M8, M9), welche das UV-Signal verstärken. Da die Unterspannungserkennung ständig Strom benötigt kann sie im PD-Betriebszustand mit dem NMOS M10 abgeschaltet werden. Sperrt M10, so wird das Source-Potential von M7 durch den Spannungsteiler auf V_{B1} gezogen, womit am Eingang des zweiten Inverters sicher V_{B1} anliegt und das Ausgangssignal $UV=V_{B0}$ wird. Somit löst die Unterspannungserkennung im PD kein UV-Signal aus.

4.4.4. Simulation

Für die Bewertung der Diagnose-Schaltungen sind statistische Simulationen bezüglich der Schaltspannungen von Interesse.

Diagnose Aktiv

Abbildung 4.17 zeigt die Verteilung der 10% V_{B2} und 90% V_{B2} Schwelle bei typischen Bedingungen (Zellspannung 3,6 V; 27 °C). Die Ausgangsspannung wird mit einem DC-Sweep verändert. Überschreitet, beziehungsweise unterschreitet das Ausgangssignal die halbe Zellspannung, wird die betreffende Ausgangsspannung im Histogramm aufgenommen. Die höhere Streuung der S2B-Schwelle ist durch das Spannungsteilerverhältnis und der Streuung des Komparator-Offsets zu erklären, da die Eingangsspannung des S2B-Komparators einen flacheren Verlauf aufweist als die des S2G-Komparators. Weitere Simulationen bei verschiedenen Temperaturen und Zellspannungen sind im Anhang der Diplomarbeit auf den Seiten 90 und 91 zu finden.

Diagnose Passiv

Die Simulation der Diagnose-Schaltung im passiven Betriebsfall gestaltet sich schwieriger da die Genauigkeit der Simulation vom Referenzstrom abhängig ist. Da es nicht sinnvoll ist den Referenzstrom als konstant anzunehmen, wird ähnlich der Referenzstromgenerierung im Chip aus einer konstanten Spannung (idealisierte Spannungsreferenz) über

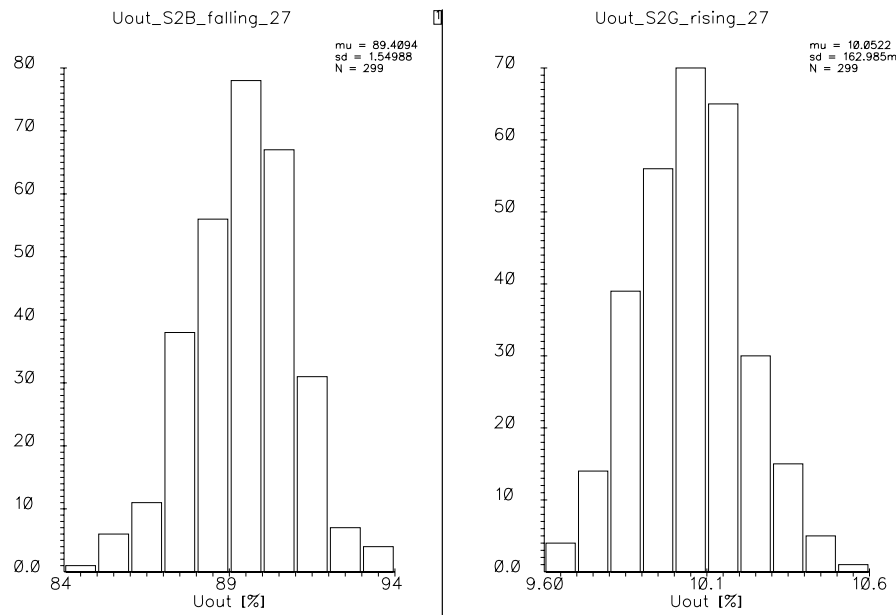


Abbildung 4.17.: Statistische Simulation Diagnose Aktiv

einen Widerstand, identisch dem in der Diagnose-Schaltung, Strom generiert und der Ausgangsstufe als Referenzstrom zugeführt. Somit wird das Matching der Widerstände in der Simulation mit berücksichtigt. In Abbildung 4.18 sind die beiden wichtigsten Schaltschwellen der Schaltung abgebildet.

Die Schaltung weist über alle Zellspannungen und Temperaturen (siehe Simulationen im Anhang Seite 92 und 93) eine maximale Streuung von 7,2 mV auf. Für eine Überstromabschaltung mit einer oberen Schaltschwelle um 400 mV oder höher ist diese Schaltung ausreichend geeignet. Für die sichere Detektion kleiner Balancing-Ströme ergibt sich durch die Streuung eine untere Grenze dieser Schaltung bei einer Ausgangsspannung von der 6- bis 12-fachen Standardabweichung, also ca. 43 - 86 mV. Die vorliegende Schaltung kann bei einem 3-Sigma Design eine maximale untere Schwellspannung von ca. 65 mV garantieren und trifft somit die Anforderung der Spezifikation nicht.

Die vorliegende Diagnose-Schaltung erlaubt die Kurzschluss- und Open-Load-Erkennung. Der Balancingstrombereich muss entweder eingengt werden (z.B. 100-200 mA) oder eine neue Open Load-Erkennungsschaltung muss entwickelt werden.

Unterspannungserkennung

Die statistische Simulation der Schaltschwellen ist in der Abbildung 4.19 zu sehen.

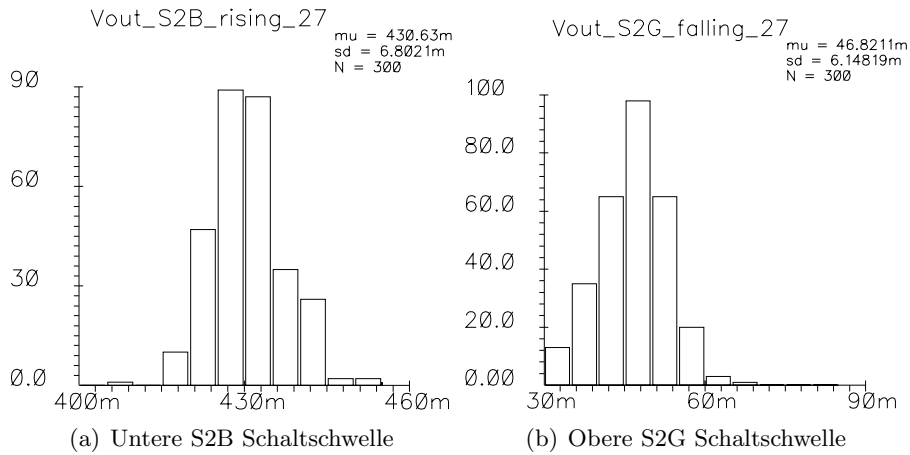


Abbildung 4.18.: Statistische Simulation Diagnose Passiv

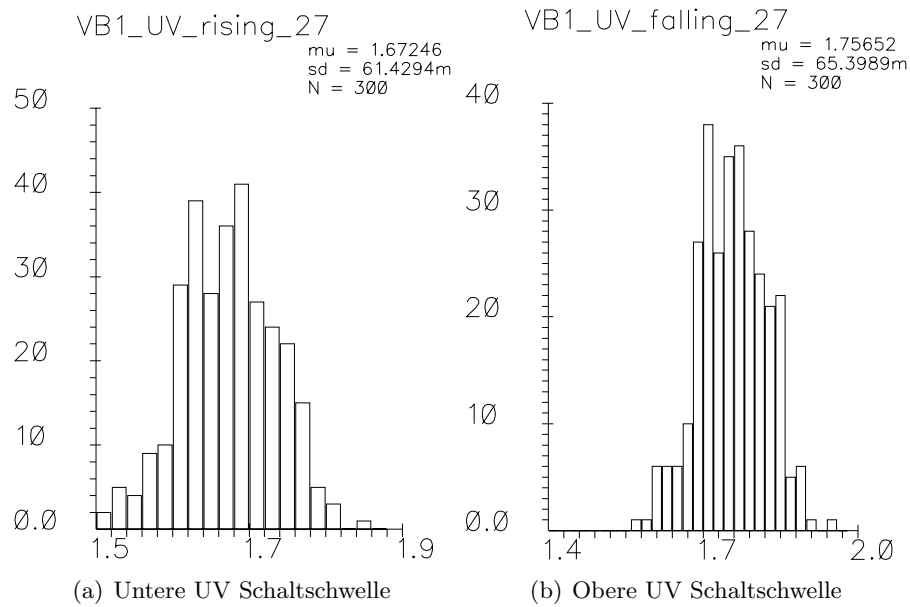


Abbildung 4.19.: Statistische Simulation Unterspannung Diagnose

Die Standardabweichung beträgt, wie auch bei den Simulationen im Anhang auf Seite 94 zu sehen ist, maximal 73 mV. Für ein 3-Sigma Design wird der Schaltbereich von 500 mV laut Spezifikation erreicht. Durch die Hysterese von ca. 90 mV fällt die Schwelle bei sinkender Zellspannung in den Bereich zwischen 1,4 und 1,9 V während bei steigender Zellspannung ein Bereich von 1,5–2 V eingehalten wird. Die Schaltung löst also ab einer Zellspannung größer 2 V sicher kein PD-Signal aus. Zellspannungen unter 1,4 V lösen hingegen immer ein PD-Signal aus.

4.4.5. Layout

Bei den Detektionsschaltungen werden Miller-Kopparatoren verwendet. Beim Layout einer Differenzstufe ist auf symmetrisches Layout zu achten. Sowohl Stromspiegel als auch Eingangstransistoren sollten ähnliche Flächenschwerpunkte aufweisen. Die Teilwiderstände der Spannungsteiler wurden ineinander verschachtelt, sodass auch deren Flächenschwerpunkt übereinander liegt. Je höher der Widerstandswert der Spannungsteiler gewählt wird umso mehr Fläche wird benötigt. Bei der Dimensionierung ist ein Kompromiss zwischen Stromverbrauch und Chipfläche zu schließen.

Der Widerstand für die passive Diagnoseschaltung wurde mit Dummy-Widerständen umschlossen damit jeder Widerstandsteil auch am Rand eine identische Umgebung auffindet. Abbildung 4.20 zeigt das Layout der Widerstände. Um eine kapazitive Einkopplung durch die Common-Source Spannung einer Zelle in einen hochohmigen Schaltungspunkt durch die Kapazität zwischen der Widerstandsschicht und Substrat zu vermeiden wurden alle Widerstände über die V_{B0} p-Wannen oder V_{B1} Epi-Wannen gelegt.

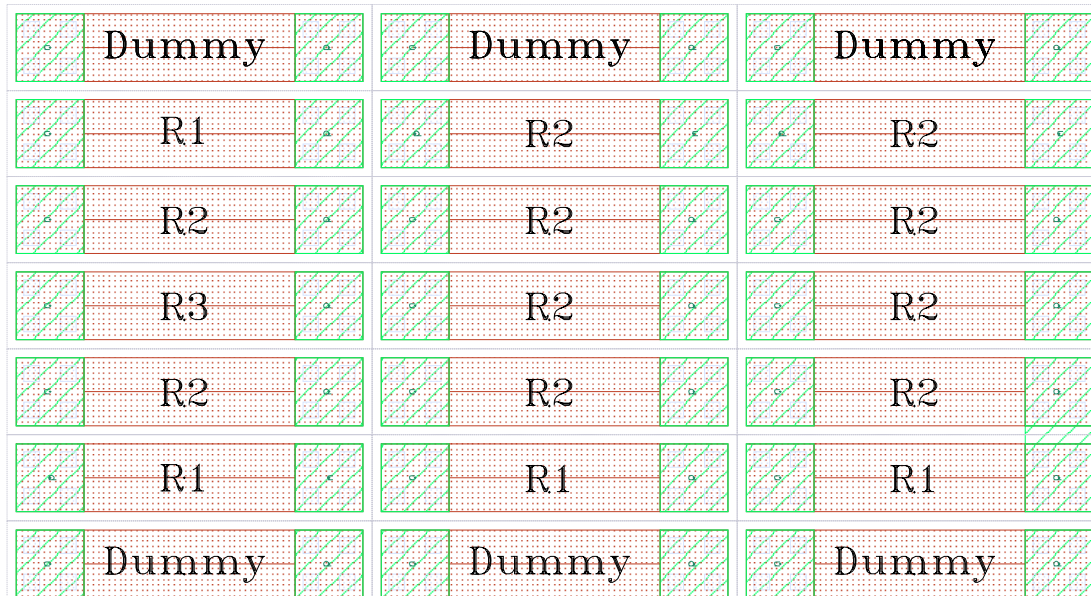


Abbildung 4.20.: Layout der Widerstände

4.5. Simulation Ausgangsstufe

4.5.1. Aktiver Balancingmodus

Das transiente Simulationsergebnis für den aktiven Betrieb wird in Abbildung 4.21 gezeigt. Die Ausgangsstufe wurde mit einer 2,5 nF Kapazität belastet, welche die Gate-Kapazität eines externen NMOS-FETs darstellen soll. Die Zellspannung beträgt typisch 3,6 V bei einer Temperatur von 27 °C. Der Referenzstrom beträgt 20 μA , $\text{PAS_ACTN}=V_{B0}$ und die Balancing-Frequenz beträgt 20 kHz.

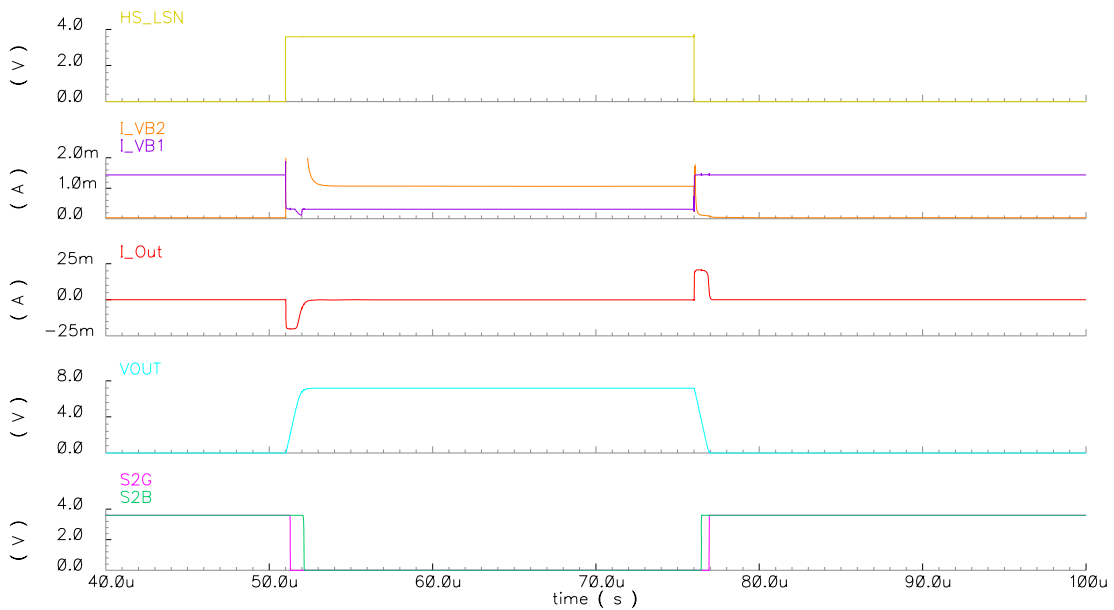


Abbildung 4.21.: Transiente Simulation Aktiv Balancing

Beginnend mit $V_{\text{out}}=V_{B0}$ steigt die Ausgangsspannung durch den Ladestrom I_{OUT} annähernd linear an. Ebenso bei der fallenden Spannungsflanke durch den Entladestrom. Ist die LS-Stromquelle aktiv, wird von V_{B2} kein Strom benötigt. V_{B1} liefert den Strom für die Diagnoseschaltungen sowie für die Stromspiegel. Wird die HS-Stromquelle aktiviert, so summiert sich I_{VB2} aus dem Gateladestrom und dem Strom durch die MOS-Diode. V_{B1} liefert in diesem Fall im Wesentlichen nur mehr den Strom für die Diagnose-Funktionen.

Simulationsergebnisse im Anhang auf den Seiten 95 und 96 zeigen den DC-Stromverbrauch der beiden Spannungsversorgungen als Funktion des Referenzstromes. Es wurde jeweils eine Simulation bei $\text{HS_LSN}=1$ und $\text{HS_LSN}=0$, bei verschiedenen Zellspannungen und

Temperaturen, durchgeführt. Weiters erkennt man den zu vernachlässigenden Stromverbrauch im PD-Betriebszustand beziehungsweise die Hysterese der PD-Schaltung.

4.5.2. Passiver Balancingmodus

Im passiven Betrieb wird der Ausgang mit einem $20\ \Omega$ Widerstand auf V_{B1} extern angeschlossen. Das transiente Simulationsergebnis in Abbildung 4.22 zeigt den Ausgangsstrom und die Ausgangsspannung samt Diagnose-Signale (S2B und S2G). Die Zellspannung ist $3,6\ \text{V}$ bei einer Temperatur von $27\ ^\circ\text{C}$. $\text{PAS_ACTN}=V_{B1}$ bei einem Referenzstrom von $20\ \mu\text{A}$.

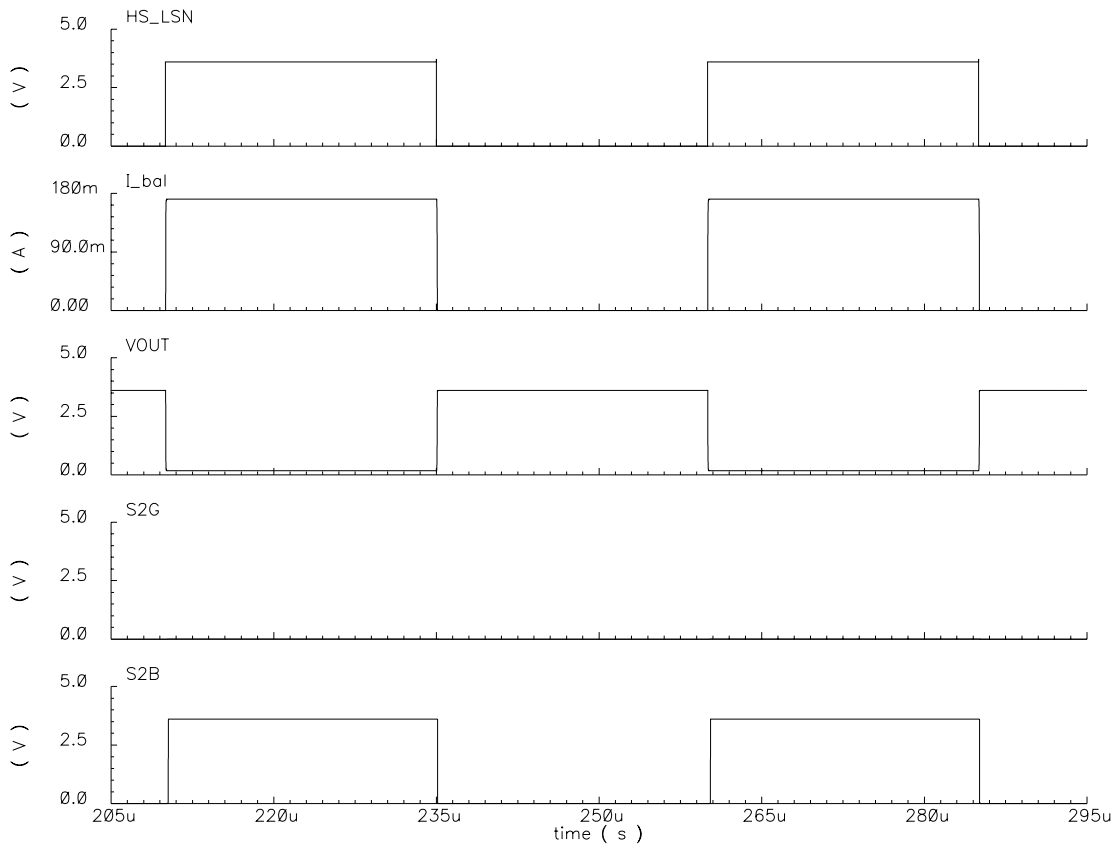


Abbildung 4.22.: Transiente Simulation Passiv Balancing

Die Simulation zeigt die korrekte Arbeitsweise des Gesamtsystems.

4.6. Layout Ausgangsstufe

Das Gesamtlayout der Ausgangsstufe ist in Abbildung 4.23 zu sehen. Die benötigte Fläche pro Zelle beträgt ca. $0,3 \text{ mm}^2$. Dies ergibt für 12 Zellen eine Fläche von $3,6 \text{ mm}^2$ inklusive ESD-Strukturen. Das größte Device stellt der DMOS dar, welcher fast die Hälfte der Fläche benötigt. Eine Änderung des Einschaltwiderstands kann ohne größeren Aufwand durch Anpassen der Breite des Blocks vollzogen werden. Gut erkennbar sind auch die großen Wannenabstände der 60V Epi-Wannen in der Mitte des Layouts. An der linken Seite erkennt man eine große Epi-Wanne, in der alle NV-Bauelemente der besprochenen Schaltungen platziert sind. Aus der Größe und der Anzahl der Bauelemente in dieser Epi-Wanne kann man erkennen, dass für ein kompaktes Layout in der Technologie SPT6 die Anzahl der unterschiedlichen Epi-Wannen so weit wie möglich reduziert werden muss.

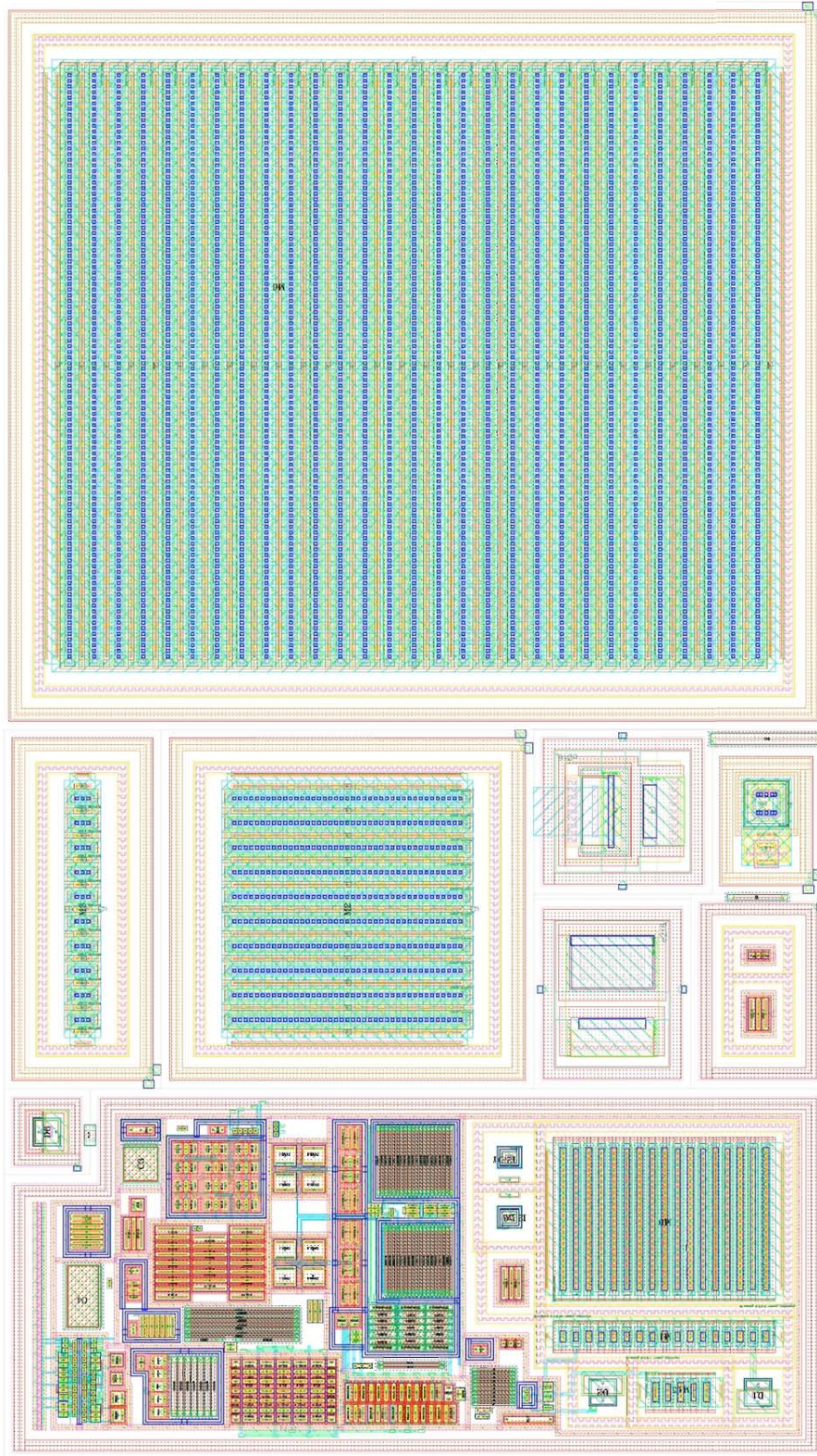


Abbildung 4.23.: Ausgangsstufe Layout

5. Zusammenfassung und Ausblick

5.1. Zusammenfassung

Am Anfang der Diplomarbeit wurden gängige Traktionsbatterien für automotiv-elektroantriebe und deren Eigenschaften vorgestellt. Die Serienschaltung solcher Batterien benötigt oft Balancingschaltungen, welche ebenfalls in der Diplomarbeit behandelt wurden. Anschließend wurden die Bauelemente eines Infineon BCD-Prozesses vorgestellt. Teile der Balancingschaltung wurden in einer integrierten Schaltung umgesetzt.

Nachdem der Aufbau des Gesamtsystems und wichtige Schaltungsblöcke des ICs behandelt wurden konnte die Ausgangsstufe des ICs für einen Testchip in SPT6 spezifiziert, entworfen und gelayoutet werden. Die Spezifikation der Ausgangsstufe wurde in Absprache mit den Projektpartnern durchgeführt. Der Zellspannungsbereich wurde aus diesem Grund zwischen 2,5 - 5 V festgelegt. Die Ausgangsstufe unterstützt passives Balancing, indem ein LS-Schalter mit typ. 1Ω Einschaltwiderstand und ein abschaltbarer Pullup-Widerstand integriert wurden.

Infineon verfolgt das aktiv Balancing mittels einer Transformatorschaltung, um hohe Balancingströme bei guter Energieeffizienz zu erreichen. Die Ausgangsstufe unterstützt das Ansteuern der NMOS-Schalter der aktiven Balancing-Schaltung durch zwei einstellbare Stromquellen, welche das Gate laden bzw. entladen. Um Kurzschlüsse oder eine fehlende Verbindung detektieren zu können wurden Diagnoseschaltungen, sowohl für den passiven als auch dem aktiven Betriebsfall, in die Ausgangsstufe integriert.

Eine zusätzliche Unterspannungserkennung in der Ausgangsstufe erkennt zu kleine Zellspannungen für die Schaltung. Da der Stromverbrauch des Chips möglichst gering sein muss, wurde eine Power-Down-Schaltung integriert, welche die Ausgangsstufe stromlos schaltet. Im Zuge des Schaltungsentwurfs wurde auf möglichst kompakte Schaltungen Wert gelegt. Die Schaltungen wurden anschließend mit Spectre bei verschiedenen Zellspannungen und Temperaturen simuliert, um möglichst alle Betriebsfälle abzudecken. Das Layout der Ausgangsstufe wurde in SPT6 angefertigt und benötigt eine Fläche von ca. $0,3 \text{ mm}^2$.

5.2. Ausblick

Es hat sich in der Simulation gezeigt, dass die derzeitige Schaltung zur Erkennung einer fehlenden Ausgangsverbindung (Openload) beim passiven Balancing kleiner Ströme ($< 80 \text{ mA}$) einen Fehler verursacht. Um auch sehr kleine Balancingströme ohne Fehlermeldung zu erlauben, muss eine andere Detektions-Schaltung für die Openload-Erkennung entworfen werden.

Wie man am Layout der Ausgangsstufe erkennt, kann eine große Flächenreduktion durch einen höheren Einschaltwiderstand des DMOS-Transistors erfolgen. Sollte in Zukunft ein höherer Einschaltwiderstand des DMOS-Transistors spezifiziert werden, kann das Layout mit wenig Aufwand angepasst werden.

Die in dieser Diplomarbeit erstellte Ausgangsstufe wird auf einem Testchip platziert. Dieser soll im März 2010 gefertigt werden. Bis Juni 2010 sollten die Testchips bei Infineon fertig sein, damit der Schaltungsblock charakterisiert werden kann. Eventuelle Schaltungsänderungen können dann noch bis Oktober implementiert werden. Die Layoutdaten des finalen BMS-ASICs sollen dann bis Ende des Jahres 2010 in die Produktion geschickt werden.

Elektrisch betriebene Automobile werden aller Voraussicht nach in den kommenden Jahren vermehrt am Markt vorzufinden sein. Damit steigt der Bedarf an Balancing-Schaltungen. Konnten Schaltungen für einzelne Prototypen bisher noch diskret aufgebaut werden, so ist eine integrierte Schaltung ein Teil des Weges zur kostengünstigen Massenproduktion der Lithium-Ionen Energiespeicher für künftige automotiv-elektronische Antriebssysteme.

Literaturverzeichnis

- [1] Carl Bonfiglio and Werner Roessler. A cost optimized battery management system with active cell balancing for lithium ion battery stacks. *IEEE*, 2009.
- [2] Michel Broussely, Michel Perelle, Jim Mc Dowall, and Guy Sarre. Lithium ion: The next generation of long life batteries. *IEEE*, 2000.
- [3] Jian Cao, Nigel Schofield, and Ali Emadi. Battery balancing methods: A comprehensive review. *IEEE Vehicle Power and Propulsion Conference*, 2008.
- [4] Chen Chen, Jin Jin, and Lenian He. A new battery management system for li-ion battery packs. *IEEE*, 2008.
- [5] Martin Coleman, William Gerard Hurley, and Chin Kwan Lee. An improved battery characterization method using a two-pulse load test. *IEEE TRANSACTIONS ON ENERGY CONVERSION*, 2008.
- [6] Mehrdad Ehsani, Yimin Gao, and Ali Emadi. *Modern Electric, Hybrid Electric and Fuel Cell Vehicles*. CRC Press, Boca Raton, 2009.
- [7] Yao C. Hsieh, Chin S. Moo, and Wen Y. Ou-Yang. A bi-directional charge equalization circuit for series-connected batteries. *IEEE PEDS*, 2005.
- [8] Stephen T. Hung, Douglas C. Hopkins, and Charles R. Mosling. Extension of battery life via charge equalization control. *IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS*, 1993.
- [9] Ryan C. Kroeze and Philip T. Krein. Electrical battery module for use in dynamic electric vehicle simulations. *IEEE*, 2008.
- [10] Brian T. Kuhn, Grant E. Pitel, and Philip T. Krein. Electrical properties and equalization of lithium-ion cells in automotive applications. *IEEE*, 2005.
- [11] Nasser H. Kutkut, Deepakraj M. Divan, and Donald W. Novotny. Charge equalization for series connected battery strings. *IEEE TRANSACTIONS ON INDUSTRY APPLICATIONS*, 1995.

- [12] M.Broussely and G.Pistoia. *Industrial Applications of Batteries*. Elsevier, Amsterdam, 2007.
- [13] Bharath Pattipati, Krishna Pattipati, Jon P. Christopherson, Setu Madhavi Namburu, Danil V. Prokhorov, and Liu Oiao. Automotive battery management systems. *IEEE AUTOTESTCON*, 2008.
- [14] Behzad Razavi. *Design of Analog CMOS Integrated Circuits*. Mc Graw Hill, New York, 2001.
- [15] Shriram Santhanagopalan and Ralph E. White. State of charge estimation for electrical vehicle batteries. *IEEE Multi-conference on Systems and Control*, 2008.
- [16] Andreas Schuster. Eigenschaften heutiger batterie- und wasserstoffspeichersysteme für eine nachhaltige elektrische mobilität. 6. *Internationalen Energiewirtschaftstagung an der TU Wien*, 2009. <http://www.ea.tuwien.ac.at>.
- [17] V.L. Teofilo, L.V. Merritt, and R.P. Hollandsworth. Advanced lithium ion battery charger. *IEEE AES Systems Magazine*, 1997.
- [18] U.Tietze and Ch.Schenk. *Halbleiter-Schaltungstechnik*. Springer, Heidelberg, 2002.
- [19] Henning Wallentowitz, Arnd Freialdenhoven, and Ingo Olschewski. *Strategien zur Elektrifizierung des Antriebstranges*. Vieweg+Teubner, Wiesbaden, 2009.
- [20] Yidie Ye, Chen Chen, Jin Jin, and Lenian He. Li-ion battery management chip for multi-cell battery pack. *IEEE*, 2008.

Abbildungsverzeichnis

2.1. Ragone Diagramm	5
2.2. Entladecharakteristik einer Lithium-Ionen Zelle	6
2.3. Passives Balancing mit Widerstand	12
2.4. Aktiv Balancing mit SC	13
2.5. Aktiv Balancing mit Single SC	14
2.6. Aktiv Balancing mit Spulen	15
2.7. Aktiv Balancing mit Transformator	16
2.8. Schnittbild SPT6	19
3.1. Blockschaltbild BMS	22
3.2. Blockschaltbild Elektrischer Antrieb	23
3.3. Blockschaltbild IC aktiv Balancing	24
3.4. Blockschaltbild IC passiv Balancing	25
3.5. Blockschaltbild Zell-Temperaturmessung	26
3.6. Bottom Balancing	27
3.7. Top Balancing	28
3.8. Versorgung Ausgangsstufe	30
3.9. Blockschaltbild Ausgangsstufe Aktiv	32
3.10. Diagnose Aktiv Balancing	32
3.11. Blockschaltbild Ausgangsstufe Passiv	33
3.12. Diagnose Passiv Balancing	33
3.13. Passiv Balancing mit externen PMOS	34
3.14. Blockschaltbild Ausgangsstufe	35
4.1. OPV Stromquelle	38
4.2. Prinzip Stromspiegelschaltung	39
4.3. Stromspiegelschaltung	40
4.4. DC-Simulation Ausgangsstrom	43
4.5. Layout des NV-NMOS Stromspiegels	44
4.6. DMOS und Pullup-Schaltung	47
4.7. Einschaltwiderstand des DMOS-Transistors bei verschiedenen Zellspannungen	48
4.8. Gesamt Pullup-Widerstand	49
4.9. Parasitäre PNP Transistoren	50
4.10. Power-Down Schaltung	51
4.11. Digitale CMOS Gatter	53

4.12. Statistische Simulation PD-Schaltschwelle	54
4.13. Aktiv Balancing Diagnose	56
4.14. Miller Komparator	57
4.15. Passiv Balancing Diagnose	59
4.16. Unterspannungs Detektion	61
4.17. Statistische Simulation Diagnose Aktiv	64
4.18. Statistische Simulation Diagnose Passiv	65
4.19. Statistische Simulation Unterspannung Diagnose	65
4.20. Layout der Widerstände	66
4.21. Transiente Simulation Aktiv Balancing	67
4.22. Transiente Simulation Passiv Balancing	68
4.23. Ausgangsstufe Layout	70
A.1. Ausgangsstufe Schematic	78
A.2. Ausgangsstufe Schematic Teil 1	79
A.3. BM_Ctrl Schematic	80
A.4. Ausgangsstufe Schematic Teil 2	81
A.5. Ausgangsstufe Schematic Teil 3	82
A.6. BM_resdiv Schematic	83
A.7. BM_Comp_P Schematic	84
A.8. BM_DIAG_UV Schematic	85
A.9. Ausgangsstufe Schematic Teil 4	86
B.1. Statistische Simulation PD Schaltschwelle bei $V_{B1}=1,5$ V	88
B.2. Statistische Simulation PD Schaltschwelle bei $V_{B1}=5$ V	89
B.3. Statistische Simulation Diagnose Aktiv $V_{B1}=1,5$ V $V_{com}=50$ V	90
B.4. Statistische Simulation Diagnose Aktiv $V_{B1}=5$ V $V_{com}=50$ V	91
B.5. Statistische Simulation Diagnose Passiv Temp= 27 °C	92
B.6. Statistische Simulation Diagnose Passiv $V_{B1}=3,6$ V	93
B.7. Statistische Simulation UV Schwelle	94
B.8. DC Simulation Stromverbrauch der Ausgangsstufe bei HS_LSN=1	95
B.9. DC Simulation Stromverbrauch der Ausgangsstufe bei HS_LSN=0	96

A. Schematics

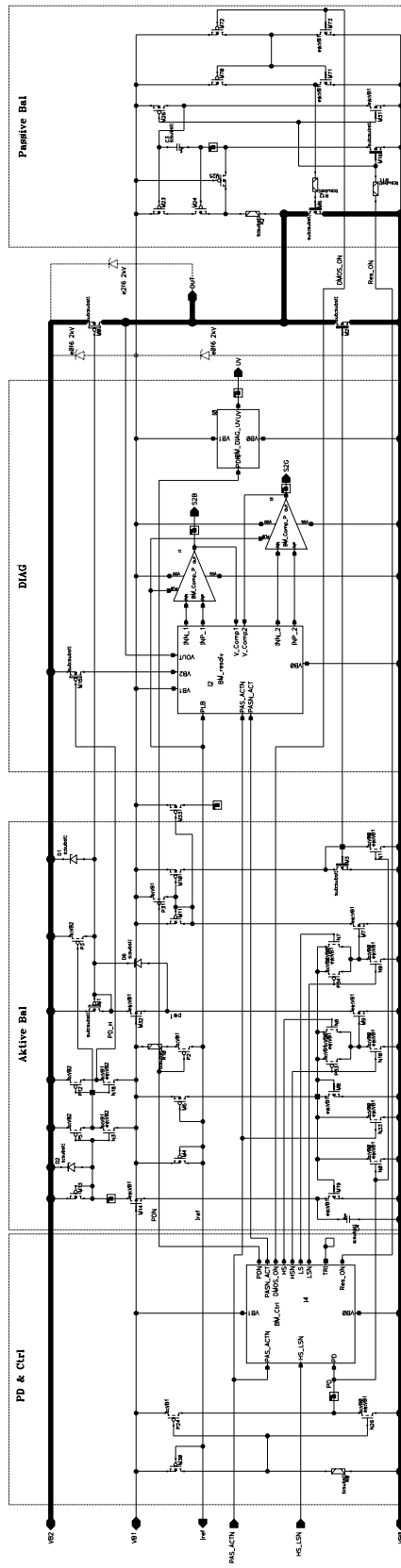


Abbildung A.1.: Ausgangsstufe Schematic

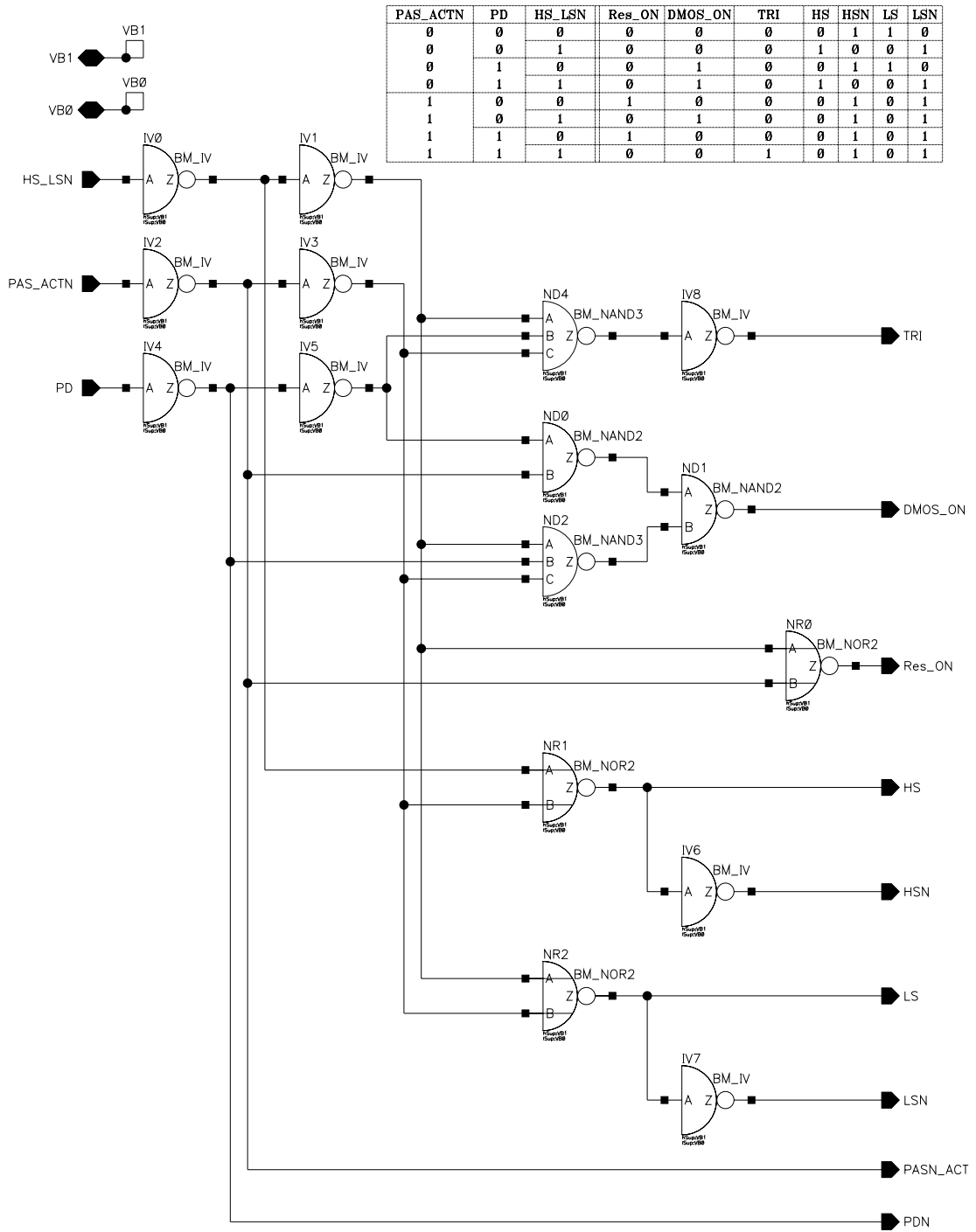


Abbildung A.3.: BM_Ctrl Schematic

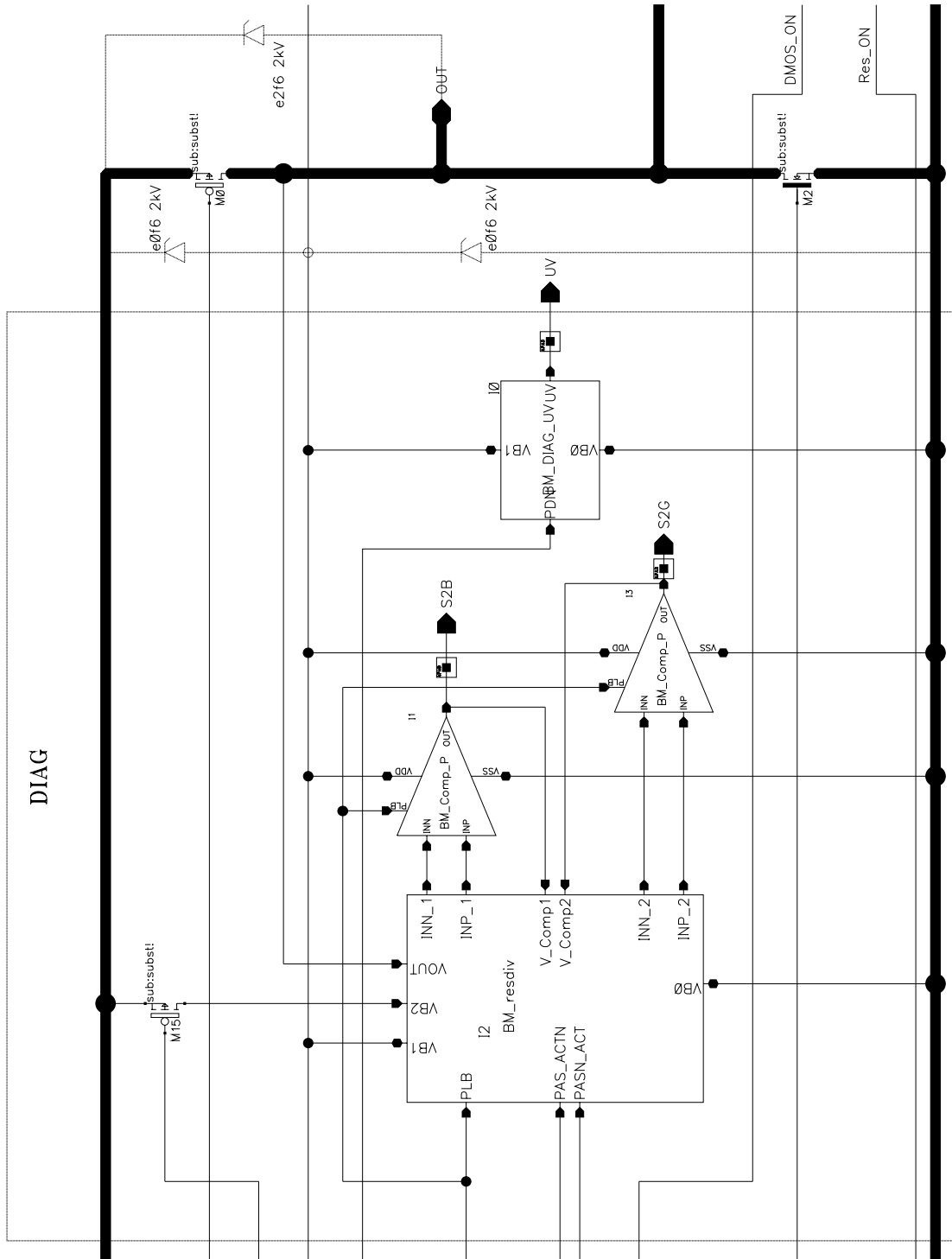


Abbildung A.5.: Ausgangsstufe Schematic Teil 3

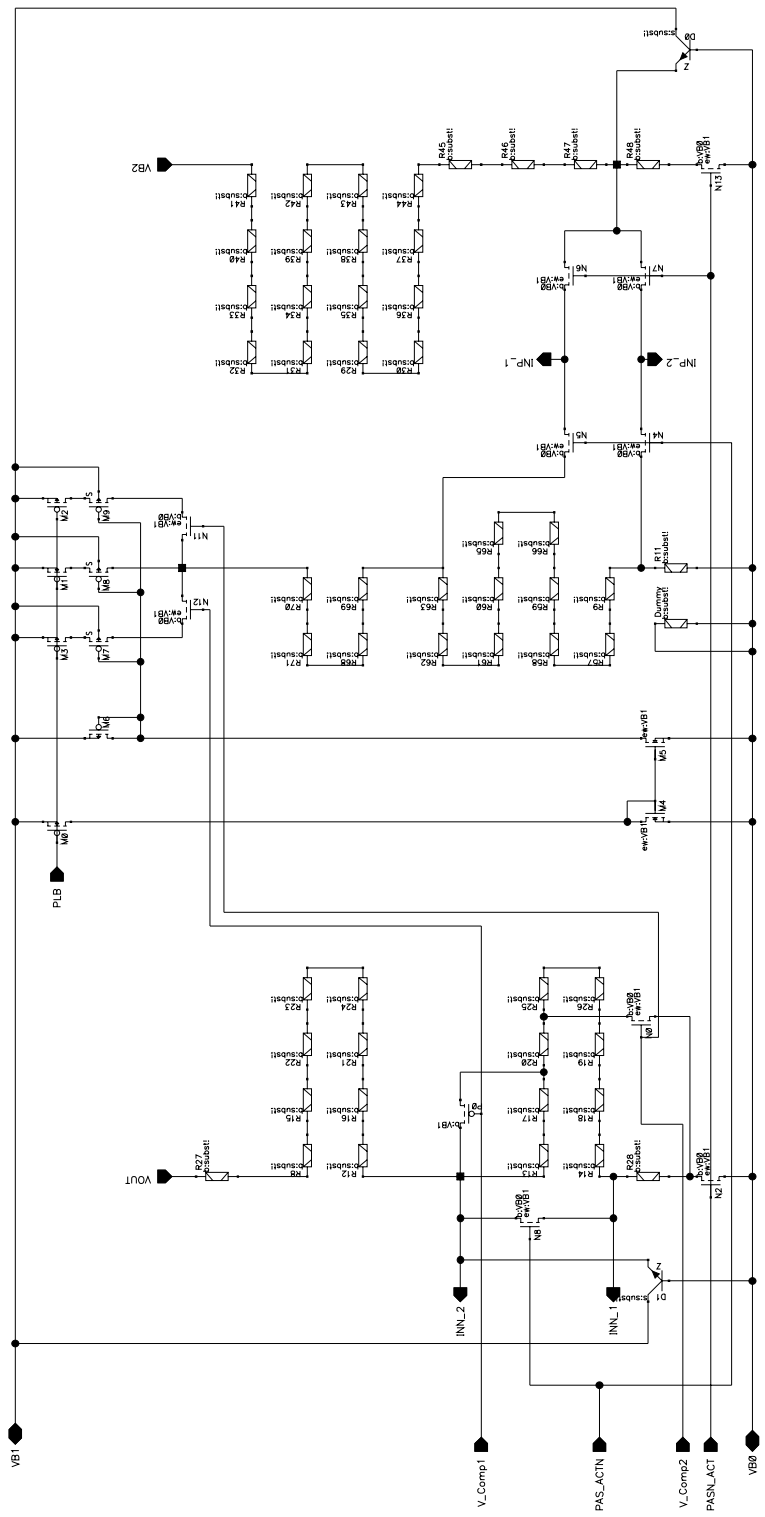


Abbildung A.6.: BM_resdiv Schematic

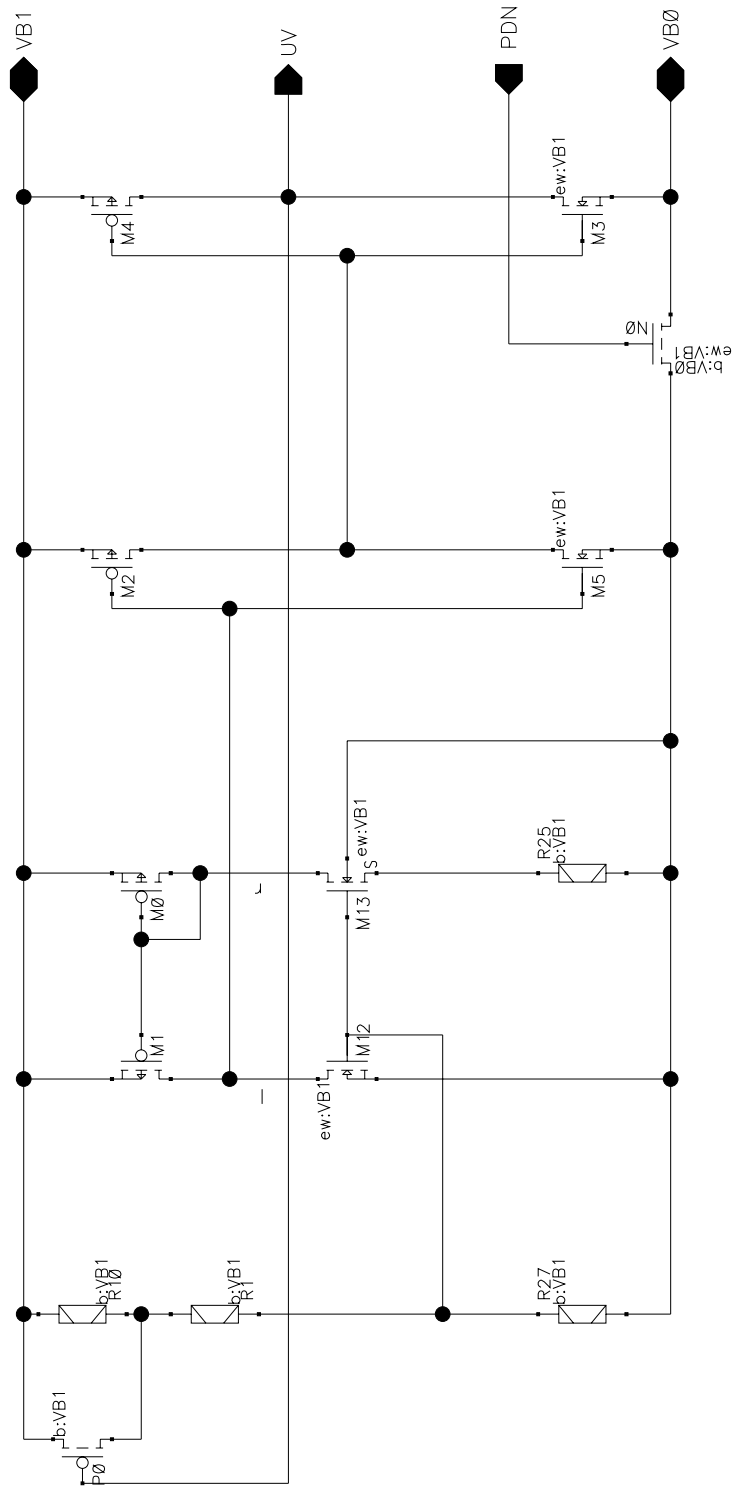


Abbildung A.8.: BM_DIAG_UV Schematic

B. Simulationen

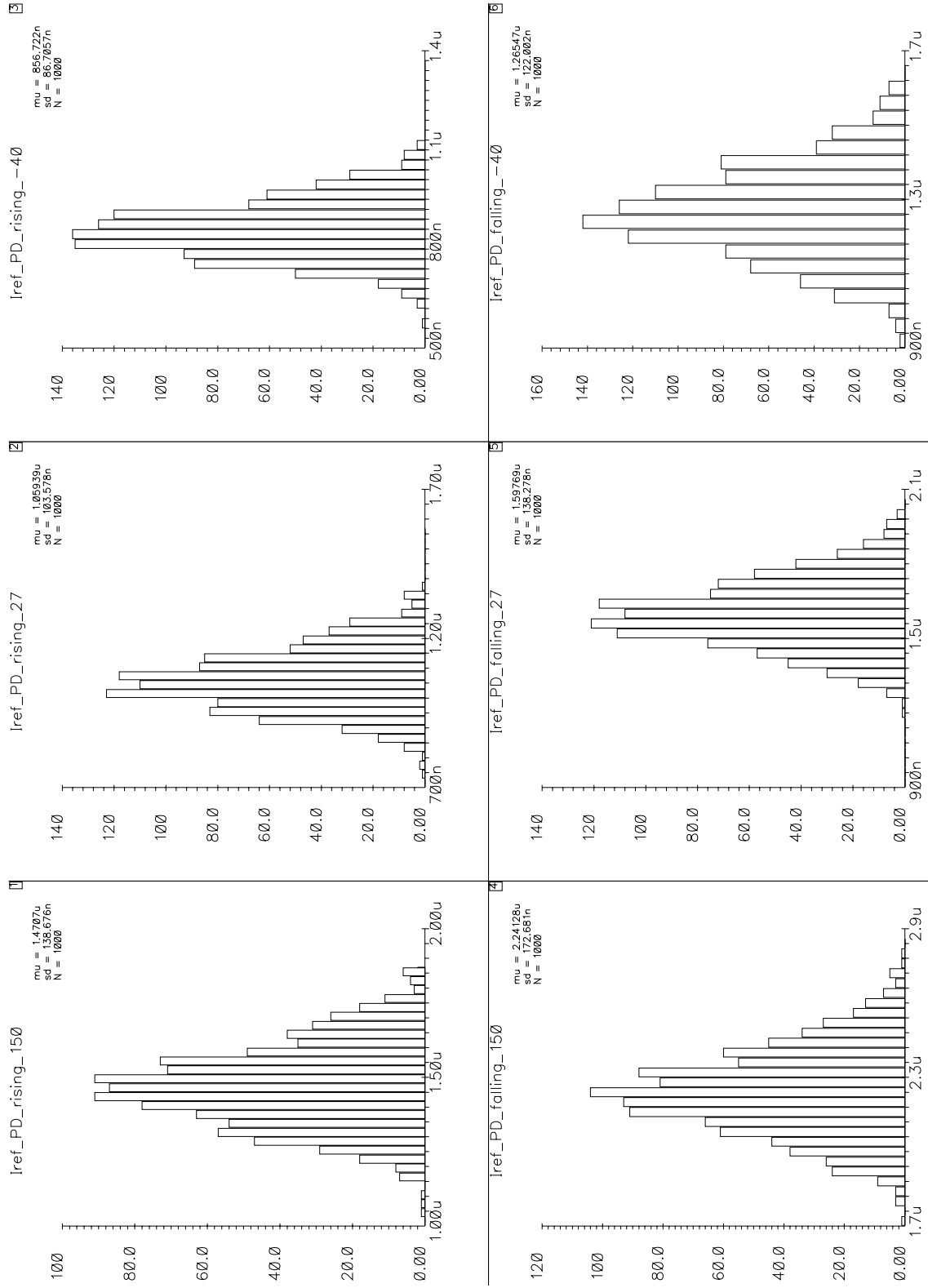


Abbildung B.1.: Statistische Simulation PD Schaltschwelle bei $V_{B1}=1,5\text{ V}$

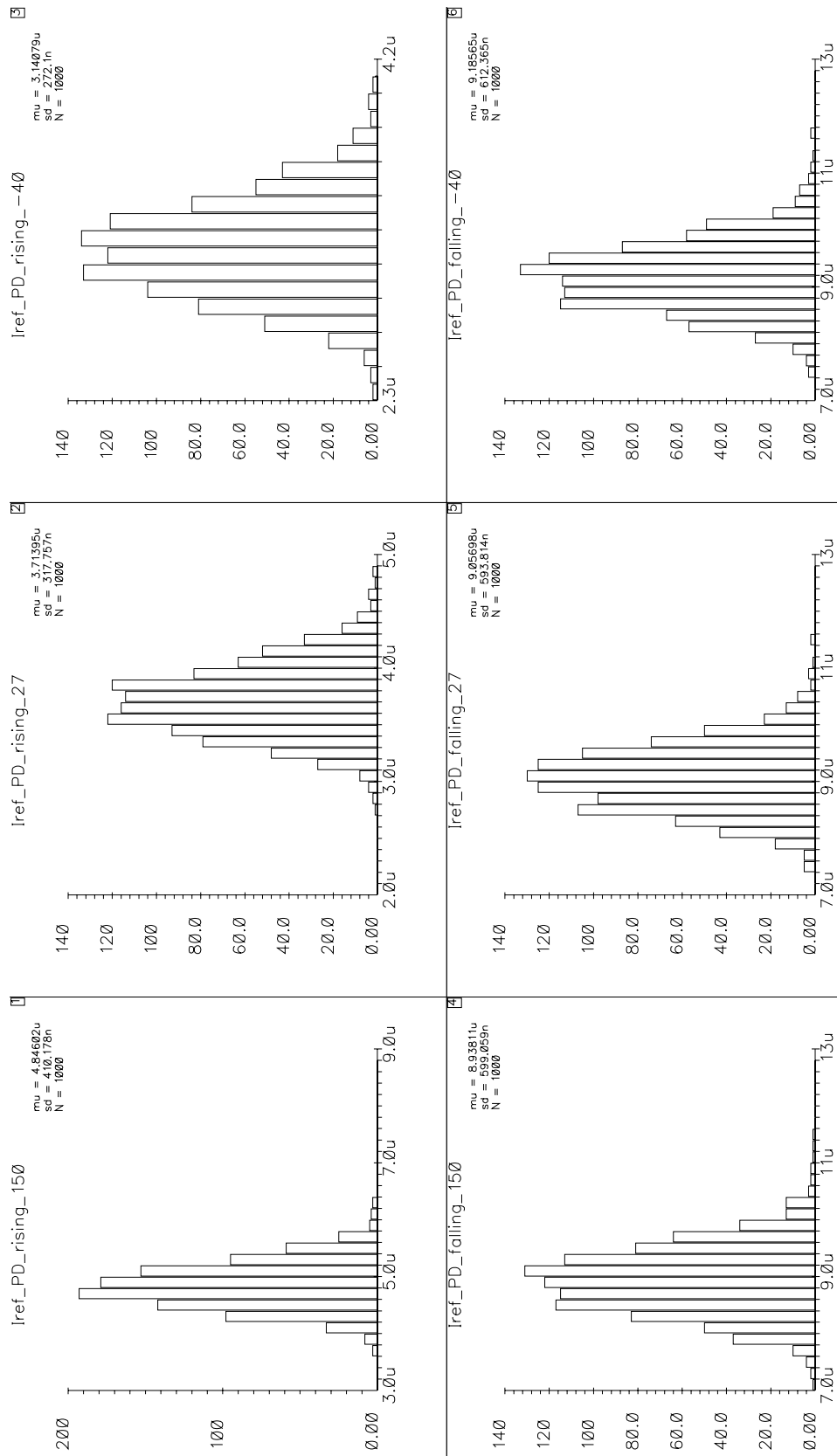


Abbildung B.2.: Statistische Simulation PD Schaltschwelle bei $V_{B1}=5V$

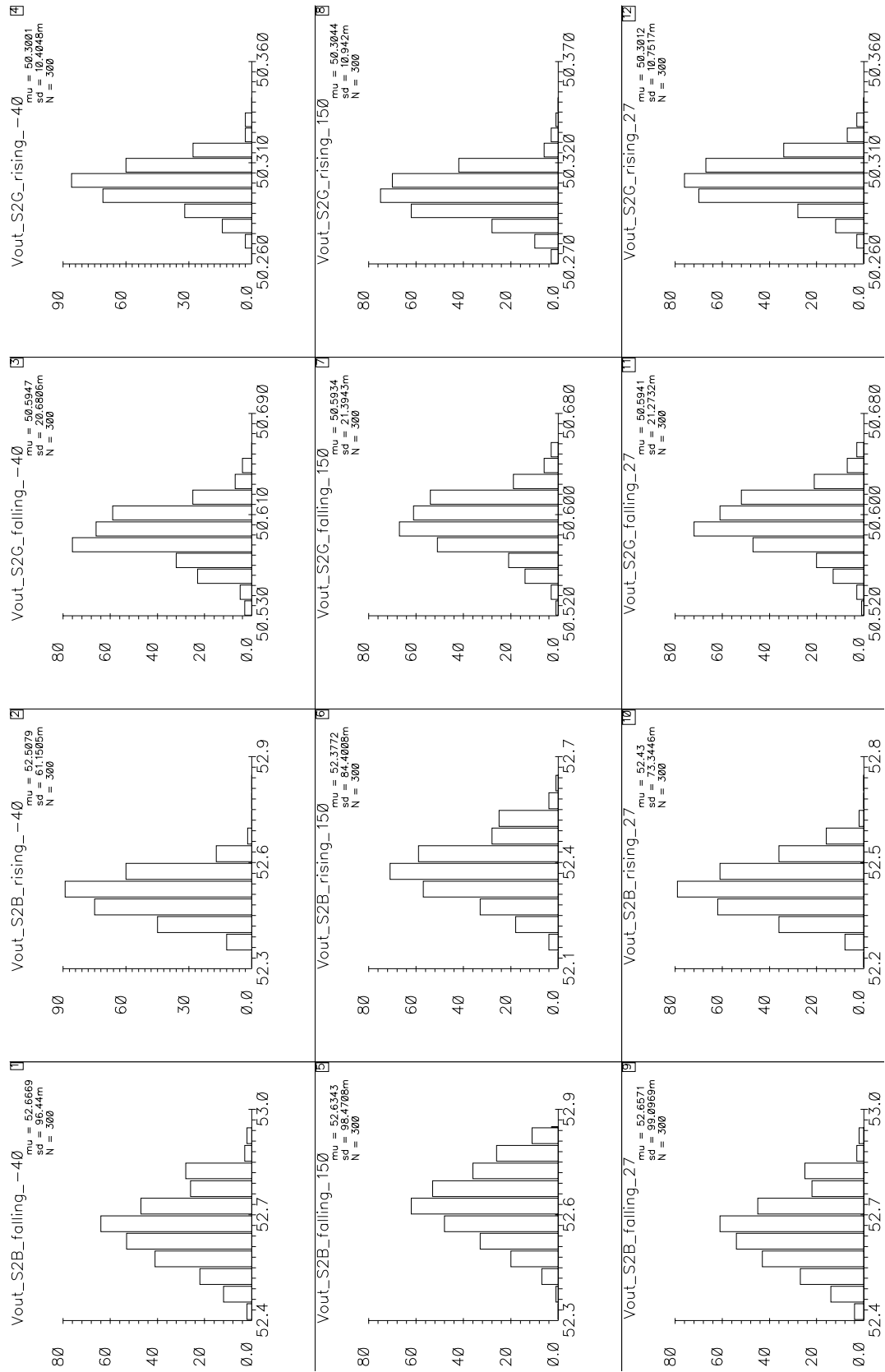


Abbildung B.3.: Statistische Simulation Diagnose Aktiv $V_{B1}=1,5\text{ V}$ $V_{com}=50\text{ V}$

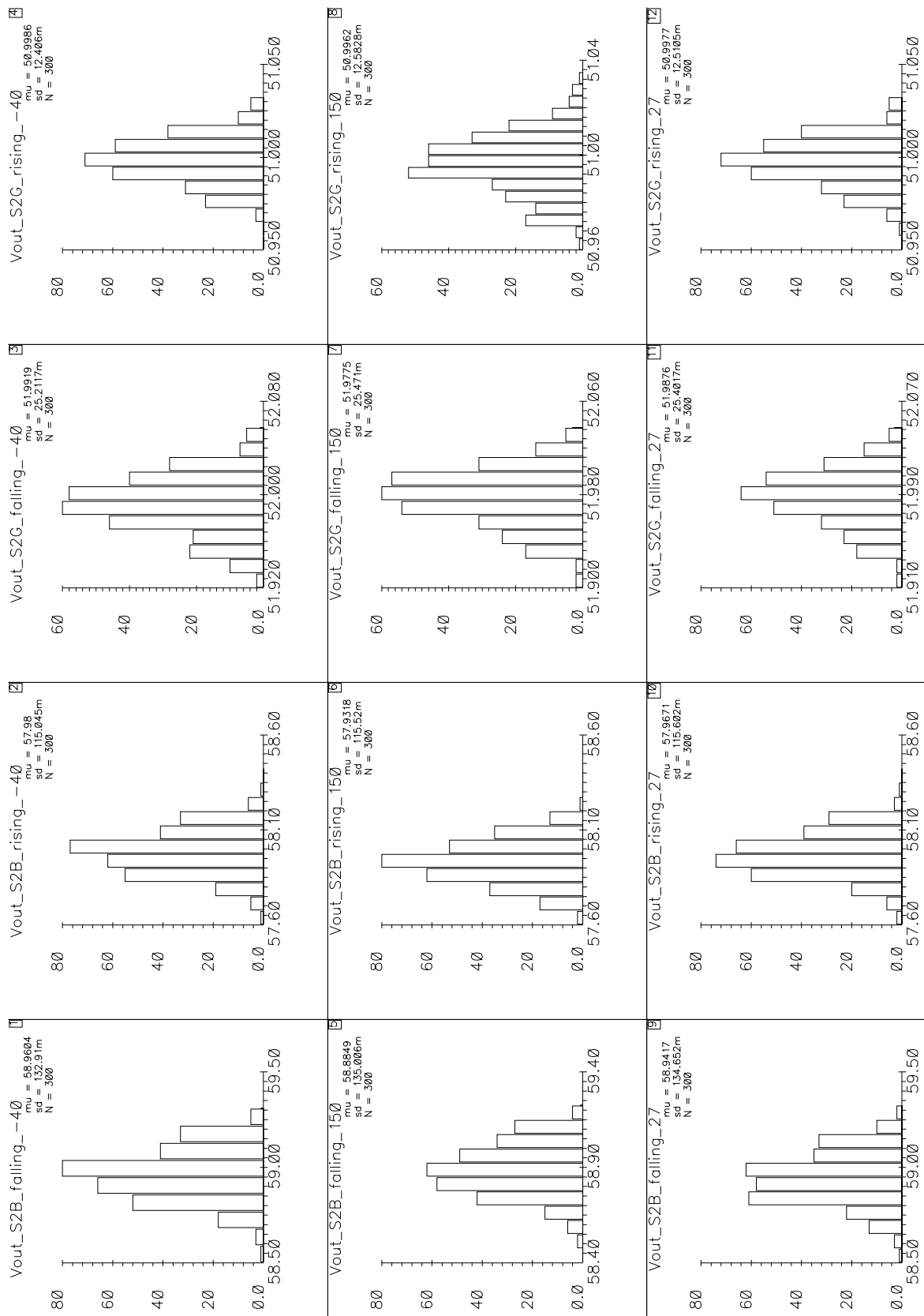


Abbildung B.4.: Statistische Simulation Diagnose Aktiv $V_{B1}=5\text{ V}$ $V_{com}=50\text{ V}$

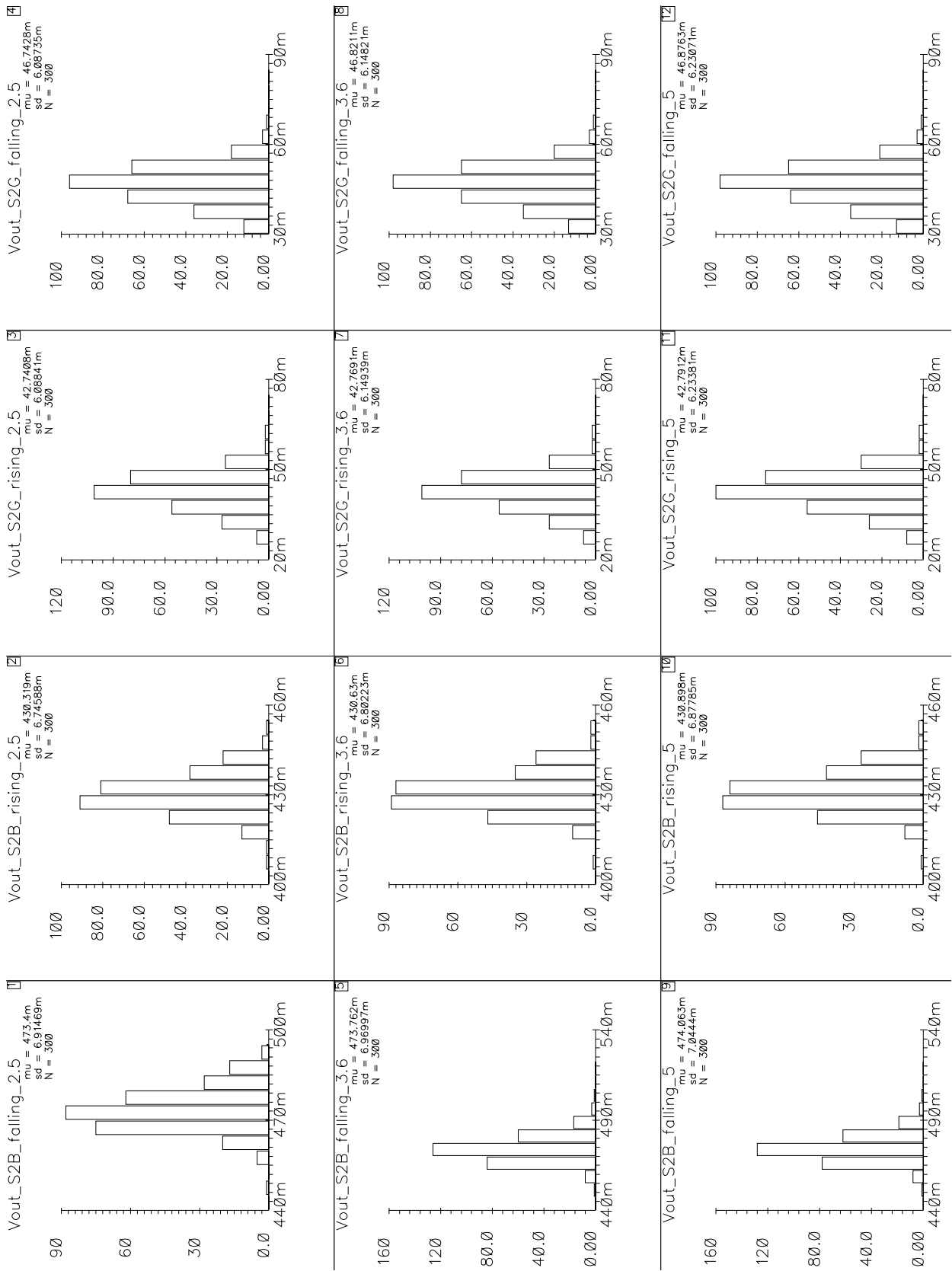


Abbildung B.5.: Statistische Simulation Diagnose Passiv Temp=27 °C

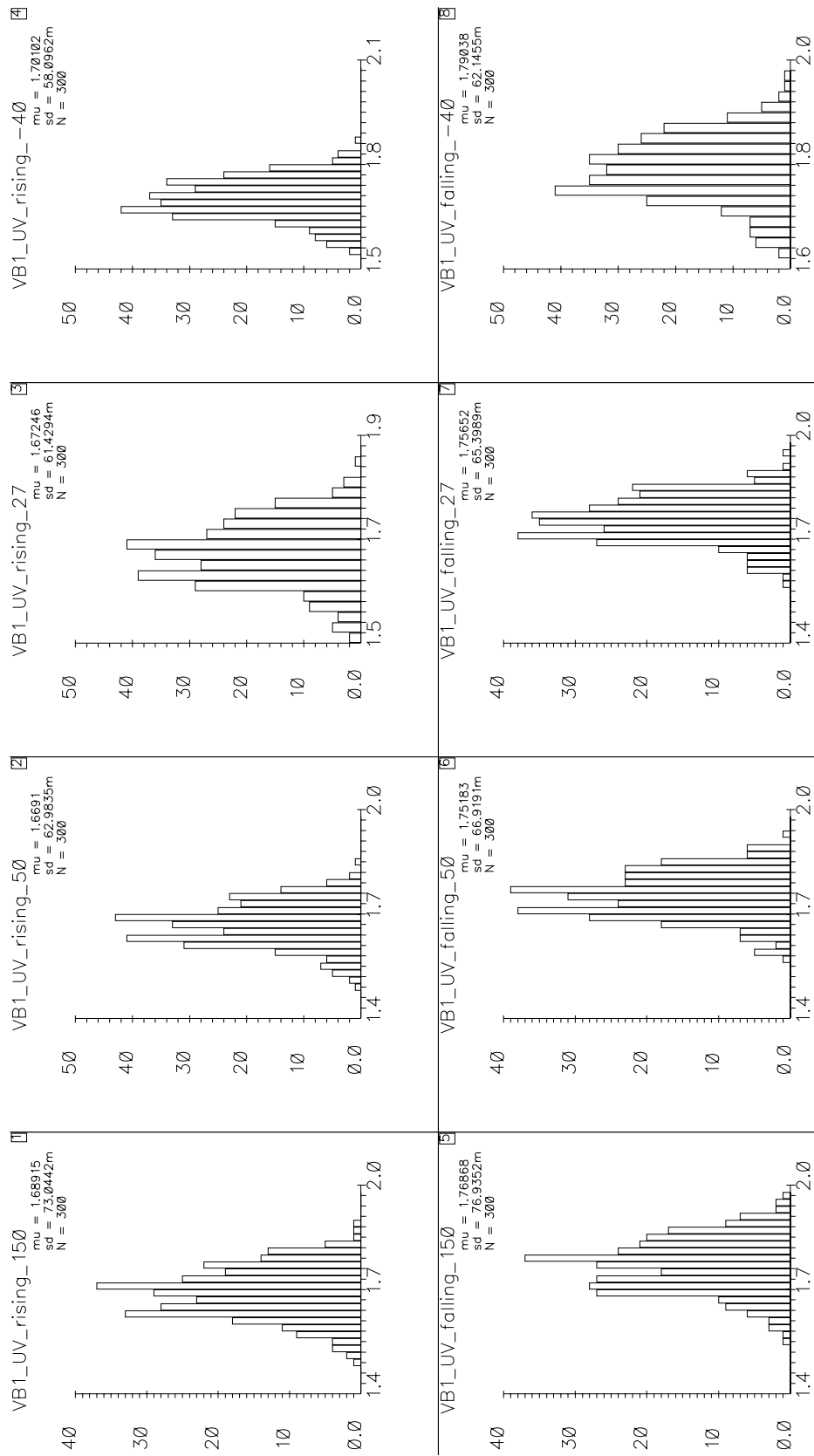


Abbildung B.7.: Statistische Simulation UV Schwelle

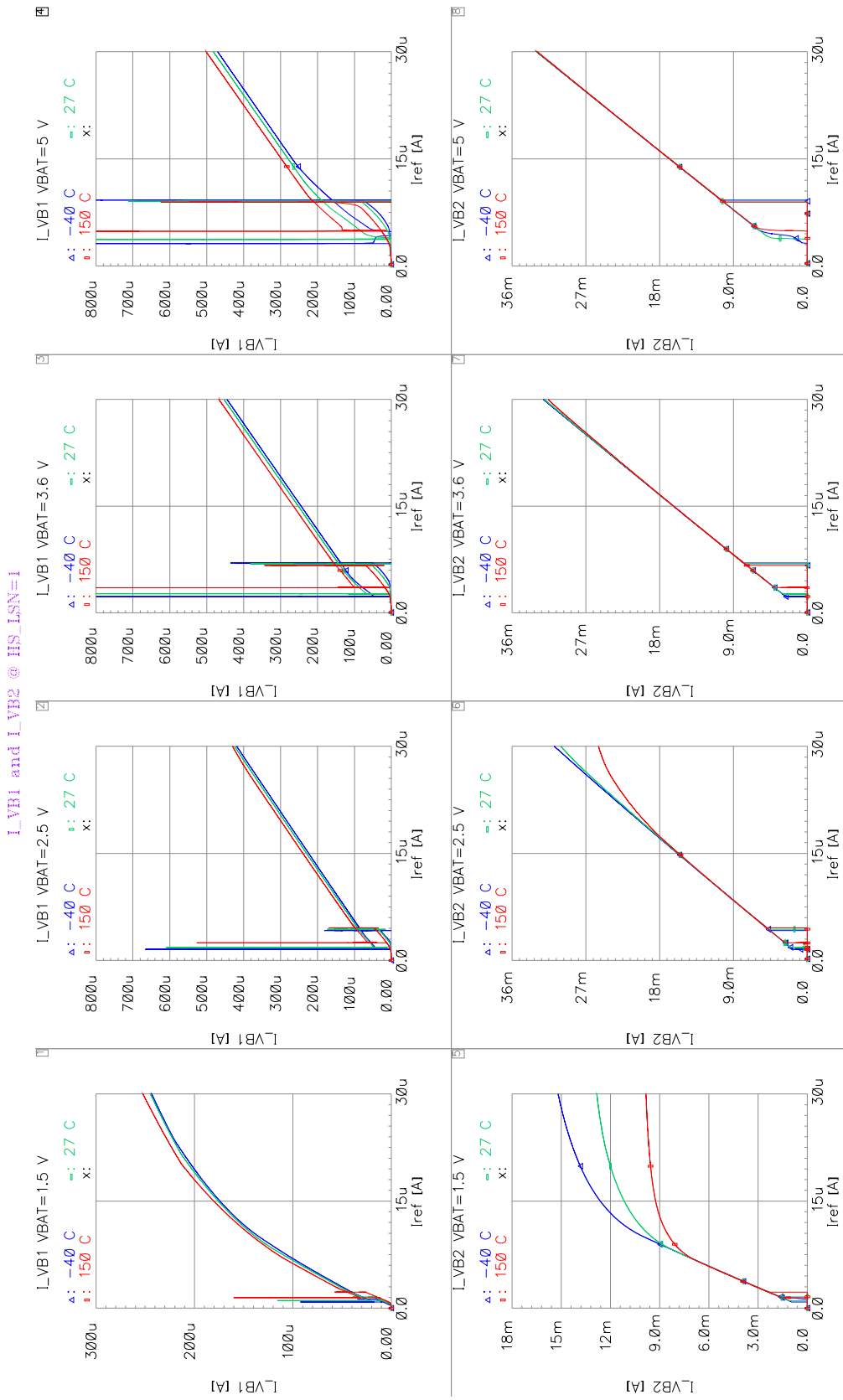


Abbildung B.8.: DC Simulation Stromverbrauch der Ausgangsstufe bei HS_LSN=1

L_VB1 and L_VB2 @ HS_LSN=0

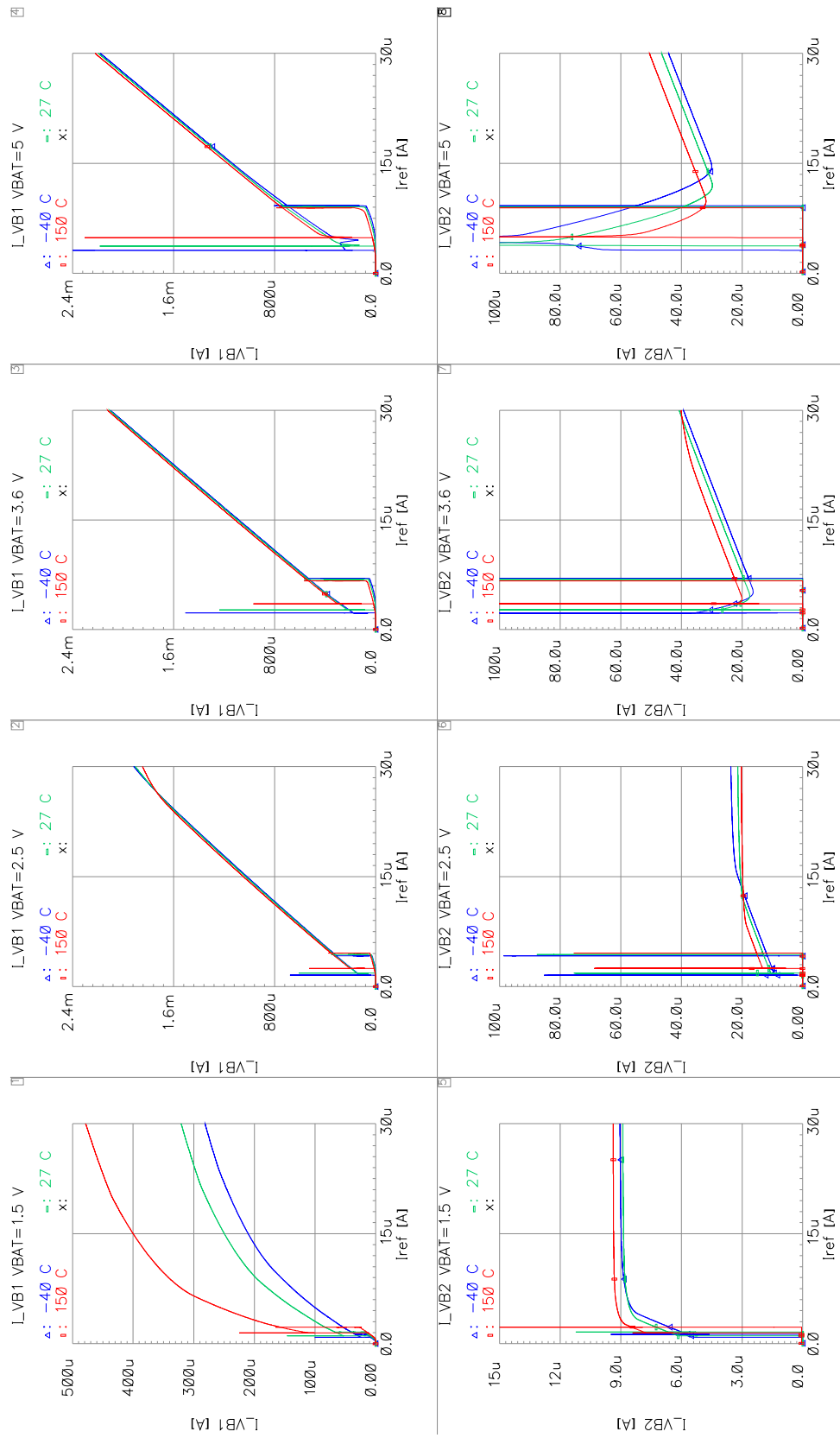


Abbildung B.9.: DC Simulation Stromverbrauch der Ausgangsstufe bei HS_LSN=0