



Diplomarbeit DA-663

**Untersuchung des Einflusses
der Programmier- und Löschpulsp Parameter
auf die Datenhaltungssicherheit bei
elektrisch wiederbeschreibbaren
Speicherzellen**

von

Mario Fuchs

Betreuer:

Ass. Prof. Dipl.-Ing. Dr. Peter Söser (TU Graz)

Dipl.-Ing. Dr. Heinz Novak (Infineon Technologies Austria AG)

Institut für Elektronik

Technische Universität Graz

Leiter: Univ.-Prof. Dipl.-Ing. Dr. Wolfgang Pribyl

Graz, im März 2010

Vorwort

Die vorliegende Arbeit entstand im Laufe meiner Tätigkeit bei der Firma Infineon Technologies Austria AG in Graz. Ich möchte mich hiermit bei all meinen Kolleginnen und Kollegen, die mich unterstützt haben und so zum Gelingen dieser Arbeit beigetragen haben, herzlich bedanken.

Mein besonderer Dank gilt Herrn Dipl.-Ing. Dr. Heinz Novak für die ausgezeichnete Zusammenarbeit, hilfreiche Unterstützung und Motivation beim Bearbeiten des Themas. Sehr dankbar bin ich auch Herrn Dipl.-Ing. Peter Lang für die anregenden, oft aber weit über das eigentliche Thema hinausgehenden Diskussionen und Herrn Ass. Prof. Dipl.-Ing. Dr. Peter Söser vom Institut für Elektronik der Technischen Universität Graz für die freundliche Betreuung.

Weiters bin ich an dieser Stelle auch meinen Eltern für ihre Unterstützung während meiner gesamten Ausbildung sehr zu Dank verpflichtet.

Eidesstattliche Erklärung

Ich erkläre an Eides statt, dass ich die vorliegende Arbeit selbstständig verfasst, andere als die angegebenen Quellen/Hilfsmittel nicht benutzt und die den benutzten Quellen wörtlich und inhaltlich entnommenen Stellen als solche kenntlich gemacht habe.

Graz, am 31.03.2010

.....

Unterschrift

Statutory Declaration

I declare that I have authored this thesis independently, that I have not used other than the declared sources/resources and that I have explicitly marked all material which has been quoted either literally or by content from the used sources.

Graz, March 31, 2010

.....

Signature



Kurzfassung

Moderne Halbleiterschaltungen sind ein integraler Bestandteil heutiger Fahrzeugtechnik. Immer mehr rein mechanische bzw. elektrische Systeme werden durch elektronische Komponenten ersetzt. Je nach Anwendung werden Leistungstransistoren, analoge Schaltungsblöcke und digitale Logik gemeinsam auf einem Halbleiterchip monolithisch integriert. Solche sogenannten „*Smart-Power-(System)-ICs*“ werden im Bereich der Automotiven Elektronik beispielsweise in der Sensorik, im Sicherheits- und Antriebsbereich eingesetzt.

Durch den zusätzlichen Einbau eines eingebetteten, elektrisch wiederbeschreibbaren Halbleiterspeichers (Embedded EEPROM, Electrically Erasable Programmable Read-Only Memory) können Konfigurationsdaten nichtflüchtig hinterlegt und diverse Parameter einfach und schnell im System verändert werden.

In diesem Zusammenhang beschäftigt sich die vorliegende Arbeit mit der Optimierung des Programmier- und Löschvorganges eines solchen eingebetteten EEPROMs für automotive Anwendungen. Es werden die Auswirkung der verschiedenen Programmier- und Löschpulspulparameter auf die Datenhaltungssicherheit untersucht und die verschiedenen Fehlermechanismen vorgestellt. Es wird sowohl auf die Ladungserhaltung (*Data Retention*), als auch auf die Programmier-/Lösch-Zyklenfestigkeit (*Endurance*) eingegangen.

Suchbegriffe: EEPROM, Endurance, Data Retention

Abstract

Modern semiconductor circuits are an integral part of today's automotive engineering. More and more pure mechanical and electrical systems are going to be replaced by electronic components. Depending on the application - power transistors, analog functions and digital logic will be monolithically integrated on the same chip. These so called „*Smart-Power-(System)-ICs*“ are used for example in automotive sensor-, safety- or powertrain-systems.

By the additional implementation of an embedded Electrically Erasable Programmable Read-Only Memory (EEPROM), configuration settings can be saved permanently and miscellaneous parameters can fast and easily be changed within the system.

In this context, this work deals with the improvement of the programming- and erasing-procedure of such an embedded EEPROM for automotive applications. The influence of different programming- and erasing-puls-parameters on the data reliability are investigated and existing failure mechanisms are discussed. Data retention as well as endurance are taken into consideration.

Keywords: EEPROM, Endurance, Data Retention

Inhaltsverzeichnis

Vorwort	II
Eidesstattliche Erklärung	III
Kurzfassung	IV
Abstract	V
1 Einleitung / Motivation	1
2 Halbleiterspeicher	3
2.1 Einteilung der Halbleiterspeicher	3
2.2 Aufbau	4
3 EEPROM	5
3.1 Funktionsweise	5
3.1.1 Charge-Trapping-Prinzip	6
3.1.2 Floating-Gate-Prinzip	6
3.2 Floating-Gate-Zellen	7
3.2.1 FLOTOX-Zellen	8
3.2.2 FETMOS-Zellen	8
3.3 Fowler-Nordheim-Tunneln	9
3.3.1 Programmieren	9
3.3.2 Löschen	10
3.3.3 Tunneleffekt	10
3.3.4 Tunnelstrom	11
3.4 Datenhaltungssicherheit	12
3.4.1 Datenhaltung (Data Retention)	12
3.4.2 Programmier/Lösch-Zyklusfestigkeit (Endurance)	13
4 SPT6-EEPROM-Transistor	15
4.1 Fertigungsprozess SPT6	15
4.2 Transistor-Aufbau	16
4.3 Kapazitätsmodell	17
4.4 Messsystem	18
4.4.1 Messen der Schwellspannung	21
4.5 Typische Messergebnisse	23

4.5.1	Trichterkurve	23
4.5.2	Mathematisches Modell	24
4.5.3	Endurance	26
4.5.4	Data Retention	28
5	SPT6-EEPROM-Modul	29
5.1	Messsystem	29
5.1.1	Programmieren	32
5.1.2	Löschen	33
5.1.3	Lesen	34
5.1.4	Margin-Tests	35
5.2	Typische Messergebnisse	36
5.2.1	Checkerboard	36
5.2.2	Variation der Programmierpulsamplitude	37
5.2.3	Dauer-Lesen	38
6	Programmier-/Löschpuls Untersuchungen	40
6.1	Einfluss der n-Epi-Spannung	40
6.2	Programmier/Lösch-Zyklusfestigkeit (Endurance)	41
6.3	Datenhaltung (Data Retention)	43
7	Zusammenfassung / Ausblick	47
	Abbildungsverzeichnis	i
	Abkürzungsverzeichnis	iii
	Symbole	vi
	Literaturverzeichnis	viii
A	Anhang	ix

1 Einleitung / Motivation

Die Automotive Elektronik hat sich in den letzten Jahren und Jahrzehnten rasant weiterentwickelt. Die Voraussetzung dafür waren vor allem die großen Fortschritte im Bereich der Mikroelektronik, aber auch die steigenden Anforderungen in Bezug auf Sicherheit, Umweltverträglichkeit, Sparsamkeit und Komfort. Der Anteil elektronischer Systeme im Fahrzeug hat dabei stark zugenommen. Immer mehr rein mechanische bzw. elektrische Systeme werden durch elektronische Komponenten ersetzt. Bedingt durch diese stetige Zunahme an Fahrzeugelektronik und der wachsenden Komplexität setzt sich der Trend hin zur monolithischen Integration ganzer Systeme (*System On a Chip - SoC*) kontinuierlich fort.

Speziell im automotiven Bereich werden Leistungstransistoren, analoge Schaltungsblöcke und digitale Logik gemeinsam auf einem Chip kombiniert. Man spricht von sogenannten *Smart-Power-(System)-ICs* oder *Embedded-Power Produkten*. Die Anforderungen an die Automobilelektronik sind dabei enorm. Umgebungstemperaturen von -40°C bis 175°C , hohe mechanische Belastungen (Vibrationen), aggressive chemische Belastungen (Salzwasser, Öl) und elektromagnetische Störungen können im Betrieb auftreten und verlangen aufwändige Lösungen um höchste Zuverlässigkeit zu garantieren. [2]

Die Realisierung solcher Leistungshalbleiter erfolgt mit Hilfe von BCD-Prozessen, welche Bipolar-, CMOS- und DMOS-Bauelemente in einem Prozess kombinieren. Im Speziellen geht es hier um die *Smart Power Technologie 6 (SPT6)* der Firma Infineon Technologies AG. Durch die zusätzliche Implementierung eines eingebetteten, elektrisch wiederbeschreibbaren Halbleiterspeichers (Embedded EEPROM, Electrically Erasable Programmable Read-Only Memory) können Konfigurationsdaten nichtflüchtig hinterlegt und diverse Parameter einfach und schnell im System verändert werden.

Die vorliegende Arbeit beschäftigt sich mit der Optimierung des Programmier-/Löschvorganges eines solchen eingebetteten EEPROMs für automotive Anwendungen. Es werden dabei die Auswirkungen verschiedener Programmier- und Löschpulspulparameter auf die Datenhaltungssicherheit der Speicherzellen untersucht. Die Messungen werden sowohl am Einzeltransistor als auch am damit aufgebauten EEPROM-Modul durchgeführt, wobei vor allem die Ladungserhaltung und die Programmier-/Lösch-Zyklenfestigkeit von Interesse sind.

Ziel der Arbeit ist der Aufbau eines geeigneten Messsystems, die Analyse der gemessenen Kennlinien und deren Vergleich mit der Literatur. Die damit gewonnenen Erkenntnisse sollen vor allem weitere Informationen über das Verhalten des SPT6-EEPROM-Transistors liefern und damit die optimale Festlegung der im SPT6-EEPROM-Modul verwendeten Programmier-/Löschpulspulparameter unterstützen.

Die Arbeit ist folgendermaßen aufgebaut:

Kapitel 2 gibt eine kurze Übersicht über die verschiedenen Halbleiterspeicher und beschreibt allgemein deren Aufbau.

In **Kapitel 3** wird speziell auf EEPROMs eingegangen. Es werden verschiedene Speicherzellen vorgestellt und die Funktionsweise erklärt. Weiters wird auf Fowler-Nordheim-Tunneln und die Datenhaltungssicherheit der Speicherzellen eingegangen.

In **Kapitel 4** wird der im Rahmen dieser Arbeit untersuchte SPT6-EEPROM-Transistor vorgestellt. Es werden auch der Fertigungsprozess, das Kapazitätsmodell und das verwendete Messsystem beschrieben und typisch damit gewonnene Messergebnisse diskutiert. Die gemessenen Kennlinien werden genau analysiert und teilweise mit mathematischen Modellen aus der Literatur verglichen.

Kapitel 5 behandelt das SPT6-EEPROM-Modul, welches 384-Bit speichern kann und bei verschiedenen ASICs (*Application Specific Integrated Circuit*) eingesetzt wird. Es werden ebenfalls wieder Aufbau, Messsystem und Messergebnisse dargestellt.

Kapitel 6 zeigt speziell die Messungen bezüglich des Einflusses der Programmier- und Löschpulsparemeter auf die Datenhaltungssicherheit.

In **Kapitel 7** werden die gewonnenen Erkenntnisse nochmals zusammengefasst und ein Ausblick auf den weiteren Einsatz des SPT6-EEPROM-Moduls gegeben.

2 Halbleiterspeicher

Ein Halbleiterspeicher ist ein Datenspeicher, bei dem die Information in Form von binären, elektronischen Schaltzuständen in einer integrierten Halbleiterschaltung gespeichert wird. Die Einsatzmöglichkeiten von Halbleiterspeichern sind sehr umfangreich, es gibt daher auch verschiedenste Bauarten. Sie unterscheiden sich in der physikalischen Technik der Datenspeicherung und damit in der Dauer des Datenerhaltes, der maximalen Anzahl der Schreib- und Lesezyklen sowie der Zugriffszeiten.

2.1 Einteilung der Halbleiterspeicher

Schreib-/Lesespeicher

Schreib-/Lesespeicher (*Random Access Memory, RAM*) können beliebig beschrieben und gelesen werden. Es handelt sich dabei um flüchtige (transiente) Speicher, d.h. beim Ausschalten der Versorgungsspannung geht die gesamte gespeicherte Information verloren. Es gibt aber auch einige nichtflüchtige Varianten, z.B. FRAM (*Ferroelectric RAM*), MRAM (*Magnetoresistive RAM*) und PCRAM (*Phase Change RAM*).

Festwertspeicher

Der Festwertspeicher (*Read Only Memory, ROM*) kann im normalen Betrieb nur gelesen, aber nicht überschrieben werden. Festwertspeicher sind nichtflüchtige (persistente) Speicher, d.h. die Daten bleiben auch ohne Versorgungsspannung weiterhin erhalten. Man bezeichnet diese Speicher daher auch als NVM (*Non Volatile Memory*). Zum Schreiben der reversiblen Speicherzellen muss man eine wesentlich höhere Programmierspannung als im normalen Betrieb an die Zellen anlegen.

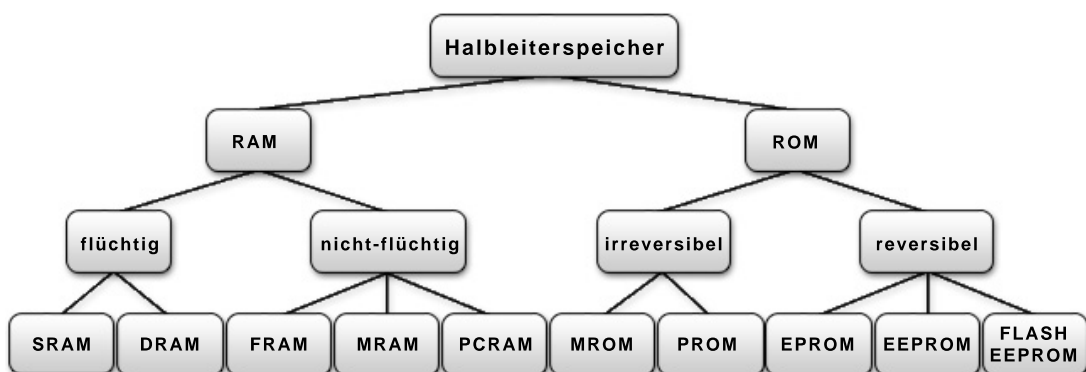


Abbildung 2.1: Einteilung der Halbleiterspeicher

Wie Abbildung 2.1 zeigt, lassen sich die Festwertspeicher weiter anhand ihrer Programmier-/Löscheigenschaften unterteilen:

Beim **MROM** (*Masken ROM*) werden die Informationen bereits während des Herstellungsprozesses mit Hilfe einer Maske eingeprägt. Ein nachträgliches Ändern des Speicherinhaltes ist nicht mehr möglich.

Ein **PROM** (*Programmable ROM*) lässt sich hingegen einmal vom Anwender elektrisch programmieren, ein **EPROM** (*Erasable PROM*) kann mit Hilfe von ultravioletem (UV) Licht auch wieder gelöscht und wiederholt programmiert werden.

Beim **EEPROM** (*Electrically EPROM*, auch E^2 PROM) wird das Löschen nicht mit UV-Licht, sondern elektrisch durchgeführt. Der Löschvorgang funktioniert somit direkt im System, ist wesentlich schneller als beim EPROM und ermöglicht auch selektives Löschen einzelner Informationen. Die heutzutage weitverbreiteten **Flash-EEPROMs** stellen eine Untergruppe der EEPROMs dar, wobei das Löschen nicht bitweise, sondern nur blockweise oder am ganzen Chip erfolgen kann.

2.2 Aufbau

Alle Halbleiterspeicherbausteine haben einen matrixförmigen Aufbau mit waagrechten *Wortleitungen* und senkrechten *Bitleitungen*. An den Kreuzungspunkten sitzen die Speicherzellen, welche 1 Bit speichern können. Mit der Wortleitung wird die ganze Zeile aktiviert, mit der Bitleitung dann die gewünschte Speicherzelle ausgelesen bzw. beschrieben. Die Aktivierung der jeweiligen Zeilen und Spalten erfolgt mit Hilfe von Adressdekodern. Mit einer N-Bit Adresse kann man $Z=2^N$ Speicherzellen adressieren.

Abbildung 2.2 zeigt beispielhaft das Selektieren einer Speicherzelle in einem 32-Bit Speicherbaustein. [17]

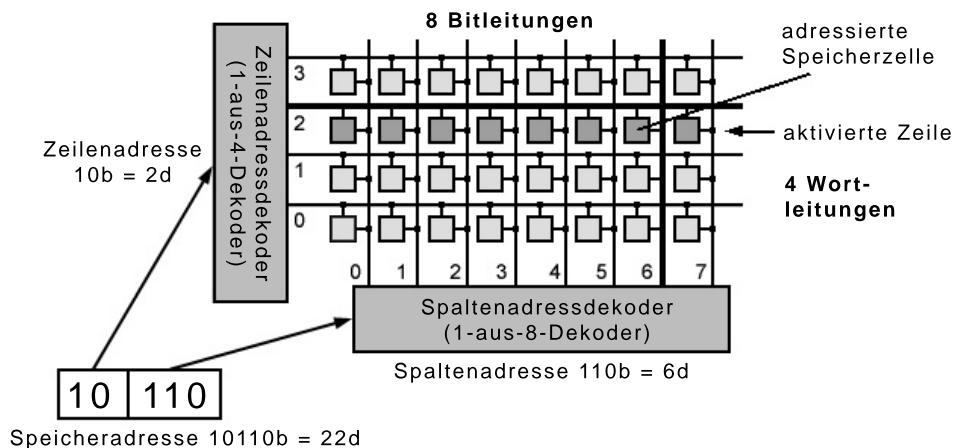


Abbildung 2.2: Selektieren der Speicherzelle mit der Adresse 22 in einem 32-Bit Speicherbaustein.

Um den Speicherzugriff steuern zu können, gibt es neben den Adress- und Datenleitungen auch noch eine Reihe von verschiedenen Steuersignalen, wobei bestimmte zeitliche Vorschriften (*Timings*) eingehalten werden müssen.

3 EEPROM

Da sich diese Arbeit ausschließlich mit EEPROMs befasst, wird im Weiteren nur mehr auf diese Art der Halbleiterspeicher eingegangen. Wie bereits erwähnt steht EEPROM für *Electrically Erasable Programmable Read Only Memory*. Es handelt sich dabei um einen Festwertspeicher, der elektrisch programmiert und auch elektrisch gelöscht werden kann.

3.1 Funktionsweise

Die grundlegende Funktionsweise einer EEPROM-Speicherzelle beruht darauf, dass man Ladungen in die Gate-Isolation eines MOSFETs (*Metal Oxide Semiconductor Field Effect Transistor*) injiziert und damit das Steuerverhalten des Transistors durch die Gate-Source-Spannung verändert (Abbildung 3.1). Die Ladungen bleiben in der Gate-Isolation aufgrund der sehr guten Isolierung für viele Jahre erhalten und ermöglichen dadurch die nichtflüchtige Speicherung. [6]

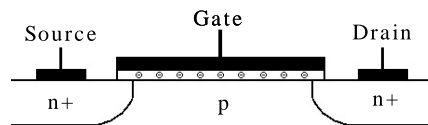


Abbildung 3.1: NMOS Transistor mit injizierter Ladung in der Gate-Isolation

Die Information ist also in Form von Ladung in der Gate-Isolation gespeichert. Diese Ladung verändert die Leitfähigkeit und damit die Schwellspannung (*Thresholdvoltage V_{th}*) des Transistors. Im Fall eines NMOS-Transistors nimmt die Schwellspannung mit negativer Ladung in der Gate-Isolation (Elektronenüberschuss) zu und mit positiver Ladung (Elektronenmangel) ab.

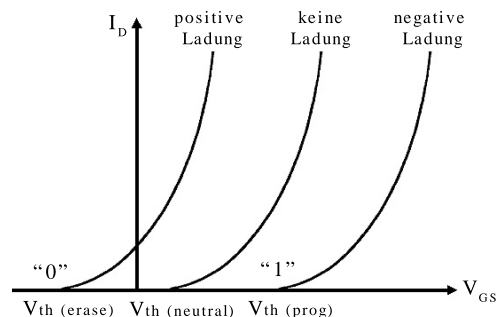


Abbildung 3.2: Verschiebung der Schwellspannung V_{th}

Durch die Schwellspannungsverschiebung lassen sich die beiden logischen Zustände „0“ und „1“ unterscheiden. Entsprechend der allgemeinen Definition bedeutet Programmieren (*Program*) die Injektion von Ladungsträgern und Löschen (*Erase*) die Extraktion. In manchen Veröffentlichungen werden jedoch gegenteilige Bezeichnungen verwendet. In Abbildung 3.2 unterscheiden sich die beiden logischen Zustände durch das Vorzeichen der gespeicherten Ladung, bei Flash-EEPROMs ist eine Änderung des Vorzeichens (sogenannter *Over-Erase* [9]) problematisch, es wird daher der neutrale Zustand als „0“ definiert.

Die oben gezeigte Ladungsspeicherung in der Gate-Isolation, welche typischerweise aus Siliziumoxid (SiO_2) besteht, ist in Wirklichkeit aber begrenzt, sodass sich nur eine beschränkte Änderung der Schwellspannung ergibt. Daher werden in der Praxis mehrere unterschiedliche Schichten eingesetzt, in denen deutlich mehr Ladungen eingefangen und effektiv festgehalten werden können:

3.1.1 Charge-Trapping-Prinzip

Beim Charge-Trapping-Prinzip erfolgt die Ladungsspeicherung in Haftstellen (*Trapping Centers*) einer dielektrischen Schicht. Das Prinzip wurde 1967 erstmals bei der MNOS-Zelle (*Metal Nitride Oxide Semiconductor*) durch Wegener [8] angewandt. Dabei wurden die Ladungen in einer Silizium-Nitrid-Schicht (Si_3N_4) gespeichert (Abbildung 3.3a). Die Zellen wiesen allerdings Nachteile in Bezug auf Ladungserhaltung (*Retention*) und Programmier-/Lösch-Zyklenfestigkeit (*Endurance*) auf. Im Laufe der Jahre gab es daher eine Reihe verschiedenster Weiterentwicklungen (*Silicon Nitride Oxide Semiconductor SNOS*, *Silicon Oxide Nitride Oxide Semiconductor SONOS*). Heutzutage werden diese Zellen aufgrund ihrer Strahlungsfestigkeit hauptsächlich für Militär- und Weltraumzwecke eingesetzt. Das Charge-Trapping-Prinzip sei hier aber nur zur Vollständigkeit erwähnt, im weiteren Verlauf der Arbeit wird nur mehr auf Floating-Gate-Zellen eingegangen.

3.1.2 Floating-Gate-Prinzip

Das Floating-Gate-Prinzip [3] wurde ebenfalls 1967 von D. Kahng und S. M. Sze erstmals vorgestellt. Es wurden damit viele verschiedene Zellen entwickelt, welche sich im Aufbau und im Programmiermechanismus unterscheiden. Sie besitzen alle eine vollständig isolierte potentialfreie Elektrode - das *Floating-Gate FG* - welches zwischen dem Kanalgebiet und dem Steuer-Gate (*Control-Gate, CG*) untergebracht ist. Es ist vollständig von Oxid umgeben, besitzt keinen Anschluss nach außen und dient ausschließlich der Ladungsspeicherung (Abbildung 3.3b).

Bei den ersten Zellen war das Floating-Gate aus Metall, heute wird meistens Polysilizium verwendet.

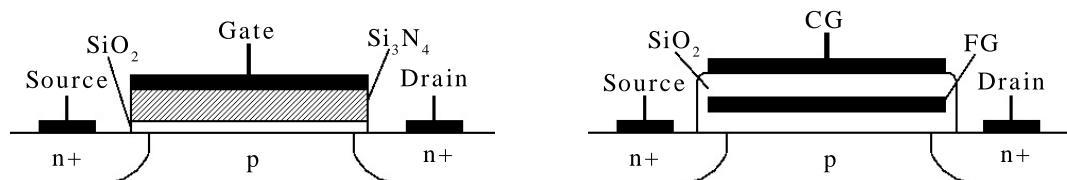


Abbildung 3.3: a) Charge-Trapping-Prinzip und b) Floating-Gate-Prinzip

3.2 Floating-Gate-Zellen

Die Entwicklung der Floating-Gate-Zellen begann 1967 mit der MIMIS-Speicherzelle (*Metal Insulator Metal Insulator Semiconductor*) durch D. Kahng und S. M. Sze [3]. Diese Zelle ging aufgrund technischer Schwierigkeiten zwar nie in Produktion, zeigte aber erstmals die Möglichkeit der Realisierung eines ladungsbasierten nichtflüchtigen Halbleiterspeichers.

Frohman-Bentchkowsky [4] präsentierte 1971 die mit UV-Licht löschbare FAMOS-Zelle (*Floating gate Avalanche injection MOS*). 1973 wurde mit der SAMOS-Zelle (*Stacked gate Avalanche injection MOS*) [7], die erste elektrisch löschbare Zelle entwickelt und die Ära der EEPROMs eingeleitet. In den folgenden Jahren entstanden zahlreiche Weiterentwicklungen. Die SIMOS-Zelle (*Stacked gate Injection Metal Oxide Semiconductor*) wird mit Injektion heißer Ladungsträger programmiert, die ETOX-Zelle (*Electron Tunneling OXide*) wird wie die FLOTOX-Zelle (FLOating gate Thin OXide) mit Fowler-Nordheim-Tunneln gelöscht. TPFZ-Zellen (*Textured Poly Floating Gate*) weisen eine besonders niedrige Injektionsfeldstärke auf.

In Abbildung 3.4 werden die in der Literatur am häufigsten dokumentierten Speicherzellen inklusive ihrer Programmier- und Löschmechanismen dargestellt. Diese Grafik soll vor allem einen Überblick über die verschiedenen Abkürzungen verschaffen. Natürlich gibt es noch viele weitere Entwicklungen, welche aber hauptsächlich Kombinationen und Varianten der erwähnten Floating-Gate-Zellen sind.

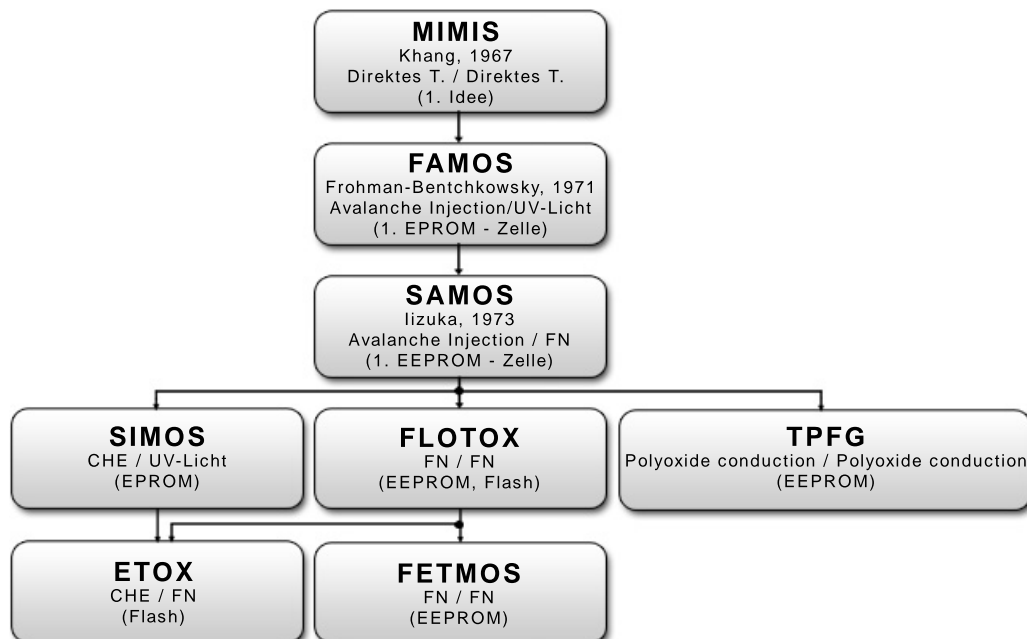


Abbildung 3.4: Übersicht über die Entwicklung verschiedener Floating-Gate-Speicherzellen

Wie Abbildung 3.4 zeigt, wurden in den vergangenen Jahrzehnten verschiedenste Methoden entwickelt, um Ladungsträger durch das isolierende Oxid auf das Floating-Gate zu bringen. Einer der wichtigsten Programmiermechanismen beim EEPROM ist das Fowler-Nordheim-Tunneln (*FN-Tunneln*), das bei FLOTOX- und FETMOS-Zellen zum Programmieren und auch zum Löschen eingesetzt wird.

3.2.1 FLOTOX-Zellen

Die FLOTOX-Zelle (FLOating gate Thin OXide) wird mit FN-Tunneln sowohl programmiert als auch gelöscht. Sie wird besonders häufig für EEPROMs und Flash-EEPROMs eingesetzt. Bei dieser Zelle überlappen die beiden Gates den Drainbereich. Das Oxid zwischen dem Floating-Gate und Drain ist nur wenige Nanometer dick, sodass die Ladungsträger in diesem Bereich vom bzw. zum Floating-Gate tunneln können. Man bezeichnet dieses Oxid daher auch als Tunneloxid (*TOX*).

Zum Programmieren wird am Control-Gate kurzzeitig eine Programmiervspannung von beispielsweise 10 V (typischer Wert für 10 nm TOX) angelegt, wobei das Draingebiet auf 0 V liegt. Beim Löschvorgang wird die Spannung entsprechend umgepolt (Abbildung 3.5).

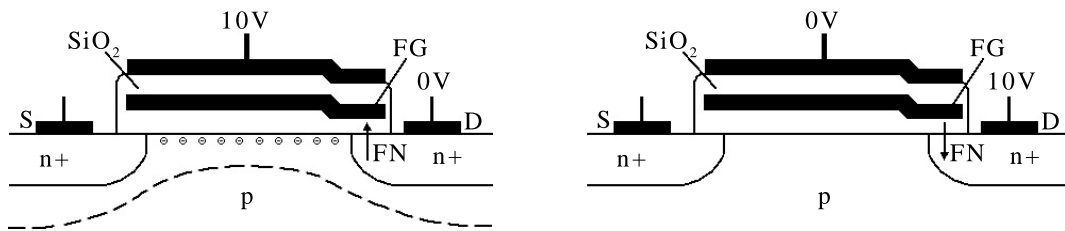


Abbildung 3.5: a) Programmieren und b) Löschen einer FLOTOX-Zelle [9]

3.2.2 FETMOS-Zellen

Die FETMOS-Zelle (Floating gate Electron Tunneling MOS) hat im gesamten Gate-Bereich ein dünnes Gateoxid (*GOX*). Das Tunneln erfolgt somit nicht nur in einem kleinen Dünnoxidfenster, sondern über den gesamten Gate-Bereich. Das Gateoxid ist also auch gleichzeitig das Tunneloxid. Zum Programmieren wird die Programmiervspannung an das Control-Gate angelegt, zum Löschen an das Kanalgebiet (Abbildung 3.6). Will man Spannungsänderungen am Kanalgebiet vermeiden, kann das Löschen auch durch eine negative Programmiervspannung am Control-Gate erfolgen. Eine weitere Möglichkeit die Zelle zu löschen besteht darin, mit einer Spannung zwischen Drain und Control-Gate den Tunnelvorgang ähnlich einer FLOTOX-Zelle auf den Drainbereich zu begrenzen. Der Tunnelbereich ist dabei aber wesentlich kleiner, Degradationsmechanismen wirken sich aufgrund der höheren Tunnelstromdichte stärker aus.

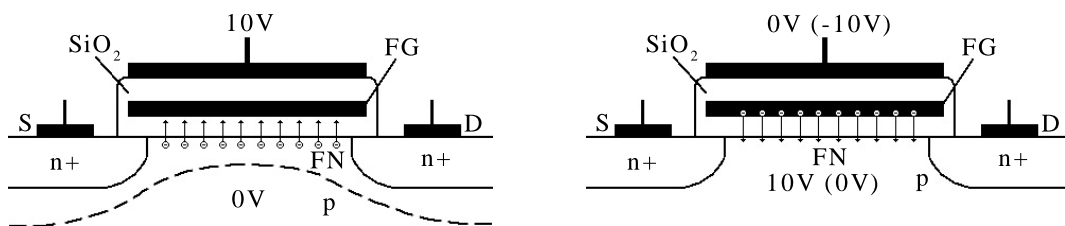


Abbildung 3.6: a) Programmieren und b) Löschen einer FETMOS-Zelle [9]

Im Vergleich zur FLOTOX-Zelle braucht man bei der FETMOS-Zelle kein Dünnoxidfenster über dem Drainbereich und erreicht dadurch einen einfacheren Aufbau.

3.3 Fowler-Nordheim-Tunneln

Das nun oftmals erwähnte Fowler-Nordheim-Tunneln ist ein feldunterstütztes Elektronentunneln, das 1928 durch Fowler und Nordheim [13] entdeckt wurde. Lenzlinger und Snow [11] beschrieben infolge damit erstmals das Tunneln durch dünne Oxidschichten.

3.3.1 Programmieren

Durch Anlegen einer hohen positiven Programmierspannung am Control-Gate einer FETMOS-Zelle entsteht im nur wenige Nanometer dicken Tunneloxid ein so großes elektrisches Feld, dass Elektronen vom Kanalgebiet auf das Floating-Gate tunneln können.

Dieser quantenphysikalische Tunneleffekt lässt sich am Besten mit Hilfe eines Bänderdiagramms veranschaulichen:

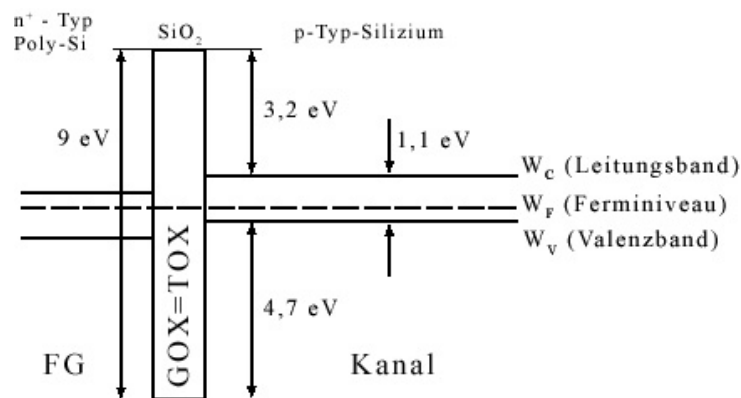


Abbildung 3.7: Bänderdiagramm der MOS-Struktur im thermodynamischen Gleichgewicht

Abbildung 3.7 zeigt das Bänderdiagramm der MOS-Struktur im thermodynamischen Gleichgewicht. Zu sehen ist die große Energiebarriere beim Übergang von Silizium zu Siliziumoxid (SiO₂): 3,2 eV für Elektronen im Leitungsband und 4,7 eV für Löcher im Valenzband. Die Leitung durch Siliziumoxid wird daher hauptsächlich von den Elektronen bestimmt. Ohne äußerer Programmierspannung ist die Barriere aber viel zu breit, die Elektronen können diese nicht überwinden.

Durch Aufbringen einer genügend hohen elektrischen Feldstärke zwischen dem Control-Gate und dem Kanalgebiet verschieben sich die Energiebänder (Abbildung 3.8), sodass die vorhandene Energiebarriere des Tunneloxides dreiecksförmig wird. Dadurch verringert sich die effektive Weite $d_{T,eff}$ der Barriere, Elektronen im Leitungsband können diese nun durchtunneln und so auf das Floating-Gate gelangen. Typische Injektionsfeldstärken liegen bei ca. 10 MV/cm, das entspricht also 10 V bei 10 nm Oxiddicke.[6]

Die Dicke des Tunneloxides wird so gewählt, dass die Tunnelwahrscheinlichkeit ohne angelegter Programmierspannung praktisch null ist. Dadurch bleibt die aufgebrachte Ladung in einem sogenannten „Potentialtopf“ am Floating-Gate gespeichert. Das Oxid zwischen Control-Gate und dem Floating-Gate („Interpolyoxid“) wird hingegen so dimensioniert, dass auch während des Programmierens die Tunnelwahrscheinlichkeit null ist, um ein Entweichen der Ladung zum Control-Gate zu vermeiden.

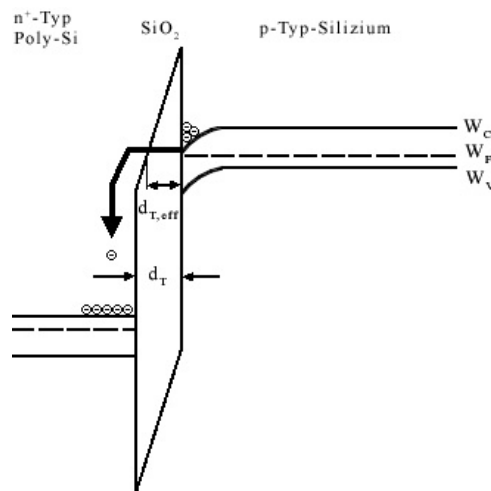


Abbildung 3.8: Bänderdiagramm beim Programmieren

3.3.2 Löschen

Durch Anlegen einer genügend hohen negativen Spannung am Control-Gate lässt sich der oben gezeigte Vorgang umkehren. Die Elektronen tunneln vom Floating-Gate zurück in das Kanalgebiet des Transistors (Abbildung 3.9).

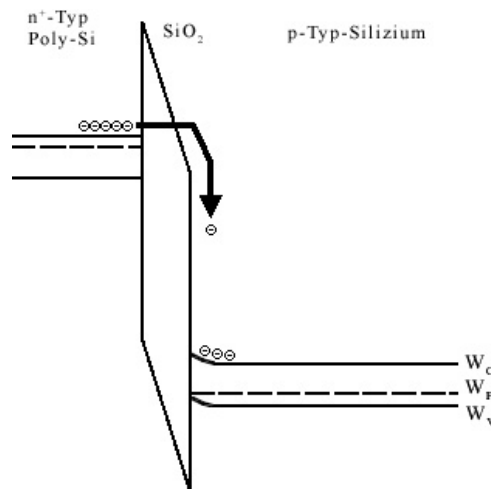


Abbildung 3.9: Bänderdiagramm beim Löschen

3.3.3 Tunneleffekt

Wie im vorherigen Kapitel gezeigt, werden die Ladungen mittels Tunneleffekt durch das isolierende Oxid auf das Floating-Gate gebracht bzw. davon entfernt. Der Tunneleffekt ist ein quantenmechanischer Effekt, der Teilchen die Überwindung endlicher Potentialbarrieren erlaubt, welche nach den Vorstellungen der klassischen Physik für diese Teilchen unüberwindbar wären.

Grundlage der Überlegungen ist dabei die *Schrödinger-Gleichung*, deren Lösung eine *Wellenfunktion* Ψ liefert. Das Betragsquadrat der Wellenfunktion beschreibt die Wahrscheinlichkeit ein Teilchen in einem definierten Volumen anzutreffen. Diese Wellenfunktion dringt in die Potentialbarriere ein, die Amplitude nimmt dabei exponentiell ab (Abbildung 3.10). Am anderen Ende der Barriere ist die Amplitude also kleiner - aber nicht null - d.h. es existiert eine nicht verschwindende Wahrscheinlichkeit, das Teilchen auch am anderen Ende der Barriere anzutreffen.

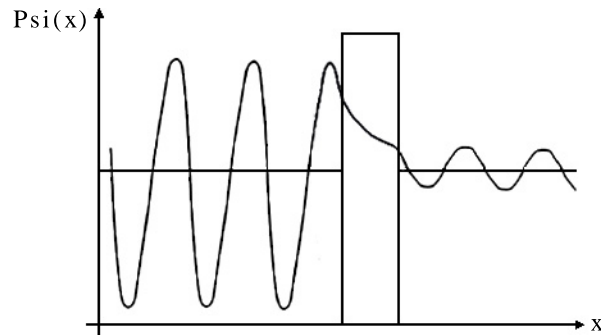


Abbildung 3.10: Momentaufnahme der Wellenfunktion im Bereich einer Potentialbarriere

3.3.4 Tunnelstrom

Der oben gezeigte Ladungstransport durch Fowler-Nordheim-Tunneln kann auch als Tunnelstrom angesehen werden. Mit Hilfe der *Wentzel-Kramers-Brillouin (WKB)-Näherung* für die Wellenfunktion ergibt sich unter Vernachlässigung der Temperatur folgender Zusammenhang [6]:

$$J = \alpha E^2 \exp \left\{ \frac{-E_c}{E} \right\} \quad (3.1)$$

J	...	Stromdichte im Tunneloxid [A/m ²]
E	...	Elektrische Feldstärke im Tunneloxid [V/m]
α, E_c	...	Tunnelparameter

Die Tunnelstromdichte steigt laut Gleichung 3.1 exponentiell mit der elektrischen Feldstärke im Tunneloxid.

Bei dem in Abbildung 3.7 gezeigten Übergang von Silizium (Kanalgebiet) zu Siliziumoxid (Tunneloxid) ergeben sich die Tunnelparameter zu:

$$\alpha = \frac{q^3}{8\pi\hbar\phi_b} \frac{m_e}{m_e^*} = 1,15 \cdot 10^{-6} \frac{A}{V^2} \quad (3.2)$$

$$E_c = 4\sqrt{2m_e^*} \frac{\phi_b^{3/2}}{3\hbar q} = 2,54 \cdot 10^{10} \frac{V}{m} \quad (3.3)$$

h	...	Plancksches Wirkungsquantum ($6,626 \cdot 10^{-34} \text{ Js}$)
ϕ_b	...	Energiebarriere des Tunneloxides ($3,2 \text{ eV}$ zwischen Si und SiO_2)
q	...	Elektrische Elementarladung ($1,602 \cdot 10^{-19} \text{ As}$)
m_e	...	Ruhemasse des Elektrons ($9,1096 \cdot 10^{-31} \text{ kg}$)
m_e^*	...	Effektive Elektronenmasse in der Oxidschicht ($0,42 m_e$)
\hbar	...	$\hbar = h/2\pi$ ($1,055 \cdot 10^{-34} \text{ Js}$)

Der beim Fowler-Nordheim-Mechanismus durch das Tunneloxid fließende Strom beträgt ca. 10 pA [9].

3.4 Datenhaltungssicherheit

Die Zuverlässigkeit (*Reliability*) der Speicherzellen ist ein besonders wichtiger Aspekt bei der Entwicklung von Halbleiterspeichern. Sie wird üblicherweise durch zwei Kenngrößen charakterisiert:

3.4.1 Datenhaltung (Data Retention)

Bei der Datenhaltung wird ermittelt, wie lang die am Floating-Gate gespeicherte Ladung und damit die Information erhalten bleibt. Die Hersteller von EEPROM-Speicher garantieren z.B. 10, 20 oder 40 Jahre. Die messtechnische Bestimmung der Datenhaltungseigenschaften erfolgt bei erhöhter Temperatur, um den Alterungsvorgang zu beschleunigen. Die Speicherzelle wird bei hoher Temperatur in einem Ofen gelagert („Bake“) und dadurch schneller gealtert als bei Raumtemperatur. Während dieses Prozesses wird die Schwellspannung des Transistors beobachtet und dadurch der Ladungsverlust ermittelt.

Der Beschleunigungsfaktor durch erhöhte Temperatur wird mit Hilfe der *Arrhenius-Gleichung* beschrieben:

$$R = A \cdot \exp\left\{\frac{-E_A}{k \cdot T}\right\} \quad (3.4)$$

$$\frac{R_2}{R_1} = \frac{\exp\left\{\frac{-E_A}{k \cdot T_2}\right\}}{\exp\left\{\frac{-E_A}{k \cdot T_1}\right\}} = \exp\left\{-\frac{E_A}{k} \left(\frac{1}{T_2} - \frac{1}{T_1}\right)\right\} \quad (3.5)$$

R	...	Fehlerrate	T	...	Absolute Temperatur [K]
A	...	Konstante	$\frac{R_2}{R_1}$...	Beschleunigungsfaktor
E_A	...	Aktivierungsenergie [eV]	T_1	...	Ursprüngliche Temperatur [K]
k	...	Boltzmann-Konstante ($1,38 \cdot 10^{-23} \frac{\text{J}}{\text{K}}$)	T_2	...	Erhöhte Temperatur [K]

Die (thermische) Aktivierungsenergie E_A gibt an, wie stark sich die Fehlerrate mit steigender Temperatur erhöht. Ein Fehlermechanismus mit hoher Aktivierungsenergie wird durch einen Temperaturanstieg daher stärker beschleunigt als einer mit niedriger Aktivierungsenergie.

Der Ladungsverlust lässt sich auf verschiedene Ursachen zurückführen:

Intrinsischer Ladungsverlust

Wie bereits erwähnt werden die Ladungsträger mit Hilfe von FN-Tunneln auf das Floating-Gate gebracht. Aufgrund der hohen Potentialbarriere des umgebenden Siliziumoxides bleiben sie dort gespeichert. Die Barriere ist mit 3,2 eV so groß, dass die Elektronen diese selbst bei hoher Temperatur kaum überwinden können. Der sogenannte „*intrinsische Ladungsverlust*“ einer defektfreien Zelle ist daher vernachlässigbar klein. Berechnungen zufolge müssten die Daten bei idealem, defektfreiem Oxid bei einer Temperatur von 125 °C über 1000 Jahre erhalten bleiben [12]. Infolge des nichtidealen Oxides ist der tatsächliche Ladungsverlust aber wesentlich höher und die Datenhaltung der Zellen daher stark reduziert.

Oxid-Defekte

Die Datenhaltung wird also vorwiegend von der Qualität des Oxides bestimmt. Bei der FETMOS-Zelle gibt es einerseits das Gateoxid - welches auch gleichzeitig Tunneloxid ist - und das wesentlich dickere Interpolyoxid zwischen den beiden Gates. Ist die Zelle programmiert, so ist das Potential des Floating-Gates aufgrund der aufgebrachtten Elektronen negativ. Bei einem Defekt im Tunneloxid wandern die Elektronen ins Kanalgebiet, bei einem Defekt im Interpolyoxid zum Control-Gate. Im Fall einer gelöschten Zelle ist das Floating-Gate positiv geladen. Bei einem Oxid-Defekt wandern daher Elektronen zum Floating-Gate und kompensieren dadurch die gespeicherte Ladung. Ein Oxid-Defekt führt also immer zu einem Ladungsverlust am Floating-Gate. Nur wenn das Floating-Gate ungeladen ist, tritt keine Änderung auf.

Um den Unterschied zwischen Tunnel- oder Interpolyoxiddefekten zu ermitteln, kann man während der Messung das Control-Gate auf eine positive Spannung legen. Nimmt die Ladung zu, befindet sich der Fehler im unteren Tunneloxid, nimmt die Ladung ab im Interpolyoxid. Beide Fehlerfälle haben eine Aktivierungsenergie von ca. 0,6 eV, ONO-Interpolyoxiddefekte ca. 0,8 eV. [5]

Ionen-Kontamination

Während bei Oxidfehlern einzelne Bits betroffen sind, welche zufällig im Zellenfeld verteilt sind, gibt es auch Fehlermechanismen, die ganze Bereiche des Zellenfeldes betreffen. Durch eine fehlerhafte Passivierung können bewegliche positive Ionen (Na^+ , K^+ oder H^+) in das Zellenfeld eindringen und sich durch Diffusion ausbreiten. Die am Floating-Gate gespeicherten Elektronen werden dadurch kompensiert. Der Ausbreitungsradius nimmt dabei mit der Quadratwurzel der Zeit zu. Die Aktivierungsenergie liegt im Bereich zwischen 1,2 eV bis 1,8 eV. [5]

3.4.2 Programmier/Lösch-Zyklenfestigkeit (Endurance)

Jeder Programmier- bzw. Löschvorgang stresst das verwendete Tunneloxid, wodurch die maximale Anzahl an Umprogrammierungen begrenzt wird. Allgemein werden von den Herstellern mindestens 10000 Programmierzyklen garantiert. Bei der Endurance-Messung wird die Zelle sehr oft abwechselnd programmiert und gelöscht und die damit verbundene Schwellspannungsverschiebung gemessen (Abbildung 3.11). Die gemessenen Kurven zeigen, ab welcher Anzahl an Programmier-/Löschzyklen sich das Verhalten der Zelle dermaßen geändert hat, dass es den geforderten Spezifikationen nicht mehr entspricht.

Ein ideales Tunneloxid hat unabhängig von der Anzahl der bereits stattgefundenen Tunnelvorgänge immer die gleichen Eigenschaften. Thermisch gewachsenes Siliziumoxid enthält hingegen immer eine gewisse Anzahl an Störstellen (*Traps*), an denen Elektronen und Löcher eingefangen werden können. Werden diese Störstellen besetzt, ändert sich die Ladung des Tunneloxides. Positive Oxidladungen begünstigen das FN-Tunneln, was zu größeren Schwellspannungsverschiebungen führt, während negative das Tunneln behindern, was zu geringeren Schwellspannungsverschiebungen führt. Es können durch den Programmier/Lösch-Zyklus auch neue Störstellen gebildet werden. Werden diese von Elektronen besetzt, wird der Tunnelvorgang behindert. Das Spannungsfenster zwischen programmiertem und gelöscht Zustand wird dadurch immer kleiner. In Abhängigkeit von der Empfindlichkeit der Leseschaltung wird der Speicher dann unbrauchbar.

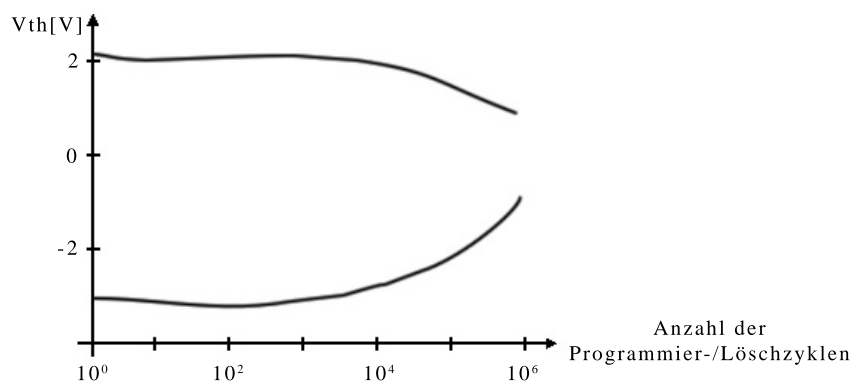


Abbildung 3.11: Schwellspannung in Abhängigkeit von der Anzahl der Umprogrammierungen (FLOTOX)

4 SPT6-EEPROM-Transistor

Im folgenden Kapitel wird der im Rahmen dieser Arbeit untersuchte SPT6-EEPROM-Transistor näher vorgestellt. Es handelt sich dabei um einen Floating-Gate-Transistor, entwickelt in der *Smart Power Technologie 6 (SPT6)* der Firma Infineon Technologies AG. Weiters werden auch der Fertigungsprozess, das Kapazitätsmodell für den EEPROM-Transistor, das für die Untersuchungen verwendete Messsystem und die damit gewonnenen Messergebnisse diskutiert.

4.1 Fertigungsprozess SPT6

Bei *SPT6* handelt es sich um einen *800 nm BCD-Prozess*, wobei Bipolar-, CMOS- und DMOS-Bauelemente auf einem Chip kombiniert werden können. Durch CMOS erreicht man eine hohe logische Integrationsdichte und mit Hilfe der DMOS-Transistoren können in den Applikationen hohe Ströme bis ca. 20 A und Spannungen bis maximal 60 V geschaltet werden.[2]

Als Ausgangsmaterial des Fertigungsprozesses dient ein p-dotierter Siliziumwafer, das p-Substrat. Darauf wird in einem Epitaxie-Prozessschritt n-dotiertes Silizium aufgewachsen, das durch tiefe p-Dotierungen in getrennte Wannen unterteilt wird. In diesen n-Epi-Wannen werden die PMOS-Transistoren platziert, für die NMOS-Transistoren wird wiederum durch flache p-Dotierung eine eigene Wanne innerhalb der n-Epi-Wanne erzeugt. Man spricht daher von einem *Zweiwannenprozess* oder *Twin-well-Prozess*.

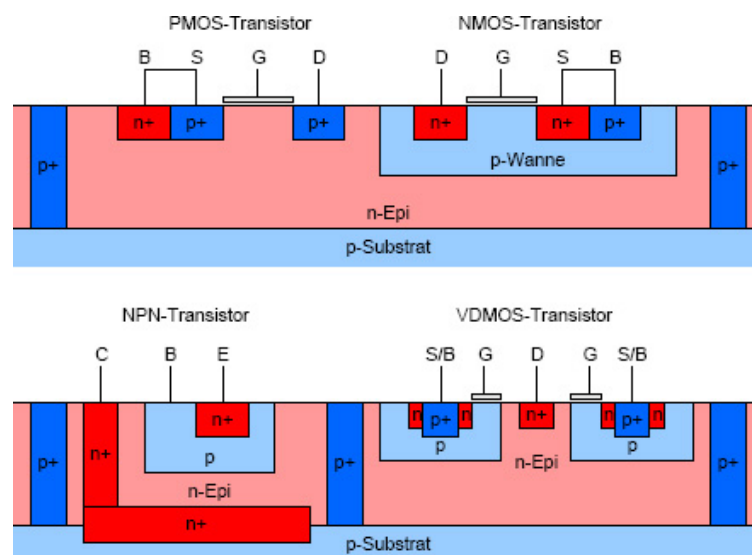


Abbildung 4.1: Schnittbild SPT6 [10]

Unter der Voraussetzung, dass der Substratanschluss am niedrigsten Potential des Chips liegt und das Potential der n-Epi-Wannen (Bulk PMOS) über dem der p-Wannen (Bulk NMOS) liegt, sperren die vorhandenen pn-Übergänge und die einzelnen Bauteile sind von einander isoliert.

Die NMOS- und PMOS-Transistoren werden anhand ihrer maximal zulässigen Drain-Source Spannung in drei verschiedene Spannungsklassen eingeteilt:

- Niedervolt-Transistor (NV) bis 5 V
- Mittelvolt-Transistor (MV) bis 20 V
- Hochvolt-Transistor (HV) bis 60 V

Zur Verbindung der einzelnen Bauelemente stehen drei Aluminium-Metallebenen sowie eine Kupfer-Metallebene für hohe Ströme zur Verfügung. Mittels 2 Ebenen aus Polysilizium lassen sich zusätzlich Widerstände und spannungsunabhängige Poly-Poly Kapazitäten implementieren.

4.2 Transistor-Aufbau

Durch die Anforderung den EEPROM-Transistor ohne zusätzliche Masken und ohne Prozessänderungen in SPT6 zu realisieren, unterscheidet sich der Aufbau etwas von der Literatur. Im Prinzip entspricht der Aufbau aber der FETMOS-Zelle.

Der SPT6-EEPROM-Transistor besteht aus der Kombination eines minimalen NV-NMOS-Transistors und einem Einkoppelkondensator, realisiert durch eine Poly-Poly Kapazität mit ONO-Dielektrikum (*Oxid-Nitrid-Oxid*). Die untere Elektrode der Kapazität ist mit dem Gate des NMOS-Transistors verbunden und bildet das Floating-Gate, die obere Elektrode das Control-Gate (Abbildung 4.2). Als Programmiermechanismus wird Fowler-Nordheim-Tunneln eingesetzt, wobei das Gateoxid des NMOS-Transistors als Tunneloxid fungiert.

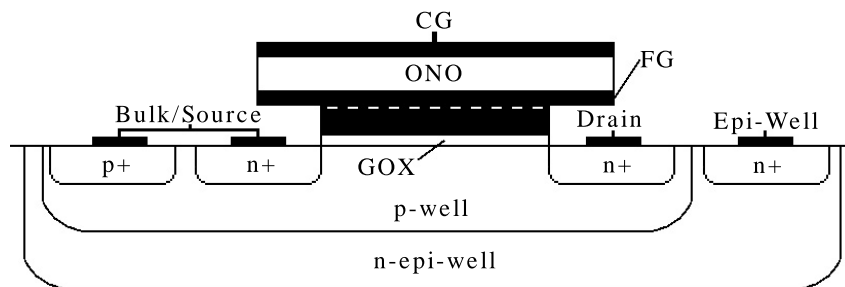


Abbildung 4.2: Vereinfachter Aufbau des SPT6-EEPROM-Transistors

Aufgrund der relativ großen Dicke des Tunneloxides beträgt die typische Programmierspannung bei 10 ms Programmierzeit ca. 19 V. Dieser Wert ist im Vergleich zu Flash-Speicherzellen sehr hoch, wo die Programmierspannungen bei ca. 10 V bis 14 V liegen. [6]

4.3 Kapazitätsmodell

Mathematisch kann die Funktionsweise des Floating-Gate-Transistors mit Hilfe eines kapazitiven Spannungsteilers erklärt werden (Abbildung 4.3).

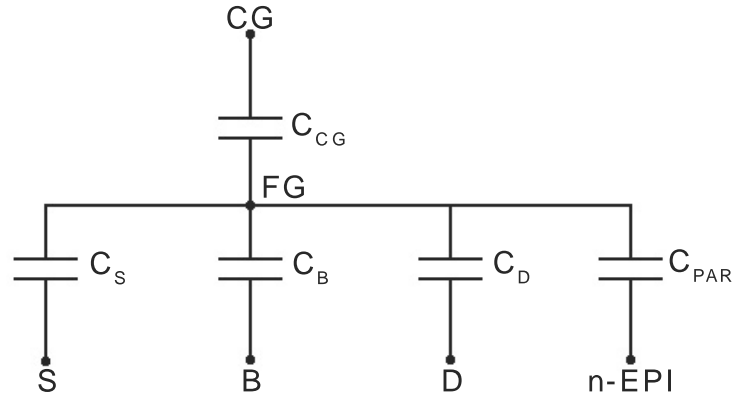


Abbildung 4.3: Kapazitives Ersatzschaltbild des SPT6-EEPROM-Transistors

C_{CG}	...	Kapazität zwischen Control-Gate und Floating-Gate
C_S	...	Kapazität zwischen Floating-Gate und Source
C_B	...	Kapazität zwischen Floating-Gate und p-Well (Bulk)
C_D	...	Kapazität zwischen Floating-Gate und Drain
C_{PAR}	...	Parasitäre Kapazität zwischen Floating-Gate und n-Epi-Well

Das Potential am Floating-Gate, welches für die Leitfähigkeit des Transistors ausschlaggebend ist, lässt sich allgemein mit Hilfe des Superpositionsprinzipes folgendermaßen berechnen [6]:

$$V_F = \frac{C_{CG}}{C_T} V_{CG} + \frac{C_S}{C_T} V_S + \frac{C_B}{C_T} V_B + \frac{C_D}{C_T} V_D + \frac{C_{PAR}}{C_T} V_{EPI} + \frac{Q_{FG}}{C_T} \quad (4.1)$$

V_F	...	Potential am Floating-Gate	V_B	...	Potential an der p-Well (Bulk)
V_{CG}	...	Potential am Control-Gate	V_{EPI}	...	Potential an der n-Epi-Well
V_S	...	Potential am Source	Q_{FG}	...	Ladung am Floating-Gate
V_D	...	Potential am Drain	C_T	...	$C_{CG} + C_S + C_B + C_D + C_{PAR}$

Beim SPT6-EEPROM-Transistor wird zum Programmieren ein Programmierpuls mit der Amplitude V_{pp} an das Control-Gate angelegt, während Bulk-Source auf 0 V liegt und Drain floatet. Die Spannung an der n-Epi-Wanne beträgt $V_{pp}/2$. Anhand des Ersatzschaltbildes (Abbildung 4.4) berechnet sich die Spannung zwischen Floating-Gate und Bulk-Source (V_{FG}) zu:

$$\begin{aligned} V_{FG} &= \frac{C_{CG}}{C_{CG} + C_S + C_B + C_{PAR}} V_{pp} + \frac{C_{PAR}}{C_{CG} + C_S + C_B + C_{PAR}} \frac{V_{pp}}{2} + \frac{Q_{FG}}{C_{CG} + C_S + C_B + C_{PAR}} \\ &= V_{pp} \underbrace{\frac{C_{CG} + \frac{C_{PAR}}{2}}{C_{CG} + C_S + C_B + C_{PAR}}}_{k_{prog}} + \frac{Q_{FG}}{C_{CG} + C_S + C_B + C_{PAR}} \end{aligned} \quad (4.2)$$

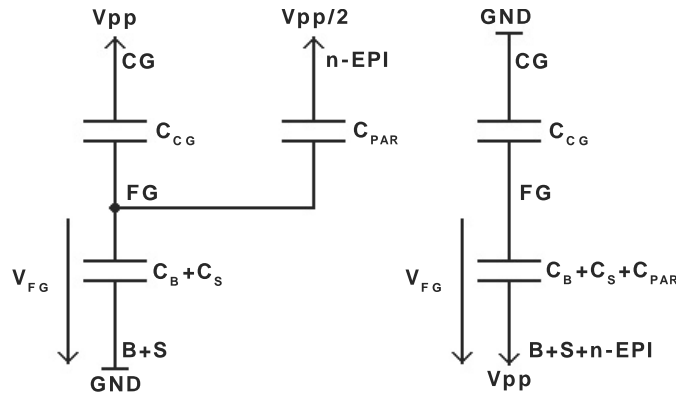


Abbildung 4.4: Kapazitive Spannungsteilung beim Programmier- und Löschvorgang

Der Faktor k wird als *Koppelfaktor* bezeichnet. Er gibt an, wie viel der am Control-Gate angelegten Spannung tatsächlich am Floating-Gate eingekoppelt wird.

Beim Löschen kann man gleich vorgehen wie beim Programmieren, wobei aber ein negativer Programmierpuls ($-V_{pp}$) an das Control-Gate gelegt wird. Die andere und auch im Messprogramm implementierte Variante besteht darin, das Control-Gate auf 0 V zu legen und an Bulk-Source einen Löschpuls mit der Amplitude $+V_{pp}$ anzulegen. Dabei ist aber unbedingt zu beachten, dass die Spannung an der n-Epi-Well ebenfalls auf V_{pp} gelegt wird, da sonst die Diode zwischen p-Well und n-Epi-Well leitet. Die Spannung zwischen Floating-Gate und Bulk-Source ergibt sich hier zu:

$$V_{FG} = -V_{pp} \frac{C_{CG}}{\underbrace{C_{CG} + C_S + C_B + C_{PAR}}_{k_{erase}}} + \frac{Q_{FG}}{C_{CG} + C_S + C_B + C_{PAR}} \quad (4.3)$$

Um die am Control-Gate anliegende Spannung möglichst gut am Floating-Gate einzukoppeln, muss sich der Koppelfaktor k dem Wert 1 annähern. Dazu muss die Kapazität zwischen den beiden Gates wesentlich größer sein, als die Kapazität des NMOS-Transistors. Diese wird bei der SPT6-EEPROM-Zelle durch eine Poly-Poly Kapazität mit ONO-Dielektrikum realisiert.

4.4 Messsystem

Um die für diese Arbeit erforderlichen Messungen am SPT6-EEPROM-Transistor überhaupt durchführen zu können, musste zuerst ein geeignetes Messsystem aufgebaut werden. Dieses sollte das Programmieren und Löschen des Transistors mit verschiedenen Programmierpulsen und das Messen der Schwellspannung ermöglichen. Das Messprogramm wurde mit LabVIEW von National Instruments erstellt (Abbildung 4.8), die Ansteuerung der Messgeräte erfolgt dabei über die IEEE-488-Schnittstelle (*GPIB, General Purpose Interface Bus*).

Da der Transistor für die Messungen nur als PCM-Struktur (*Process Control Monitor*) zur Verfügung stand, mussten alle Messungen am Spitzenmessplatz (Abbildung 4.5) durchgeführt werden. Die erwähnten PCM-Strukturen befinden sich in den Sägestraßen zwischen den einzelnen Chips eines Wafers und

dienen normalerweise zur Messung typischer Kenngrößen zur Erfassung von Prozessschwankungen. Beim EEPROM-Transistor sind dabei die Anschlüsse Gate, Source, Drain und die n-Epi-Wanne an Messpunkten zugänglich und können somit leicht mit Messnadeln kontaktiert werden (Abbildung 4.6).

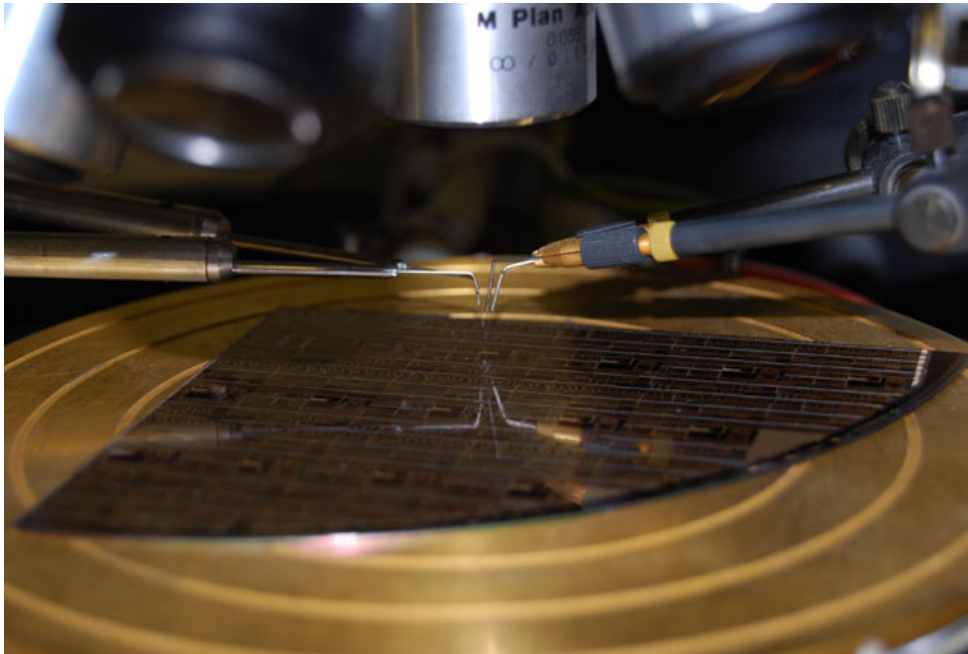


Abbildung 4.5: Messung am Spitzenmessplatz

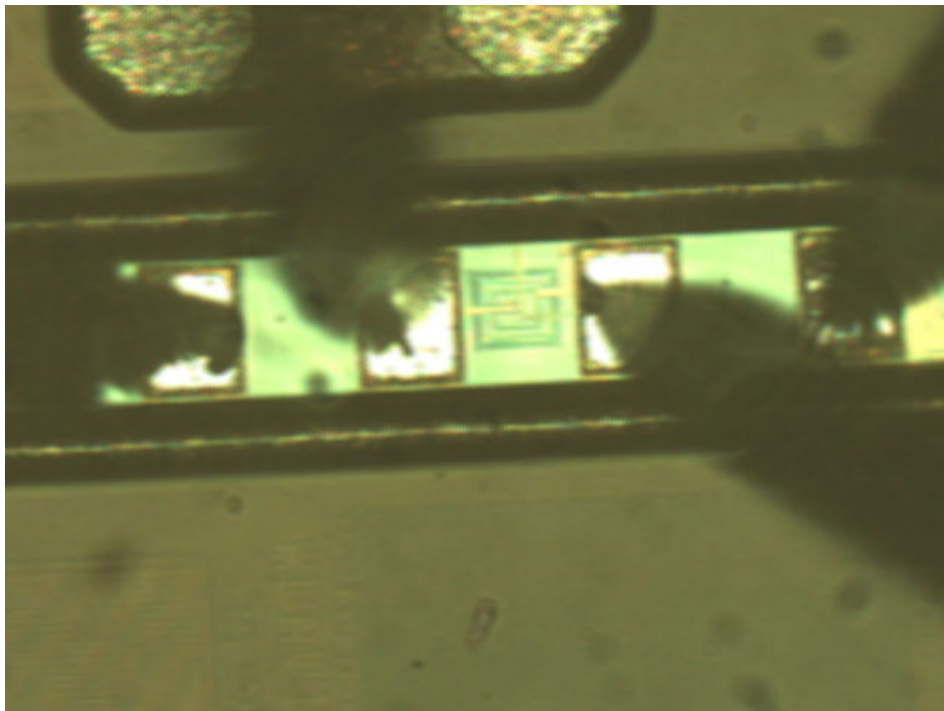


Abbildung 4.6: Am Wafer aufgesetzte Messnadeln

Die zum Programmieren bzw. Löschen benötigten Pulse werden mit Funktionsgeneratoren vom Typ Agilent 33250A generiert. Diese ermöglichen die Einstellung der Amplitude V_{pp} , der Pulsdauer T_{pp} und der Signalanstiegszeit T_r . Da die maximal mögliche Ausgangsamplitude von ± 5 V nicht ausreichend ist, werden die Signale mit Hilfe einer selbstgebauten Verstärkerplatine um den Faktor 6 verstärkt. Dabei kommt ein Operationsverstärker vom Typ LT 1213 zum Einsatz, welcher am Eingang mit 50 Ohm abgeschlossen ist und über Koaxialkabel mit dem Funktionsgenerator verbunden wird. Die Spannungen am Drain- und n-Epi-Wannen-Anschluss wurden mit Sourcemeter vom Typ Keithley K2400 erzeugt (Abbildung 4.7).

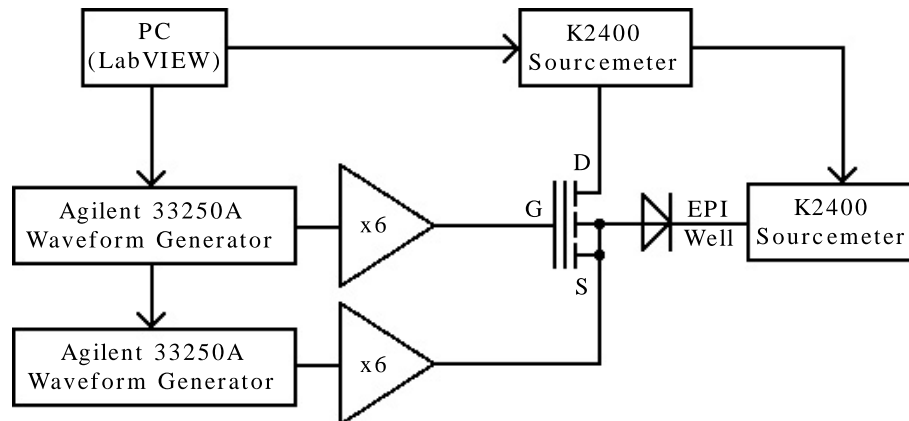


Abbildung 4.7: Blockschaltbild des verwendeten Messsystems

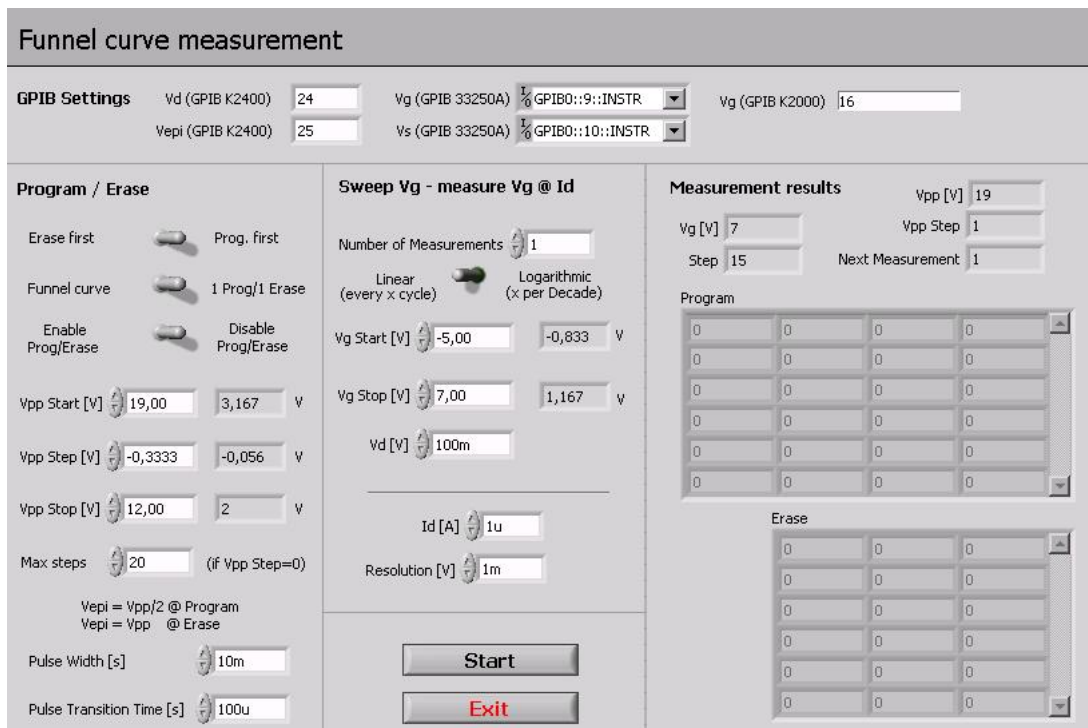


Abbildung 4.8: Screenshot der LabVIEW-Oberfläche

4.4.1 Messen der Schwellspannung

Die Schwellspannung (*Thresholdvoltage* V_{th}) eines Transistors ist definiert als jene Gate-Source Spannung, bei der der Transistor zu leiten beginnt. Zum Ermitteln dieser Spannung gibt es mehrere verschiedene Verfahren. Die gängigste Methode besteht darin, die Übertragungskennlinie (Drainstrom I_d in Abhängigkeit der Gate-Source Spannung V_{gs}) aufzunehmen (Abbildung 4.9). Danach wird $\sqrt{I_d}$ über V_{gs} grafisch dargestellt und die Kennlinie anschließend bis zur x-Achse extrapoliert. Dieser Schnittpunkt entspricht der Schwellspannung (Abbildung 4.10).

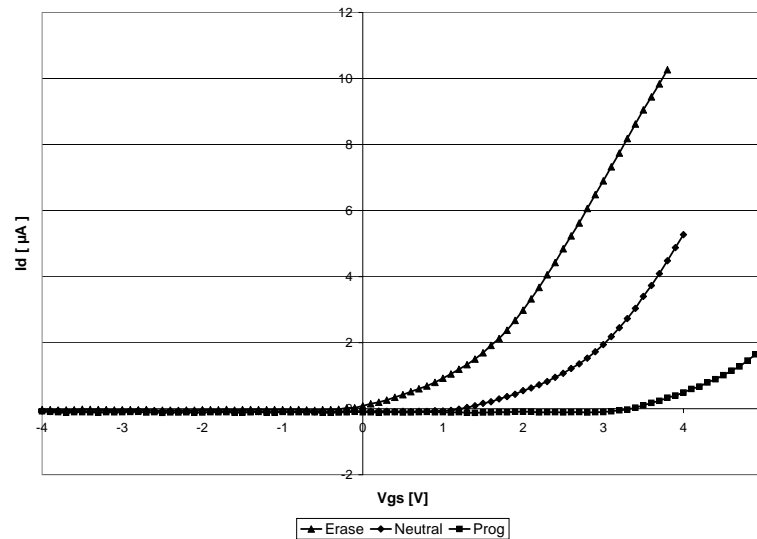


Abbildung 4.9: Verschiebung der Übertragungskennlinie $I_d=f(V_{gs})$

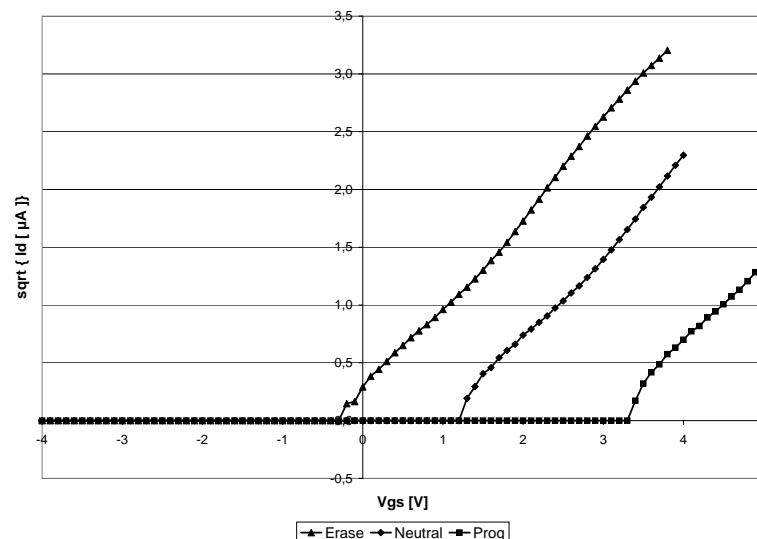


Abbildung 4.10: Verschiebung der Übertragungskennlinie $\sqrt{I_d}=f(V_{gs})$

Eine weitere Messmöglichkeit ist die sogenannte $1\ \mu\text{A}$ -Methode, wobei die Gate-Source Spannung so lange erhöht wird, bis I_d auf $1\ \mu\text{A}$ angestiegen ist. Die erforderliche V_{gs} entspricht der Schwellspannung. Der große Vorteil dieser Variante ist die direkte Messbarkeit ohne grafische Auswertung und der damit geringere Aufwand. In den Untersuchungen wurde daher die $1\ \mu\text{A}$ -Methode zur Bestimmung der Schwellspannung verwendet. Um die Messmethode zeitlich zu optimieren wurde das lineare, schrittweise Erhöhen der Eingangsspannung V_{gs} durch einen binären Suchalgorithmus ersetzt. Dabei wird die Spannung zu Beginn auf die Hälfte des Eingangsspannungsbereichs gesetzt. Je nachdem, ob der gemessene Strom unter oder über $1\ \mu\text{A}$ liegt, wird V_{gs} im nächsten Schritt auf $1/4$ oder $3/4$ des Eingangsspannungsbereichs gesetzt. Durch mehrfaches Wiederholen dieses Vorgangs nähert man sich so schrittweise der $1\ \mu\text{A}$ Marke und damit der zu ermittelnden Schwellspannung an.

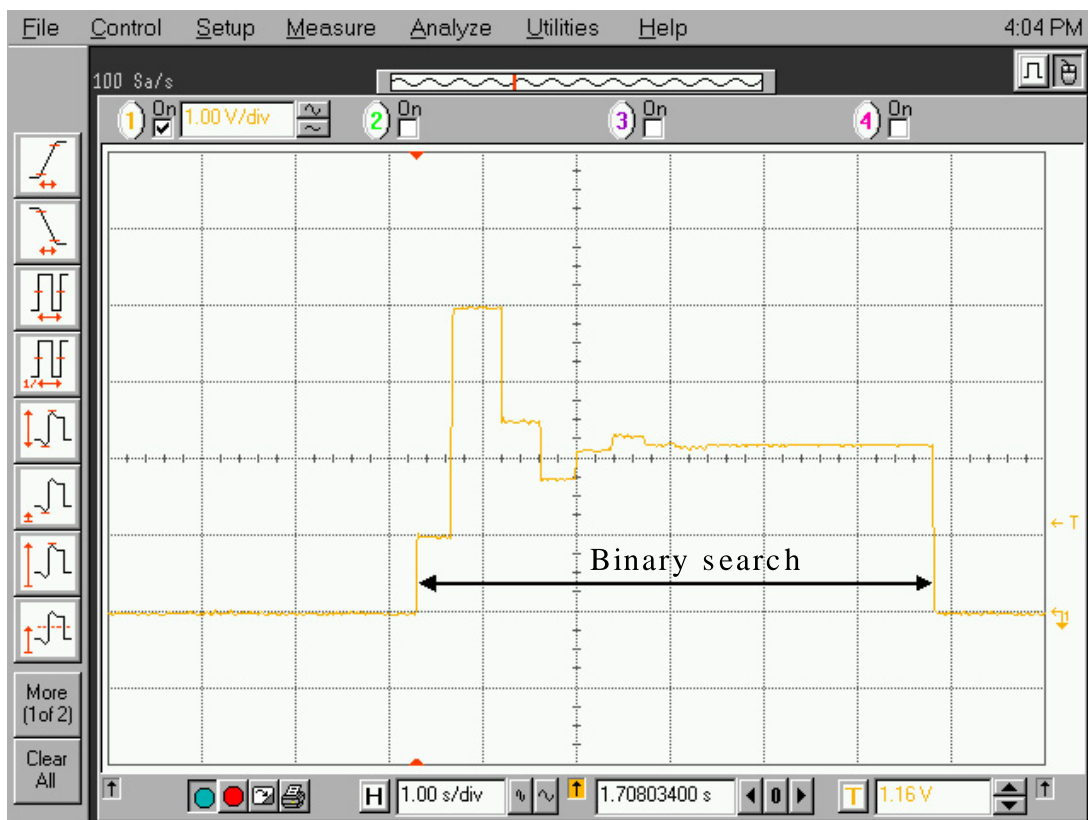


Abbildung 4.11: Binäre Suche

Bei der in Abbildung 4.11 gezeigten Messung war der Eingangsspannungsbereich auf $-5\ \text{V}$ bis $+7\ \text{V}$ eingestellt. Der Suchalgorithmus beginnt daher bei $V_{gs} = +1\ \text{V}$ ($1/2$ Eingangsspannungsbereich), springt danach auf $V_{gs} = +4\ \text{V}$ ($3/4$ Eingangsspannungsbereich) und nähert sich dann schrittweise dem Endwert $2,15\ \text{V}$ an.

Die lineare Suche braucht durchschnittlich $N/2$ Schritte, die Komplexität ist daher $O(N)$, während bei der binären Suche die Komplexität nur mehr $O(\log(N))$ beträgt.

4.5 Typische Messergebnisse

4.5.1 Trichterkurve

Bei einer sogenannten Trichterkurve (*Funnel curve*) wird der EEPROM-Transistor mehrmals abwechselnd programmiert und gelöscht, wobei jeweils die Schwellspannung gemessen wird. Nach jedem erfolgten Programmier-/Löschzyklus wird die Pulsamplitude V_{pp} oder die Pulsdauer T_{pp} reduziert. Die einhüllende Funktion der Messwerte hat die Form eines Trichters und gibt wichtige Aufschlüsse über die Programmier-/Löschcharakteristik. Der obere Kurvenast beschreibt den programmierten Zustand, der untere den gelöschten.

Anhand der in Abbildung 4.12 gezeigten Trichterkurve kann man den Zusammenhang zwischen der Pulsamplitude V_{pp} und der resultierenden Thresholdspannung V_{th} sehr gut erkennen. Je höher die verwendete Programmierspannung, desto größer ist die Ladungsverschiebung und die damit verbundene Schwellspannungsänderung. Der Zusammenhang ist über einen weiten Bereich nahezu linear, d.h. verringert man die Programmierspannung um 1 V, so wird auch die Schwellspannungsverschiebung um 1 V kleiner. Im Bereich ab ca. 17 V wird die Kurve flacher, ab ca. 15 V ändert sich die Schwellspannung nicht mehr. Die Programmierspannung ist dann zu klein, um eine Ladungsverschiebung durch FN-Tunneln zu bewirken.

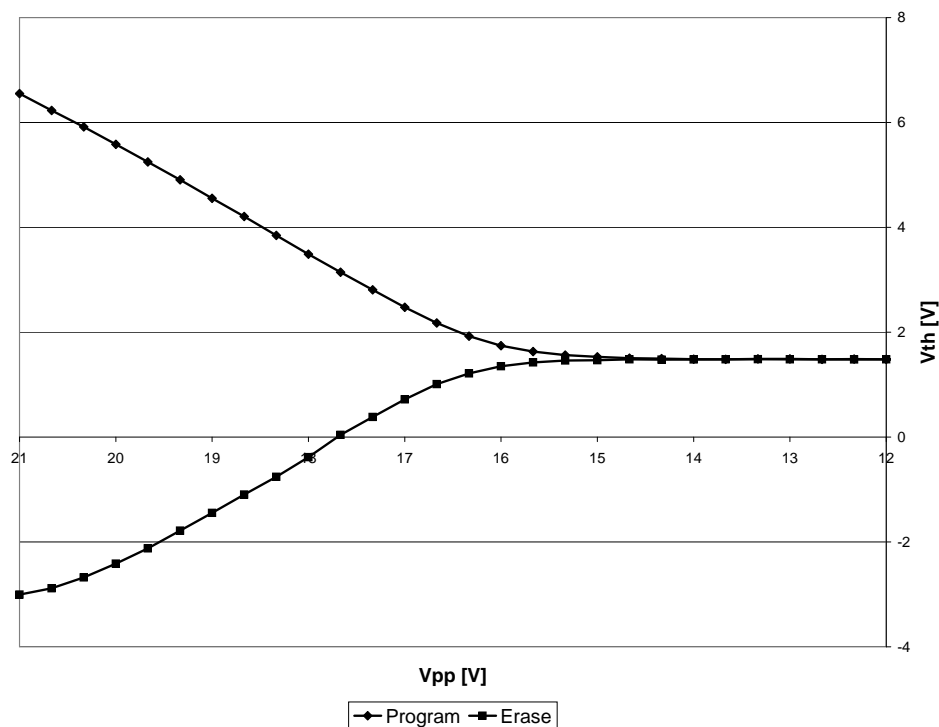


Abbildung 4.12: Trichterkurve des SPT6-EEPROM-Transistors

Das zyklische Programmieren und Löschen mit immer kleiner werdender Amplitude führt dazu, dass immer weniger Ladungen verschoben werden und schließlich das Floating-Gate vollständig entladen ist. Man

kann mit dieser Methode also den neutralen Zustand des Floating-Gates erreichen. Die gemessene neutrale Schwellspannung ist aber etwas größer als die intrinsische Schwellspannung des NMOS-Transistors, da noch der bereits erwähnte Koppelfaktor berücksichtigt werden muss. Der entladene, neutrale Zustand wird teilweise auch als *UV-Level* bezeichnet, da die Leitfähigkeit in diesem Punkt einem mit UV-Licht gelöschtem EPROM-Speicher entspricht.

4.5.2 Mathematisches Modell

Mit Hilfe des von A. Kolodny vorgestellten mathematischen Modells [1] können die oben gezeigten Trichtercurven berechnet werden.

Durch Lösen der Differentialgleichung

$$\frac{dQ_{FG}}{dt} = A_{TUN} \cdot J \quad (4.4)$$

erhält man dort für den Programmiervorgang

$$V_{th}(t) = V_{th0} + V_{pp} - \frac{1}{k_{prog}} \cdot \frac{E_c \cdot d_{TUN}}{\ln(A \cdot E_c \cdot t + E_1)} \quad (4.5)$$

mit

$$A = \frac{A_{TUN} \cdot \alpha}{d_{TUN} \cdot (C_{CG} + C_S + C_B + C_{PAR})} \quad (4.6)$$

$$E_1 = \exp \left\{ \frac{E_c \cdot d_{TUN}}{k_{prog} \cdot (V_{pp} + V_{th0} - V_{th}(0))} \right\} \quad (4.7)$$

A_{TUN}	...	Tunnelfläche
V_{th0}	...	Intrinsische Schwellspannung des NMOS-Transistors
d_{TUN}	...	Dicke des Tunneloxides

In Abbildung 4.13 werden gemessene und simulierte Trichtercurven mit unterschiedlicher Pulsdauer T_{pp} dargestellt. Wie die Abbildung zeigt, passt das mathematische Modell sehr gut mit den gemessenen Werten überein. Die Abweichung der 100 ms-Kennlinie bei Programmierspannungen über 20 V lässt sich dadurch begründen, dass die maximale Gate-Source-Spannung V_{gs} in der Messung auf 7 V begrenzt war. In Abbildung 4.14 sind die berechneten Trichtercurven für verschiedene Pulsamplituden dargestellt.

Anhand dieser Kurven kann man ablesen, bei welcher Programmierpulsamplitude bzw. bei welcher Pulsdauer sich eine entsprechende Schwellspannungsverschiebung ergibt. Ziel ist es, die Pulsparameter so zu wählen, dass die beiden logischen Zustände der Zelle mit Hilfe einer Auswerteschaltung sicher unterschieden werden können.

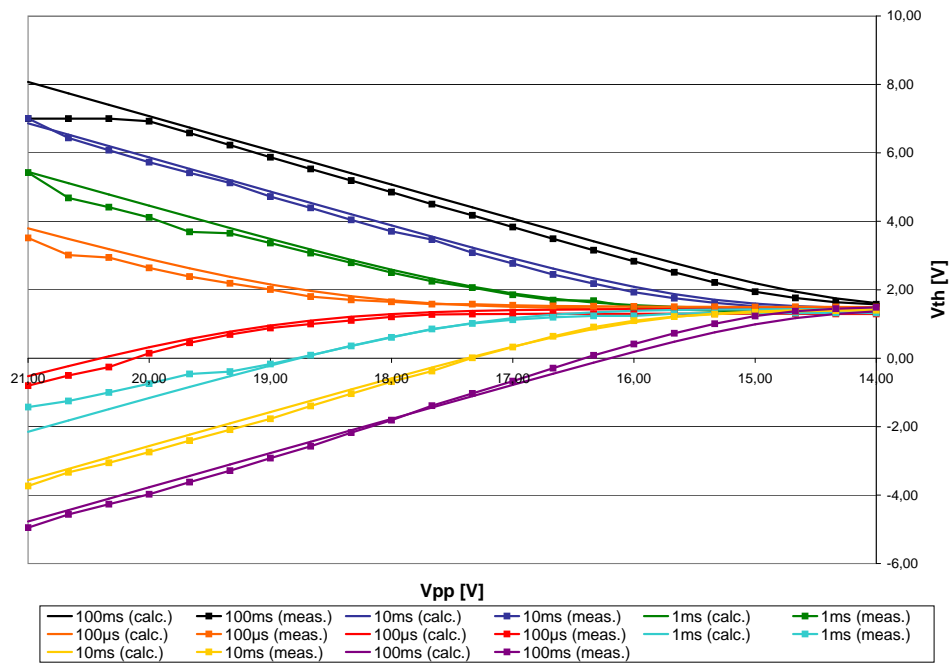


Abbildung 4.13: Vergleich der Messwerte mit dem mathematischen Modell (T_{pp} konstant)

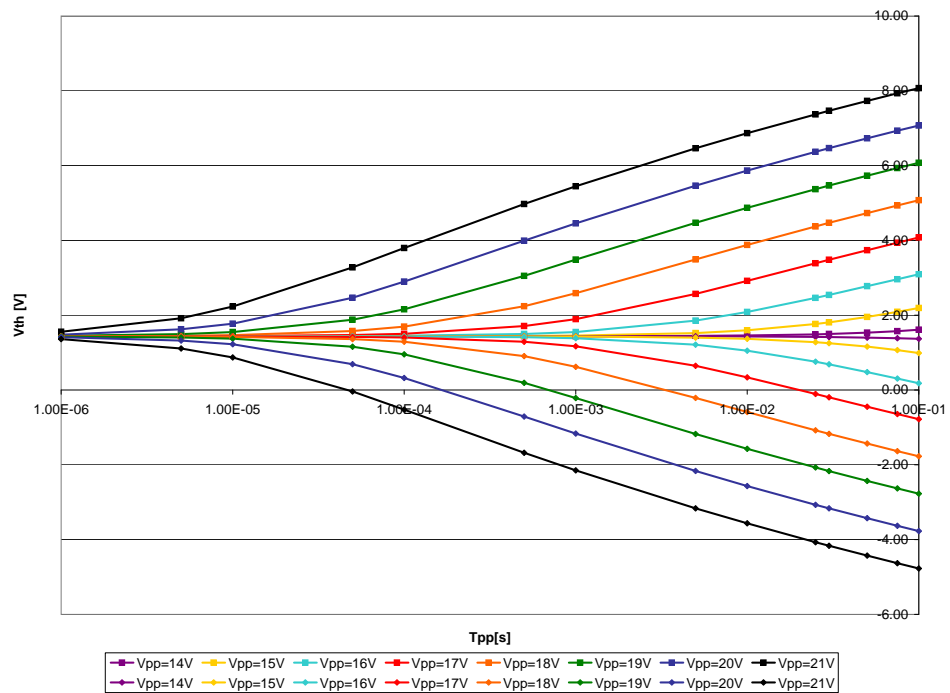


Abbildung 4.14: Vergleich der Messwerte mit dem mathematischen Modell (V_{pp} konstant)

4.5.3 Endurance

Bei der Endurance-Messung wurde die Zelle 10000 mal abwechselnd programmiert und gelöscht und die damit verbundene Schwellspannungsverschiebung gemessen.

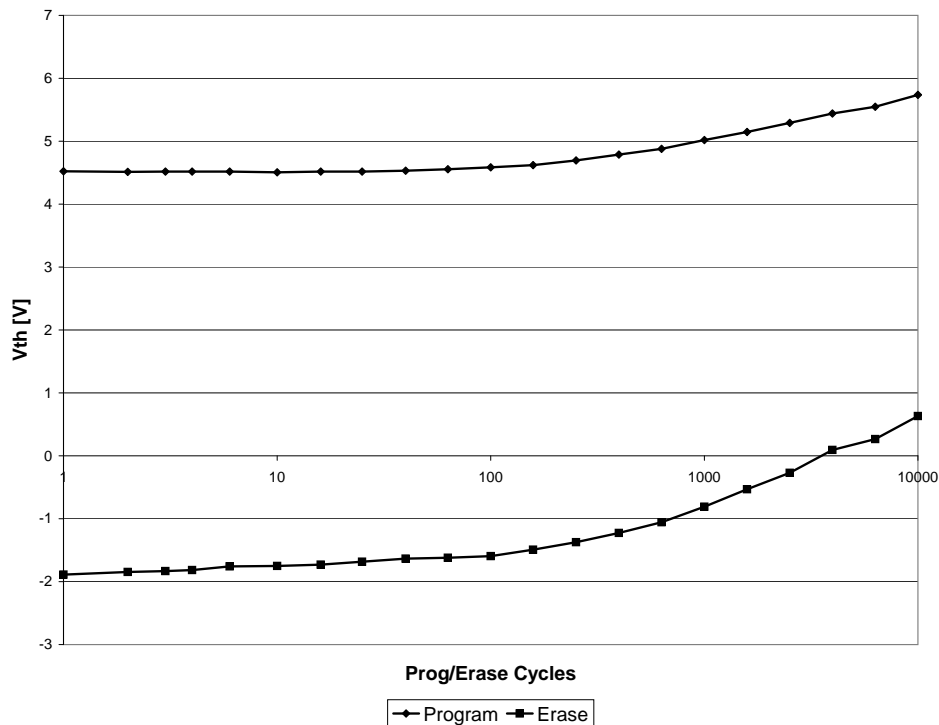


Abbildung 4.15: Endurance-Messung

Man erkennt den Unterschied zwischen Abbildung 4.15 und der in Abbildung 3.11 gezeigten Endurance-Kurve einer FLOTOX-Zelle. Während dort das Spannungsfenster zwischen programmiertem und gelöschtem Zustand mit zunehmender Anzahl an Zyklen immer kleiner wird und sich dann vollkommen schließt, driften beim SPT6-EEPROM-Transistor beide Kennlinien zunehmend in Richtung positiver Schwellspannung.

Dieser markante Unterschied lässt sich durch den im ganzen Gatebereich gleichmäßig durchgeführten Tunnelvorgang begründen. [14] Bei FLOTOX-Zellen erfolgt das Tunneln nur in einem kleinen Oxidfenster über dem Draingebiet, wodurch das Oxid wesentlich stärker gestresst wird. In der Nähe des Drains entstehen dadurch zusätzliche Störstellen, in denen Elektronen eingefangen werden, welche wiederum den Tunnelvorgang behindern. Das Spannungsfenster wird dadurch immer kleiner.

Beim SPT6-EEPROM-Transistor ist der Oxidstress aufgrund der großen Tunnelfläche wesentlich geringer, wodurch das Spannungsfenster nur geringfügig kleiner wird. Da die im Oxid eingefangenen Elektronen hier aber über der ganzen Gate-Bereich verteilt sind, wirken diese wie Ladungsträger am Floating-Gate und verursachen einen ständigen Anstieg der Schwellspannung.

Abbildung 4.16 zeigt die Trichterkerve vor und nach der Endurance-Messung. Auch hier erkennt man den Anstieg der Schwellspannung durch im Gateoxid eingefangene Elektronen.

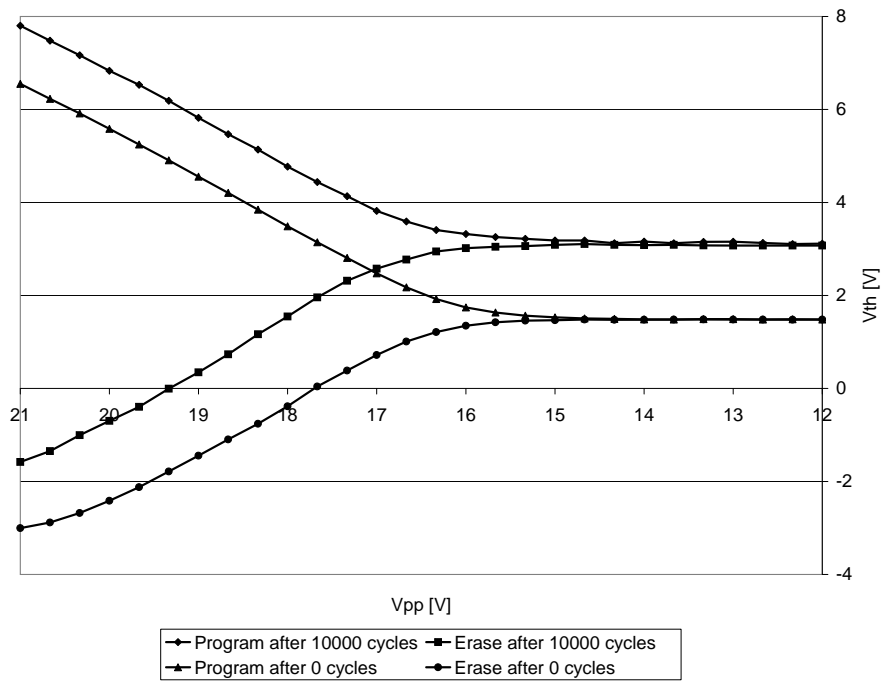


Abbildung 4.16: Trichterkerve vor und nach der Endurance-Messung

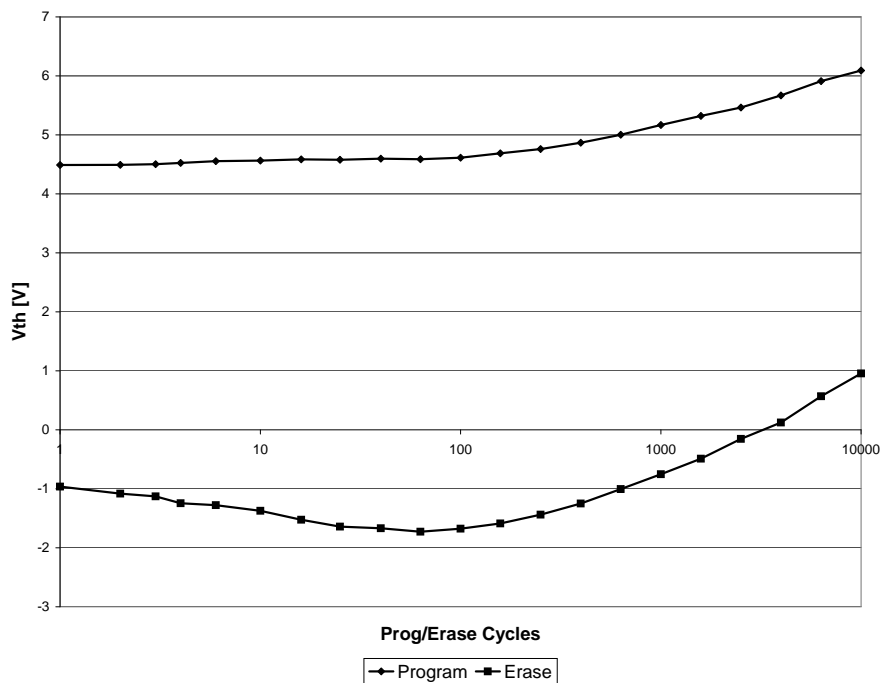


Abbildung 4.17: Endurance-Messung an zuvor komplett unbenutzter Zelle

Bei der in Abbildung 4.15 gezeigten Endurance-Kurve wurde zuvor schon eine Trichterkurve aufgenommen. Nimmt man hingegen eine komplett unbenutzte Zelle, erkennt man, dass die Schwellspannung im gelöschten Zustand bei den ersten Programmier-/Löschzyklen abnimmt und erst dann zunimmt. Grund dafür sind im Oxid eingefangene Löcher (Abbildung 4.17). Erst nach einigen Zyklen überwiegt die Anzahl der eingefangenen Elektronen. Zur exakten Messung der Endurance-Kennlinie darf an der Zelle zuvor also noch kein Programmier- bzw. Löschvorgang durchgeführt worden sein.

Setzt man die Entscheiderschwelle der Auswerteschaltung auf beispielsweise 2 V, so wird der Abstand der gemessenen Schwellspannung zur Entscheiderschwelle bei der gelöschten Zelle immer geringer. Nach 10000 Zyklen beträgt die Differenz nur mehr 1 V. Führt man weitere Programmier-/Löschzyklen durch, kann die Zelle nicht mehr richtig ausgelesen werden und wird damit unbrauchbar. Um in Produkten während der gesamten Lebensdauer zuverlässiges Auslesen garantieren zu können, ist die maximale Anzahl an Programmier-/Löschzyklen beim SPT6-EEPROM-Transistor auf 1000 begrenzt.

4.5.4 Data Retention

Bei dieser Messung wird wie in Kapitel 3.4.1 beschrieben, der Ladungsverlust über die Zeit ermittelt. Zur Beschleunigung des Vorgangs wird das Bauteil bei hoher Temperatur in einem Ofen gelagert und die Änderung der Schwellspannung gemessen.

Das Anforderungsprofil für automotive Applikationen ist laut Quality Requirement Profile (*QRP*) definiert ($E_A = 1,4 \text{ eV}$):

T_1 [°C]	T_2 [°C]	T_1 [K]	T_2 [K]	R_2/R_1	Zeit [h]	Alterung [h]
150	150	423,16	423,16	1	10000	10000
150	175	423,16	448,16	8,5	1000	8512
150	200	423,16	473,16	57,8	100	5778
150	158,8	423,16	431,97	2,2	11100	24290
150	250	423,16	523,16	1537,6	15,8	24290

Tabelle 4.1: Automotives Anforderungsprofil

Mit Hilfe der Arrhenius-Gleichung (Gleichung 3.5) kann man die einzelnen Beschleunigungsfaktoren und die daraus resultierende Alterung berechnen. In Summe ergibt das QRP einen Beschleunigungsfaktor von 2,2. Bezogen auf eine Bake-Dauer von 11100 Stunden ergibt das eine äquivalente Temperatur von 158,8 °C. Umgerechnet auf eine Temperatur von 250 °C ergibt das wiederum eine Bakedauer von 15,8 Stunden.

Berechnungsbeispiel:

$$\frac{R_2}{R_1} = \exp \left\{ -\frac{E_A}{k} \left(\frac{1}{T_2} - \frac{1}{T_1} \right) \right\} = \exp \left\{ -\frac{1,4 \text{ eV} \cdot 1,602 \cdot 10^{-19} \text{ As}}{1,38 \cdot 10^{-23} \frac{\text{J}}{\text{K}}} \left(\frac{1}{448,16 \text{ K}} - \frac{1}{423,16 \text{ K}} \right) \right\} = 8,5 \quad (4.8)$$

Die Messergebnisse bezüglich Datenhaltung werden in Kapitel 6.3 zusammengefasst.

5 SPT6-EEPROM-Modul

Das SPT6-EEPROM-Modul wird zum Speichern von Konfigurationsdaten in automotiven Applikationen eingesetzt. Es wird als Embedded-EEPROM direkt am Chip integriert und kann 384-Bit speichern. Es muss mit mehreren Betriebs- und Referenzspannungen, sowie Biasströmen versorgt werden. Die digitalen Ansteuersignale werden im Digitalteil des jeweiligen ASICs erzeugt.

Der Speicher besteht aus 32 Zeilen zu je 12 Bit, also insgesamt 384 Bit. Die logische Organisation mit 16 Adressen zu je 24 Bit weicht vom physikalischen Aufbau ab (Abbildung 5.1). 6 Bit pro Adresse werden für die automatische Bitfehlererkennung und -Korrektur (*ECC, Error-Correcting Code*) benötigt, wodurch sich der verwendbare Speicherbereich auf 288 Bit verringert. Es können damit 2-Bit-Fehler erkannt und 1-Bit-Fehler korrigiert werden.

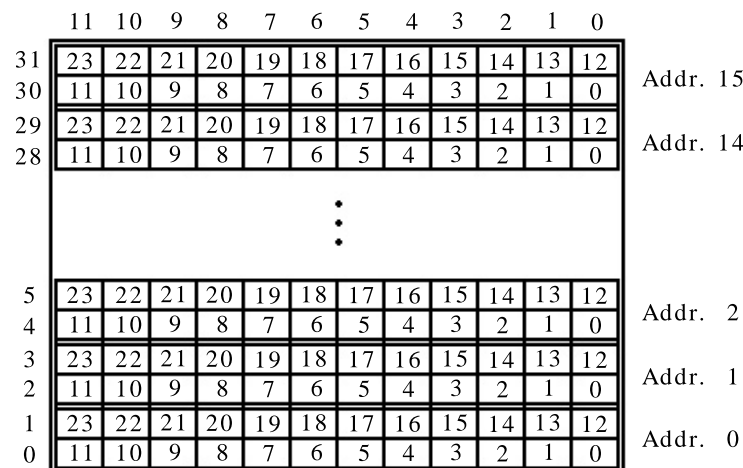


Abbildung 5.1: Speicherorganisation

5.1 Messsystem

Für die Messungen am SPT6-EEPROM-Modul musste ebenfalls ein geeignetes Messsystem entwickelt werden. Das Modul stand einerseits als Testchip im CLCC68-Gehäuse und andererseits als Embedded-EEPROM in einem ASIC zur Verfügung.

Im Unterschied zu den Messungen am Einzeltransistor sind die Signale des Moduls nicht frei zugänglich. Der Zugriff auf den Speicher und dessen Funktionen erfolgt über Special-Function-Registers (*SFRs*) im Digitalteil. Das Messen interner Signale ist nur mit Hilfe von eingebauten Multiplexern in speziellen Testmodes möglich.

Zum Betrieb des Testchips wurde eine 2-lagige Platine gefertigt. Die digitale Ansteuerung übernimmt ein FPGA (*Field Programmable Gate Array*) vom Typ Altera Cyclone I. Der Schaltplan, das Layout und der Bestückungsplan sind dieser Arbeit im Anhang beigefügt.

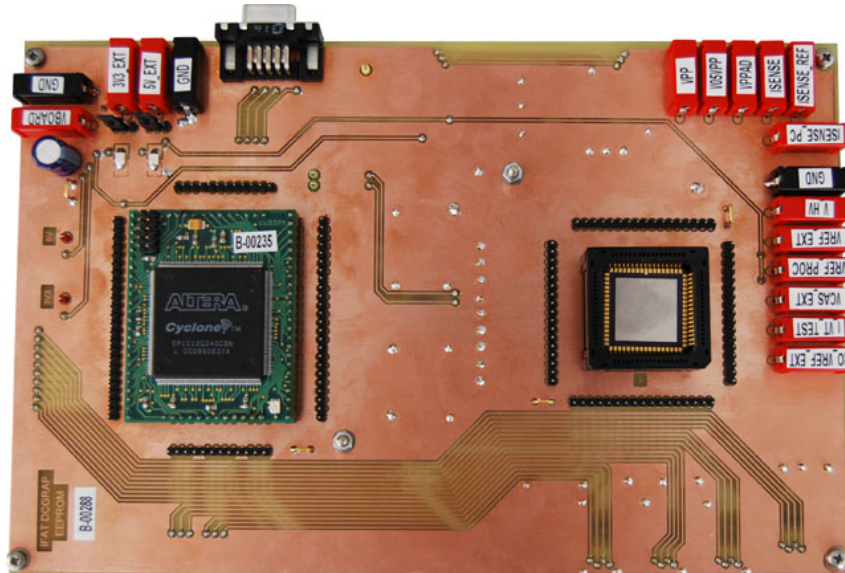


Abbildung 5.2: Oberseite

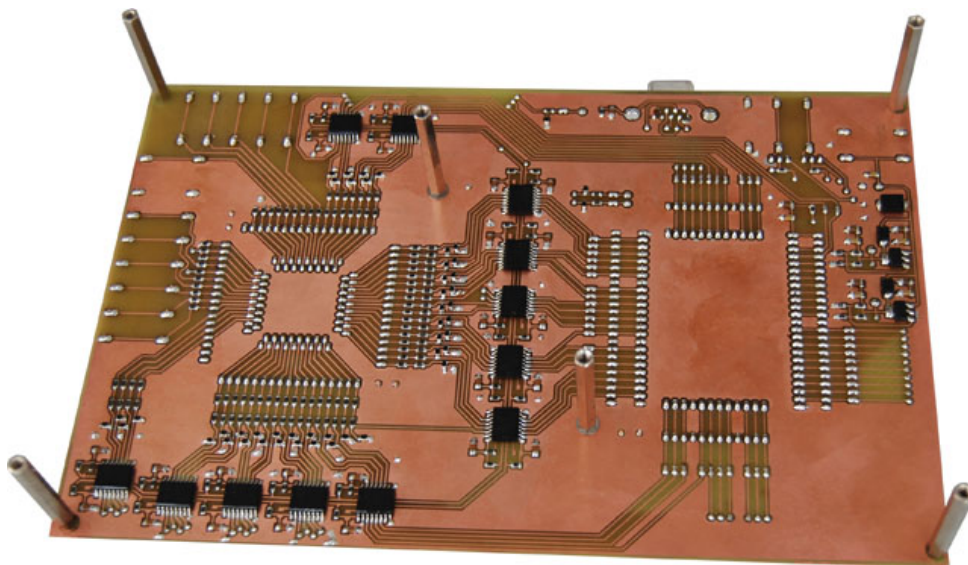


Abbildung 5.3: Unterseite

Der gesamte Messablauf wurde wieder in einem LabVIEW-Programm implementiert. Da für den FPGA bereits eine graphische Benutzeroberfläche (*GUI, Graphical User Interface*) mit den wichtigsten Funktionen vorhanden war, wurden ein Softwaremodul implementiert, das eine TCP-Verbindung (*Transmission Control Protocol*) zwischen den beiden Programmen erlaubt. Man kann somit über TCP sämtliche in

C++ geschriebenen GUI-Funktionen in LabVIEW aufrufen und muss diese nicht nochmals programmieren (Abbildung 5.4). Die Aufgabe von LabVIEW ist also die Automatisierung der Messung durch triggern der GUI-Funktionen und die Ansteuerung der verwendeten Messgeräte über GPIB (Abbildung 5.5).

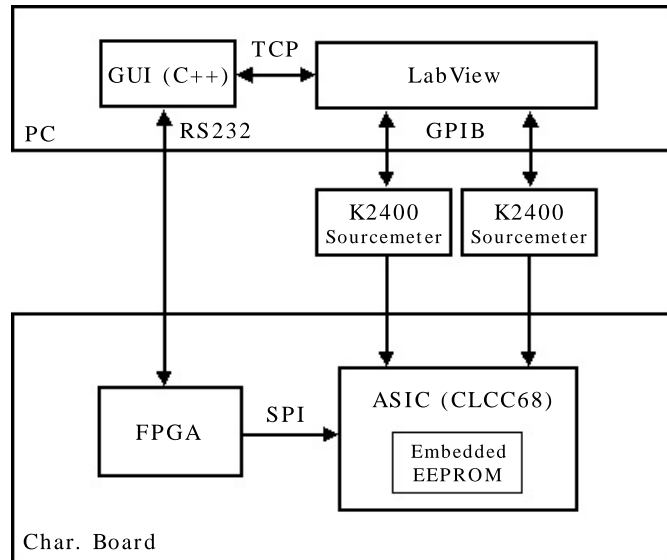


Abbildung 5.4: Messaufbau

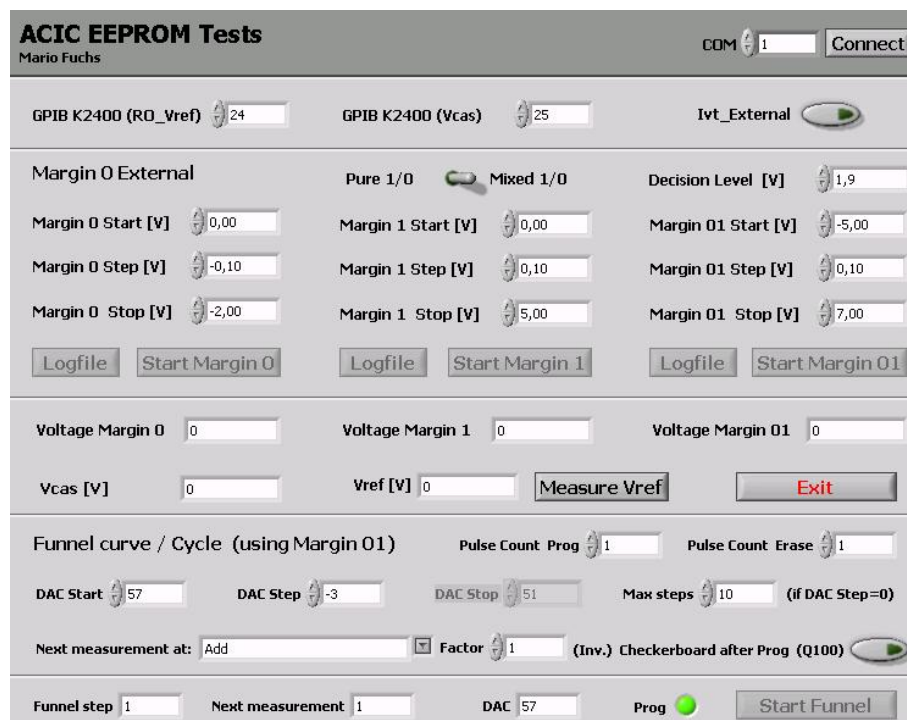


Abbildung 5.5: Screenshot der LabVIEW-Oberfläche

Ein Programmiervorgang wird immer an allen Zellen der ausgewählten Adresse durchgeführt. Anschließend werden jene Zellen, die im Datenregister „0“ sind, gelöscht. Ein Schreibvorgang besteht daher immer aus der Kombination eines Programmier- und anschließenden Löschvorganges. Da eine Adresse laut Abbildung 5.1 physikalisch über 2 Zeilen verteilt ist, werden zuerst 2 Pulse zum Programmieren und anschließend 2 Pulse zum Löschen generiert.

Damit im matrixförmigen Aufbau des Zellenfeldes nur der gewünschte Transistor adressiert werden kann, besteht jede Speicherzelle aus einem SPT6-EEPROM-Transistor und einem zusätzlichen Auswahltransistor („Zwei-Transistor-Zelle“).

5.1.1 Programmieren

Abbildung 5.6 zeigt die im Zellenfeld notwendigen Spannungspegel, um den gekennzeichneten EEPROM-Transistor zu programmieren. An das Gate wird die Programmierspannung V_{pp} angelegt, an Bulk/Source 0 V. Da im Zellenfeld aber alle Gates einer Zeile über die Wortleitung verbunden sind und die Bulk/Source Anschlüsse einer Spalte über die Bitleitung, muss man darauf achten, dass benachbarte Zellen nicht ungewollt programmiert werden.

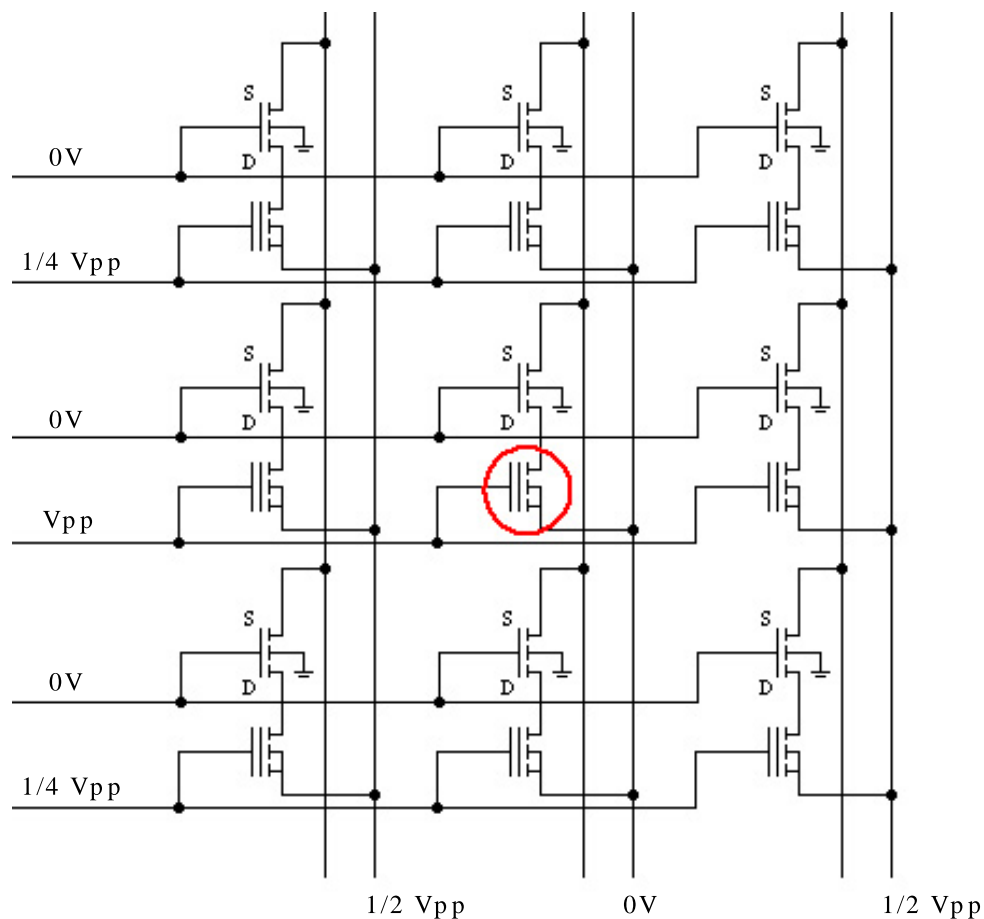


Abbildung 5.6: Programmieren einer Speicherzelle

Es werden daher alle Bitleitungen (Bulk/Source Anschlüsse) von Zellen - die nicht programmiert werden sollten - auf $V_{pp}/2$ gelegt, wodurch sich die Gate-Source-Spannung dieser Zellen der ausgewählten Zeile auf $V_{pp}/2$ reduziert und dadurch ein Programmiervorgang verhindert wird. Dieses Anlegen von $V_{pp}/2$ an Bulk/Source hat aber wiederum zu Folge, dass man die n-Epi-Spannung des Transistors beim Programmieren auf $V_{pp}/2$ legen muss, da sonst die Diode zwischen p-Wanne und n-Epi-Wanne zu leiten beginnt.

Um den Einfluss der Programmiervspannung auf die benachbarten Zeilen weiter zu reduzieren, legt man alle anderen Wortleitungen an die Spannung $V_{pp}/4$. Dadurch reduzieren sich die Gate-Source-Spannungen aller Zellen in Zeilen, die gerade nicht programmiert werden, auf jeweils $-V_{pp}/4$ bzw. $+V_{pp}/4$.

5.1.2 Löschen

Zum Löschen der in Abbildung 5.7 gekennzeichneten Zelle legt man die Spannung V_{pp} an Bulk/Source, während das Gate auf 0 V liegt. Wichtig ist, dass auch die n-Epi-Wanne auf V_{pp} gelegt wird, damit die Diode zwischen p-Wanne und n-Epi-Wanne gesperrt bleibt.

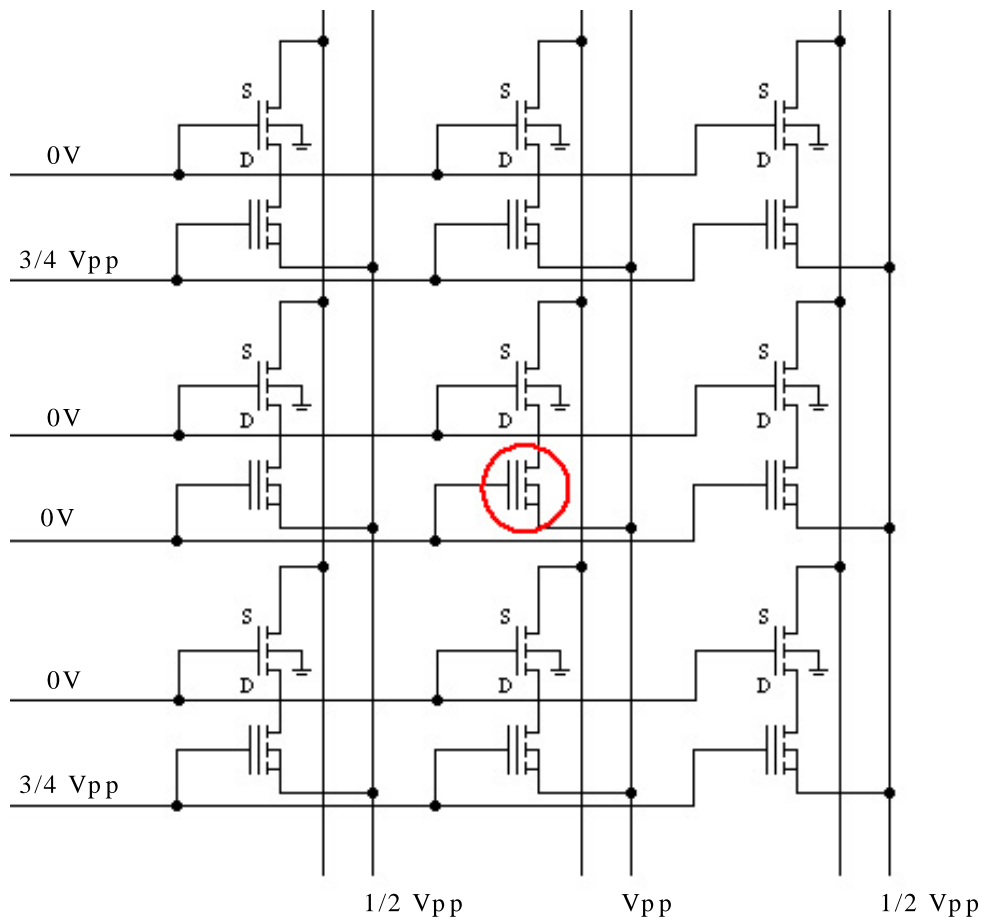


Abbildung 5.7: Löschen einer Speicherzelle

Da der Löschkpuls durch die Bitleitung auch an allen anderen Zellen der Spalte anliegt, muss man alle anderen Wortleitungen jeweils auf $3/4 V_{pp}$ legen, wodurch sich die Gate-Source-Spannungen auf $-V_{pp}/4$ reduzieren und damit diese Zellen nicht gelöscht werden. Die anderen Bitleitungen legt man an eine Spannung von $V_{pp}/2$, wodurch sich an allen anderen Zellen Gate-Source-Spannungen von $V_{pp}/4$ bzw. $-V_{pp}/2$ einstellen. Ziel ist es wieder den Einfluss des Löschkpulses auf die benachbarten Zellen zu reduzieren.

5.1.3 Lesen

Zum Auslesen der digitalen Information einer Speicherzelle misst man die Leitfähigkeit des Transistors, indem man eine bestimmte Referenzspannung an das Control-Gate anlegt und den Drainstrom I_d mit einem Referenzstrom vergleicht. Der Referenzstrom bestimmt die sogenannte Leitfähigkeitsentscheidungsschwelle. Diese liegt ca. mittig zwischen der Leitfähigkeit einer „0“ und der Leitfähigkeit einer „1“. Ist der Strom einer auszulesenden Zelle größer als der Referenzstrom, so müssen sich auf dessen Floating-Gate positive Ladungen befinden, ist er kleiner, so lässt das auf negative Ladungen zurückschließen. Durch den Vergleich der beiden Ströme lässt sich also der logische Zustand der Zelle bestimmen. Dies erfolgt im sogenannten Sense-Amplifier mit Hilfe eines Komparators.

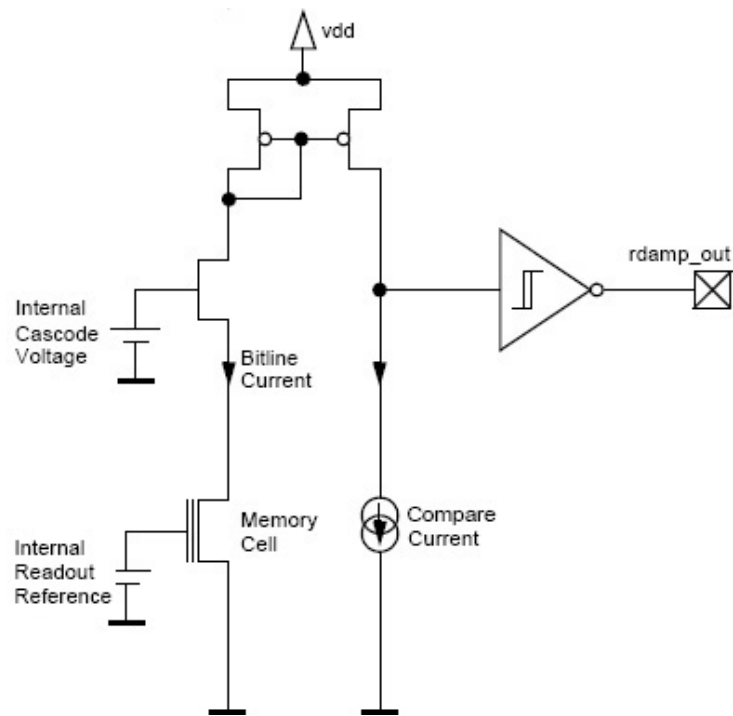


Abbildung 5.8: Auswerteschaltung

Abbildung 5.8 zeigt die vereinfachte Auswerteschaltung. Der Strom durch die Speicherzelle wird mit Hilfe eines Stromspiegels 1:1 gespiegelt und anschließend mit dem Referenzstrom verglichen. Zusätzlich wird mit Hilfe eines Kaskodentransistors die Drain-Kapazität des EEPROM-Transistors verringert, wodurch die Schaltgeschwindigkeit erhöht wird.

Abbildung 5.9 zeigt die zum Lesen benötigten Spannungspegel im Zellenfeld. Mit Hilfe der Auswahltransistoren werden alle Zellen der gewünschten Zeile aktiviert, d.h. die Drain-Anschlüsse der EEPROM-Transistoren werden zum Stromspiegel durchgeschaltet. Es fließt dadurch - je nach Programmierzustand der Zelle - ein Strom über die Bitleitung. Mit Hilfe eines Multiplexers wird eine der 12 Bitleitungen mit der in Abbildung 5.8 gezeigten Auswerteschaltung verbunden und die Zelle damit gelesen.

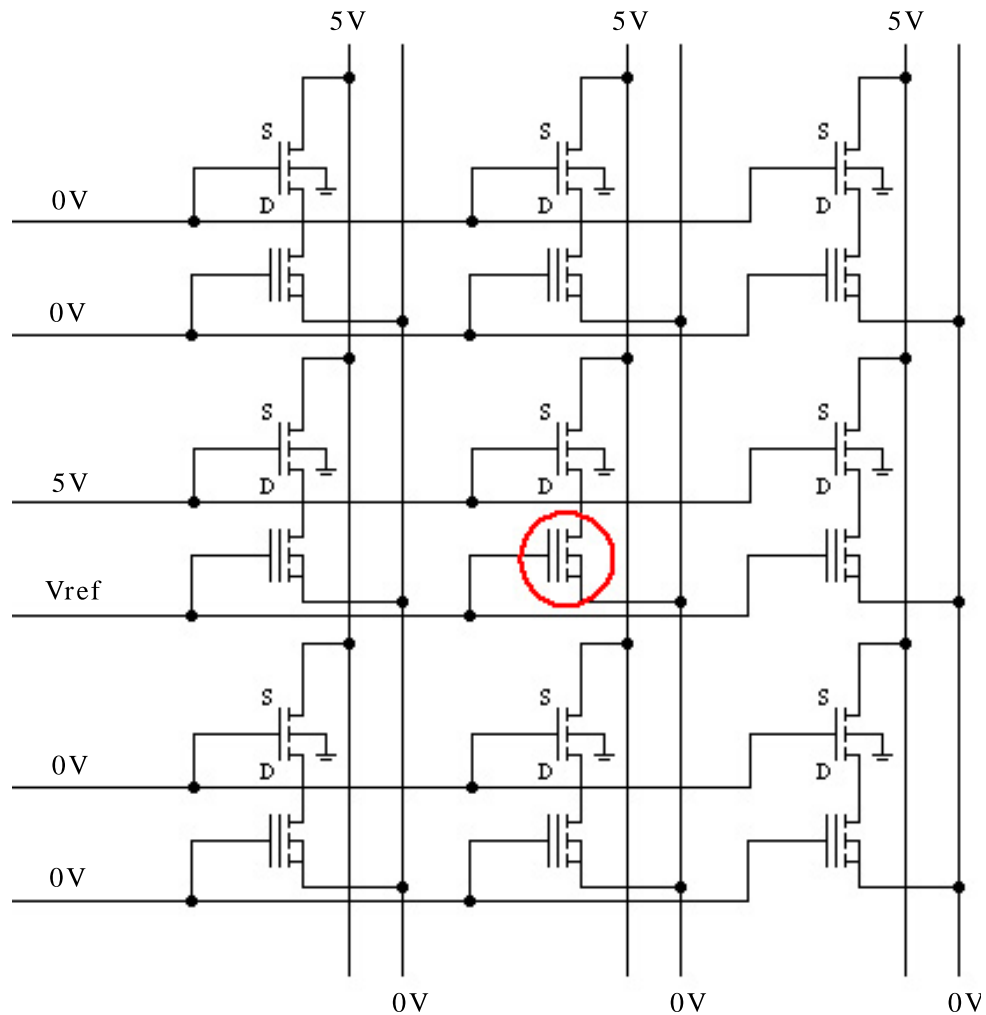


Abbildung 5.9: Lesen einer Speicherzelle

5.1.4 Margin-Tests

Beim Auslesen des Speicherinhaltes über die SFRs erhält man nur die logische Information der Zellen, nicht jedoch den genauen Programmierzustand. Das direkte Messen der Schwellspannung wie beim Einzeltransistor ist im Modul nicht möglich. Trotzdem ist diese Information von großem Interesse, da der Abstand zur Entscheiderschwelle immer groß genug sein muss, um fehlerhafte Bits zu vermeiden. Beim sogenannten Margin-Test variiert man daher die Referenzspannung bzw. den Referenzstrom so lange, bis die Zelle kippt. Man verändert also die normalerweise konstante Entscheiderschwelle und kann so den Programmierzustand der Zelle auch im Modul bestimmen (Abbildung 5.10).

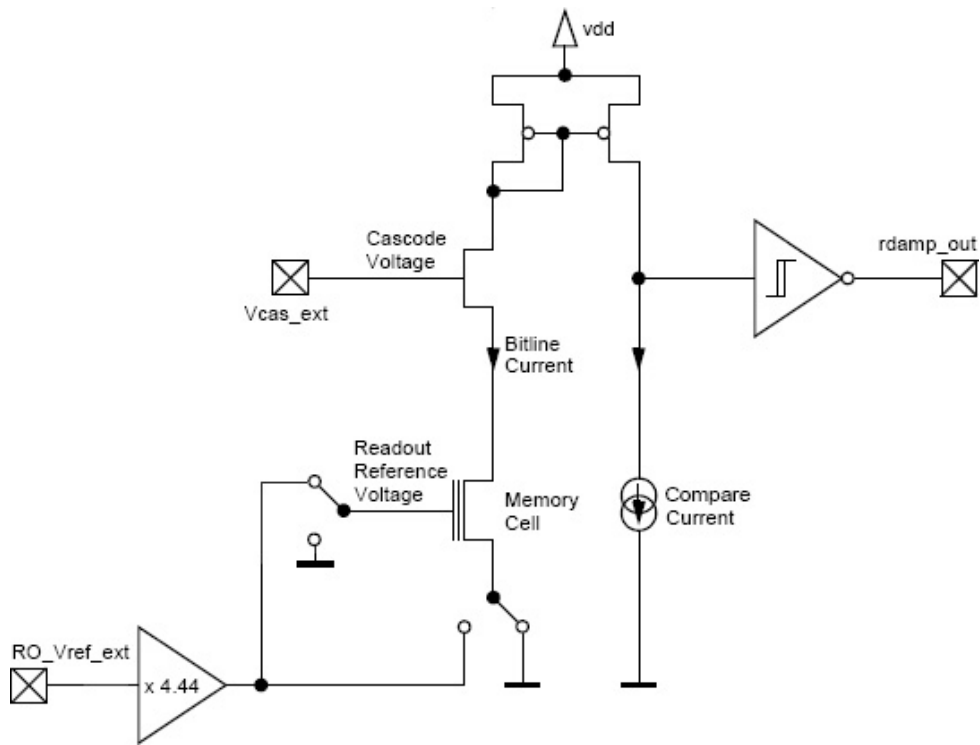


Abbildung 5.10: Margin-Test mit externer Referenz- und Kaskodenspannung

In Abbildung 5.10 ist der Margin-Test mit externer Referenz- und Kaskodenspannung vereinfacht dargestellt. Mit Hilfe spezieller Testmodes ist es möglich, die Spannungen mittels Sourcemeter von außen vorzugeben. Je nach Programmierzustand der Zelle kann man eine positive oder negative Gate-Source-Spannung einspeisen, wobei bei der Referenzspannung noch ein Verstärker mit Verstärkungsfaktor 4,44 dazwischengeschaltet ist.

5.2 Typische Messergebnisse

Neben den schon beim Einzeltransistor vorgestellten typischen Messkurven kann man beim Modul zusätzliche Messungen durchführen, welche das gesamte Zellenfeld betreffen.

5.2.1 Checkerboard

Anhand des in Kapitel 5.1.4 vorgestellten Margin-Tests kann man die Schwellspannungen der einzelnen Transistoren im Zellenfeld auslesen. Bei der in Abbildung 5.11 dargestellten Messung wurde zuvor beispielsweise ein Schachbrettmuster aus Nullen und Einsen (*Checkerboard*) im EEPROM-Modul abgespeichert. Bei den programmierten Zellen liegt die gemessene Schwellspannung bei ca. 4,5 V und bei den gelöschten Zellen bei ca. -1 V.

Mit Hilfe dieses Tests kann man z.B. gegenseitige Beeinflussungen benachbarter Zellen ausfindig machen. Beim SPT6-EEPROM-Modul wurden diesbezüglich keine Probleme festgestellt.

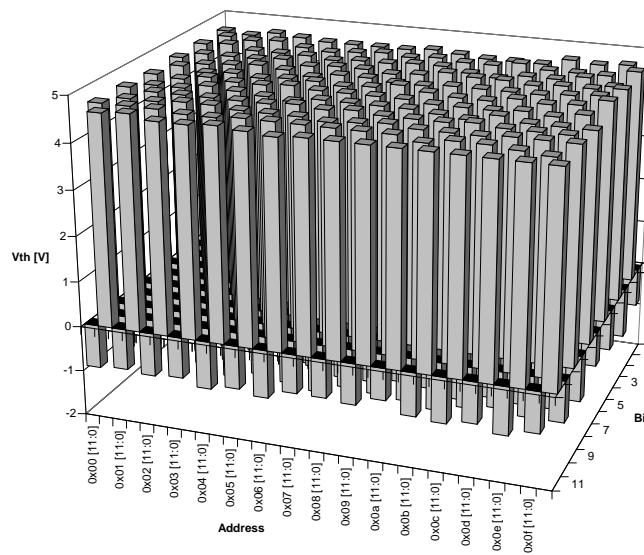


Abbildung 5.11: Zellenfeld mit programmiertem Schachbrettmuster (Checkerboard)

5.2.2 Variation der Programmierpulsamplitude

In Abbildung 5.12 wurden die einzelnen Adressen des Speichers mit jeweils abnehmender Programmierpulsamplitude programmiert. Man erkennt an dieser Messung, dass eine Adresse physikalisch über 2 Zeilen verteilt ist.

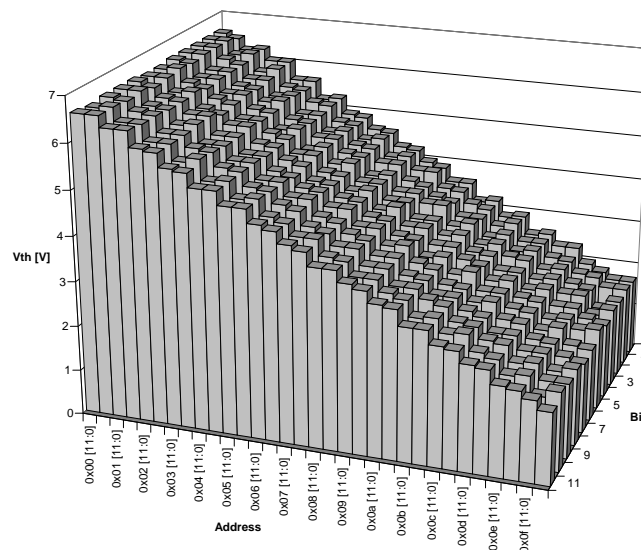


Abbildung 5.12: Zellenfeld mit variiertem Programmierpuls

5.2.3 Dauer-Lesen

Rein theoretisch sollte der Lesevorgang aufgrund der geringen Spannungen keinerlei Einfluss auf den Programmierzustand der Speicherzelle haben. Um dies zu beweisen, wurde eine Zeile des Speichermoduls im Zeitraum von ca. 1 Monat (755 Stunden) insgesamt etwa 4,5 Milliarden mal ausgelesen, das entspricht ca. 6 Millionen Lesezugriffen pro Stunde. Zusätzlich wurde der gesamte Speicherchip auf 150 °C erhitzt. Abbildung 5.13 zeigt den Vergleich der kontinuierlich gelesenen Zellen mit ungelesenen Zellen. Es ist wie erwartet kein markanter Einfluss zu erkennen. Die gemessene Drift ist durch die hohe Temperatur und damit verbundenem Ladungsverlust zu erklären, der auch ohne Lesezugriff erfolgen würde.

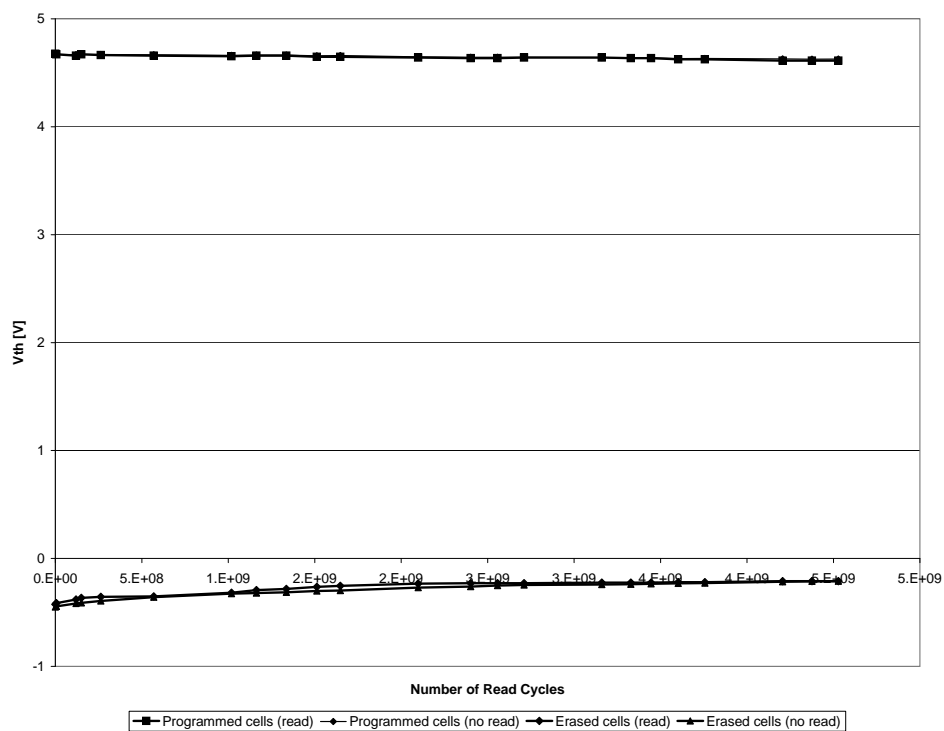


Abbildung 5.13: Vergleich kontinuierlich gelesener Zellen mit ungelesenen Zellen

Um den Unterschied zwischen kontinuierlich gelesener Zellen und ungelesenen Zellen besser erkennen zu können, wurde in Abbildung 5.14 nochmals der Verlauf der Schwellspannung im programmierten Zustand und in Abbildung 5.15 der Verlauf der Schwellspannung im gelöschten Zustand getrennt dargestellt.

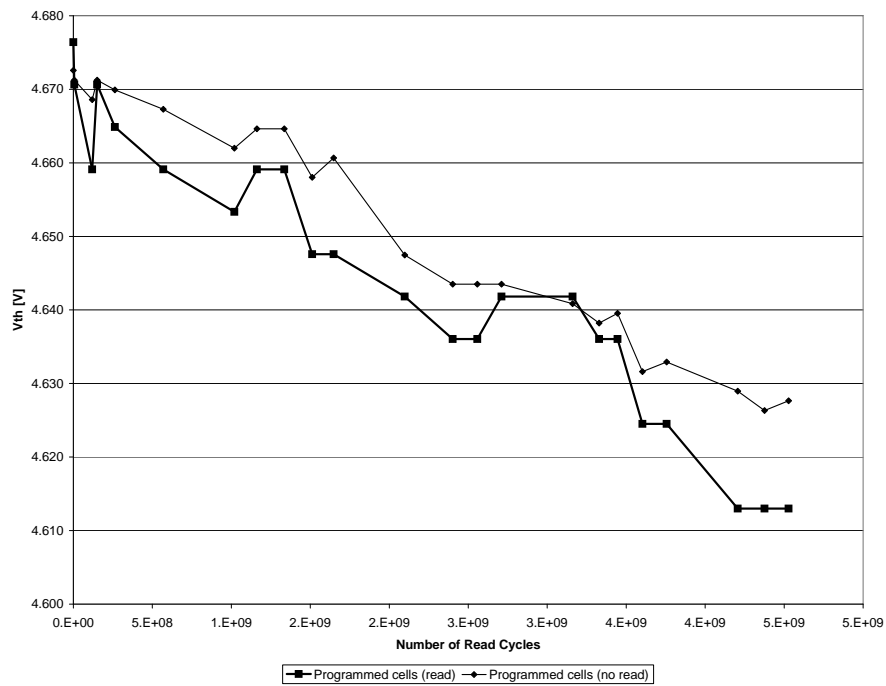


Abbildung 5.14: Vergleich von kontinuierlich gelesenen Zellen mit ungelesenen Zellen (prog. Zustand)

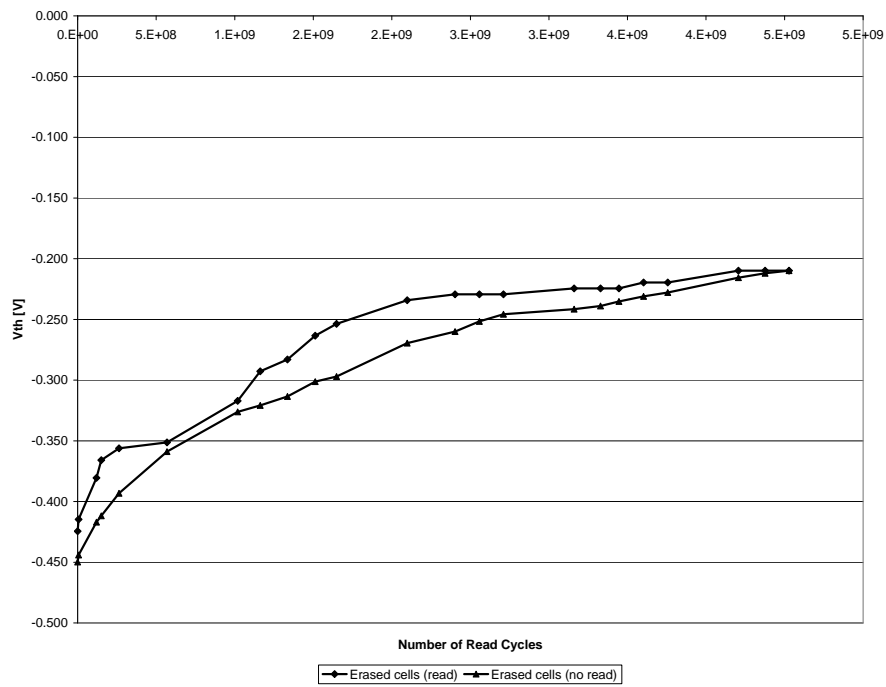


Abbildung 5.15: Vergleich von kontinuierlich gelesenen Zellen mit ungelesenen Zellen (gelöschter Zustand)

6 Programmier-/Löschpuls Untersuchungen

In diesem Kapitel werden speziell die Messungen bezüglich des Einflusses der Programmier- und Löschpulsparameter auf die Datenhaltungssicherheit zusammengefasst.

Das SPT6-EEPROM-Modul verfügt über einen integrierten Programmierpulsgenerator. Mittels SFRs können die Pulsamplitude V_{pp} , die Anstiegszeit T_r , die Pulsdauer T_{pp} und die Pulsanzahl eingestellt werden. Bei den nachfolgenden Messungen werden die Auswirkungen dieser Parameter auf die Datenhaltungssicherheit untersucht.

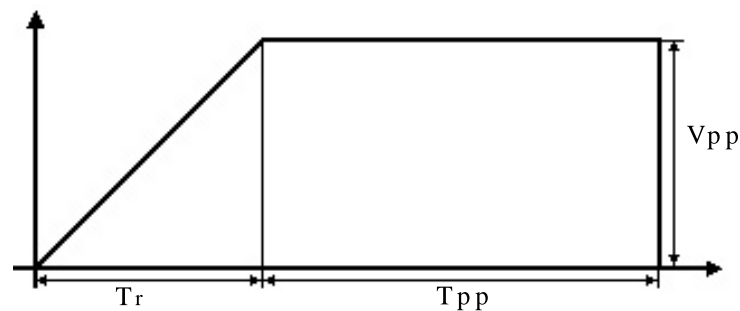


Abbildung 6.1: Programmierpuls

Die maximale Ausgangsspannung des Pulsgenerators liegt bei 21 V. Die Untersuchungen am Einzeltransistor wurden daher ebenfalls auf diese Spannung begrenzt.

6.1 Einfluss der n-Epi-Spannung

Wie schon erwähnt, wird während des Programmierens die n-Epi-Wanne auf $V_{pp}/2$ gelegt. In Gleichung 4.2 erkennt man, wie sich dadurch der Koppelfaktor k_{prog} erhöht. Abbildung 6.2 belegt diesen Einfluss deutlich. Wie erwartet hat die n-Epi-Spannung keinen Einfluss auf den Löschvorgang.

Das Anlegen von $V_{pp}/2$ während des Programmierens ergibt sich durch die matrixförmige Zusammenschaltung im Speichermodul und wurde in Kapitel 5.1.1 näher dargestellt. Beim Einzeltransistor wäre diese Spannung beim Programmieren grundsätzlich nicht erforderlich. Die Messung wird aber aus Gründen der Vergleichbarkeit mit den gleichen Programmierbedingungen wie im SPT6-EEPROM-Modul durchgeführt.

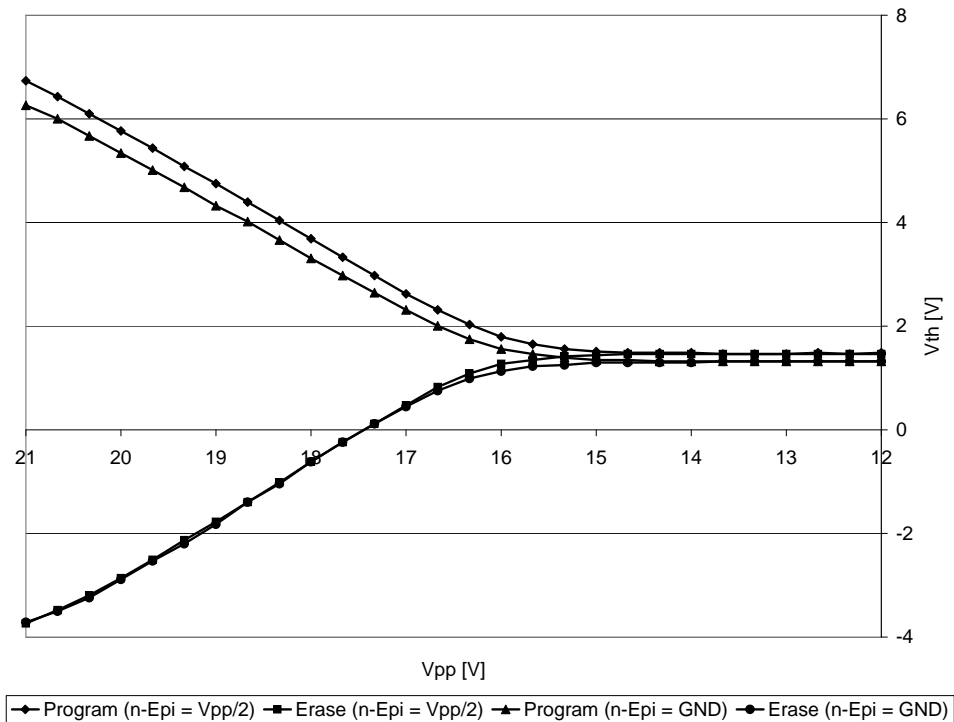


Abbildung 6.2: Trichterkurve bei verschiedenen n-Epi-Spannungen

6.2 Programmier/Lösch-Zyklusfestigkeit (Endurance)

Abbildung 6.3 zeigt die Untersuchung des Einflusses der Pulsamplitude auf die Programmier/Lösch-Zyklusfestigkeit. Es werden dabei mehrere EEPROM-Zellen mit jeweils unterschiedlicher Pulsamplitude V_{pp} programmiert. Um eine Vergleichbarkeit der einzelnen Ergebnisse zu erreichen, wird die Pulsdauer T_{pp} jeweils so angepasst, dass die Schwellenspannung der programmierten Zelle anfangs im Bereich von 4 V liegt. Die Endurance-Messung wird daher bei allen Zellen mit annähernd äquivalentem Programmierpuls durchgeführt.

Man erkennt anhand dieser Messkurven, dass mit zunehmender Pulsamplitude und gleichzeitig sinkender Pulsdauer das bereits erwähnte anfängliche Absinken der Schwellenspannung immer größer wird, während im programmierten Zustand kaum ein Unterschied zu erkennen ist. Nach ca. 100 Programmier-/Löschzyklen ist das Spannungsfenster zwischen programmierten und gelöschtem Zustand bei einer Pulsamplitude von 21 V wesentlich größer als beispielsweise bei 18,5 V. Der Abstand zur Entscheiderschwelle (liegt ca. bei 2 V) ist dadurch größer, was wiederum einen Vorteil in Bezug auf die Datenhaltungssicherheit darstellt. Weiters verringert sich die Pulsdauer bei Erhöhung der Pulsamplitude von 18,5 V auf 21 V um ca. den Faktor 30, wodurch sich die Testzeit verkürzt.

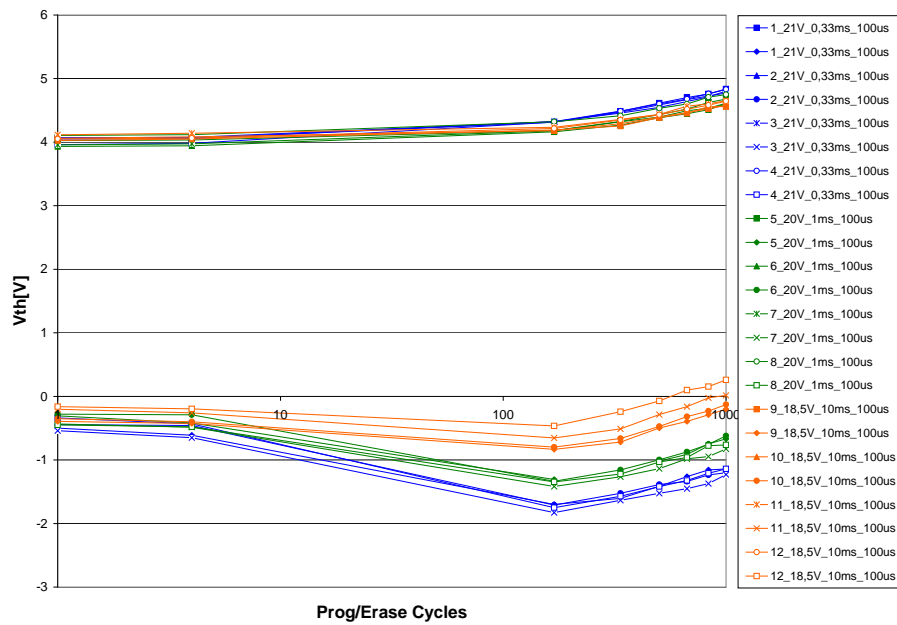


Abbildung 6.3: Einfluss der Pulsamplitude auf die Endurance-Kurve

Bei der nächsten Messung wird die Anstiegszeit T_r des Pulses variiert, die Amplitude und Pulsdauer bleiben jeweils gleich (Abbildung 6.4). Es ist hier kein markanter Einfluss der Anstiegszeit T_r auf die Programmier-/Lösch-Zyklenfestigkeit zu erkennen.

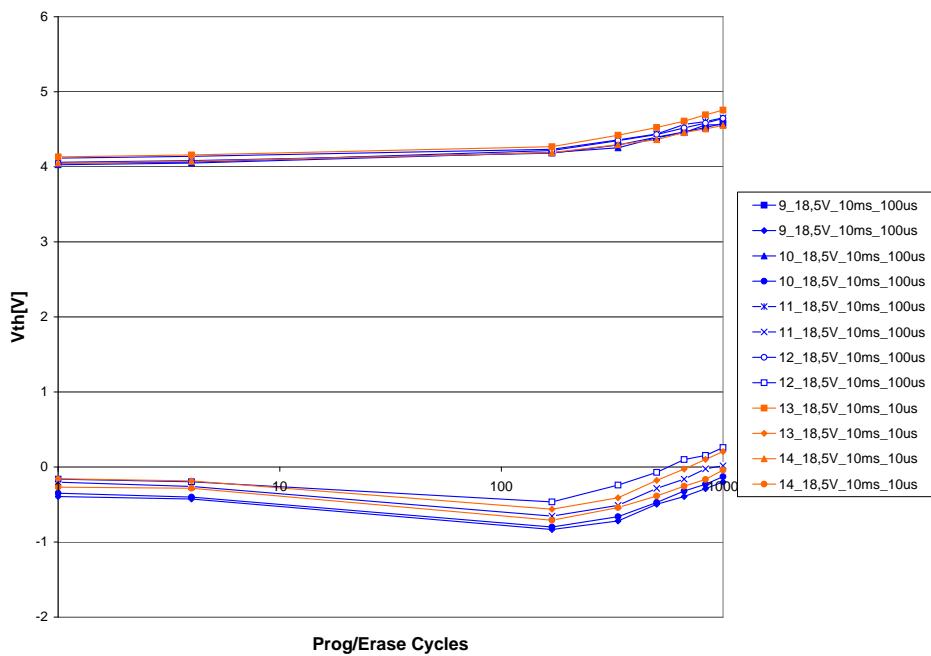


Abbildung 6.4: Einfluss der Pulsanstiegszeit auf die Endurance-Kurve

6.3 Datenhaltung (Data Retention)

Bei der in Abbildung 6.5 gezeigten Messung wird die Datenhaltung nach 100 bzw. 1000 Programmier-/Löschzyklen ermittelt. Zur Messvorbereitung wurde eine Endurance-Messung durchgeführt. Abhängig von der Zyklenanzahl stellt sich eine Schwellspannung ein, die bei der anschließenden Data Retention-Messung als Ausgangswert dient.

Deutlich zu sehen ist der große Ladungsverlust am Beginn der Messung. Dieser lässt sich durch das Löslösen der zuvor im Tunneloxid eingefangenen Elektronen bzw. Löcher erklären. Der Vorgang wird in der Literatur als *Detrapping* bezeichnet. Danach folgt der wesentlich langsamere, typische Ladungsverlust der Zelle.

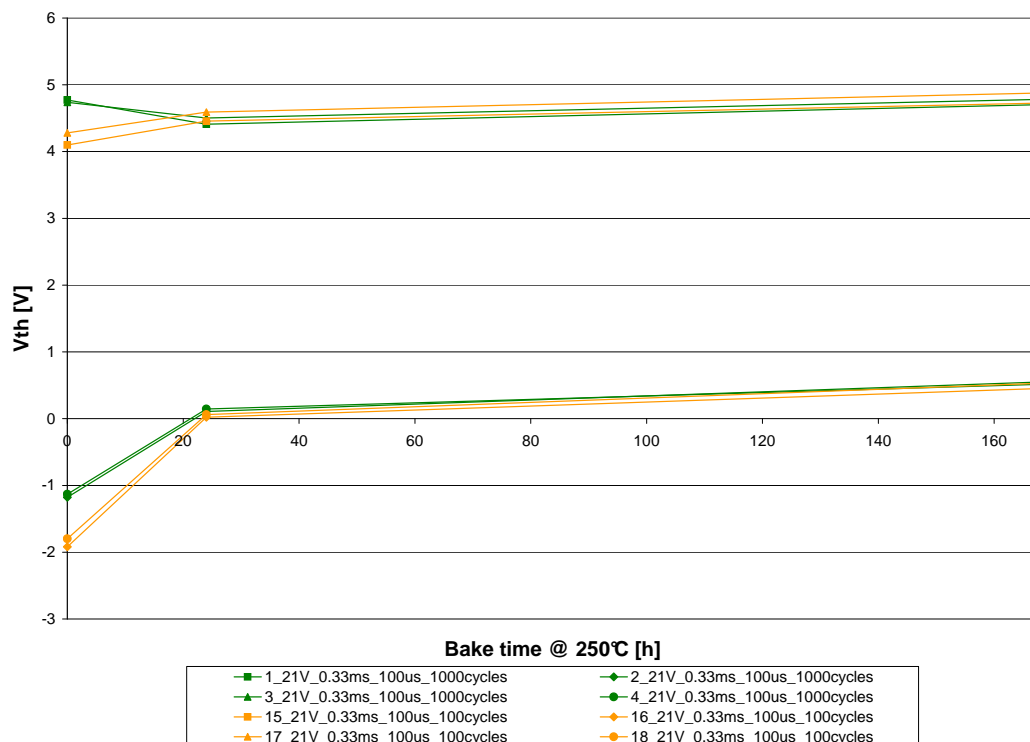


Abbildung 6.5: Einfluss der Anzahl der Programmier-/Löschzyklen auf die Data Retention

Normalerweise müsste die Ladung im programmierten Zustand abnehmen, d.h. die Schwellspannung müsste geringer werden. Die Messung zeigt aber eine Zunahme der Schwellspannung. Dieses Verhalten passt nicht mit dem in der Literatur beschriebenen Verhalten der EEPROM-Zellen überein. Es wird daher angenommen, dass dieser Einfluss ein messtechnisches Problem ist. Die verwendeten Zellen besitzen nämlich keinerlei Schutzmechanismen und sind daher sehr anfällig gegenüber äußeren Einflüssen.

Nachfolgende Untersuchung zeigt den Einfluss unterschiedlicher Programmierspannungen auf die Datenhaltung. Abbildung 6.6 zeigt den Kurvenverlauf nach einer Endurance-Kurve mit 100 Zyklen, Abbildung 6.7 nach 1000 Zyklen. Es ist kein besonderer Einfluss zu erkennen, wobei auch diese Ergebnisse aufgrund des Messproblems keine explizite Aussage zulassen.

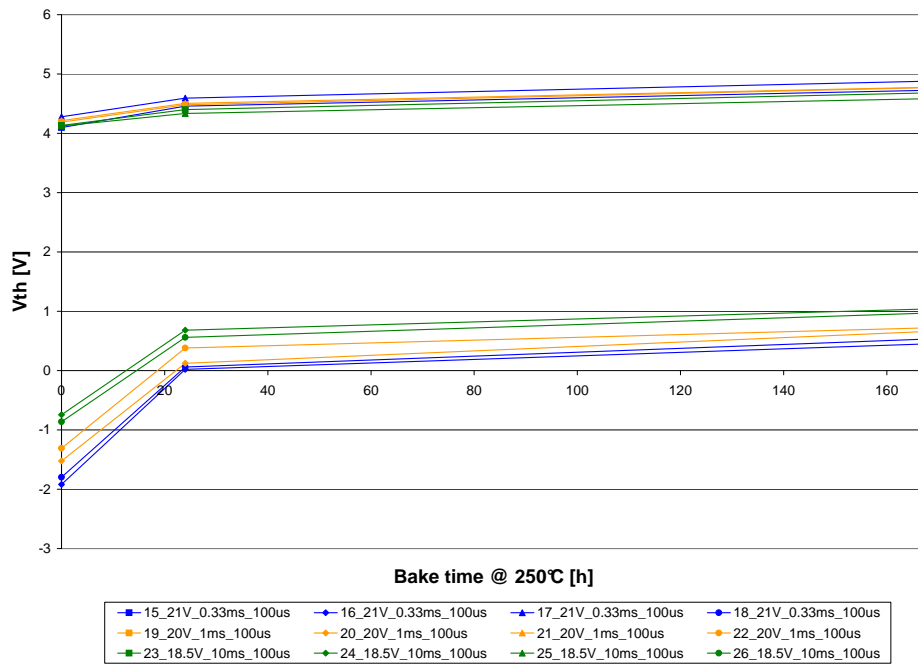


Abbildung 6.6: Einfluss der Pulsamplitude auf die Data Retention nach 100 Zyklen

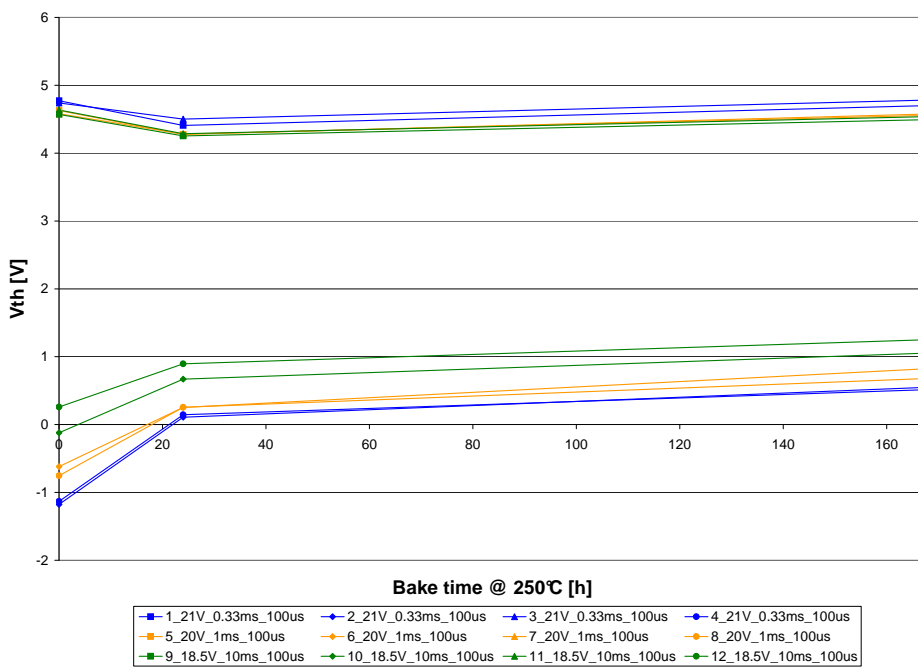


Abbildung 6.7: Einfluss der Pulsamplitude auf die Data Retention nach 1000 Zyklen

Bei der Messung in Abbildung 6.8 wurde der Transistor zuvor mit unterschiedlichen Anstiegszeiten 100 mal programmiert und gelöscht, anschließend wurde die dargestellte Data Retention Messung durchgeführt. Auch hier kann kein Einfluss der Anstiegszeit auf die Datenhaltungssicherheit erkannt werden.

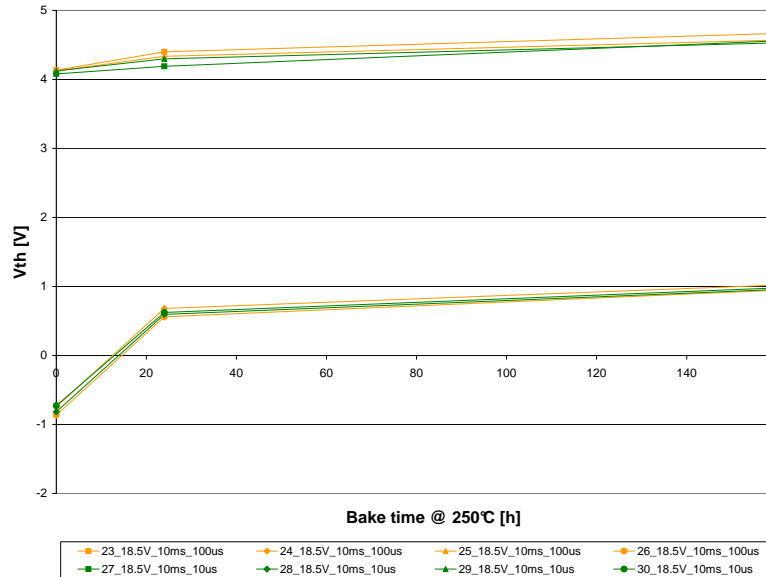


Abbildung 6.8: Einfluss der Anstiegszeit auf die Data Retention

In Abbildung 6.9 wird eine am SPT6-EEPROM-Modul durchgeführte Endurance-Messung mit dem Kurvenverlauf eines Einzeltransistors verglichen. Bei beiden Messungen wurde der Standard - Programmierpuls mit 19 V und 10 ms Pulsdauer verwendet. Die Kurvenform ist grundsätzlich gleich, wobei die Schwellspannung des gelöschten Zustandes beim Einzeltransistor etwas negativer ist.

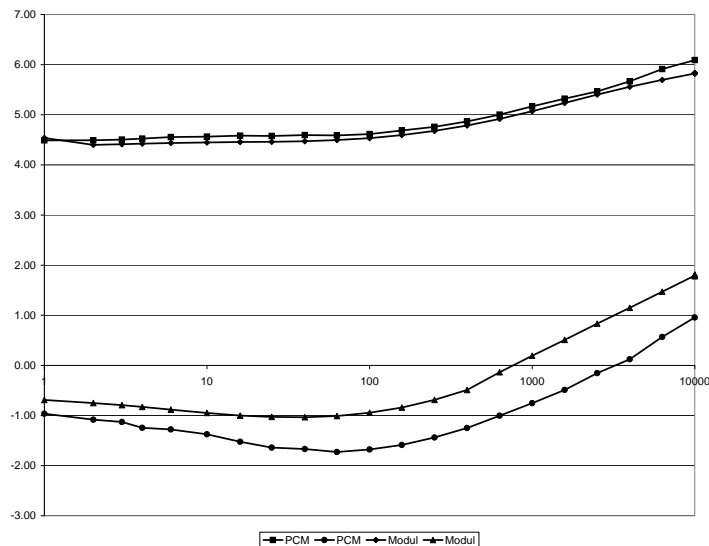


Abbildung 6.9: Vergleich der Endurance-Messung von Einzeltransistor und Modul

Ein weiterer wichtiger Einflussfaktor ist die Temperatur. Da das Speichermodul in automotiven Applikationen eingesetzt wird, ist der Temperatureinfluss von besonderer Bedeutung. Abbildung 6.10 zeigt den Temperatureinfluss auf Endurance-Kurven, welche mit dem Standardpuls gemessen wurden. Diese Kurve wurde aber nicht am Spitzenmessplatz gemessen, da Messungen über die Temperatur dort einen sehr hohen Aufwand darstellen. Die gezeigten Daten wurden bei der Qualifikation der Zelle am Tester gemessen und wurden nur zu Anschauungszwecken in diese Arbeit übernommen.

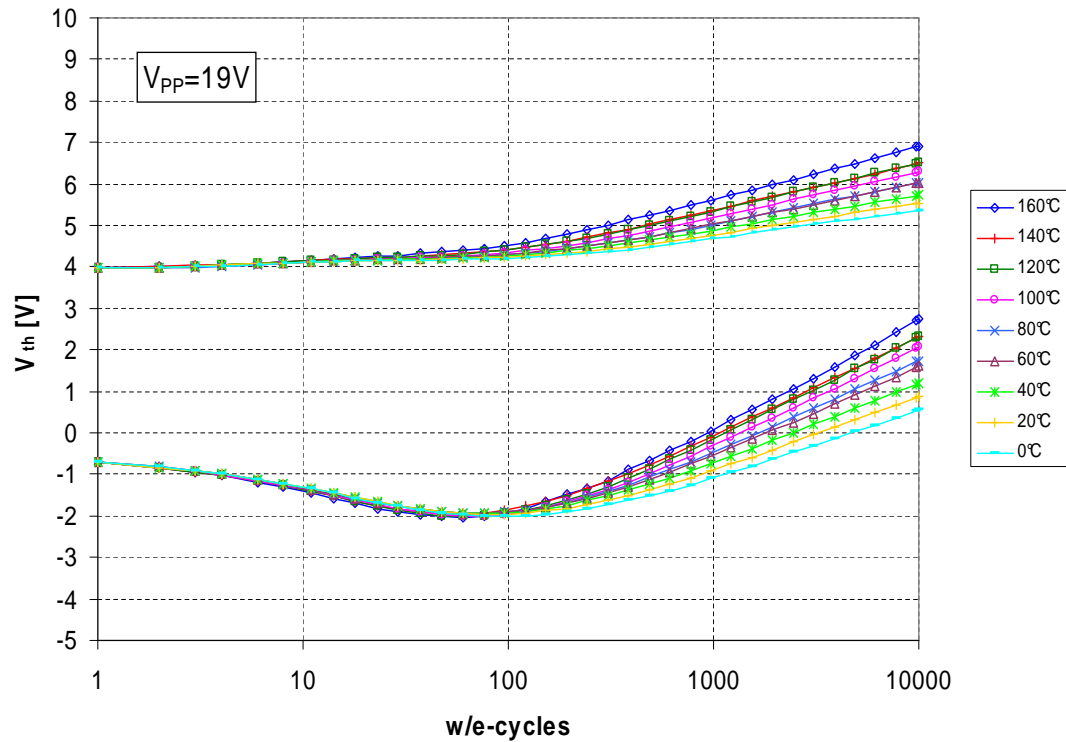


Abbildung 6.10: Einfluss der Temperatur auf die Endurance-Messung

7 Zusammenfassung / Ausblick

In der vorliegenden Arbeit wurden die Auswirkungen der Programmier- und Löschpulspulsparemeter auf die Datenhaltungssicherheit des SPT6-EEPROM-Moduls untersucht. Die Messungen wurden zum einen am fertigen Speichermodul und zum anderen am Einzeltransistor durchgeführt. Es wurde jeweils eine Messumgebung aufgebaut, die notwendigen Messroutinen wurden vollständig automatisiert. Weiters werden in dieser Arbeit die notwendigen Grundlagen bezüglich Speicherzellen und Datenhaltungssicherheit vermittelt. Es werden wichtige, typische Kennlinien dargestellt und ihre Verläufe erklärt.

Bei der Ermittlung der Data Retention gab es messtechnische Probleme, wodurch man anhand der Messergebnisse keine expliziten Aussagen bezüglich Datenhaltungssicherheit machen kann.

Mit Hilfe der Endurance-Messungen konnte gezeigt werden, dass der Standard-Programmierpuls mit 19 V Programmierpulsamplitude und 10 ms Pulsdauer bereits eine sehr gute Wahl in Bezug auf die Datenhaltungssicherheit darstellt. Ein Programmierpuls mit 21 V und 330 μ s kann als optimierter Programmierpuls vorgeschlagen werden. Der Vorteil liegt im größeren Abstand der Schwellspannung zur Entscheidungsschwelle im gelöschten Zustand. Weiters ist bei diesem Programmierpuls die Pulsdauer gegenüber dem 19 V - Puls ca. um den Faktor 30 kürzer. Dies bringt Vorteile in Bezug auf die Testzeit, welche sehr teuer ist. Es muss aber festgehalten werden, dass die in dieser Arbeit dargestellten Messungen immer nur an einigen, wenigen Einzelteilen durchgeführt worden sind. Bevor man also Änderungen an den Programmierpulsparemetern vornimmt, müssen unbedingt weitere Messungen an vielen Bauteilen durchgeführt werden, um eine statistische Auswertung zu ermöglichen.

Das SPT6-EEPROM-Modul ist zur Zeit bei 3 verschiedenen ASICs eingebaut, wobei bereits weitere Anwendungen geplant sind.

Abbildungsverzeichnis

2.1	Einteilung der Halbleiterspeicher	3
2.2	Selektieren der Speicherzelle mit der Adresse 22 in einem 32-Bit Speicherbaustein.	4
3.1	NMOS Transistor mit injizierter Ladung in der Gate-Isolation	5
3.2	Verschiebung der Schwellspannung V_{th}	5
3.3	a) Charge-Trapping-Prinzip und b) Floating-Gate-Prinzip	6
3.4	Übersicht über die Entwicklung verschiedener Floating-Gate-Speicherzellen	7
3.5	a) Programmieren und b) Löschen einer FLOTOX-Zelle [9]	8
3.6	a) Programmieren und b) Löschen einer FETMOS-Zelle [9]	8
3.7	Bänderdiagramm der MOS-Struktur im thermodynamischen Gleichgewicht	9
3.8	Bänderdiagramm beim Programmieren	10
3.9	Bänderdiagramm beim Löschen	10
3.10	Momentaufnahme der Wellenfunktion im Bereich einer Potentialbarriere	11
3.11	Schwellspannung in Abhängigkeit von der Anzahl der Umprogrammierungen (FLOTOX)	14
4.1	Schnittbild SPT6 [10]	15
4.2	Vereinfachter Aufbau des SPT6-EEPROM-Transistors	16
4.3	Kapazitives Ersatzschaltbild des SPT6-EEPROM-Transistors	17
4.4	Kapazitive Spannungsteilung beim Programmier- und Löschvorgang	18
4.5	Messung am Spitzenmessplatz	19
4.6	Am Wafer aufgesetzte Messnadeln	19
4.7	Blockschaltbild des verwendeten Messsystems	20
4.8	Screenshot der LabVIEW-Oberfläche	20
4.9	Verschiebung der Übertragungskennlinie $I_d=f(V_{gs})$	21
4.10	Verschiebung der Übertragungskennlinie $\sqrt{I_d}=f(V_{gs})$	21
4.11	Binäre Suche	22
4.12	Trichtercurve des SPT6-EEPROM-Transistors	23
4.13	Vergleich der Messwerte mit dem mathematischen Modell (T_{pp} konstant)	25
4.14	Vergleich der Messwerte mit dem mathematischen Modell (V_{pp} konstant)	25
4.15	Endurance-Messung	26
4.16	Trichtercurve vor und nach der Endurance-Messung	27
4.17	Endurance-Messung an zuvor komplett unbenutzter Zelle	27
5.1	Speicherorganisation	29
5.2	Oberseite	30
5.3	Unterseite	30

5.4	Messaufbau	31
5.5	Screenshot der LabVIEW-Oberfläche	31
5.6	Programmieren einer Speicherzelle	32
5.7	Löschen einer Speicherzelle	33
5.8	Auswerteschaltung	34
5.9	Lesen einer Speicherzelle	35
5.10	Margin-Test mit externer Referenz- und Kaskodenspannung	36
5.11	Zellenfeld mit programmiertem Schachbrettmuster (Checkerboard)	37
5.12	Zellenfeld mit variiertes Programmierspannung	37
5.13	Vergleich kontinuierlich gelesener Zellen mit ungelesenen Zellen	38
5.14	Vergleich von kontinuierlich gelesenen Zellen mit ungelesenen Zellen (prog. Zustand)	39
5.15	Vergleich von kontinuierlich gelesenen Zellen mit ungelesenen Zellen (gelöschter Zustand)	39
6.1	Programmierpuls	40
6.2	Trichterkurve bei verschiedenen n-Epi-Spannungen	41
6.3	Einfluss der Pulsamplitude auf die Endurance-Kurve	42
6.4	Einfluss der Pulsanstiegszeit auf die Endurance-Kurve	42
6.5	Einfluss der Anzahl der Programmier-/Löschzyklen auf die Data Retention	43
6.6	Einfluss der Pulsamplitude auf die Data Retention nach 100 Zyklen	44
6.7	Einfluss der Pulsamplitude auf die Data Retention nach 1000 Zyklen	44
6.8	Einfluss der Anstiegszeit auf die Data Retention	45
6.9	Vergleich der Endurance-Messung von Einzeltransistor und Modul	45
6.10	Einfluss der Temperatur auf die Endurance-Messung	46

Abkürzungsverzeichnis

ASIC	Application Specific Integrated Circuit
BCD	Bipolar,CMOS,DMOS
CG	Control-Gate
CHE	Channel Hot Electrons
CLCC	Ceramic Leadless Chip Carrier
CMOS	Complementary Metal Oxide Semiconductor
D	Drain
DMOS	Double-diffused Metal Oxide Semiconductor
DRAM	Dynamic Random Access Memory
ECC	Error-Correcting Code
EEPROM	Electrically Erasable Programmable Read Only Memory
EPROM	Erasable Programmable Read Only Memory
ETOX	Electron Tunneling OXide
FAMOS	Floating gate Avalanche injection Metal Oxide Semiconductor
FETMOS	Floating gate Electron Tunneling Metal Oxide Semiconductor
FG	Floating-Gate
FLOTOX	FLOating gate Thin OXide
FN	Fowler Nordheim
FPGA	Field Programmable Gate Array
FRAM	Ferroelectric Random Access Memory
G	Gate
GOX	GateOXid
GPIB	General Purpose Interface Bus
GUI	Graphical User Interface

H⁺	Wasserstoff Ion = Proton
HV	Hochvolt
K⁺	Kalium Ion
MIMIS	Metal Insulator Metal Insulator Semiconductor
MNOS	Metal Nitride Oxide Semiconductor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MRAM	Magnetoresistive Random Access Memory
MROM	Masken Read Only Memory
MV	Mittelvolt
Na⁺	Natrium Ion
NROM	Nitrided Read Only Memory
NV	Niedervolt
NVM	Non Volatile Memory
ONO	Oxid-Nitrid-Oxid
PC	Personal Computer
PCM	Process Control Monitor
PCRAM	Phase Change Random Access Memory
PROM	Programmable Read Only Memory
QRP	Quality Requirement Profile
RAM	Random Access Memory
ROM	Read Only Memory
S	Source
SAMOS	Stacked gate Avalanche injection Metal Oxide Semiconductor
SFR	Special-Function-Register
SIMOS	Stacked gate Injection Metal Oxide Semiconductor
SNOS	Silicon Nitride Oxide Semiconductor
SoC	System On a Chip
SONOS	Silicon Oxide Nitride Oxide Semiconductor
SPT	Smart Power Technologie

SRAM	Static Random Access Memory
TCP	Transmission Control Protocol
TOX	TunnelOXid
TPFG	Textured Poly Floating Gate
UV	UltraViolet

Symbole

A	...	Konstante
A_{TUN}	...	Tunnelfläche
α	...	Tunnelparameter
C_B	...	Kapazität zwischen Floating-Gate p-Well (Bulk)
C_{CG}	...	Kapazität zwischen Control-Gate und Floating-Gate
C_D	...	Kapazität zwischen Floating-Gate und Drain
C_{PAR}	...	Parasitäre Kapazität zwischen Floating-Gate und n-Epi-Well
C_S	...	Kapazität zwischen Floating-Gate und Source
C_T	...	$C_{CG} + C_S + C_B + C_D + C_{PAR}$
d_T	...	Dicke der Tunnelbarriere
$d_{T,eff}$...	Effektive Dicke der Tunnelbarriere
d_{TUN}	...	Dicke des Tunneloxides
E	...	Elektrische Feldstärke im Tunneloxid [V/m]
E_A	...	Aktivierungsenergie [eV]
E_c	...	Tunnelparameter
h	...	Plancksches Wirkungsquantum ($6,626 \cdot 10^{-34} Js$)
\hbar	...	$\hbar = h/2\pi$ ($1,055 \cdot 10^{-34} Js$)
I_d	...	Drainstrom
J	...	Stromdichte im Tunneloxid [A/m ²]
k	...	Boltzmann-Konstante ($1,38 \cdot 10^{-23} \frac{J}{K}$)
k_{erase}	...	Koppelfaktor beim Löschen
k_{prog}	...	Koppelfaktor beim Programmieren
m_e	...	Ruhemasse des Elektrons ($9,1096 \cdot 10^{-31} kg$)
m_e^*	...	Effektive Elektronenmasse in der Oxidschicht ($0,42 m_e$)
ϕ_b	...	Energiebarriere des Tunneloxides (3,2 eV zwischen Si und SiO ₂)
q	...	Elektrische Elementarladung ($1,602 \cdot 10^{-19} As$)
Q_{FG}	...	Ladung am Floating-Gate
R	...	Fehlerrate
$\frac{R_2}{R_1}$...	Beschleunigungsfaktor
T	...	Absolute Temperatur [K]
T_1	...	Ursprüngliche Temperatur [K]
T_2	...	Erhöhte Temperatur [K]
T_{pp}	...	Programmierpulsdauer
T_r	...	Signalanstiegszeit
V_B	...	Potential an der p-Well (Bulk)

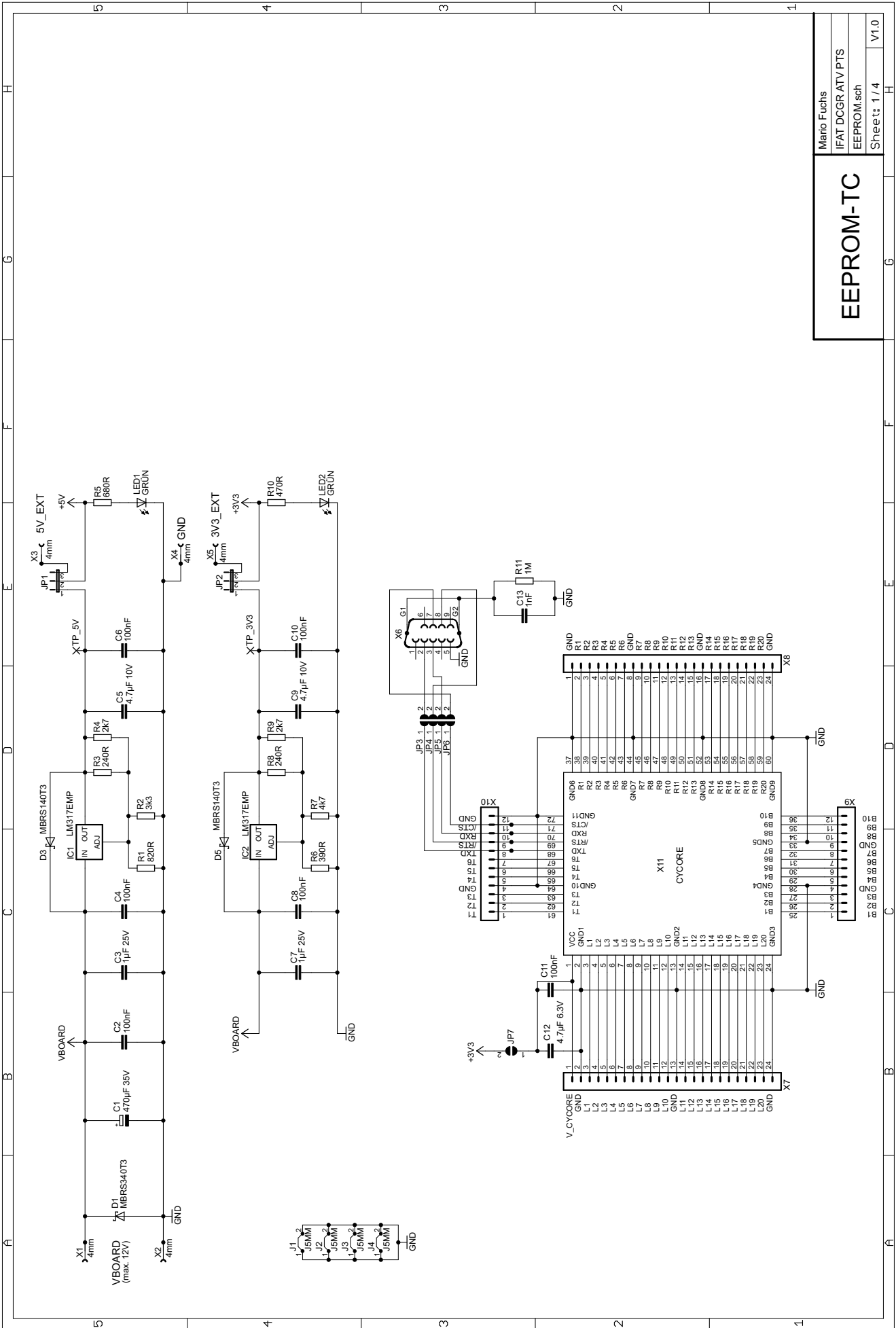
V_{CG}	...	Potential am Control-Gate
V_D	...	Potential am Drain
V_{EPI}	...	Potential an der n-Epi-Well
V_F	...	Potential am Floating-Gate
V_{gs}	...	Gate-Source-Spannung
V_{pp}	...	Programmierpulsamplitude
V_S	...	Potential am Source
V_{th}	...	Thresholdvoltage (Schwellspannung)
V_{th_0}	...	Intrinsische Schwellspannung des NMOS-Transistors
W_C	...	Energieniveau Leitungsband
W_F	...	Ferminiveau
W_V	...	Energieniveau Valenzband

Literaturverzeichnis

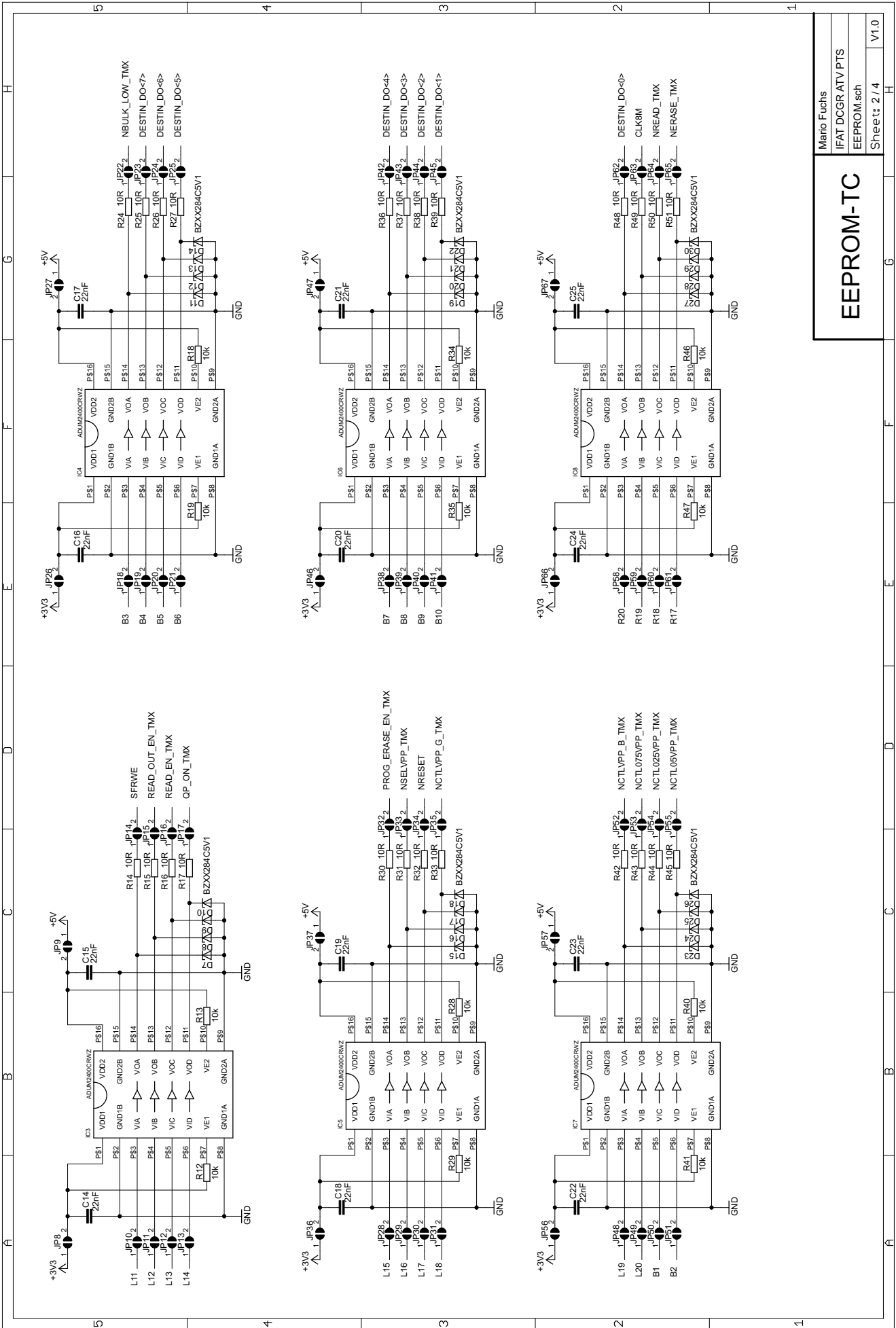
- [1] A. KOLODNY, S. NIEH, B. EITAN: *Analysis and Modeling of Floating-Gate EEPROM Cells*. IEEE Transactions on electron devices, 06 1986.
 - [2] AG, INFINEON TECHNOLOGIES: *Halbleiter - Technische Erläuterungen, Technologien und Kenndaten*. Publicis Corporate Publishing, August 2003.
 - [3] D. KAHNG, S.M. SZE: *A floating gate and its application to memory devices*. Bell Syst. Tech. J., vol. 46, p. 1288-1295, 1967.
 - [4] FROHMAN-BENTCHKOWSKY, D.: *A fully decoded 2048-bit electrically programmable MOS-ROM*. IEEE ISSCC Dig. Tech. Pap., p. 80, Februar 1971.
 - [5] G. CRISENZA, C. CLEMENTI, G. GHIDINI M. TOSI: *Floating Gate Memories reliability*. Quality and Reliability Engineering International, 02 1992.
 - [6] G. GROESENEKEN, H.E. MAES, J. VANHOUDT: *Basics of Nonvolatile Semiconductor Memory Devices*. Wiley-IEEE Press, Oktober 1997.
 - [7] H. IIZUKA, T. SATO, F. MASUOKA: *Stacked gate avalanche injection type MOS (SAMOS) memory*. Soc. Appl. Phys., vol. 42, p. 158, 1973.
 - [8] H.A.R. WEGENER, A.J. LINCOLN, H.C. PAO: *The variable threshold transistor, a new electrically alterable, non-destructive read-only storage device*. IEEE IEDM Tech. Dig., 1967.
 - [9] HOFFMANN, K.: *Systemintegration: Vom Transistor zur großintegrierten Schaltung*. Oldenbourg-Verlag, März 2006.
 - [10] KAIN, CLEMENS: *Spezifikation und Design einer integrierten Ausgangsstufe für den Ladungsausgleich einer Lithium-Ionen Batterien Serienschaltung für automobile Applikationen*. 01 2010.
 - [11] M. LENZLINGER, E.H. SNOW: *Fowler-Nordheim tunneling in thermally grown SiO₂*. J.Appl.Phys., vol. 40, p. 278-283, 1969.
 - [12] MIELKE, NEAL R.: *New EPROM Data-Loss mechanisms*. IRPS, 1983.
 - [13] R.H. FOWLER, L. NORDHEIM: *Electron emission in intense electric fields*. Proc. R. Soc. London, Ser. A, vol. 119, p. 173-181, 1928.
 - [14] S. ARITOME, R. KIRISAWA, T. ENDOH: *Extended data retention characteristics after more than 10⁴ write and erase cycles in eeproms*. IRPS, März 1990.
 - [15] T. HAGIWARA, Y. YATSUDA, R. KONDO: *A 16kbit electrically erasable PROM using n-channel Si-gate MNOS technology*. IEEE J. Solid State Circuits, vol. SC-15, p. 346-352, Juni 1980.
 - [16] W. JOHNSON, G. PERLEGOS, A. RENNINGER: *A 16Kb electrically erasable nonvolatile memory*. IEEE ISSCC Dig. Tech. Pap., p. 152, Februar 1980.
 - [17] WUEST, K.: *Mikroprozessortechnik*. Vieweg-Verlag, September 2006.
-

A Anhang





EEPROM-TC



A B C D E F G H

1 2 3 4 5

1 2 3 4 5

A B C D E F G H

1 2 3 4 5

A B C D E F G H

1 2 3 4 5

A B C D E F G H

1 2 3 4 5

A B C D E F G H

1 2 3 4 5

A B C D E F G H

1 2 3 4 5

A B C D E F G H

1 2 3 4 5

A B C D E F G H

1 2 3 4 5

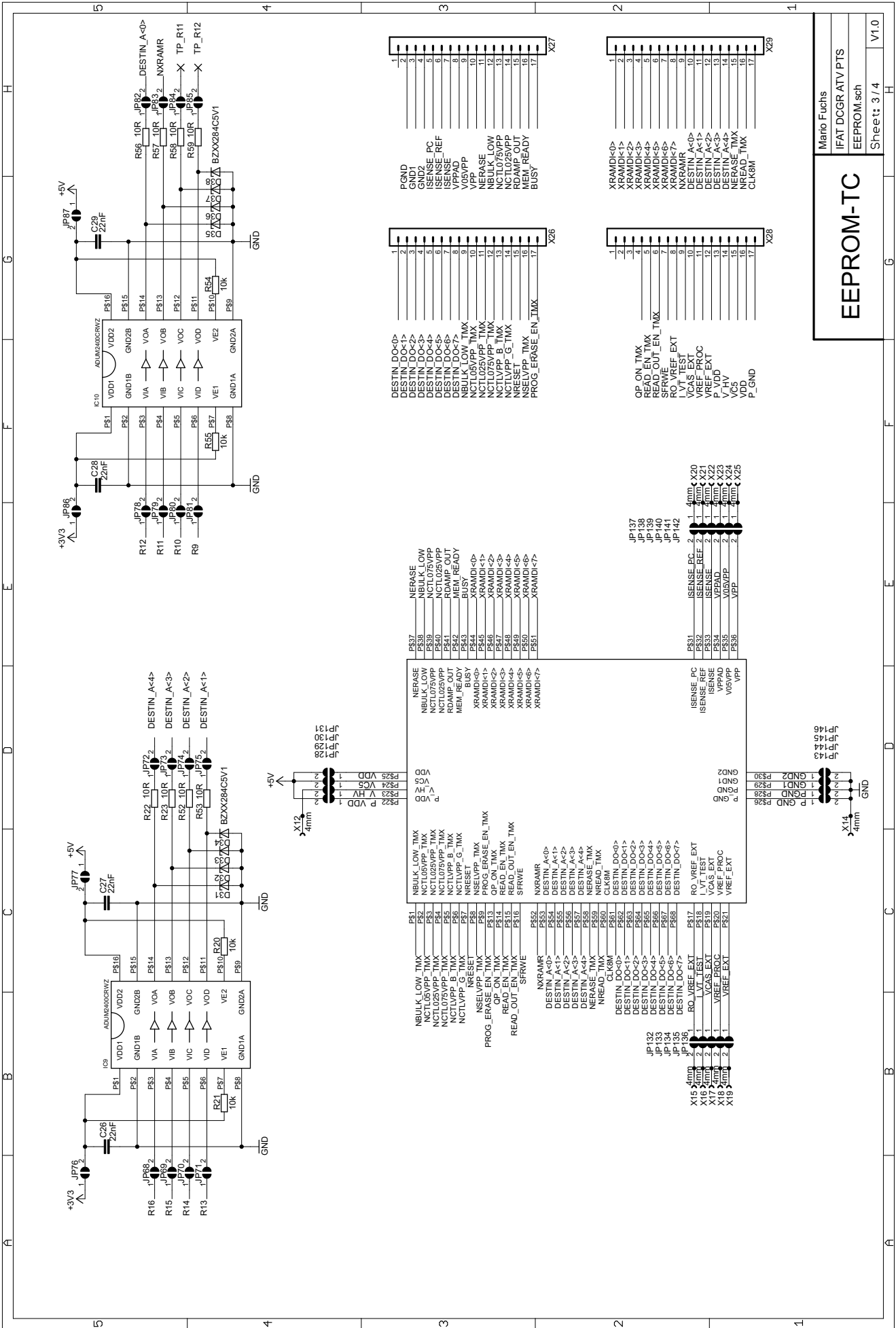
A B C D E F G H

Mario Fuchs
IFAT DCGR ATVPTS
EEPROM.sch
Sheet: 2 / 4
V1.0

EEPROM-TC

Sheet: 2 / 4

V1.0



EEPROM-TC

Mario Fuchts
 IFAT DCGR ATVPTS
 EEPROM.sch
 Sheet: 3 / 4
 V1.0

1	PGND
2	GND1
3	GND2
4	ISENSE_PC
5	ISENSE_REF
6	ISENSE_VPPAD
7	V05VPP
8	VPP
9	NEURST_LOW
10	NCTL075VPP
11	NCTL075VPP
12	NCTL075VPP
13	NCTL075VPP
14	NCTL075VPP
15	RDAMP_OUT
16	MEM_READY
17	BUSY

1	DESTIN_DO<0>
2	DESTIN_DO<1>
3	DESTIN_DO<2>
4	DESTIN_DO<3>
5	DESTIN_DO<4>
6	DESTIN_DO<5>
7	DESTIN_DO<6>
8	DESTIN_DO<7>
9	NBULK_LOW_TMX
10	NCTL05VPP_TMX
11	NCTL05VPP_TMX
12	NCTL05VPP_TMX
13	NCTL05VPP_TMX
14	NCTL05VPP_TMX
15	NRESET_TMX
16	PROG_ERASE_EN_TMX
17	PROG_ERASE_EN_TMX

1	DESTIN_DO<0>
2	DESTIN_DO<1>
3	DESTIN_DO<2>
4	DESTIN_DO<3>
5	DESTIN_DO<4>
6	DESTIN_DO<5>
7	DESTIN_DO<6>
8	DESTIN_DO<7>
9	NBULK_LOW_TMX
10	NCTL05VPP_TMX
11	NCTL05VPP_TMX
12	NCTL05VPP_TMX
13	NCTL05VPP_TMX
14	NCTL05VPP_TMX
15	NRESET_TMX
16	PROG_ERASE_EN_TMX
17	PROG_ERASE_EN_TMX

1	XRAMDI<0>
2	XRAMDI<1>
3	XRAMDI<2>
4	XRAMDI<3>
5	XRAMDI<4>
6	XRAMDI<5>
7	XRAMDI<6>
8	XRAMDI<7>
9	XRAMDI<8>
10	DESTIN_A<0>
11	DESTIN_A<1>
12	DESTIN_A<2>
13	DESTIN_A<3>
14	DESTIN_A<4>
15	NERASE_TMX
16	VDD
17	CLK8M

1	OP_ON_TMX
2	READ_EN_TMX
3	READ_OUT_EN_TMX
4	RO_VREF_EXT
5	RO_VREF_EXT
6	RO_VREF_EXT
7	RO_VREF_EXT
8	RO_VREF_EXT
9	RO_VREF_EXT
10	VCAS_EXT
11	VREF_PROC
12	VREF_PROC
13	VREF_PROC
14	VREF_PROC
15	VREF_PROC
16	VREF_PROC
17	VREF_PROC

1	ISENSE_PC
2	ISENSE_REF
3	ISENSE_VPPAD
4	V05VPP
5	VPP
6	NEURST_LOW
7	NCTL075VPP
8	NCTL075VPP
9	NCTL075VPP
10	NCTL075VPP
11	NCTL075VPP
12	NCTL075VPP
13	NCTL075VPP
14	NCTL075VPP
15	NCTL075VPP
16	NCTL075VPP
17	NCTL075VPP

1	NERASE
2	NBULK_LOW
3	NCTL075VPP
4	NCTL075VPP
5	NCTL075VPP
6	NCTL075VPP
7	NCTL075VPP
8	NCTL075VPP
9	NCTL075VPP
10	NCTL075VPP
11	NCTL075VPP
12	NCTL075VPP
13	NCTL075VPP
14	NCTL075VPP
15	NCTL075VPP
16	NCTL075VPP
17	NCTL075VPP

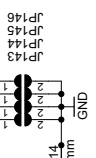
1	NBULK_LOW_TMX
2	NCTL05VPP_TMX
3	NCTL05VPP_TMX
4	NCTL05VPP_TMX
5	NCTL05VPP_TMX
6	NCTL05VPP_TMX
7	NCTL05VPP_TMX
8	NCTL05VPP_TMX
9	NCTL05VPP_TMX
10	NCTL05VPP_TMX
11	NCTL05VPP_TMX
12	NCTL05VPP_TMX
13	NCTL05VPP_TMX
14	NCTL05VPP_TMX
15	NCTL05VPP_TMX
16	NCTL05VPP_TMX
17	NCTL05VPP_TMX

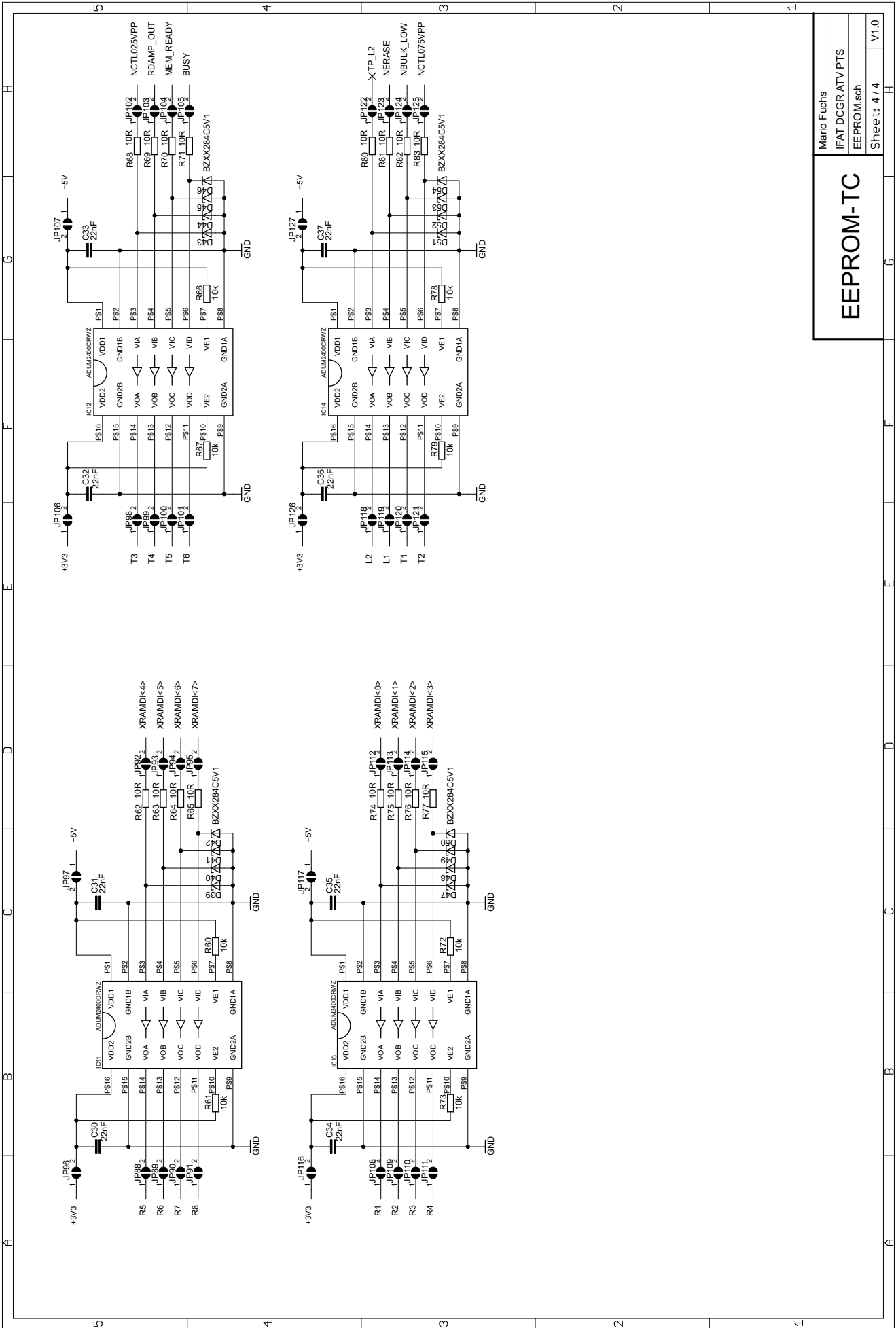
1	NBULK_LOW_TMX
2	NCTL05VPP_TMX
3	NCTL05VPP_TMX
4	NCTL05VPP_TMX
5	NCTL05VPP_TMX
6	NCTL05VPP_TMX
7	NCTL05VPP_TMX
8	NCTL05VPP_TMX
9	NCTL05VPP_TMX
10	NCTL05VPP_TMX
11	NCTL05VPP_TMX
12	NCTL05VPP_TMX
13	NCTL05VPP_TMX
14	NCTL05VPP_TMX
15	NCTL05VPP_TMX
16	NCTL05VPP_TMX
17	NCTL05VPP_TMX

1	ISENSE_PC
2	ISENSE_REF
3	ISENSE_VPPAD
4	V05VPP
5	VPP
6	NEURST_LOW
7	NCTL075VPP
8	NCTL075VPP
9	NCTL075VPP
10	NCTL075VPP
11	NCTL075VPP
12	NCTL075VPP
13	NCTL075VPP
14	NCTL075VPP
15	NCTL075VPP
16	NCTL075VPP
17	NCTL075VPP

1	RO_VREF_EXT
2	RO_VREF_EXT
3	RO_VREF_EXT
4	RO_VREF_EXT
5	RO_VREF_EXT
6	RO_VREF_EXT
7	RO_VREF_EXT
8	RO_VREF_EXT
9	RO_VREF_EXT
10	RO_VREF_EXT
11	RO_VREF_EXT
12	RO_VREF_EXT
13	RO_VREF_EXT
14	RO_VREF_EXT
15	RO_VREF_EXT
16	RO_VREF_EXT
17	RO_VREF_EXT

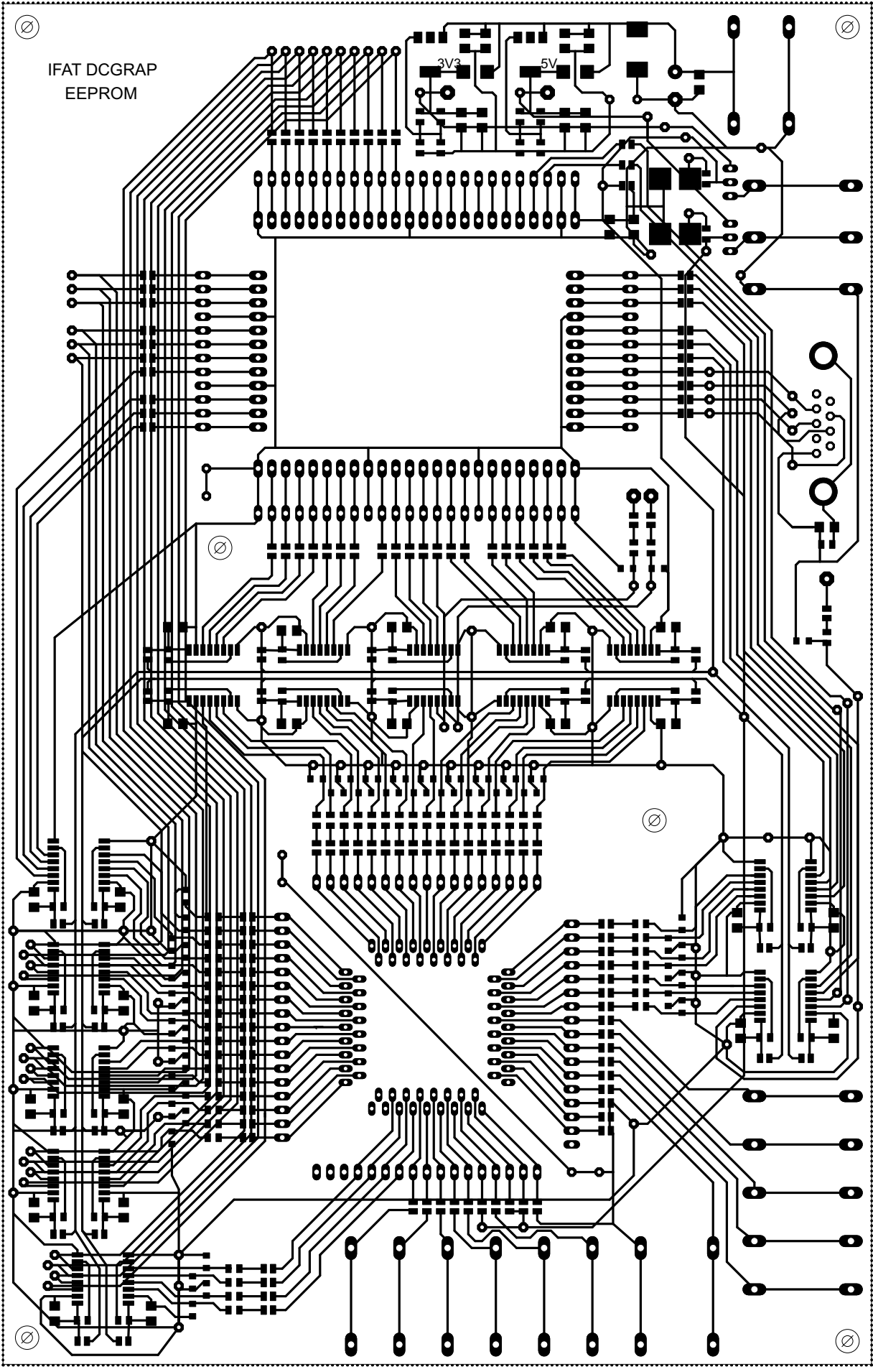
1	RO_VREF_EXT
2	RO_VREF_EXT
3	RO_VREF_EXT
4	RO_VREF_EXT
5	RO_VREF_EXT
6	RO_VREF_EXT
7	RO_VREF_EXT
8	RO_VREF_EXT
9	RO_VREF_EXT
10	RO_VREF_EXT
11	RO_VREF_EXT
12	RO_VREF_EXT
13	RO_VREF_EXT
14	RO_VREF_EXT
15	RO_VREF_EXT
16	RO_VREF_EXT
17	RO_VREF_EXT





EEPROM-TC		Mario Fuchs	
		IFAT DCGR ATVPTS	
EEPROM.sch		Sheet: 4 / 4	V1.0

IFAT DCGRAP
EEPROM



IFAT DCGRAP
EEPROM

