

Diplomarbeit
DA-691

Digitaler Spannungsregler für Mikrocontroller in automotiven Motorsteuerungssystemen

Jürgen Reiter

Institut für Elektronik
Technische Universität Graz
Interimistischer Leiter: Univ.-Prof. Dipl.-Ing Dr.techn. Wolfgang Bösch



Begutachter TU Graz: Ass. Prof. Dipl.-Ing. Dr. techn. Peter Söser
Betreuer Infineon: Dipl.-Ing. Juan Carlos Ruchesi

Graz, im Oktober 2012

Vorwort

Diese Diplomarbeit entstand während meiner Tätigkeit bei Infineon Austria AG in Graz. Ich danke allen, die mich auf dem Weg zur Fertigstellung dieser Arbeit unterstützt haben.

Besonderen Dank möchte ich Herrn Dipl.-Ing. Juan Carlos Ruchesi, Herrn Dipl.-Ing. Gebhard Melcher und Herrn Dipl.-Ing.(FH) Christian Heiling für die hervorragende und stets motivierende Zusammenarbeit vor und während dem Entstehen dieser Diplomarbeit zukommen lassen. Sie und viele andere Mitarbeiter bei Infineon trugen wesentlich zum Gelingen dieser Arbeit bei. Für die freundliche Betreuung danke ich auch Herrn Ass. Prof. Dipl.-Ing. Dr. Peter Söser vom Institut für Elektronik der Technischen Universität Graz.

Abschließend möchte ich mich an dieser Stelle bei meiner Familie und meinen Freunden recht herzlich für die Unterstützung in dieser Zeit bedanken.

Graz, im Oktober 2012

Eidesstattliche Erklärung

Ich erkläre an Eides statt, dass ich die vorliegende Arbeit selbstständig verfasst, andere als die angegebenen Quellen/Hilfsmittel nicht benutzt und die den benutzten Quellen wörtlich und inhaltlich entnommenen Stellen als solche kenntlich gemacht habe.

.....

Datum

.....

(Unterschrift)

Statutory Declaration

I declare that I have authored this thesis independently, that I have not used other than the declared sources/resources, and that I have explicitly marked all material which has been quoted either literally or by content from the used sources.

.....

date

.....

(Signature)

Kurzfassung

In der heutigen Fahrzeugelektronik sind Mikrocontroller nicht mehr wegzudenken. Um diese störungsfrei mit Betriebsspannung zu versorgen gibt es zahlreiche Reglervarianten in den unterschiedlichsten Technologien.

Die vorliegende Arbeit beschäftigt sich mit der Implementierung eines bereits vorhandenen, digitalen PID-Reglers in eine andere Umgebung. Dazu wird zuerst der theoretische Hintergrund beleuchtet und auf das mathematische Modell des bereits vorhandenen Reglers eingegangen. Danach wird versucht diesen Regler in die neue Umgebung zu integrieren und dessen Grenzen auszuloten. Der integrierte Regelkreis wird untersucht und mit bereits vorhandenen Lösungen verglichen.

Zum Schluss werden die gewonnenen Erkenntnisse und ein Ausblick auf die Zukunft angeführt.

Suchbegriffe: Regler, PID-Regler, digitaler Regler, Regelkreis, symmetrisches Optimum

Abstract

Microcontrollers are an integral component in today's automotive electronic systems. There are different controller types implemented in different semiconductor technologies available, that can give a steady supply voltage.

In Infineons SPT9 (Smart Power Technology 9) there is such a controller implemented. In this thesis it is investigated if and how it is possible to use that controller in SPT7. In the beginning the theoretical background is elaborated and there is a brief look at the mathematical background of the available controller. After that, an attempt to integrate the regulator into the new environment and the boundaries of the regulator are explored. The integrated control circuit is investigated and compared to already existent solutions.

In the end the insights gained are explained and a future outlook is given.

Keywords: Controller, PID-controller, digital controller, control circuit, symmetrical optimum

Inhaltsverzeichnis

Vorwort	I
Eidesstattliche Erklärung	II
Kurzfassung	III
Abstract	IV
1. Einleitung / Motivation	1
2. Regler - Übersicht	2
2.1. Allgemeines	2
2.2. Einteilung verschiedener Regler	3
2.2.1. Stetige lineare Regler	3
2.2.2. Unstetige Regler	5
2.2.3. Nichtlineare Regelstrecken	6
2.2.4. Erweiterte Regelkreisstrukturen	6
2.3. Realisierung von Reglern	7
2.3.1. Universalregler	7
2.3.2. Analogregler	8
2.3.3. Digitalregler	9
3. Dimensionierung der Reglerparameter	10
3.1. Synthese mit Bode-Diagramm	10
3.1.1. Stabilität	10
3.1.2. Dynamisches Verhalten	11
3.1.3. Stationäres Verhalten	12
3.2. Entwurf nach dem symmetrischen Optimum	13
4. Implementierung	15
4.1. Überblick SPT9-Implementierung	15
4.1.1. DMOS	16
4.1.2. DCCS	16
4.1.3. ADU	17
4.1.4. Digitalteil	17
4.1.5. Mathematisches Gesamtmodell	18
4.2. SPT7-Implementierung	19

4.3. FPGA-Board (Testplatine)	20
4.3.1. Testchip	20
4.3.2. ADU	21
4.3.3. Anti-Aliasing Filter	22
4.3.4. FPGA	22
5. Simulationsergebnisse	23
5.1. Verifikation des Digitalteiles	23
5.2. Simulation des Analogteiles	25
5.2.1. Analyse der Regelstrecke	26
5.3. Ermittlung der Reglerkoeffizienten	31
5.3.1. Reglersynthese mit dem Bode-Diagramm	32
5.3.2. Reglersynthese nach dem symmetrischen Optimum	33
5.3.3. Wahl der Reglerkoeffizienten	36
5.3.4. Vergleich der Regelstrecken SPT9 - SPT7	37
6. Messungen am FPGA-Board	38
6.1. Anpassungen am FPGA-Board	38
6.1.1. Anpassung am ADU	38
6.1.2. Anti-Aliasing Filter	38
6.1.3. Last am Ausgang	39
6.2. Startrampe	39
6.3. Stationärer Zustand	39
6.4. Änderung des Laststromes	42
6.5. Probleme bei den Messungen	43
6.5.1. ADU-Referenz	43
6.6. Erkenntnisse	43
7. Chipsynthese und Flächenabschätzung	45
7.1. Analoge Lösung	45
7.2. Digitale Lösung	45
7.2.1. Minimalvariante	46
7.2.2. Maximalvariante	46
7.2.3. Normalvariante	46
7.3. Vergleich der Lösungen	47
8. Zusammenfassung / Ausblick	48
Abbildungsverzeichnis	i
Abkürzungsverzeichnis	iii
Symbole	v
Literaturverzeichnis	vi

A. Anhang A

viii

B. Anhang B

xviii

1. Einleitung / Motivation

Die Elektronik im automotiven Bereich hat sich in den letzten Jahren und Jahrzehnten immens weiterentwickelt. Aufgrund der großen Fortschritte im Bereich der Mikroelektronik entstehen immer kleinere und komplexere Mikrochips, welche viele mechanische und elektrische Systeme ersetzen (System On a Chip - SoC).

Diese SoC-Komponenten können Leistungstransistoren, analoge Schaltungsblöcke und digitale Funktionen enthalten. Die hohen mechanischen Belastungen wie Vibrationen, Umgebungstemperaturen von $-40\text{ }^{\circ}\text{C}$ bis $175\text{ }^{\circ}\text{C}$, chemische Belastungen wie Salz(-wasser) und Öl und elektromagnetische Störungen erfordern aufwändige Lösungen um eine hohe Zuverlässigkeit garantieren zu können.

Nach dem Entwurf eines solchen Leistungshalbleiters wird er mit Hilfe von BCD-Prozessen, welche Bipolar-, CMOS- und DMOS-Elemente in einem Prozess kombinieren, realisiert. In dieser Arbeit geht es um die Smart Power Technologien 7 und 9 (SPT7, SPT9) der Firma Infineon Technologies AG. [1] [5]

Diese Arbeit beschäftigt sich mit der Implementierung und der Analyse eines digitalen Spannungsreglers in SPT7. Ausgegangen wird hierbei von einem bereits existierenden Spannungsregler in SPT9, die Umsetzung auf SPT7 ist aber keineswegs trivial. So ist z.B. der in SPT9 verwendete SAR-ADU (Sukzessives Approximations-Register) in SPT7 flächenmäßig viel zu groß.

In dieser Arbeit soll die Realisierbarkeit der Implementierung in SPT7 analysiert werden.

Dazu wird zuerst im Kapitel 2 ein Überblick über verschiedene Regler und -konzepte gegeben. Auf den PID-Regler wird besonders eingegangen, da dies die digital implementierte Reglerart ist.

Kapitel 3 beschäftigt sich näher mit den PID-Reglerparametern. Es werden zwei Entwurfsmethoden vorgestellt.

Der implementierte Regelkreis mit allen Komponenten des Systems wird in Kapitel 4 beschrieben.

Simulationen des in SPT7 implementierten Regelkreises finden sich in Kapitel 5. Dort wird auch auf die Ergebnisse, die Probleme und die Anpassungen am System eingegangen. Weiters werden die Reglerparameter in diesem Kapitel ermittelt.

Die Messergebnisse auf der Testplatine sind in Kapitel 6 zusammengefasst. Dabei werden auch die gewonnenen Erkenntnisse analysiert.

In Kapitel 7 findet sich eine Flächenabschätzung des implementierten, digitalen Reglers und ein Vergleich mit einer analogen Variante.

Zum Abschluss gibt es in Kapitel 8 eine Zusammenfassung der Arbeit sowie einen kurzen Ausblick auf die weitere Verwendbarkeit des digitalen Spannungsreglers.

2. Regler - Übersicht

Regler werden dazu verwendet um gewisse physikalische Größen automatisch auf ein gewisses Niveau zu bringen und zu halten. Aufgrund verschiedenster Anforderungen (wie z.B. Stabilität, stationäre Genauigkeit, Dynamik, Dämpfung und Robustheit) gibt es zahlreiche Entwurfsmethoden. Auch auf die unterschiedlichen Prozesse muss bei der Auswahl und beim Entwurf eines Reglers geachtet werden. Um eine Regelungsaufgabe zu lösen muss man zuerst den Prozess analysieren. Danach wird ein Regler ausgewählt und implementiert.

2.1. Allgemeines

Begriffe, Standard-Regelkreis

Ein Regelkreis ist eine Zusammenschaltung zwischen einem oder mehreren Reglern und einem (meist technischen) Prozess. Standardmäßig vergleicht der Regler die zu regelnde Ausgangsgröße y mit der Führungsgröße w (welche in der Literatur auch oft als r bezeichnet wird) und ermittelt aus der Differenz dieser Größen (Regelfehler oder Regelabweichung e) eine Stellgröße u , welche den Prozess so beeinflusst, dass die Regelabweichung e im eingeschwungenen Zustand minimal wird. Eine Darstellung dieses Standard-Regelkreises ist in Abbildung 2.1 zu sehen.

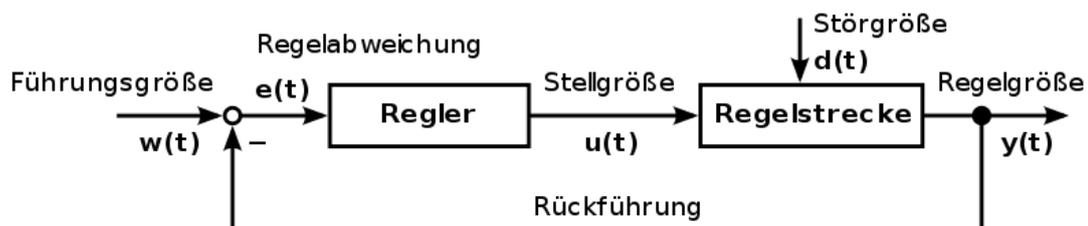


Abbildung 2.1.: Standard-Regelkreis [17]

Übertragungsfunktion

Die Übertragungsfunktion beschreibt die Abhängigkeit des Ausgangssignals eines linearen, zeitinvarianten Systems von dessen Eingangssignal im Bildbereich. Die Übertragungsfunktion ist definiert als der Quotient der transformierten Ausgangsgröße zur transformierten Eingangsgröße. Für lineare, zeitinvariante Systeme kann man die Laplace-Transformation [4] verwenden, um die Größen vom Zeitbereich in den Bildbereich zu transformieren. Also ist beispielsweise

$$R(s) = \frac{y(s)}{u(s)} \quad (2.1)$$

die (Laplace-transformierte) Übertragungsfunktion der Strecke aus Abbildung 2.1.

2.2. Einteilung verschiedener Regler

Aufgrund der zahlreichen Anwendungsgebiete gibt es eine große Anzahl von Reglerkonstruktionen und es scheint oft so, als ob sie noch dazu wenig Gemeinsamkeiten aufweisen können. Dennoch lassen sie sich leicht in verhältnismäßig wenige Gruppen einordnen. In der Literatur findet sich das hier Vorgestellte u.a. in [9] und in [19].

2.2.1. Stetige lineare Regler

Bei stetigen Reglern kann die Ausgangsgröße innerhalb eines gewissen Bereiches jeden beliebigen Wert annehmen. Zu den bekanntesten stetigen Reglern gehören die **Standardregler**, welche heute noch sehr häufig eingesetzt werden. Für eine genaue Definition eines linearen Systems ist hier auf [6] verwiesen.

P-Regler

Der P-Regler (*Proportionalregler*) besteht aus einem proportionalen Anteil. Das Ausgangssignal u ist proportional dem Eingangssignal e , der Verstärkungsfaktor (=Proportionalbeiwert) K_P gibt die Verstärkung an.

$$u(t) = K_P \cdot e(t) \quad (2.2)$$

Die Übertragungsfunktion des P-Reglers lautet

$$R(s) = \frac{u(s)}{e(s)} = K_P. \quad (2.3)$$

I-Regler

Beim I-Regler (*integrierender Regler*) wird das Eingangssignal zeitlich integriert am Ausgang sichtbar. Gewichtet wird die Ausgangsgröße mit dem Integrierbeiwert K_i . Wieder sind dieser Zusammenhang sowie die Übertragungsfunktion angegeben.

$$u(t) = K_i \cdot \int e(t) dt \quad (2.4)$$

$$R(s) = \frac{u(s)}{e(s)} = \frac{K_i}{s} \quad (2.5)$$

D-Glied

Das D-Glied (*Differenzierglied*) ist kein eigenständiger Regler sondern wird oft mit P- und/oder I-Gliedern zu einem Regler mit Differenziereigenschaften verbunden. Das D-Glied reagiert nicht auf die Größe des

Eingangssignales sondern auf dessen Änderungsgeschwindigkeit. Wieder gibt es eine Gewichtung mit dem Differenzierbeiwert K_d .

$$u(t) = K_d \cdot \frac{de(t)}{dt} \quad (2.6)$$

$$R(s) = \frac{u(s)}{e(s)} = K_d s \quad (2.7)$$

PI-, PD- und PID-Regler

Die drei Glieder P, I und D lassen sich je nach gewünschtem Verhalten zusammenschalten zu PI-, PD- und PID-Reglern oder z.B. PD2-Gliedern. Da der PID-Regler der verwendete Regler für die Regelaufgabe in dieser Arbeit ist, wird dieser hier genauer beschrieben.

Schaltet man die drei Einzelteile (P-, I- und D-Anteil zusammen, so ergibt sich die Struktur eines PID-Reglers (siehe Abbildung 2.2).

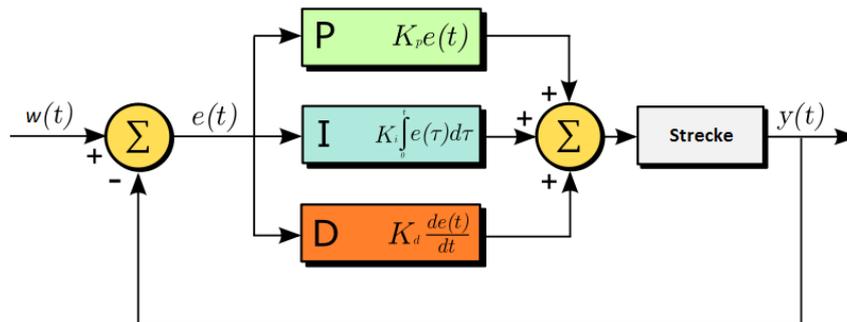


Abbildung 2.2.: PID-Regler im Standard-Regelkreis

Beim PID-Regler werden also die einzelnen Glieder miteinander addiert, was durch folgende Gleichung beschrieben wird:

$$u(t) = K_P e(t) + K_i \cdot \int e(t) dt + K_d \cdot \frac{de(t)}{dt} \quad (2.8)$$

bzw.

$$u(t) = K_P \left[e(t) + \frac{K_i}{K_P} \cdot \int e(t) dt + \frac{K_d}{K_P} \cdot \frac{de(t)}{dt} \right]. \quad (2.9)$$

Dabei bezeichnet man den Quotienten K_P/K_i als Nachstellzeit und den Quotienten K_d/K_P als Vorhaltzeit.

$$T_N = \frac{K_P}{K_i} \quad (2.10)$$

$$T_V = \frac{K_d}{K_P} \quad (2.11)$$

Aufgrund der Zuordnung zu I- bzw. D-Glied wird in der Literatur die Nachstellzeit auch mit T_I und die Vorhaltezeit auch mit T_D abgekürzt. [6] [2] Setzt man diese Zeitkonstanten in den Ausdruck 2.9 ein und transformiert ihn danach mit der Laplace-Transformation, so erhält man die Übertragungsfunktion des (idealen) PID-Reglers.

$$R(s) = \frac{u(s)}{e(s)} = K_P \left(1 + \frac{1}{sT_N} + sT_V \right). \quad (2.12)$$

Durch entsprechende Wahl der Reglerparameter T_N und T_V kann man aus dem PID-Regler auch einen P-, PI- oder PD-Regler konfigurieren. Genauer zur Dimensionierung der Parameter ist in Kapitel 3 beschrieben.

Das Analogon zur Laplace-Transformation für den zeitkontinuierlichen Bereich ist die z -Transformation für zeitdiskrete Systeme. Der Übergang zwischen diesen Transformationen kann z.B. über eine bilineare Transformation [6] erfolgen. Hier wird aber die Rückwärtsdifferenz-Methode (Euler-Methode) angewandt. Die zeitdiskrete Übertragungsfunktion des PID-Reglers ist somit

$$R(z) = \frac{u(z)}{e(z)} = K_P \left(1 + \frac{T_d}{T_N} \frac{z}{z-1} + \frac{T_V}{T_d} \frac{z-1}{z} \right) \quad \text{mit} \quad \frac{1}{s} = \frac{zT_d}{z-1} \quad (2.13)$$

Speziellere Regler

Auch speziellere Regler wie z.B. die **Zustandsregler**, bei denen nicht nur die Ausgangsgröße y sondern auch die Zustandsgrößen des Prozesses zur Regelung herangezogen werden, oder **Mehrgrößenregler**, die Systeme mit mehreren, miteinander verkoppelten Eingangs- und Ausgangsgrößen regeln, gehören in diese Gruppe.

2.2.2. Unstetige Regler

Bei unstetigen Reglern ist die Ausgangsgröße y hingegen diskretisiert, sie kann nur bestimmte diskrete Werte annehmen. Im Folgenden sind einige unstetige Regler kurz beschrieben.

Zweipunktregler

Diese Regler vergleichen die Ausgangsgröße y mit einem (meist hysteresebehafteten) Schaltkriterium. Er kennt nur zwei Zustände: „Ein“ und „Aus“. Überschreitet z.B. die Ausgangsgröße einen Schwellwert, so schaltet der Regler „Aus“, unterschreitet er etwas später wieder einen anderen Schwellwert, schaltet er wieder „Ein“. Der Zweipunktregler ist ein sehr einfacher Regler, der leicht erweitert werden kann. Eine bestimmte Welligkeit (Oszillation) am Ausgang y muss jedoch in Kauf genommen werden.

Drei- und Mehrpunktregler

Bei Mehrpunktreglern, zu denen auch der Dreipunktregler gehört, kommen noch weitere Schaltzustände dazu. So hat ein Dreipunktregler z.B. zwei Ausgänge, wobei entweder einer der Ausgänge „ein“geschaltet oder beide „aus“geschaltet werden. Eine Anwendung für einen Dreipunktregler wäre etwa bei motorischen Stellantrieben, welche entweder in Ruhe bleiben oder Vor- und Zurücklaufen können.

2.2.3. Nichtlineare Regelstrecken

Nichtlineare Systeme sind Systeme, bei denen der Ausgang nicht in jedem Bereich proportional zum Eingang ist, es wirkt also mindestens eine nichtlineare Funktion in Verbindung mit linearen Funktionen. Da das Prinzip der Superposition in diesen Systemen nicht gilt sind diese Systeme wesentlich komplizierter in der Handhabung. Alleine schon die Lösung nichtlinearer Differenzialgleichungen ist schwierig und aufwändig. Zu den **nichtlinearen Reglern** gehören:

Unstetige Regler

Die unstetigen Regler in Kapitel 2.2.2 können auch für nichtlineare Regelkreise verwendet werden.

Adaptive Regler

Adaptive Regler passen ihr Verhalten automatisch an die Regelstrecke an. Dazu wird entweder ein Referenzmodell herangezogen oder das System wird laufend neu identifiziert. Daher sind adaptive Regler auch für zeitvariante Systeme geeignet, welche über die Zeit Parameteränderungen aufweisen.

Extremwertregler

Diese Regler führen den Prozess in einen (im Sinne des Anwenders) optimalen Zustand und halten ihn dort. Dieser Zustand wird über einen näherungsweise bestimmten Gradienten, welcher im Optimalpunkt Null wird, gefunden. Verschiebt sich nun dieser optimale Punkt, so detektiert dies der Extremwertregler und folgt dann dem sich verschiebenden, optimalen Punkt.

2.2.4. Erweiterte Regelkreisstrukturen

Neben den verschiedenen Reglern selbst kann auch die gesamte Struktur des Regelkreises verändert und angepasst werden. Zwei Beispiele seien hier aufgeführt.

Kaskadenregelung

Schaltet man mehrere Regelkreise ineinander, so erhält man das Prinzip der Kaskadenregelung (Abbildung 2.3). Als PT_1 bezeichnet man eine Strecke mit Verzögerung erster Ordnung [19]. Die Ausgangsgrößen der langsameren äußeren Regelkreise sind die Stellgrößen der schnelleren, inneren Regelkreise.

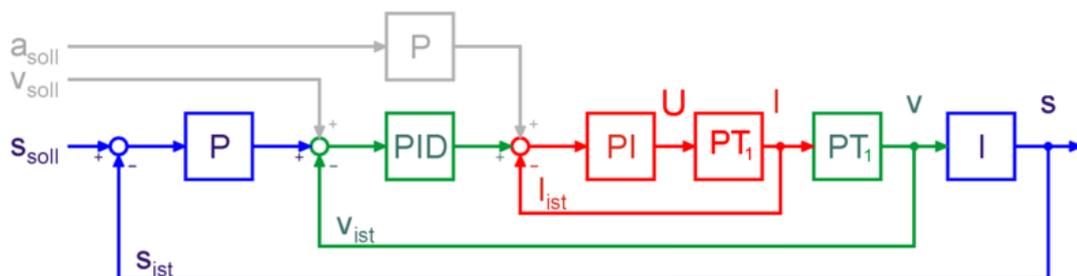


Abbildung 2.3.: Typischer Kaskadenregelkreis [16]

Smith-Prädiktor

Als Totzeit wird die Zeitspanne zwischen einer Änderung am Eingang und Antwort am Ausgang eines Systems bezeichnet. Der Smith-Prädiktor ist geeignet um solche totzeitbehaftete Prozesse zu regeln. Durch ein Modell des Prozesses ohne Totzeit wird eine Vorhersage über den Verlauf der Ausgangsgröße gemacht, wonach der Regler eingestellt wird.

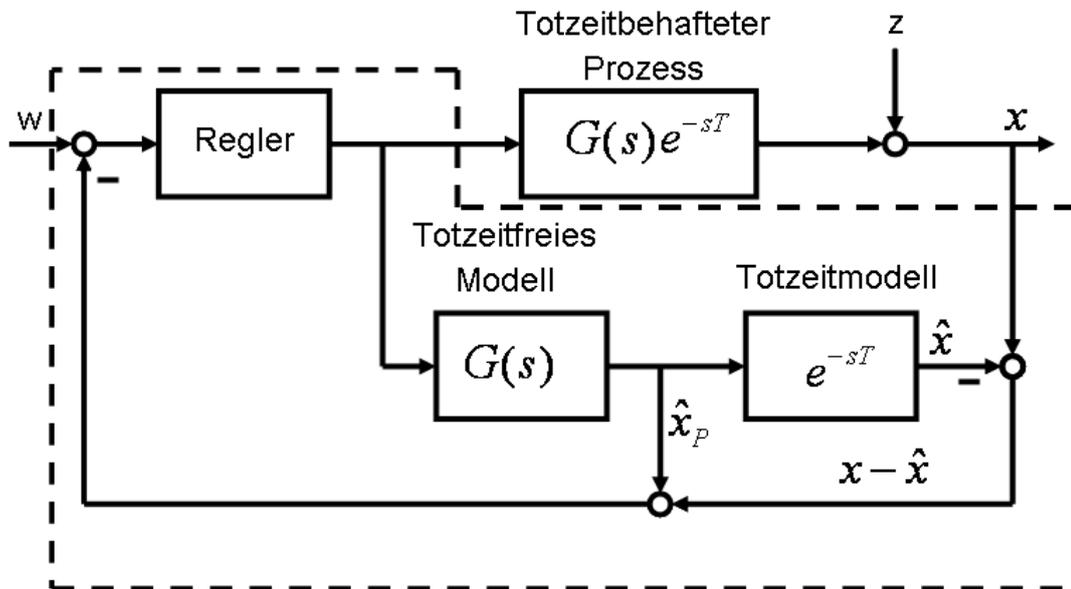


Abbildung 2.4.: Smith-Prädiktor, strichliert gekennzeichnet[18]

2.3. Realisierung von Reglern

Regelglieder können auf verschiedenste Weise realisiert werden. So kann die Stellgröße u z.B. mit oder ohne Hilfsenergie gebildet werden. Während **Regler mit Hilfsenergie** eine externe Energieversorgung benötigen, entnehmen **Regler ohne Hilfsenergie** die Energie aus dem zu regelnden Medium.

Unterschieden werden bei den elektrischen Reglern hauptsächlich analoge und digitale Realisierungen. Daneben gibt es auch pneumatische oder hydraulische Regler, welche z.B. als Luftdruck- oder als Durchflussregler eingesetzt werden. Mechanische Regler sind sehr einfach aufgebaut und werden heute kaum mehr eingesetzt.

2.3.1. Universalregler

In der Industrie werden oft Universalregler eingesetzt. Man kann sie durch Einstellen der Reglerparameter K_P (Proportionalbeiwert), T_N (Nachstellzeit) und T_V (Vorhaltzeit) als P-, PI-, PD- oder PID-Regler betreiben. Die Ein- und Ausgangssignale sind genormt. So ist es möglich Geräte verschiedener Hersteller in einem Regelkreis miteinander zu betreiben.

2.3.2. Analogregler

Analogregler werden meist mit einem Operationsverstärker realisiert, wobei die äußere Beschaltung maßgeblich für das Verhalten des Reglers ist. In Abbildung 2.5 ist ein PID-Regler zu sehen, dessen Reglerparameter sich aus den Widerstands- und Kapazitätswerten der äußeren RC-Beschaltung errechnen. Analoge Regler verarbeiten Signale mit unendlich hoher Auflösung, also sind beispielsweise auch pneumatische oder hydraulische Regler Analogregler.

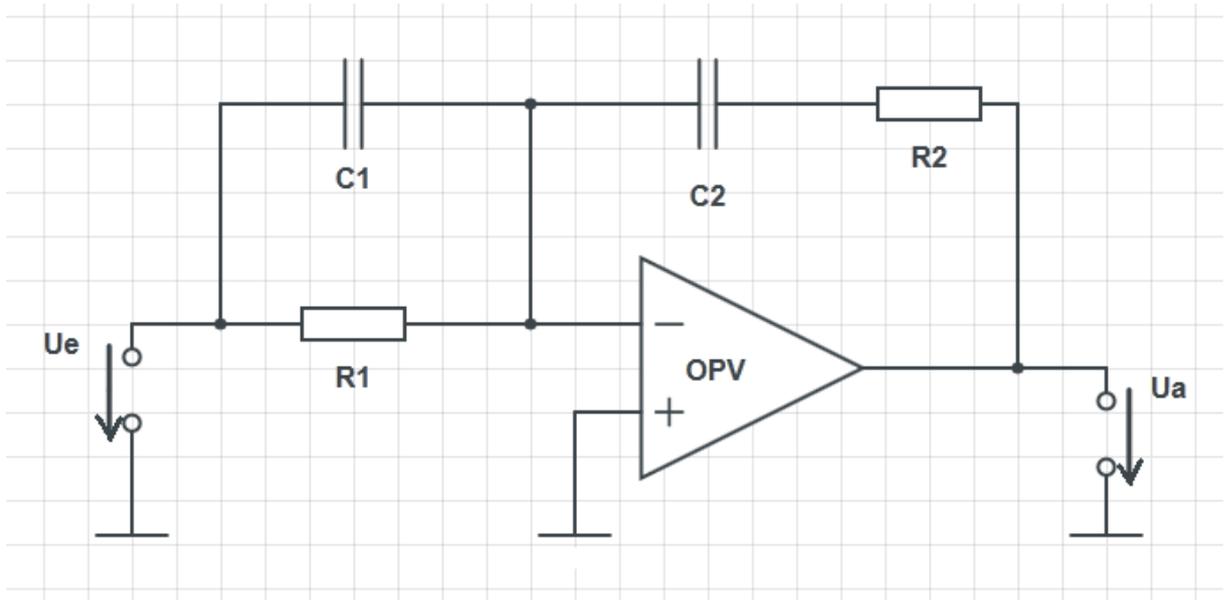


Abbildung 2.5.: Analoger PID-Regler, abgeleitet aus [11]

Dabei ist U_e die Eingangsgröße und U_a die Ausgangsgröße. Die dazugehörige Übertragungsfunktion lautet: [11]

$$R(s) = \frac{U_a(s)}{U_e(s)} = -\frac{R_2}{R_1} \left(1 + \frac{1}{sR_2C_2}\right) (1 + R_1C_1s) \quad (2.14)$$

Wählt man den Zusammenhang zwischen den Reglerparametern und der äußeren Beschaltung mit

$$K_P = \frac{R_2}{R_1}; \quad T_N = R_2C_2; \quad T_V = R_1C_1 \quad (2.15)$$

so ergibt sich

$$R(s) = \frac{U_a(s)}{U_e(s)} = K_P \left(1 + \frac{T_V}{T_N} + \frac{1}{sT_N} + sT_V\right). \quad (2.16)$$

Unter der Annahme dass $T_N \gg T_V$ ist, geht die Gleichung 2.16 in die Gleichung des (idealen) PID-Reglers (2.12) über.

2.3.3. Digitalregler

Häufig werden zur Regelung eines Systems Digitalrechner (Mikroprozessoren, Signalprozessoren, Computer etc.) verwendet. Gründe hierfür sind u.a. die Fortschritte im Bereich der Mikroelektronik und die dadurch verbundene Kostensenkung, sowie die hohe Flexibilität im Vergleich zu Analogreglern [6]

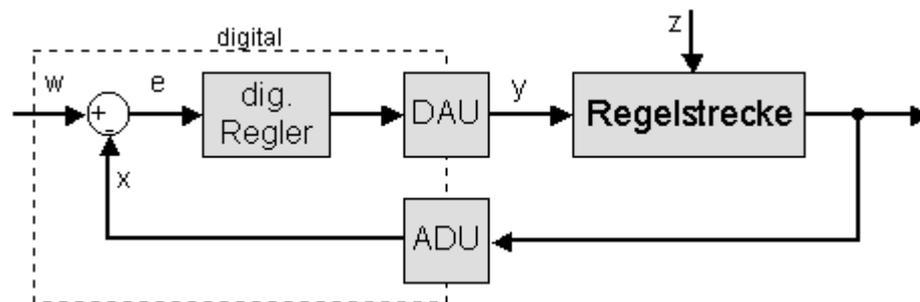


Abbildung 2.6.: prinzipieller Aufbau eines digitalen Reglers [12]

In Abbildung 2.6 ist ein einfacher digitaler Regelkreis dargestellt. Das zeitkontinuierliche Signal $y(t)$ wird vom A/D-Umsetzer (ADU) zu diskreten Zeitpunkten gemessen und in eine äquivalente digitale Form gebracht, welche dann einem digital realisierten Regelalgorithmus zugeführt wird. Ebenso erhält der Rechner die Führungsgröße w_i in digitaler Form. Die Zeit, die der Rechner braucht um die Stellfolge u_i zu berechnen, kann vernachlässigt werden, wenn sie kleiner ist als die Abtastzeit T_d (also dem Abstand, in dem der ADU digitale Werte liefert).

Nach Berechnung und Ausgabe der digitalen Stellfolge u_i wird diese von einem D/A-Umsetzer (DAU) in ein vom Prozess verarbeitbares analoges Signal umgewandelt. Damit alle genannten Ereignisse synchron erfolgen, wird dem Rechner ein Clock-Signal zur Verfügung gestellt. [6]

3. Dimensionierung der Reglerparameter

Zur Dimensionierung der Parameter gibt es zahlreiche Methoden und Verfahren, welche alle ihre Vor- und Nachteile haben. Die Einstellregeln nach Ziegler-Nichols (1942, [20]) werden heute noch häufig angewandt und sind die klassischen Verfahren zur Dimensionierung von PID-Reglern. Die Erfahrung zeigt, dass die Anwendung der Ziegler-Nichols Verfahren zu einem schwach gedämpften, geschlossenen Regelkreis führen. [6]

Ein wesentlich neueres Verfahren wäre die T-Summenregel, bei der unter Einhaltung gewisser Voraussetzungen die Reglerparameter leicht aus einer Tabelle abgelesen werden können. [8]

Zur Dimensionierung der Parameter des Reglers in dieser Arbeit wurden jedoch zwei andere Verfahren angewandt, welche im Folgenden näher beschrieben werden.

3.1. Synthese mit Bode-Diagramm

Bei der Synthese mit Bode-Diagrammen kann mit Hilfe der Übertragungsfunktion des offenen Regelkreises $L(s)$ auf das Verhalten des gesamten, geschlossenen Regelkreises geschlossen werden. Das zugrunde liegende Verfahren ist das Frequenzkennlinienverfahren. Voraussetzung ist allerdings, dass der aus Strecke und Regler gebildete offene Kreis vom einfachen Typ ist. Die Übertragungsfunktion $L(s)$ ist vom einfachen Typ, wenn sie die folgenden vier Charakteristika besitzt: [6]

- Sie muss Tiefpasscharakter aufweisen.
- Ihr Verstärkungsfaktor muss positiv sein.
- Mit Ausnahme eines einfachen Poles bei Null besitzen alle Pole einen negativen Realteil.
- Der Betrag des Frequenzgangs $L(j\omega)$ ist bei genau einer Frequenz ω_c gleich eins (also 0 dB).

3.1.1. Stabilität

Ein Regelkreis ist BIBO-stabil, wenn bei beschränktem Eingangssignal auch das Ausgangssignal beschränkt bleibt. Ist der zu untersuchende offene Kreis vom einfachen Typ, so ist er BIBO-stabil, wenn die Phasenreserve Φ_r positiv ist. [6]

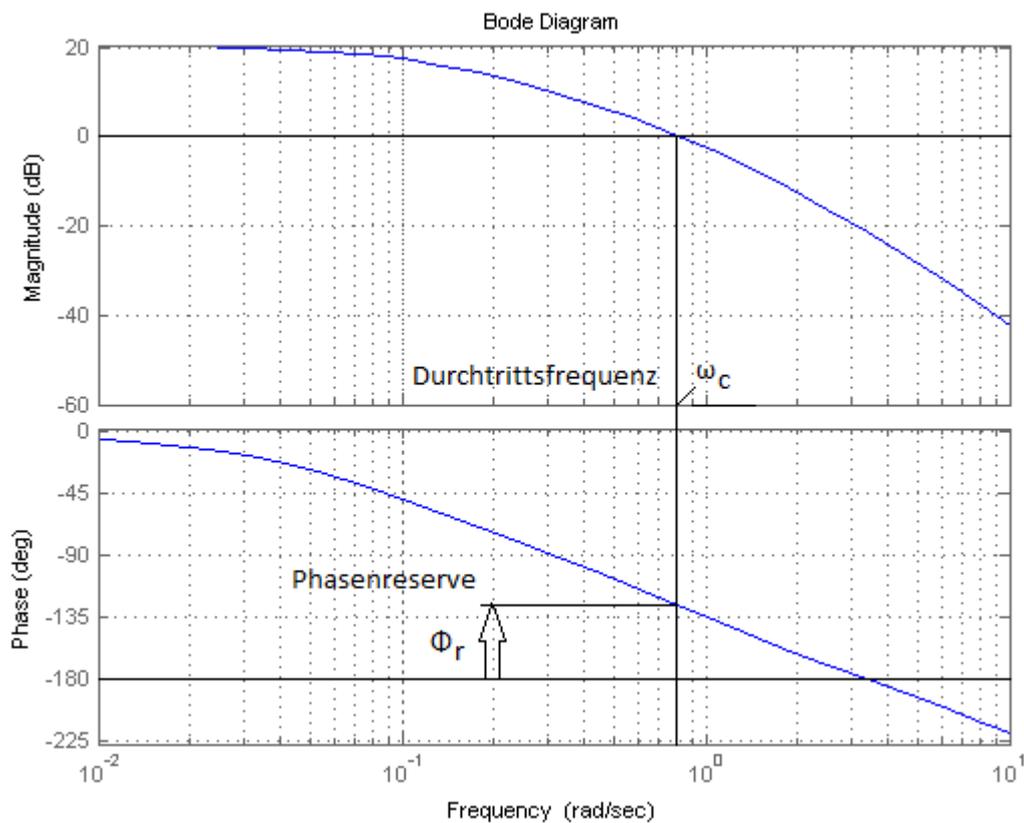


Abbildung 3.1.: Durchtrittsfrequenz ω_c und Phasenreserve Φ_r am Bode-Diagramm, abgeleitet aus [6]

3.1.2. Dynamisches Verhalten

Um die Sprungantwort eines Regelkreises zu erhalten wird am Eingang $r(t)$ ein Einheitsprung angelegt. Der Verlauf der Ausgangsgröße stellt dann die Sprungantwort dar (siehe Abbildung 3.2). Hierbei spielen zwei Faktoren eine wichtige Rolle. Die **Überschwingweite** M_P gibt an, welchen Maximalwert die Ausgangsgröße annimmt. Daraus kann das prozentuale Überschwingen \ddot{u} abgeleitet werden.

$$\ddot{u} = 100(M_P - 1) \quad \text{in \%} \quad (3.1)$$

Die Phasenreserve Φ_r (in Grad) von $L(j\omega)$ errechnet sich näherungsweise aus der prozentualen Überschwingweite mit

$$\Phi_r + \ddot{u} \approx 70. \quad (3.2)$$

Die **Anstiegszeit** t_r ist ein Maß für die Schnelligkeit eines Regelkreises. In der Literatur gibt es verschiedene Definitionen der Anstiegszeit, in [6] ist sie definiert als

$$t_r = \frac{1}{\dot{y}(t_d)} \quad \text{bei} \quad y(t_d) = 0,5. \quad (3.3)$$

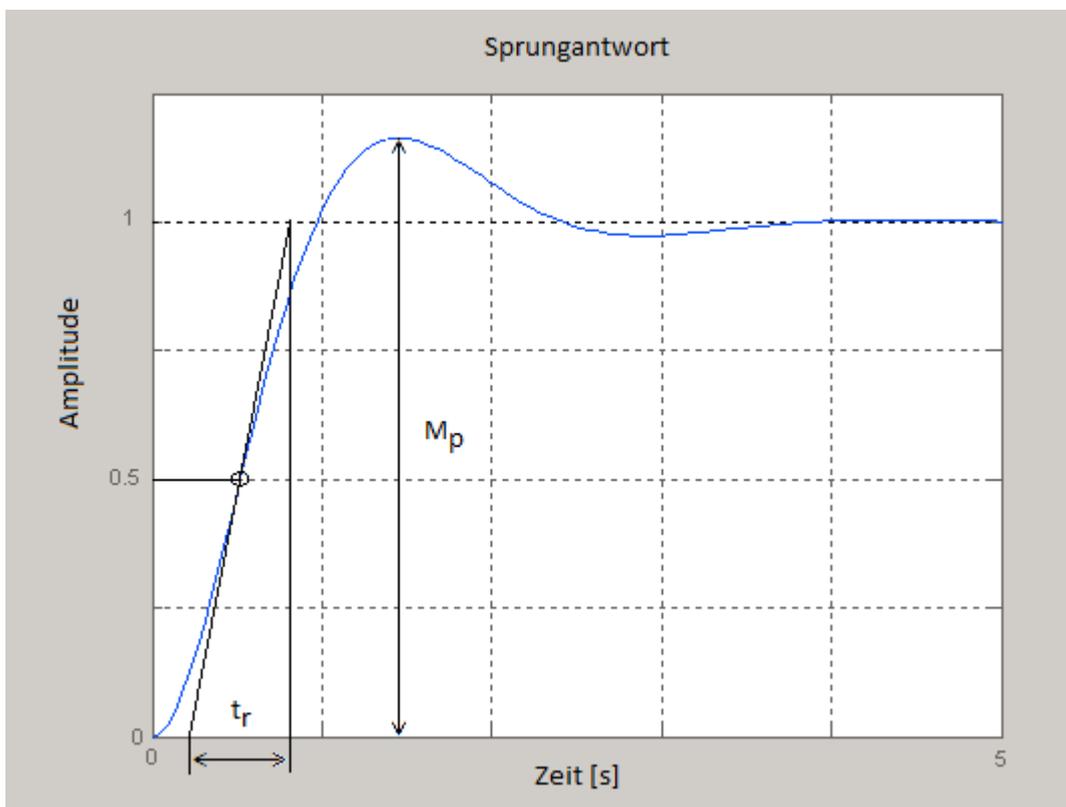


Abbildung 3.2.: Überschwingen und Anstiegszeit bei einer typischen Sprungantwort, abgeleitet aus [6]

Aus der Anstiegszeit lässt sich die Durchtrittsfrequenz ω_c über die Beziehung

$$\omega_c t_r \approx 1,5 \quad (3.4)$$

näherungsweise berechnen. Auf den Formeln 3.2 und 3.4 basiert die Grundlage des Frequenzkennlinienverfahrens.

3.1.3. Stationäres Verhalten

Um das stationäre Verhalten eines Regelkreises zu untersuchen, werden am Eingang gewisse Testfunktionen angelegt. Ein Eingangssprung oder eine Rampenfunktion eignen sich hervorragend um das Verhalten des Regelkreises für $t \rightarrow \infty$ analytisch zu berechnen. Das stationäre Verhalten kann durch entsprechende Wahl von Korrekturgliedern nahezu beliebig eingestellt werden. [6]

3.2. Entwurf nach dem symmetrischen Optimum

Der Ansatz die Reglerparameter nach dem symmetrischen Optimum abzustimmen stammt von Kessler. [7] Das Ziel dieser Methode ist es bei der Durchtrittsfrequenz ω_c ein Maximum an Phasenreserve Φ_r zu erreichen. [11]

Es wird angenommen, dass die Streckenübertragungsfunktion bekannt ist. Hier wird die Synthese mit einem PID-Regler vorgestellt. In [11], [19] und [15] finden sich auch Abwandlungen der Methode für andere Strecken als die hier vorgestellte. Dabei werden in der Übertragungsfunktion die kleineren, parasitären Zeitkonstanten wie in Gleichung 3.5 angenähert. Durch den D-Anteil im Regler wird die zweitgrößte Zeitkonstante durch $T_V = T_2$ kompensiert.

$$(1 + sT_1) \cdot (1 + sT_3) \approx sT_3 \cdot (1 + sT_1) \quad \text{wenn } (T_1 \gg T_3) \quad (3.5)$$

Die Streckenübertragungsfunktion lautet

$$P(s) = \frac{G_0}{s(1 + sT_1)(1 + sT_2)} \quad (3.6)$$

unter der Bedingung dass $T_1 > T_2 (> T_3)$. Wie oben erwähnt, wird die zweitgrößte Zeitkonstante durch das D-Glied kompensiert ($T_V = T_2$). Dadurch sieht die Übertragungsfunktion des offenen Kreises wie folgt aus.

$$L(s) = \frac{K_P \cdot G_0}{s^2 T_N (1 + sT_1)} \quad (3.7)$$

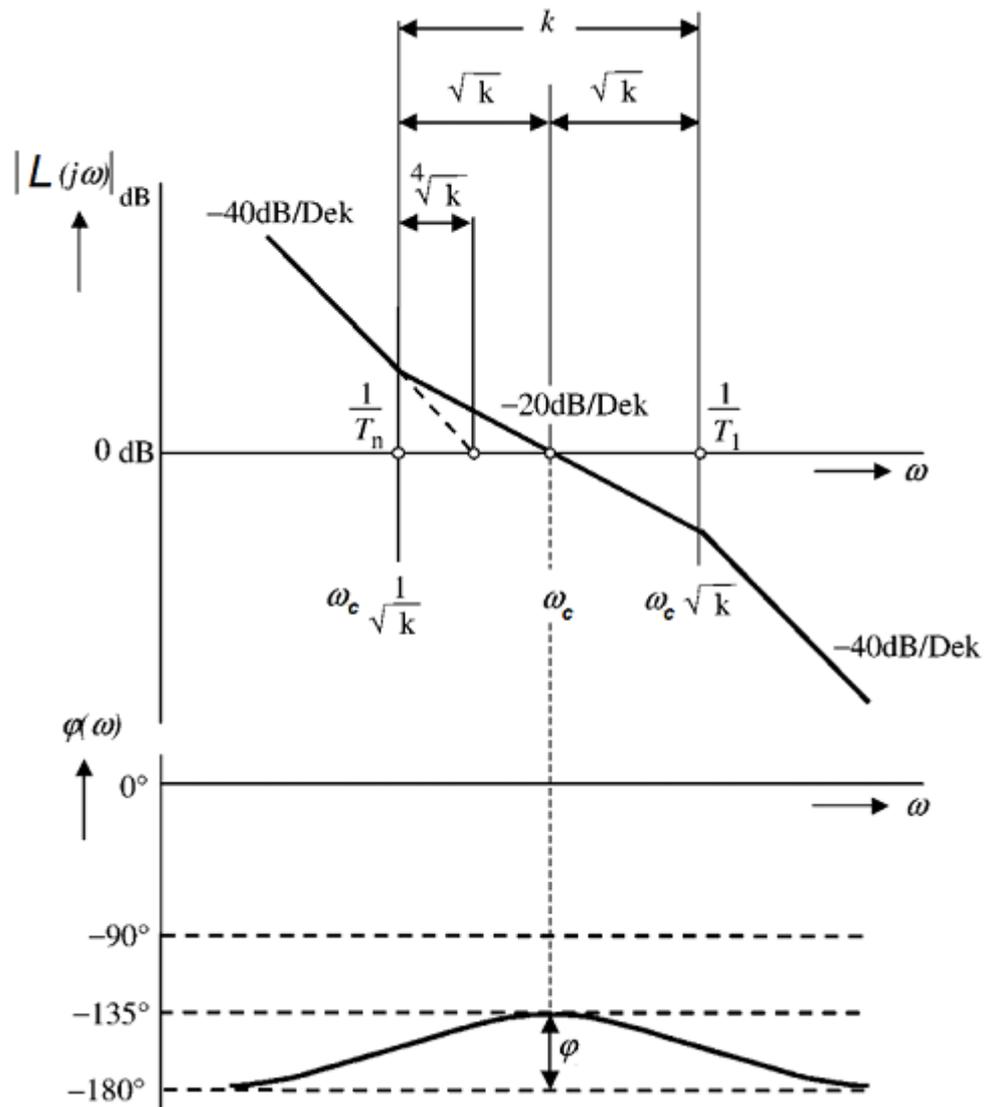
Die übrigen Reglerkoeffizienten werden so eingestellt, dass die Durchtrittsfrequenz ω_c das geometrische Mittel der beiden Frequenzen $\omega_{E1} = 1/T_N$ und $\omega_{E2} = 1/T_1$ annimmt. Das Bode-Diagramm sieht im Bereich der Durchtrittsfrequenz aus wie in Abbildung 5.12.

Der Faktor k wird eingeführt ($k = T_N/T_1$). Durch den Faktor k wird die Bandbreite definiert. Kessler empfiehlt als Standardeinstellung $k = 4$. Für diese Standardeinstellung ergeben sich für die Reglerkoeffizienten folgende Werte:

$$\begin{aligned} K_P &= \frac{1}{2G_0 T_1} \\ T_N &= 4T_1 \\ T_V &= T_2 \end{aligned} \quad (3.8)$$

Eine beispielhafte Ermittlung der Reglerparameter nach dem symmetrischen Optimum findet sich in Kapitel 5.3.2.

In den folgenden Kapiteln soll nun aber mehr auf den realisierten Regler eingegangen werden.

Abbildung 3.3.: Bode-Diagramm des offenen Kreises $L(s)$ nach dem symmetrischen Optimum. [19]

4.1.1. DMOS

Am Drain-Pin des DMOS liegt eine Spannung an. Dies kann die Bordspannung des Fahrzeuges sein, oder aber auch eine Spannung im Chip. Dabei ist nur darauf zu achten, dass die Spannung um mindestens 0,5 V größer ist als die Ausgangsspannung des Regelkreises.

Die Ausgangsspannung kann nun mit Hilfe einer Gatespannung gesteuert werden, welche mit Hilfe des Stromes aus der DCCS erzeugt wird. Daher hängt das Gate des DMOS an der DCCS (siehe Kapitel 4.1.2). Für nähere Betrachtungen zu Feldeffekttransistoren sei an dieser Stelle auf [14] (Kapitel 2 und 3) verwiesen.

Kleinsignalmodell

Die Übertragungsfunktion der Strecke in SPT9 lautet

$$P(s) = \frac{K_S \cdot (1 + sT_{z1}) \cdot (1 + sT_{z2}) \cdot (1 + sT_{z3})}{s \cdot (1 + sT_{p1}) \cdot (1 + sT_{p2}) \cdot (1 + sT_{p3})}, \quad (4.2)$$

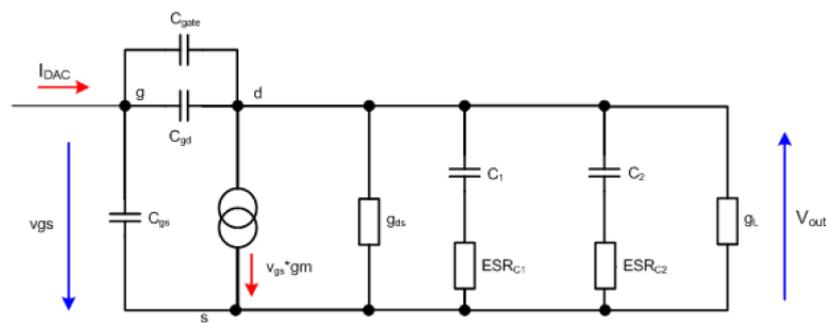


Abbildung 4.2.: Kleinsignalmodell der Regelstrecke [13]

wobei T_z und T_p die Zeitkonstanten und K_S den Verstärkungsfaktor der Strecke darstellen. Hierbei ist zu beachten, dass diese Übertragungsfunktion auch von der Last (Lastkapazität, Laststrom) abhängig ist. In Abbildung 4.2 ist das Kleinsignalmodell der Strecke abgebildet. Die Zeitkonstanten setzen sich aus den in dieser Abbildung angegebenen Kenndaten sowie aus den spezifischen Parametern des eingesetzten DMOS zusammen. Hierbei gehören der Lastleitwert G_L und die Kondensatoren C_1 und C_2 mit ihren Serienschwingerwiderständen ESR_{C1} und ESR_{C2} zur angehängten Last. Der Rest sind Kenndaten des DMOS sowie Ein- und Ausgangsgröße.

4.1.2. DCCS

DCCS steht für Digitally Controlled Current Source - digital gesteuerte Stromquelle. Der DCCS wird ein 4-bit breites Wort und ein Vorzeichenbit zugeführt. Je nach Einstellung liefert die Stromquelle pro LSB 0,5; 1; 1,5 oder $2 \mu\text{A}$ an den Gate-Anschluss des DMOS, womit dann der Spannungsabfall zwischen Drain und Source am DMOS und somit die Ausgangsspannung beeinflusst werden kann.

Mathematisches Modell

Da die DCCS einen Takt braucht um das Eingangssignal in einen Stromfluss umzuwandeln, muss dies auch in der Übertragungsfunktion zu sehen sein. Eine solche Totzeit wird in der s-Ebene als e^{-sT} dargestellt. Die Übertragungsfunktion des Digital-Analog-Umsetzers in SPT9 lautet

$$H_1(s) = I_{LSB} \cdot \frac{1 - e^{-sT_d}}{s}. \quad (4.3)$$

4.1.3. ADU

Um die Ausgangsgröße dem Regler zurückzuführen wird ein SAR-ADU eingesetzt. Dieser bestimmt auch die Abtastzeit T_d . Der Umsetzer benötigt 13 Takte um ein analoges Eingangssignal zu konvertieren. Da in SPT9 eine Taktfrequenz von 20 MHz gewählt wurde, ergibt sich für die Abtastzeit

$$T_d = \frac{13}{20 \text{ MHz}} \approx 650 \text{ ns}. \quad (4.4)$$

Der Ausgang des ADUs ist acht Bit breit. Bei einer Regelung auf 5 V oder 3,3 V entspricht ein LSB ungefähr einer Spannung von $V_{LSB} = 22 \text{ mV}$, bei der 1,5 V-Variante ist ein LSB in etwa $V_{LSB} = 6,6 \text{ mV}$ wert. Der Unterschied kommt daher, dass bei der 1,5 V-Variante eine andere ADU-Referenz herangezogen wird. Dieser ADU setzt dann nicht mehr zwischen 0 und 5,6 V, sondern zwischen 0 und 1,7 V um.

Mathematisches Modell

Der ADU besitzt - wie auch die DCCS - eine Totzeit, welche sich in der Übertragungsfunktion mit dem Term $1/z$ bemerkbar macht. Ansonsten ist der ADU einfach ein Skalierer, der die Spannung V_{LSB} auf 1 abbildet.

$$H_2(z) = \frac{z^{-1}}{V_{LSB}} \quad (4.5)$$

4.1.4. Digitalteil

Der Digitalteil im Chip ist äußerst flexibel. Je nachdem welche Funktionen im fertigen Chip benötigt werden, wird der Chip von der Fläche her größer oder kleiner. So kann man beispielsweise die Referenzgröße (also den digitalen Referenzwert für die Ausgangsspannung) fixiert lassen um Chipfläche zu sparen.

Aufgaben

Die Hauptaufgabe des Digitalteiles ist die Berechnung und Ausgabe der Stellgröße. Er bekommt die in einen 8-bit breiten, digitalen Wert umgewandelte, zu regelnde Spannung, vergleicht sie mit einem einstellbaren Referenzwert und berechnet dann mit Hilfe des PID-Algorithmus (Gleichung 4.1) einen 4-bit Stellwert und ein Vorzeichenbit. Diese fünf Bits werden dann der DCCS weitergegeben.

Funktionen

Das Modul ist mit einem Businterface ausgestattet, welches es erlaubt zahlreiche Parameter zu trimmen und Einstellungen vorzunehmen. Der Digitalteil ist unter anderen in folgenden Punkten flexibel:

- Feineinstellung der geregelten Spannung
- Einstellungen für die Startrampe
- LSB-Stromeinstellung der DCCS
- Trimmen der Reglerparameter

Ein großer Vorteil gegenüber einer analogen Implementierung liegt in diesen Einstellmöglichkeiten. In Kapitel 7.3 werden die Unterschiede zwischen den einzelnen Implementierungsmöglichkeiten näher beleuchtet.

Mathematisches Modell

Die Übertragungsfunktion für das mathematische Modell ist die eines zeitdiskreten PID-Reglers, wie in Kapitel 2.2.1 dargestellt.

$$R(z) = \frac{u(z)}{e(z)} = K_P \left(1 + \frac{T_d}{T_N} \frac{z}{z-1} + \frac{T_V}{T_d} \frac{z-1}{z} \right) \quad (4.6)$$

4.1.5. Mathematisches Gesamtmodell

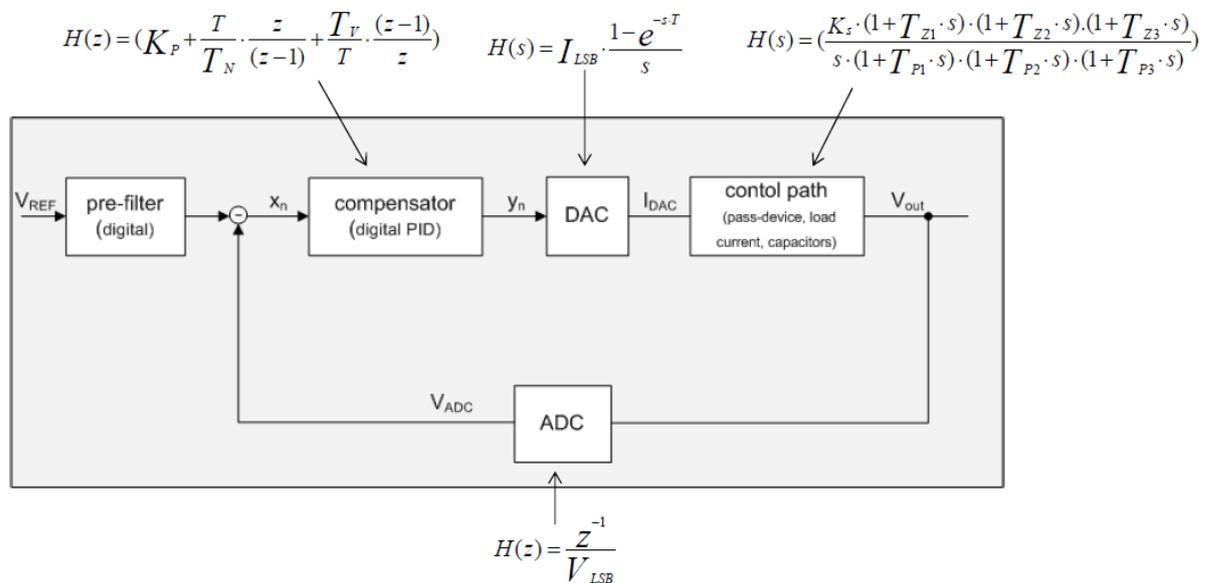


Abbildung 4.3.: Mathematisches Modell des Regelkreises in SPT9 [13]

Alle Einzelsysteme in einen Regelkreis vereint ergibt das mathematische Gesamtmodell, welches in Abbildung 4.3 dargestellt ist.

Hierbei wird für T_d die in Kapitel 4.1.3 errechnete maximale Abtastzeit von $T_d = 650 \text{ ns}$ verwendet. Der Verstärkungsfaktor V_{LSB} ergibt sich aus der zu regelnden Ausgangsspannung (siehe Kapitel 4.1.3), I_{LSB} ist - wie in Kapitel 4.1.2 erläutert - einstellbar auf z.B. $1 \mu\text{A}$. Die Parameter der Strecke können in SPT9 mit Hilfe eines MatLab-Skriptes berechnet werden. Die Berechnung dieser Parameter ist sehr aufwändig und würde den Rahmen dieser Arbeit sprengen, weshalb hier nicht näher darauf eingegangen wird. Bleiben noch die Reglerparameter, welche in Kapitel 5.3 beispielhaft für eine Strecke in SPT7 berechnet werden.

4.2. SPT7-Implementierung

Die Realisierung des Regelkreises in SPT7 unterscheidet sich von der SPT9-Realisierung (abgesehen von der Technologie) nur in den folgenden Punkten:

DMOS

Für SPT7 gibt es vier Möglichkeiten für die Regelstrecke. Der NMOS (L-DMOS, im Weiteren nur noch DMOS genannt) entspricht dabei am Besten den Anforderungen. Er kann höhere Lastströme bei akzeptablem Flächenverbrauch in SPT7 liefern und ist außerdem robust wenn es um EMI (ElectroMagnetic Immunity, elektromagnetische Verträglichkeit) und ESD (ElectroStatic Discharge, elektrostatische Entladungen) geht. Für einen Ausgangsstrom von 1 A benötigt der DMOS ungefähr $1,3 \text{ mm}^2$ Chipfläche.

Komplexere Ausgangsstufen (wie z.B. eine NMOS-Kaskade mit aktivem PNP Transistor) wären auch realisierbar, benötigen jedoch mehr Chipfläche und wären erheblich teurer, was diese Varianten unattraktiv macht. Die Vorteile dieser Varianten kommen nur bei niedrigeren Lastströmen zur Geltung, weshalb sie hier nicht eingesetzt werden. [10]

ADU

Der in SPT9 verwendete SAR-ADU ist mittlerweile in SPT7 verfügbar, war dies aber zum Zeitpunkt als der verwendete Testchip gefertigt wurde noch nicht. Stattdessen wird ein externer 8-bit ADU am FPGA-Board (siehe Kapitel 4.3.2) eingesetzt. Der AD9280 von Analog Devices kommt hierbei dem realisierbaren ADU am nächsten und ist somit Bestandteil der untersuchten Regelschleife. Zu beachten ist jedoch, dass der AD9280 keine 13 Takte zur Umsetzung benötigt, sondern lediglich einen.

Digitalteil

Der Digitalteil in SPT9 ist in VHDL geschrieben, weshalb er problemlos übernommen (und auch angepasst) werden kann. Der einzige Unterschied ist die Versorgungsspannung der digitalen Logik, welche in der SPT7-Realisierung $3,3 \text{ V}$ beträgt.

4.3. FPGA-Board (Testplatine)

Der Regler in SPT7 soll laut Spezifikation folgenden Anforderungen genügen: [10]

- Ausgangsspannung einstellbar entweder auf 1,5 V oder zwischen 3,3 und 5 V beliebig
- Ausgangsströme von bis zu 1 A
- Lastkapazitäten von 100 pF bis 10 μ F

Um die Implementierung zu testen wurde eine Testplatine entworfen. Dabei wurde darauf geachtet die Regelschleife möglichst klein zu gestalten um induktive Einflüsse zu minimieren. In Abbildung 4.4 sieht man ein Bild der gesamten Platine.

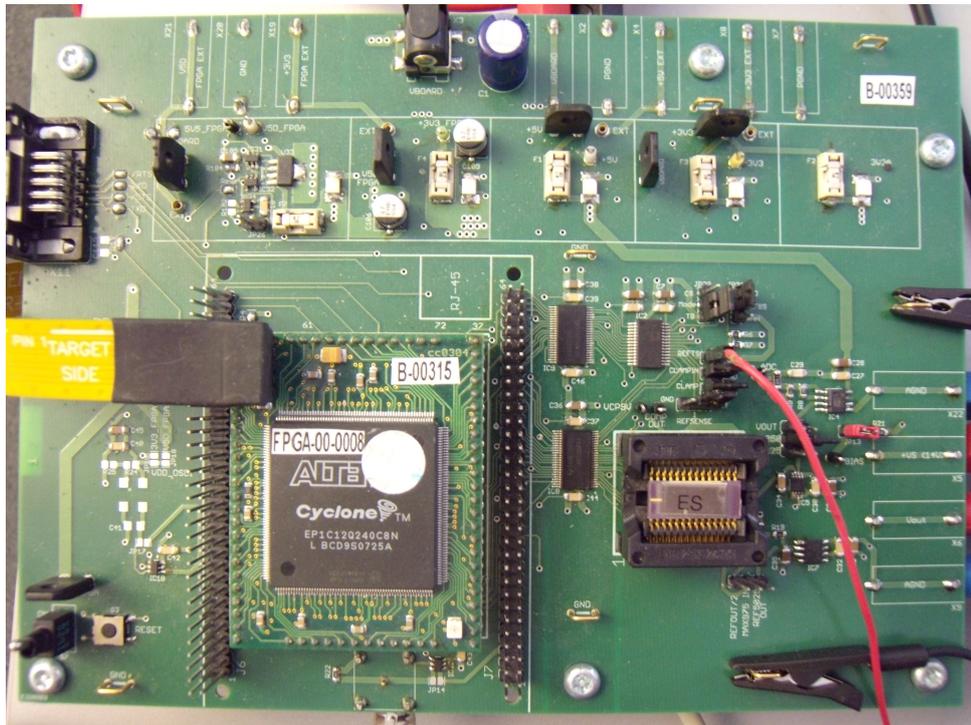


Abbildung 4.4.: Gesamtes FPGA-Board

Die DCCS und der DMOS sind hier auf einem Testchip von Infineon untergebracht, der ADU ist ein externes Bauteil und der Digitalteil wurde auf einem FPGA implementiert. In Abbildung 4.5 sieht man eine Übersicht über den Aufbau der Testplatine. Schaltplan und Platinenlayout finden sich im Anhang A.

4.3.1. Testchip

Am bereits vorhanden gewesenen SPT7-Testchip sind die DCCS und der DMOS implementiert. Abbildung 4.6 zeigt den Sockel mit dem Testchip.

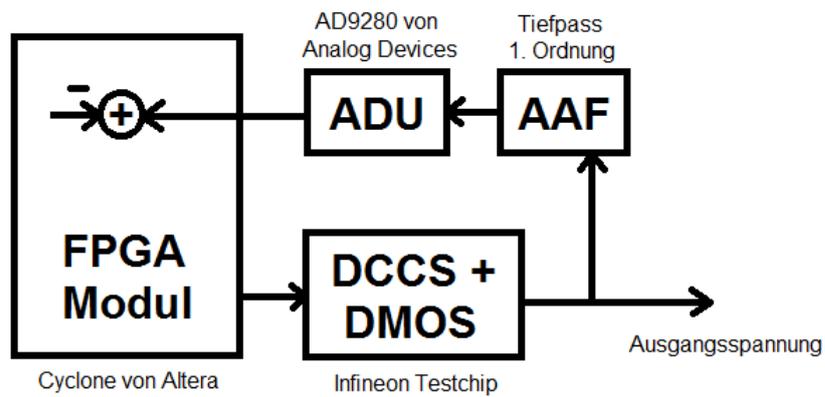


Abbildung 4.5.: Blockschaltbild des FPGA-Boards

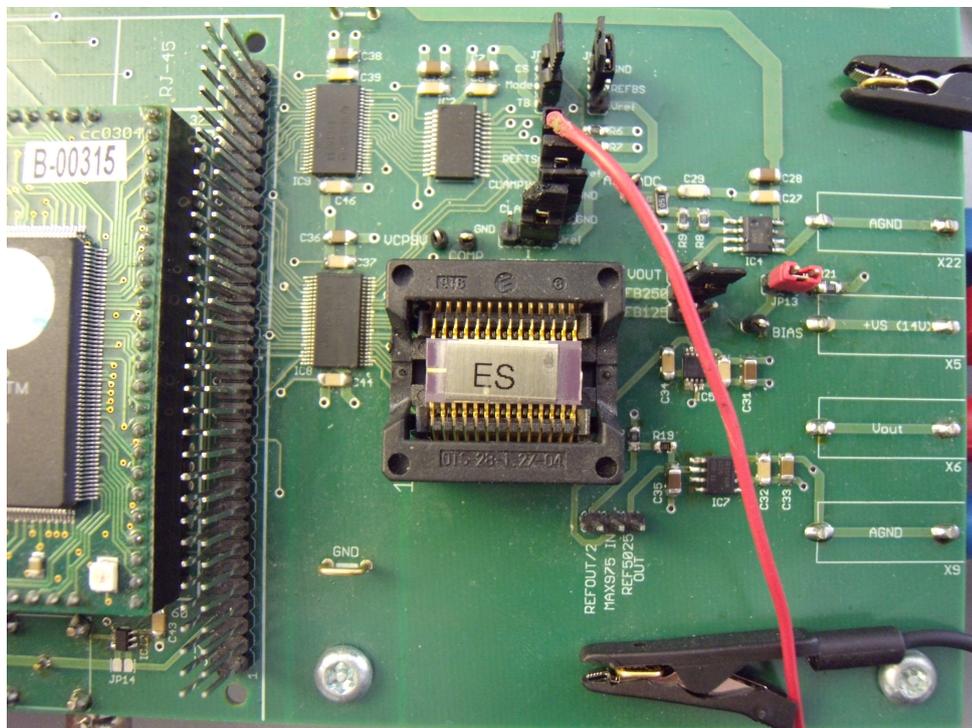


Abbildung 4.6.: Testchip

4.3.2. ADU

Der ADU wurde extern in den Regelkreis eingebaut. Auf der Platine wird der AD9280 von Analog Devices verwendet. Dieser benötigt für die Umsetzung der analogen Spannung in ein digitales Wort nur einen Taktzyklus anstatt der 13 Zyklen des SPT7 SAR-ADU. Theoretisch könnte somit die Abtastzeit T_d in den Berechnungen am FPGA verringert werden, was aber nicht getan wurde um den Regler in der realisierbaren Regelschleife (mit dem SAR-ADU) besser simulieren zu können.

4.3.3. Anti-Aliasing Filter

Am Board wurde außerdem ein Anti-Aliasing Filter eingebaut. Ein einfaches Tiefpassfilter erster Ordnung wurde verwendet um eventuell auftretende Aliasing-Effekte unterdrücken zu können. Im ursprünglichen Schaltplan wurde die Grenzfrequenz des Filters allerdings so hoch gewählt (1 GHz), dass es keine Einflüsse auf die Regelschleife haben sollte. Ein Widerstand von $15\ \Omega$ und eine Kapazität von $10\ \text{pF}$ ergeben die Grenzfrequenz des Filters von 1 GHz (siehe Kapitel 6.1.2).

4.3.4. FPGA

Der digitale Teil des Spannungsreglers wurde mit Hilfe eines FPGAs implementiert. FPGAs sind ein guter Ersatz wenn es um das Testen eines digitalen Chipteiles geht. Man benötigt keinen eigenen Testchip für jedes digitale Design was eine hohe Flexibilität zur Folge hat. Das eingesetzte FPGA-Modul ist das Cyclone-Modul von Altera, wie in Abbildung 4.7 dargestellt.



Abbildung 4.7.: Das eingesetzte FPGA-Modul von Altera

5. Simulationsergebnisse

5.1. Verifikation des Digitalteiles

Der digitale Teil des Spannungsreglers wurde mit Hilfe von Incisive simuliert. Incisive umfasst eine Reihe von Tools von Cadence Design Systems, welche entwickelt wurden um Designs in verschiedensten Hardware-Programmiersprachen zu simulieren.

Da hier nur der digitale Teil verifiziert werden soll, wurde der analoge Teil mit Hilfe von VHDL-AMS (VHDL für analoge und gemischte Signale) nachgebildet. Neben der grundsätzlichen Funktionsweise wurden auch die verschiedensten Einstellmöglichkeiten simuliert und verifiziert.

In Abbildung 5.1 sieht man den Einschaltvorgang auf eine Spannung von 3,3V sowie eine kurzzeitige Änderung der Referenzgröße auf 5V.



Abbildung 5.1.: Digitale Simulation des Spannungsreglers

Der Einschaltvorgang ist in Abbildung 5.2 zu sehen. Der Digitalteil beinhaltet über den Bus eine Einstellmöglichkeit für die Steilheit der Rampe beim Einschaltvorgang um zu großes Überschwingen bei verschiedenen Lasten zu verhindern.



Abbildung 5.2.: Startrampe der Ausgangsspannung

Die digitale Startrampe ist hier auf 1 Bit/Periode eingestellt. Der Hex-Wert 9D entspricht der Zahl 157. Um von Null auf 157 Bits zu kommen benötigt der Regler also (bei einer Periodendauer von 650 ns) 102 μ s. Da die digitale Rampe aber früher aktiviert wird als die Ausgangsgröße zu steigen beginnt dauert es nur ca. 90 μ s. Dies sieht man auch daran, dass am Start die Rampe schneller steigt als in der Begrenzung. Das Überschwingen wäre ohne dieser digitalen Begrenzung der Startrampe erheblich höher.

In Abbildung 5.3 sieht man die Einschwingvorgänge.

Man muss beachten, dass die geregelte Spannung aufgrund des ADUs nicht immer genau dieselbe ist. Der Full Scale Range des 8-bit ADUs liegt hier bei etwa 5,6 V. Ein LSB entspricht daher einer Spannung von ca. 22 mV.

Dies ist in der Abbildung deutlich ersichtlich. Die gewünschte Ausgangsspannung beträgt 3,3 V, was einem Digitalwert von 9D in Hex entspricht. Nach der Startrampe ist die Ausgangsspannung auf 3,30395 V, nach der kurzzeitigen Änderung der Referenzgröße beträgt sie 3,2908 V. Der digitale Wert von 9D wird jedoch immer erreicht.



Abbildung 5.3.: Einschwingvorgang

5.2. Simulation des Analogteiles

Der Analogteil wurde mit Hilfe von Spectre in der Cadence-Umgebung simuliert. Dabei war vor allem die Streckenübertragungsfunktion bzw. das Bode-Diagramm der Strecke interessant. Daraus kann man dann die Reglerparameter ermitteln. Der Schaltplan für die Simulation ist in Anhang B abgebildet.

Dabei wurden alle digitalen Eingänge auf fixe Werte gesetzt (0 oder 1) und der digitale Regler wurde durch eine spannungsgesteuerte Stromquelle ersetzt. Die Eingangskapazität und der Eingangswiderstand des am FPGA-Board eingesetzten ADUs wurden ebenso implementiert wie das Anti-Aliasing Filter.

Die Rückkopplung erfolgt - wie auch später beim FPGA-Board - über die mit Hilfe eines Spannungsteilers halbierten Ausgangsspannung der Regelstrecke und nicht über die Ausgangsspannung selbst.

Die erste Simulation mit einem Laststrom von 77 mA und einer Lastkapazität von 1 μF ergibt das Bode-Diagramm in Abbildung 5.4.

Dabei sieht man das Bode-Diagramm vom Eingang zum Spannungsausgang sowie das Diagramm vom Eingang zum ADU-Eingang. Bei Zweiterem ist ein zusätzlicher Pol vorhanden, welcher vom Anti-Aliasing Filter kommt. Das Filter hat eine Grenzfrequenz von 300 kHz.

Der erste Pol bei ca. 3 Hz kommt von der Gate-Kapazität (20 pF), welche im Testchip vor dem Gate-Eingang des DMOS liegt. Diese Kapazität weist in Wirklichkeit integrierendes Verhalten auf, was bei sehr kleinen Frequenzen jedoch von Nichtidealitäten der Modelle überlagert wird. Für den Bereich der

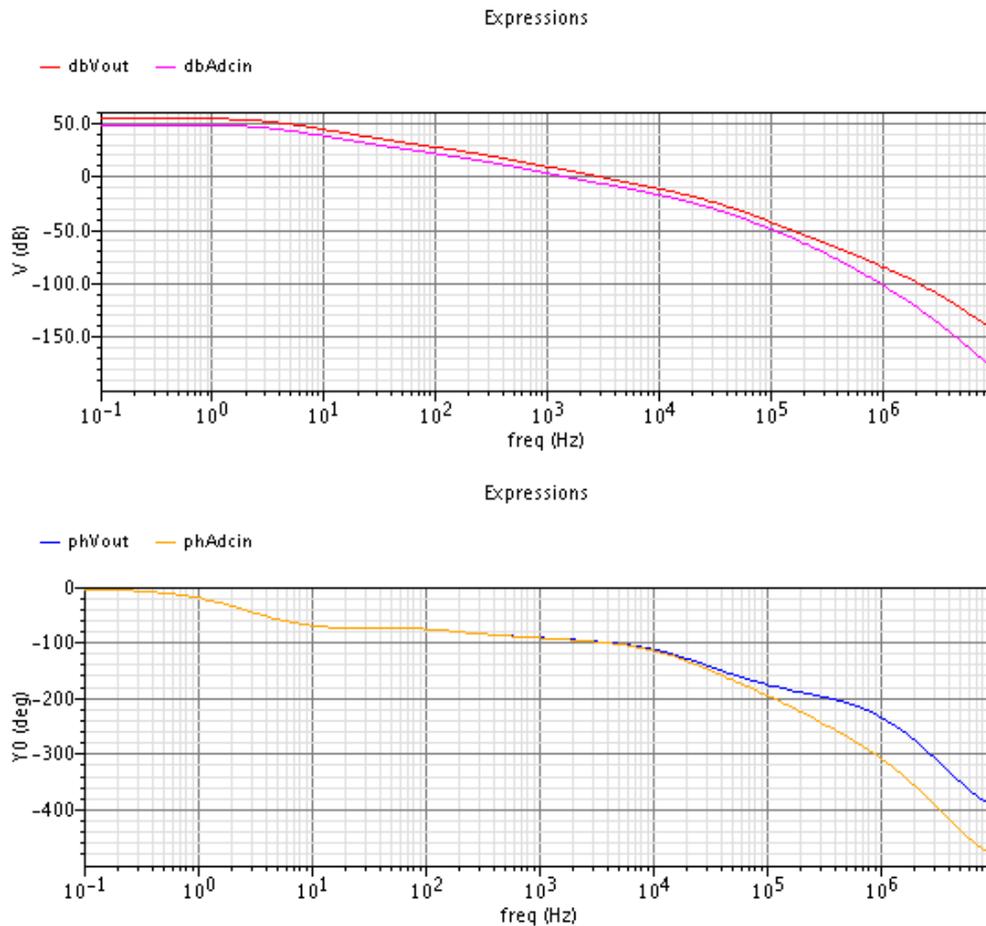


Abbildung 5.4.: Bode-Diagramm der Regelstrecke, 77 mA Laststrom, 1 μF Lastkapazität

Durchtrittsfrequenz spielt dies allerdings nur eine sehr geringe Rolle, da in diesem Bereich die 90 Grad Phasendrehung eines Integrierers bereits nahezu vollständig auftreten. Aufgrund des Layouts des Testchips kann diese Kapazität nicht verändert werden.

Der zweite Pol bei ca. 35 kHz ist der Pol der Lastkapazität. Dieser kann zusammen mit dem Laststrom verändert werden. Alle Pole dahinter kommen vom DMOS bzw. von der Strecke.

5.2.1. Analyse der Regelstrecke

Bei der Durchtrittsfrequenz von ca. 3 kHz tritt in der Regelstrecke eine Phasenverschiebung um 95 Grad auf. Aus Kapitel 3.1 wissen wir dass der geschlossene Kreis stabil ist wenn die Phasenreserve im offenen Kreis positiv ist. Mit dieser Strecke sind also keine Stabilitätsprobleme zu erwarten. In der Praxis ist eine Phasenreserve von ca. 60-90 Grad empfehlenswert, da beispielsweise am FPGA-Board verschiedenste Effekte, die in der Realität zu erwarten sind, auftreten werden.

Nun wird der Einfluss der einzelnen Parameter in der Regelstrecke untersucht. In diesem Abschnitt wird das Bode-Diagramm der Übertragungsfunktion vom Eingang zum Spannungsausgang betrachtet. Dabei

ist zu beachten dass der Pol des Anti-Aliasing Filters nicht sichtbar ist, welcher je nach Grenzfrequenz des Filters eine weitere Verschiebung der Phase bedeuten könnte. Die Grenzfrequenz des Filters wurde für die Aufnahme der Bode-Diagramme auf 300 kHz festgelegt, wo dann auch der Pol liegt (siehe Abbildung 5.8). Näheres zum Filter gibt es in Kapitel 6.1.2.

Gate-Kapazität

Durch Verändern der Gate-Kapazität wird der erste Pol verschoben. Da die Gate-Kapazität aber eigentlich einen Integrieranteil darstellt, bedeutet das in Wahrheit nur eine kleine Veränderung in der Verstärkung der Regelstrecke. In Abbildung 5.5 erkennt man, dass eine größere Kapazität den ersten Pol nach links verschiebt, was einer geringeren Streckenverstärkung entspricht und daher eine kleinere Durchtrittsfrequenz zur Folge hat.

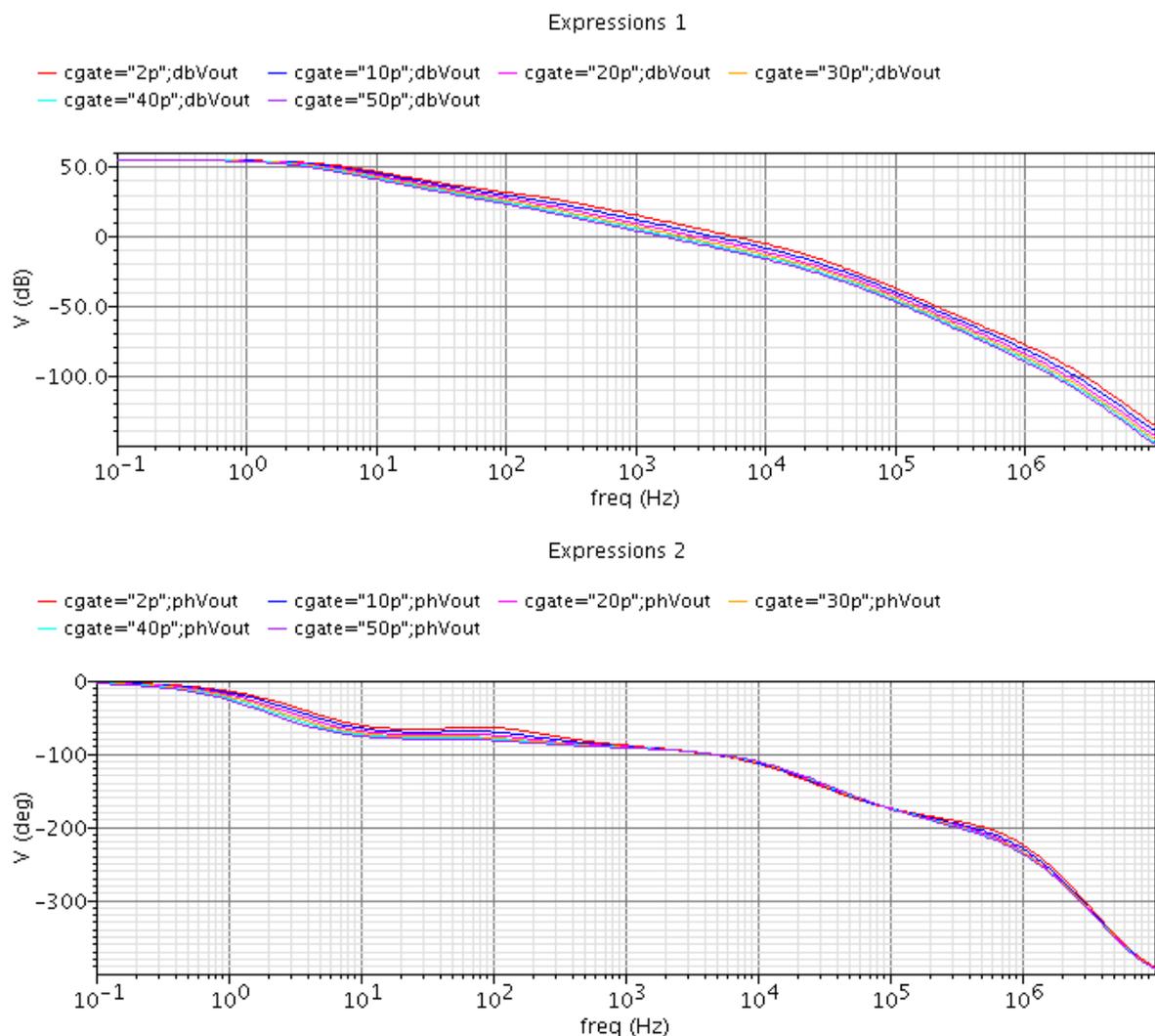


Abbildung 5.5.: Bode-Diagramm über verschiedene Gate-Kapazitäten

Die Phasendrehung liegt im Bereich der Durchtrittsfrequenzen (20 bis 60 kHz) zwischen 95 und 102 Grad. Es spricht also nichts dagegen die Gatekapazität bei einem Wert von 20 pF zu belassen.

Lastkapazität

In Abbildung 5.6 sieht man die Auswirkung der Lastkapazität auf das Bode-Diagramm. Der Lastwiderstand beträgt $43\ \Omega$, was einem Laststrom von 77 mA entspricht.

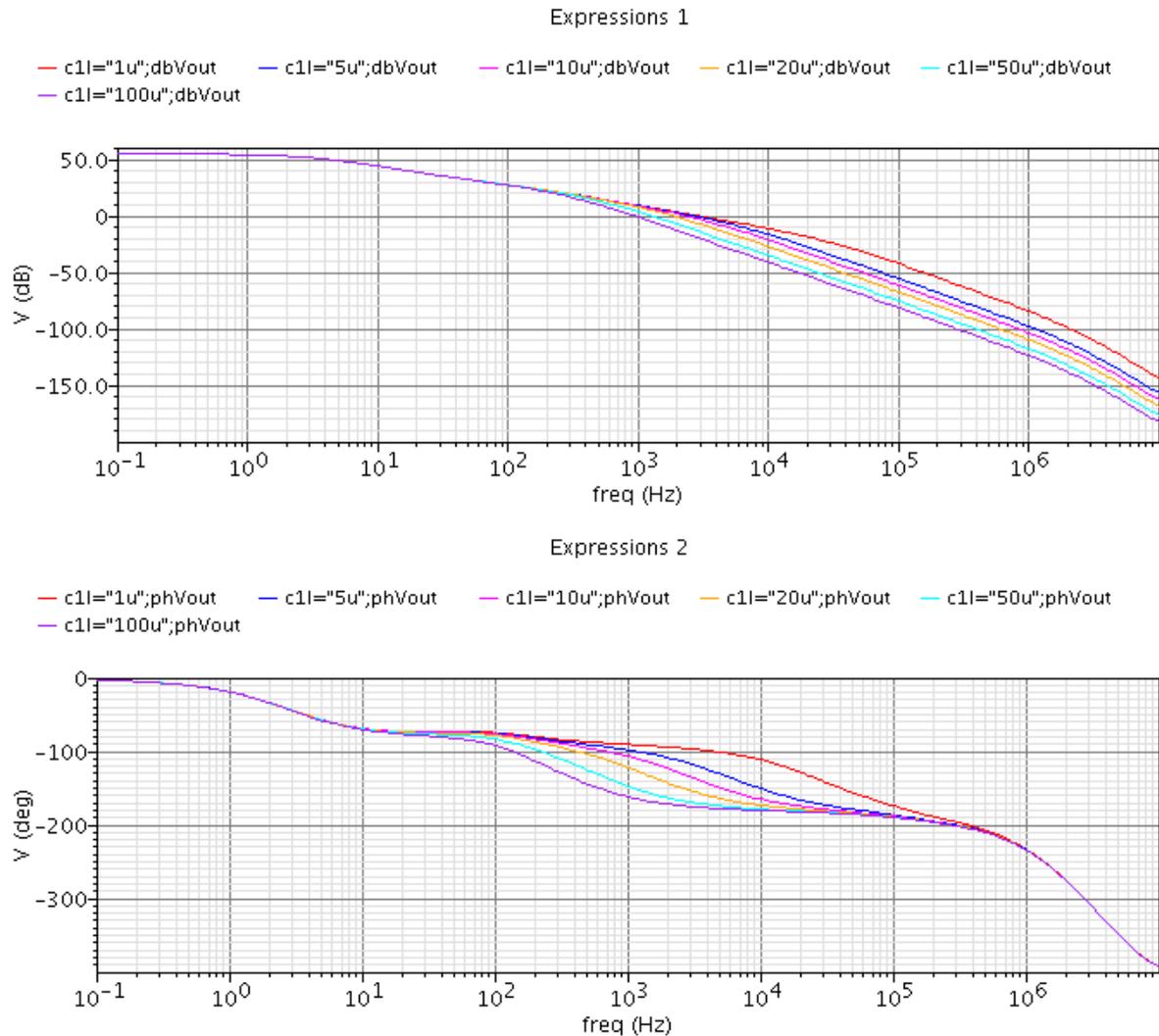


Abbildung 5.6.: Bode-Diagramm über verschiedene Lastkapazitäten

Eine Erhöhung der Lastkapazität bewirkt also eine Verschiebung des zweiten Poles nach links. Bei Lastkapazitäten bis $1\ \mu\text{F}$ ist das kein Problem, da der Pol dann immer noch mehr als eine Dekade über der Durchtrittsfrequenz liegt und somit der Phasengang im Bereich der Durchtrittsfrequenz entweder gar nicht oder nur geringfügig beeinflusst wird.

Laut Spezifikation (siehe [10] oder Kapitel 4.3) sollen aber Lastkapazitäten bis $10\ \mu\text{F}$ möglich sein. Bei diesen größeren Kapazitäten hat der Pol sehr wohl einen Einfluss auf den Phasengang, was beim Entwurf eines Reglers beachtet werden muss. Dennoch sollten mit einem geeigneten Regler keine Stabilitätsprobleme auftreten.

Laststrom

Durch den Lastwiderstand wird der Laststrom simuliert. Dabei wurden sechs verschiedene Widerstandswerte von $13\ \Omega$ bis $1,1\ \text{k}\Omega$, was Lastströmen von $3\ \text{mA}$ bis $254\ \text{mA}$ entspricht, verwendet. Die Lastkapazität beträgt $1\ \mu\text{F}$. Das Ergebnis sieht man in Abbildung 5.7.

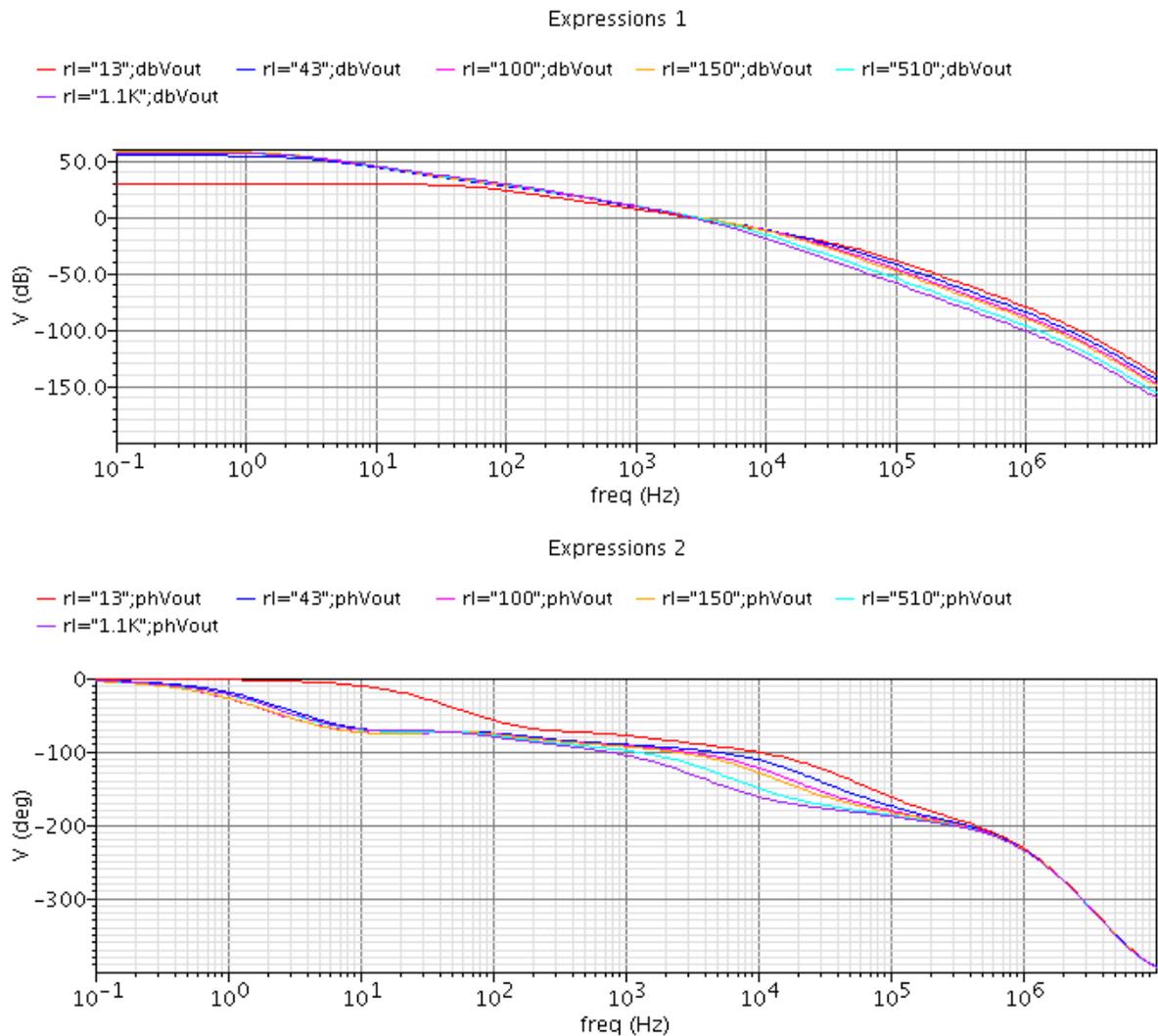


Abbildung 5.7.: Bode-Diagramm mit verschiedenen Lastströmen

Die Veränderung des Laststromes bewirkt auch eine Verschiebung des zweiten Poles. Den meisten Einfluss auf die Phasenreserve hat also ein geringer Laststrom bei einer großen Lastkapazität. In diesem Fall muss besonders auf die Wahl der Reglerkoeffizienten Acht gegeben werden.

Weiters sieht man beim Bode-Diagramm für 254 mA Laststrom einen deutlich verschobenen ersten Pol und eine deutlich geringere Verstärkung. Das ist ein anderes Problem, welches bei höheren Temperaturen (und Lastströmen) auftritt. Ob dies nur ein Simulatorfehler ist oder ob die Strecke nicht für höhere Lastströme geeignet ist wird in Kapitel 6 getestet.

Verwendete Strecke

Zur ersten Reglersynthese wird nun eine Strecke ausgewählt. Die 20 pF Gate-Kapazität kann nicht verändert werden. Die Lastkapazität wird auf 10 μ F festgelegt, um die Einflüsse des zweiten Poles bei der Durchtrittsfrequenz zu haben. Der Laststrom wird auf 33 mA eingestellt, was einem Lastwiderstand von 100 Ω entspricht. Das Bode-Diagramm ist in Abbildung 5.8 zu sehen.

Die dazugehörige Übertragungsfunktion lautet

$$P(s) = \frac{876}{(1 + \frac{1}{3,3}s) * (1 + \frac{1}{1950}s)} \quad (5.1)$$

$$P(s) = \frac{876}{155,4 * 10^{-6}s^2 + 0,3035s + 1}$$

Der Gain-Faktor im Zähler wird berechnet mit Hilfe der Verstärkung bei 1 Hz, welche laut Abbildung 5.8 58,85 dB beträgt.

$$\begin{aligned} 58,85 &= 20 * \log_{10} G_0 \\ G_0 &= 10^{\frac{58,85}{20}} \\ G_0 &= 876 \end{aligned} \quad (5.2)$$

Die Durchtrittsfrequenz beträgt 2 kHz. Die Phasenreserve bei der Durchtrittsfrequenz ist mit 43 Grad sogar deutlich positiv. Die Strecke ist also auch ohne Regler bereits stabil.

Zu beachten ist hier, dass in diesen Übertragungsfunktionen nicht die zusätzlichen Pole angezeigt werden, welche bei den höheren Frequenzen noch auftreten. Dies ist für den Reglerentwurf mittels Bode-Diagramm nicht relevant, da die Durchtrittsfrequenz deutlich unter diesen Polen liegt. Beim symmetrischen Optimum muss aber darauf geachtet werden, dass diese Pole nicht zu weit links im Bode-Diagramm liegen.

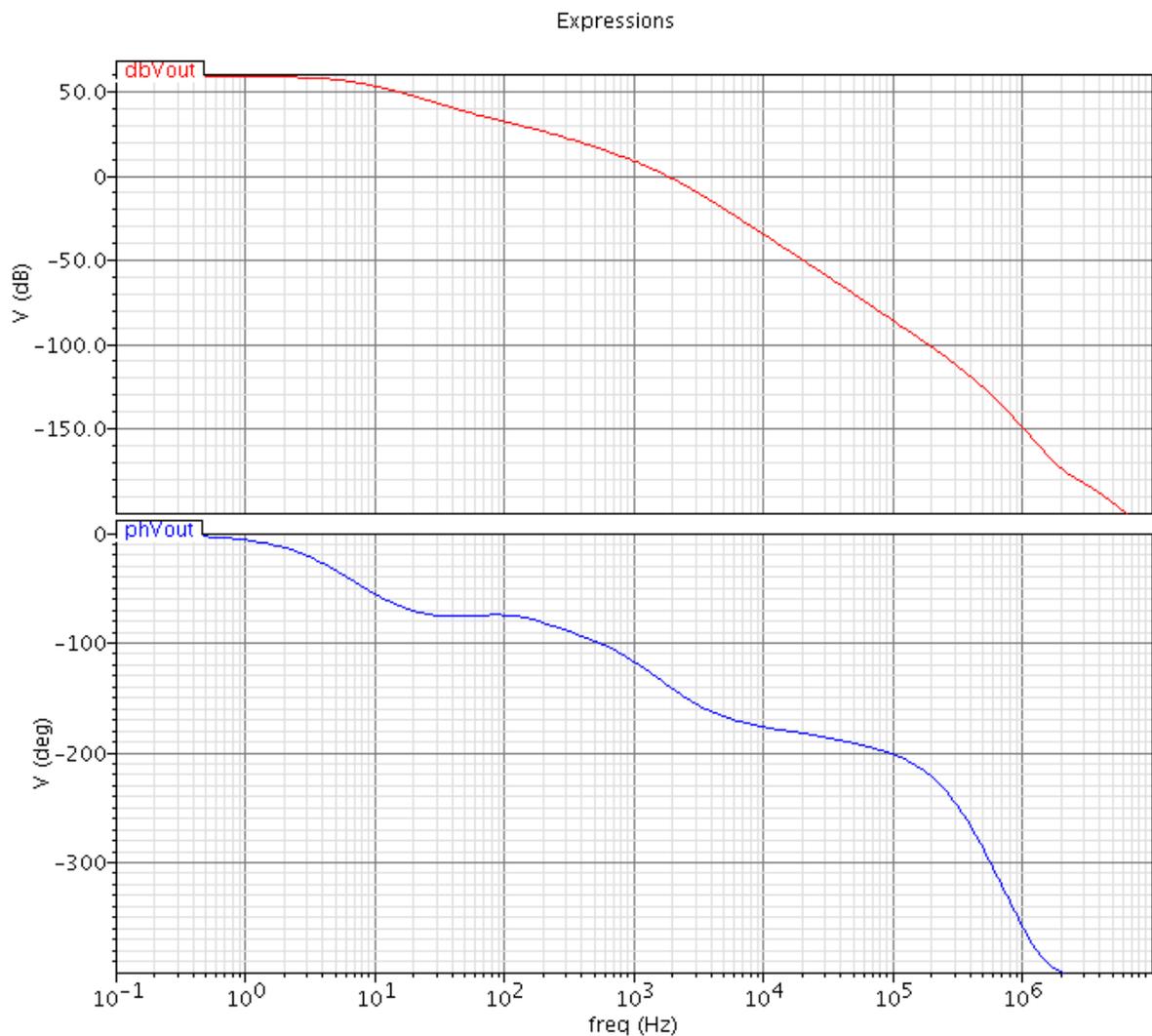


Abbildung 5.8.: Bode-Diagramm der modifizierten Strecke

5.3. Ermittlung der Reglerkoeffizienten

Die modifizierte Strecke wurde in MatLab nachgebildet. Dabei wurde eine Streckenübertragungsfunktion mit einem Verstärkungsfaktor und drei Polstellen realisiert. Die gefundenen Polstellen aus der analogen Simulation wurden danach geringfügig verändert, um im relevanten Bereich ein möglichst identisches Bode-Diagramm zu erhalten. Der dritte Pol liegt bei 100 kHz. Damit werden die Pole, die weiter rechts im Bode-Diagramm der Abbildung 5.8 liegen, nachgebildet. Auch der Pol des Anti-Aliasing-Filters (Grenzfrequenz 300 kHz) liegt darüber. In Abbildung 5.9 sieht man die nachgestellte Übertragungsfunktion der Strecke.

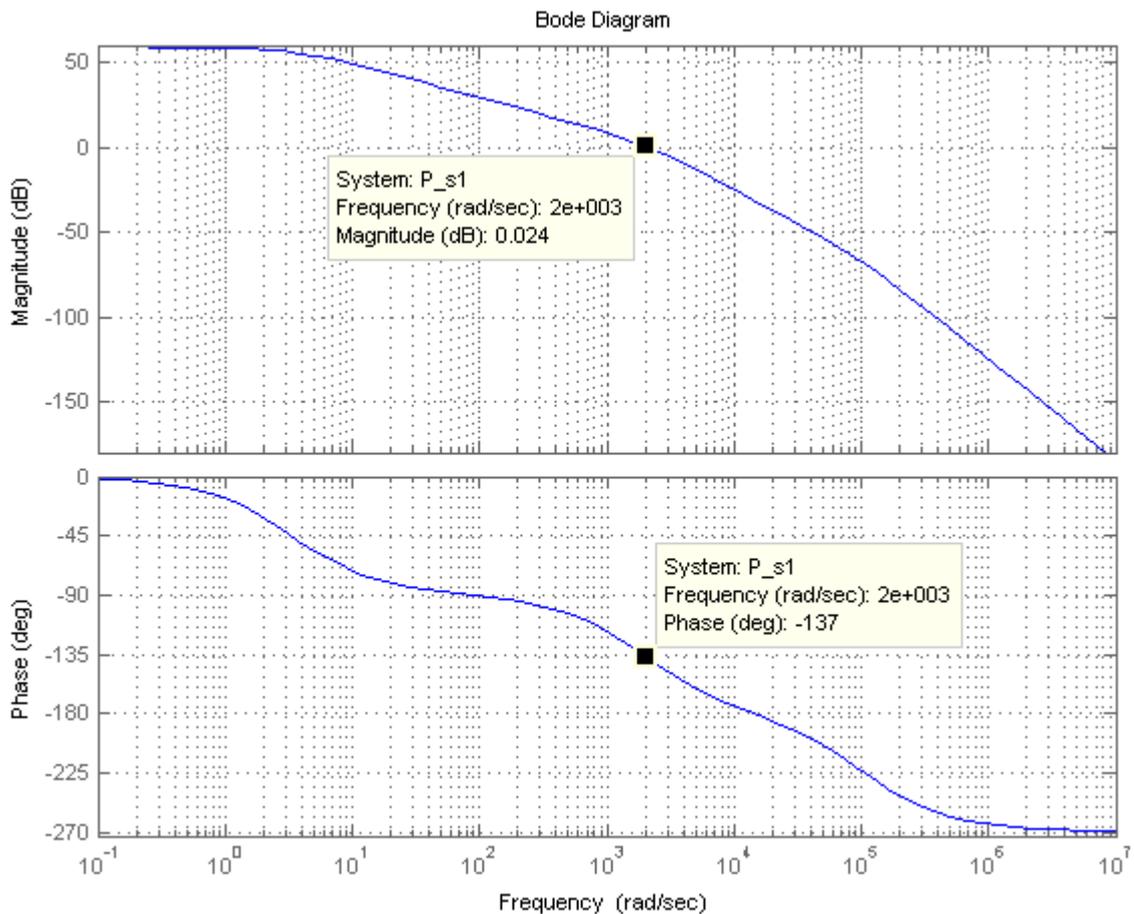


Abbildung 5.9.: Nachgebildetes Bode-Diagramm der Regelstrecke, 33 mA Laststrom, $10 \mu\text{F}$ Lastkapazität

5.3.1. Reglersynthese mit dem Bode-Diagramm

Um nun auf die Reglerkoeffizienten zu kommen wurde das Bode-Diagramm des offenen Kreises untersucht. Dabei wurde versucht durch Anpassung der Reglerkoeffizienten eine möglichst hohe Phasenreserve bei einer Vergrößerung der Verstärkung zu erreichen. In Abbildung 5.10 sieht man in grün den realisierten PID-Regler, in blau die nachgebildete Regelstrecke von Abbildung 5.9 und in rot das Bode-Diagramm des offenen Regelkreises.

Dabei sieht man bei der Durchtrittsfrequenz von etwa 8 kHz eine Phasenreserve von über 90 Grad. Diese Phasenreserve tritt sogar noch eine Dekade darüber und darunter auf. Die Durchtrittsfrequenz ist niedrig genug, sodass der Pol vom Anti-Aliasing Filter keine Auswirkung auf den Regelkreis haben sollte. Die Reglerkoeffizienten wurden beim Regler aus Abbildung 5.10 folgendermaßen gewählt ($K_i = T_d/T_N$, $K_d = T_V/T_d$, $T_d = 650 e^{-9}$):

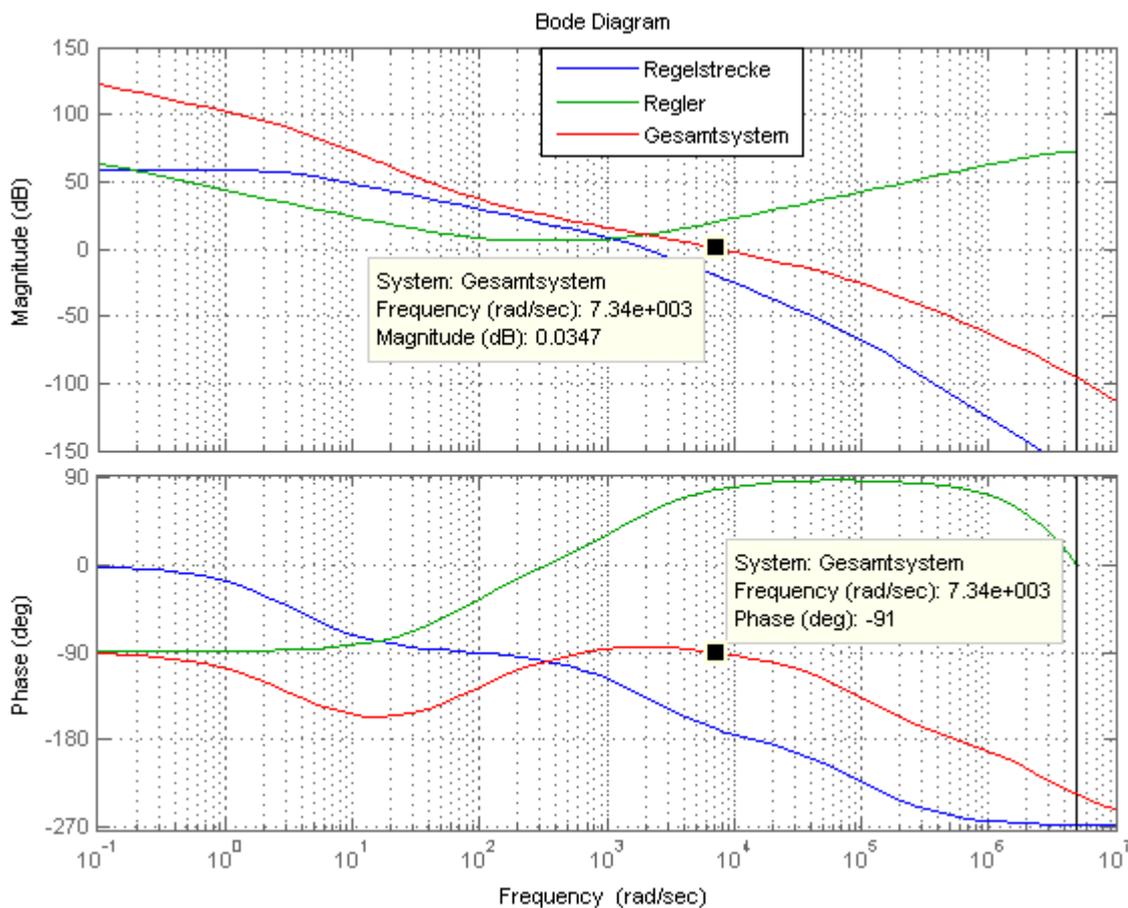


Abbildung 5.10.: Bode-Diagramm des offenen Regelkreises (Reglersynthese mit Bode-Diagramm)

K_P	2
T_N	$6,5 e^{-3}$
T_V	$1,33 e^{-3}$
K_i	$1 e^{-4}$
K_d	2048

Tabelle 5.1.: Eingestellte Reglerparameter

5.3.2. Reglersynthese nach dem symmetrischen Optimum

Ausgehend von der Streckenübertragungsfunktion und dem Kapitel 3.2 werden im Folgenden die Reglerparameter nach dem symmetrischen Optimum ermittelt.

Dabei wird die Streckenübertragungsfunktion ein wenig angepasst. Der erste Pol wird als Integrator angesehen, da - wie bereits erwähnt - die Gatekapazität eigentlich rein integrierendes Verhalten aufweisen sollte. Der zweite Pol bleibt, jedoch wird ein dritter Pol bei 100 kHz hinzugefügt. Er steht stellvertretend für die Pole, die bei den höheren Frequenzen auftreten. Wie in Abbildung 5.8 ersichtlich treten alle anderen Pole bei höheren Frequenzen als 100 kHz auf. Auch der Pol des Anti-Aliasing Filters liegt mit dessen Grenzfrequenz von 300 kHz darüber.

Auch der Verstärkungsfaktor muss angepasst werden, um wieder die gewünschte Durchtrittsfrequenz zu erhalten. Die für die Reglersynthese nach dem symmetrischen Optimum modifizierte Streckenübertragungsfunktion sieht damit folgendermaßen aus:

$$P(s) = \frac{2870}{s * (1 + \frac{1}{1950}s) * (1 + \frac{1}{100000}s)} \quad (5.3)$$

Der Vergleich zwischen den beiden nachmodellierten Übertragungsfunktionen ist in Abbildung 5.11 dargestellt.

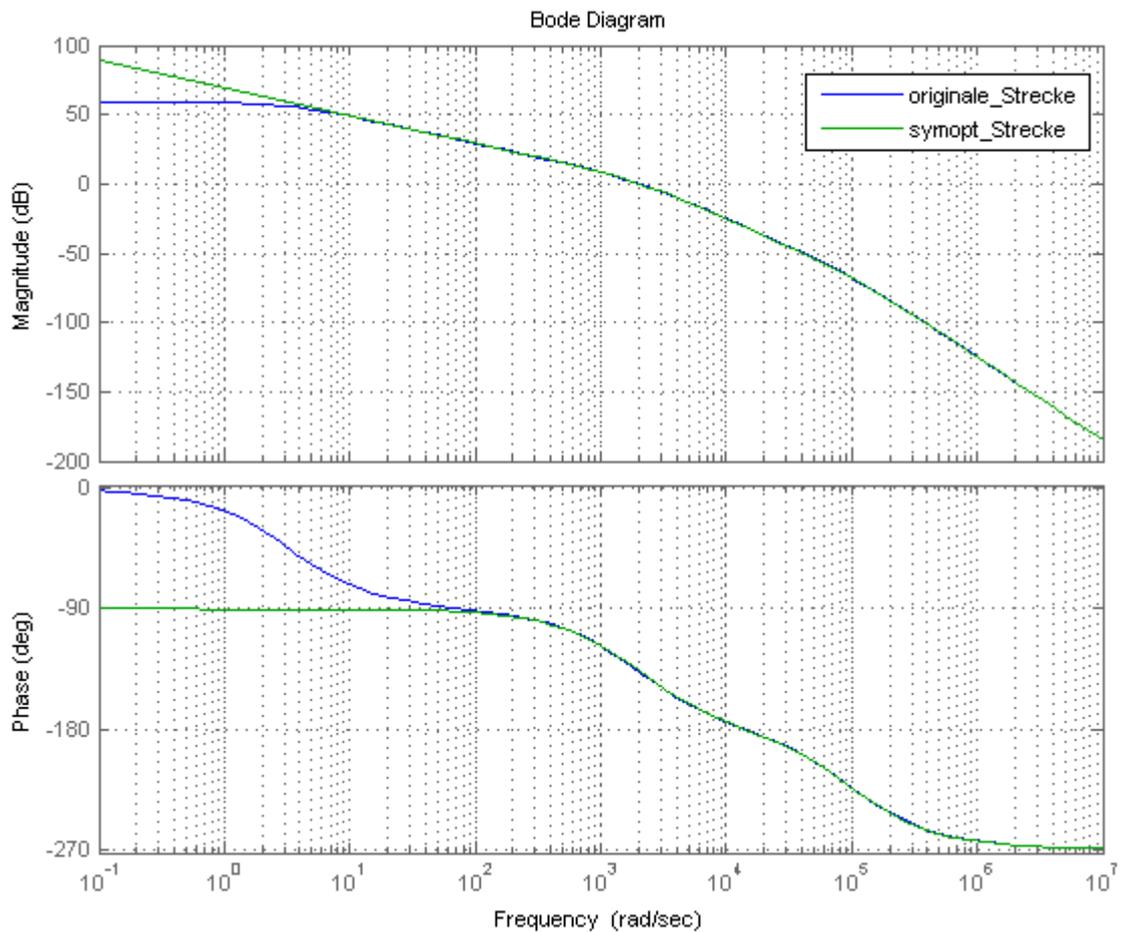


Abbildung 5.11.: Vergleich der beiden nachmodellierten Streckenübertragungsfunktionen

Die Form der Übertragungsfunktion erlaubt es nun, die Parameter G_0 , T_1 und T_2 abzulesen. Aus 5.3 und 3.6 folgt:

$$\begin{aligned} G_0^* &= 876 \\ T_1 &= \frac{1}{1950} \\ T_2 &= \frac{1}{100000} \end{aligned} \quad (5.4)$$

G_0^* wird trotzdem mit 876 (anstatt 2870) gewählt, da der Phasenhub sonst an falscher Stelle im Bode-Diagramm auftritt.

Da es keinen Grund gibt den Faktor k nicht nach Kesslers Empfehlung zu wählen, wird der Faktor $k = 4$ gesetzt und die Reglerparameter können nach (3.8) bestimmt werden. Daraus ergeben sich folgende Werte ($K_i = T_d/T_N$, $K_d = T_V/T_d$, $T_d = 650e^{-9}$):

K_P	1,12
T_N	$2,0513 e^{-3}$
T_V	$1 e^{-5}$
K_i	$3,169 e^{-4}$
K_d	15,385

Tabelle 5.2.: Reglerparameter nach dem symmetrischen Optimum

In Abbildung 5.12 sieht man das Bode-Diagramm des offenen Kreises mit den Reglerkoeffizienten aus Tabelle 5.2.

Dabei sieht man deutlich den Phasenhub bei der Durchtrittsfrequenz. Die Phasenreserve beträgt jedoch nur 30 Grad. Das liegt daran, dass der D-Anteil des Reglers unnötigerweise versucht die Phasendrehung des zweiten Poles zu kompensieren. Das symmetrische Optimum ist in diesem Fall kein geeignetes Mittel, um die Reglerkoeffizienten zu bestimmen, da der zweite Pol nahezu keinen Einfluss auf die Phasenreserve hat.

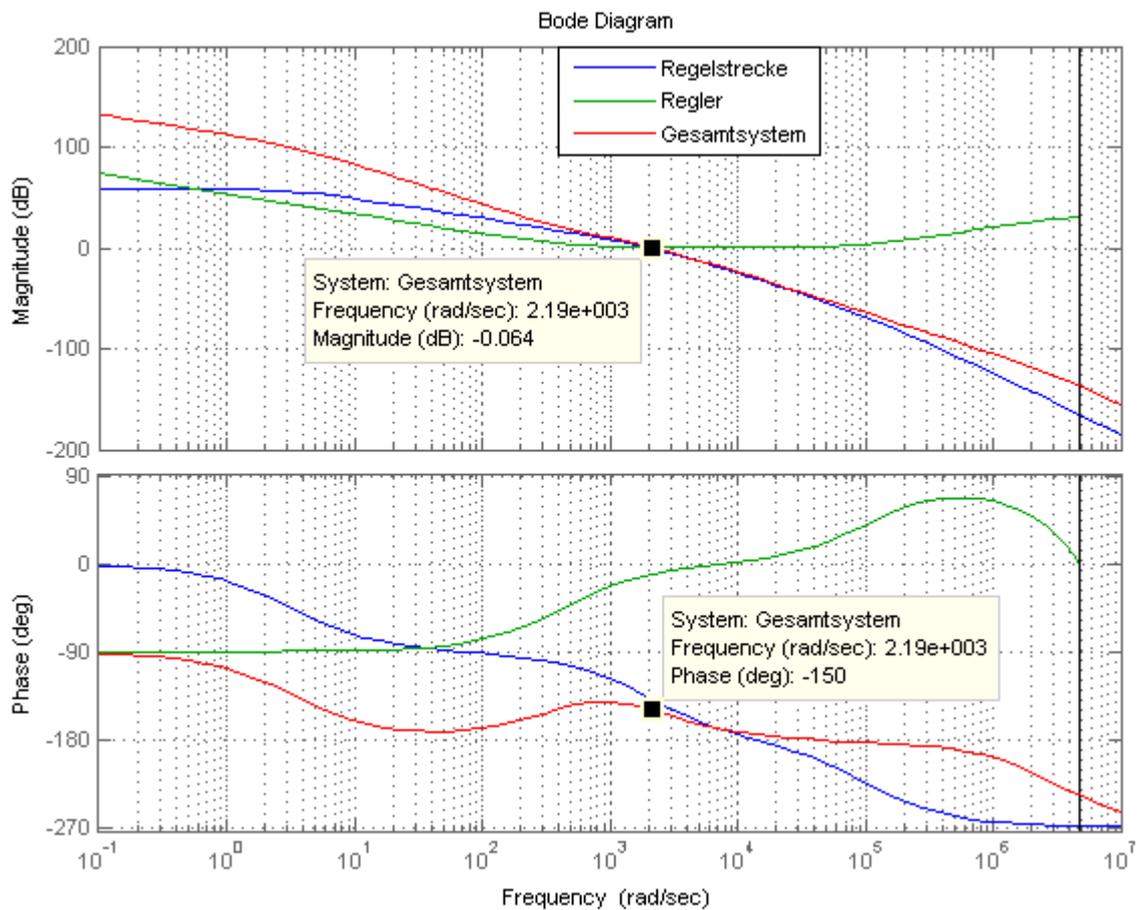


Abbildung 5.12.: Bode-Diagramm des offenen Kreises (Reglersynthese nach dem symmetrischen Optimum)

5.3.3. Wahl der Reglerkoeffizienten

Nachdem beim Verfahren nach dem symmetrischen Optimum eine viel kleinere Phasenreserve vorhanden ist und bei der eigenen Synthese mit dem Bode-Diagramm ein viel größerer Bereich um die Durchtrittsfrequenz eine gute Reserve aufweist, werden im folgenden Kapitel die Koeffizienten aus der Synthese mit dem Bode-Diagramm (bzw. aus Tabelle 5.1) verwendet.

5.3.4. Vergleich der Regelstrecken SPT9 - SPT7

Um die Unterschiede kurz zu beleuchten sei im Folgenden die selbe Regelstrecke in SPT9 angeführt. In Abbildung 5.13 ist das Bode-Diagramm der Regelstrecke in SPT9 abgebildet. Dabei wurden die selben Parameter verwendet wie für die modifizierte SPT7-Regelstrecke. Die mittels MatLab-Skript berechnete Übertragungsfunktion lautet

$$P(s) = \frac{3,856 * 10^{-49} s^3 + 2,373 * 10^{-31} s^2 + 1,461 * 10^{-17} s + 3,367 * 10^{-7}}{1,105 * 10^{-55} s^4 + 1,783 * 10^{-33} s^3 + 9,985 * 10^{-17} s^2 + 1,029 * 10^{-13} s}. \quad (5.5)$$

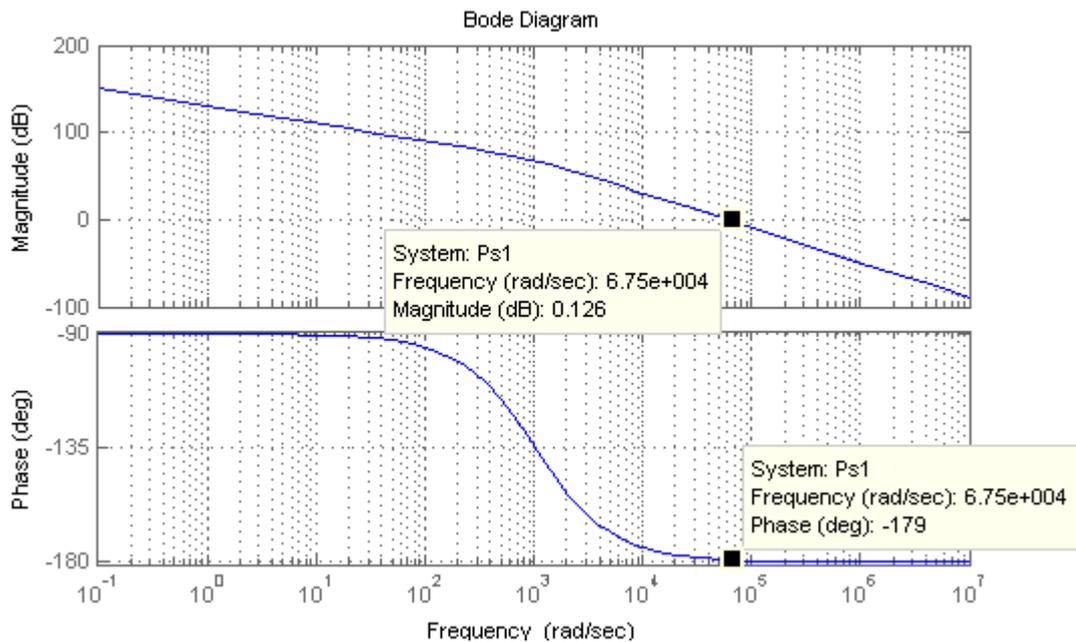


Abbildung 5.13.: Bode-Diagramm der selben Regelstrecke in SPT9

Wie man sieht ist die Durchtrittsfrequenz deutlich größer, was eine Erhöhung der Grenzfrequenz des geschlossenen Kreises bewirkt und somit eine kürzere Reaktionszeit auf Sollwertänderungen oder Störungen.

[3]

6. Messungen am FPGA-Board

6.1. Anpassungen am FPGA-Board

Da die Messungen am im Anhang A abgebildeten Board teilweise nicht zufriedenstellend waren, wurden einige Anpassungen vorgenommen. Diese seien im Folgenden angeführt.

6.1.1. Anpassung am ADU

Der ADU wurde so konfiguriert, dass eine Spannung von 0 V dem digitalen Wert 0x00 und eine Spannung von 5,6 V dem Wert 0xFF in Hex entspricht. Dadurch ist ein LSB - wie in Kapitel 4.1.3 erwünscht - wieder ca. 22 mV wert.

Da der verwendete AD9280 aber nicht für so große Eingangsbereiche verwendbar ist, wurde (wie auch beim zukünftigen System) nicht die Ausgangsspannung, sondern eine skalierte Ausgangsspannung, welche vom Testchip zur Verfügung gestellt wird, dem ADU zugeführt. Ein einfacher Spannungsteiler am Ausgang des Testchips liefert auch die Halbe sowie ein Viertel der Ausgangsspannung. Die halbe Ausgangsspannung wurde dem ADU zugeführt, welcher nun einen Bereich von null bis 2,8 V umsetzt.

Die erforderliche Referenzspannung wurde mit Hilfe eines Netzteiles zur Verfügung gestellt. Dies bringt jedoch einige Probleme mit sich, welche im Kapitel 6.5 beschrieben sind.

6.1.2. Anti-Aliasing Filter

Auch das Anti-Aliasing Filter wurde angepasst, um Aliasing Effekte zu verhindern. Im ursprünglichen Schaltplan war die Grenzfrequenz des analogen Tiefpassfilters bei 1 GHz, was aufgrund der Signalfrequenz von ca. 1,5 MHz viel zu hoch ist. Ein ideales Filter müsste daher nach dem Abtasttheorem alle Frequenzen über ca. 750 kHz abschneiden. Das neue Tiefpassfilter besitzt eine Grenzfrequenz von 300 kHz ([14], Kapitel 19). Damit wird das Signal nur geringfügig gedämpft, während die hochfrequenten Störungen gedämpft werden um den Aliasing-Effekt zu minimieren.

$$f_g = \frac{1}{2\pi R_f C_f}. \quad (6.1)$$

Besser wäre hier eine Grenzfrequenz von ca. 10-30 kHz, was eine bessere Dämpfung der hochfrequenten Störungen zur Folge hätte. Da das Filter aber einen unerwünschten Pol in der Streckenübertragungsfunktion darstellt muss darauf geachtet werden dass die Stabilität des Regelkreises bei geringeren Frequenzen immer noch gewährleistet ist.

Für die Kapazität wurde ein Wert von 10 nF gewählt, daraus ergibt sich nach Formel 6.1 ein Widerstand von 53Ω bei einer Grenzfrequenz von 300 kHz. Eingebaut wurde ein Widerstand von 56Ω , was einer Grenzfrequenz von 284,2 kHz entspricht.

6.1.3. Last am Ausgang

Für die ersten Messungen wurde die Last so gewählt wie bei der Strecke, nach der der Regler entworfen wurde ($10 \mu\text{F}$ Lastkapazität, 33 mA Laststrom, siehe Kapitel 5.3.1). Danach wurde die Last verändert und die Ergebnisse aufgenommen.

6.2. Startrampe

Alle Messungen wurden mit dem MSO7034A Mixed Signal Oszilloskop von Agilent Technologies durchgeführt. Dabei ist in Grün die Ausgangsspannung für den Microcontroller und in Orange die Spannung, die dem ADU zugeführt wird, zu sehen. Die Skala in vertikaler Richtung entspricht für beide Signale 1 V/div, die horizontale Skala ist bei jedem Bild anders und daher unter jedem Bild extra angegeben. Im Bild befinden sich auch noch zwei Bussignale. Das obere Bussignal entspricht dem Vorzeichen sowie dem Wert für die DCCS, das untere Bussignal ist der Wert, den der ADU zurückgibt.

Mit Hilfe des implementierten Busses wird der Digitalteil eingeschaltet, die notwendigen Einstellungen vorgenommen und danach aktiviert. Die serielle Schnittstelle des FPGA-Modules ermöglicht eine rasche Kontrolle der gesendeten und empfangenen Busdaten über einen PC.

In Abbildung 6.1 sieht man den Startvorgang. In den Messungen wurde schnell klar, dass der Startvorgang länger dauert, wenn der Laststrom erhöht wird. Während der Vorgang bei einem Laststrom von 33 mA etwas mehr als 4 ms dauert, so dauert er bei einem Laststrom von 254 mA bereits 8 ms (siehe Abbildung 6.2).

6.3. Stationärer Zustand

In den Abbildungen 6.3 und 6.4 sieht man die oben beschriebenen Größen im eingeschwungenen Zustand. Die Lastkapazität beträgt wieder $10 \mu\text{F}$ bei 33 mA Laststrom. Die Zeitachse in Abbildung 6.4 wurde auf 100 ns/div skaliert, um den ADU-Wert verfolgen zu können. Dieser sollte im eingeschwungenen Zustand für 3,3 V bei 0x9D liegen.

Am Bus B1 in der Abbildung 6.4 sieht man die ADU-Werte, welche gemäß der Clock-Frequenz von 20 MHz alle 50 ns aktualisiert werden. Auf die Schwankungen der ADU-Werte wird im Kapitel 6.5 eingegangen.



Abbildung 6.1.: Startrampe auf 3,3 V, Zeitachse 1 ms/div



Abbildung 6.2.: Startrampe auf 3,3 V bei 254 mA Laststrom, Zeitachse 2 ms/div

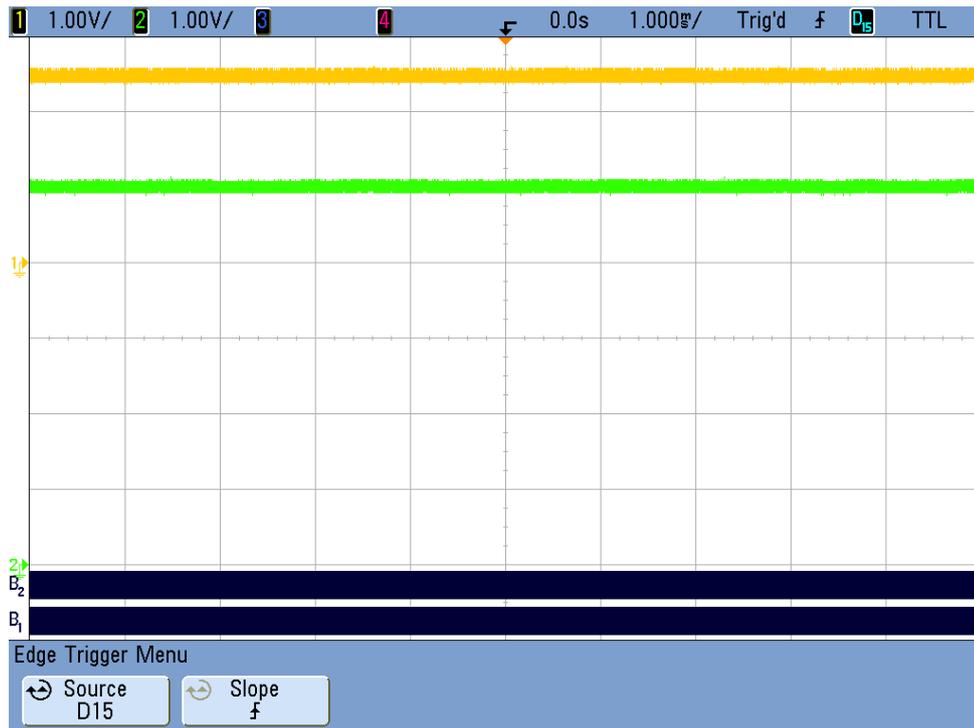


Abbildung 6.3.: Eingeschwungener Zustand auf 5 V, Zeitachse 1 ms/div

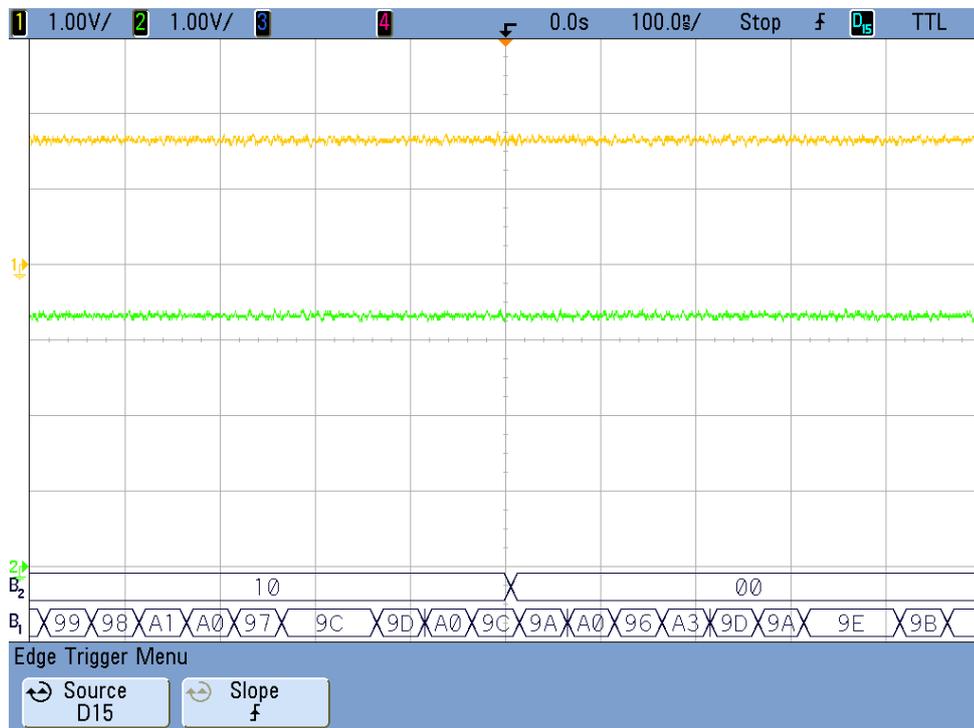


Abbildung 6.4.: Eingeschwungener Zustand auf 3,3 V, Zeitachse 100 ns/div

6.4. Änderung des Laststromes

Die bisherigen Messungen wurden mit einer Ausnahme (siehe Abbildung 6.2) mit einem Laststrom von 33 mA durchgeführt. Wird der Laststrom nun verkleinert, so verringert sich (wie in Abbildung 5.7 ersichtlich) die Phasenreserve. Da mit dem Regler aber immer noch genügend Phasenreserve übrig bleibt, stellt eine Verringerung des Laststromes kein Problem für die Stabilität des Regelkreises dar.

Bei einer Erhöhung des Laststromes verlängert sich der Startvorgang. Im eingeschwungenen Zustand scheint es vorerst, als würde der Regler wie erwartet arbeiten. Erst nach etwa 2 min erkennt man, dass die Spannung plötzlich einbricht (auf 2,38 V, siehe Abbildung 6.5).



Abbildung 6.5.: Eingeschwungener Zustand nach 2 min, 254 mA Laststrom, Zeitachse 2 ms/div

Nun wird auch ein wenig klarer, warum die Simulation aus Abbildung 5.7 beim Lastwiderstand von $13\ \Omega$ plötzlich eine viel geringere Verstärkung aufweist. Offenbar ist die Strecke nicht für größere Lastströme und/oder Temperaturen ausgelegt. Eine Vermutung besteht darin, dass ein Kaskodentransistor in der Ladungspumpe des Testchips bei größeren Temperaturen nicht mehr richtig arbeitet. Kühlt man den Chip mit Hilfe eines Kältesprays, so erhält man am Ausgang wieder die gewünschten 3,3 V (so lange, bis sich der Chip wieder erwärmt hat).

Ein Nachteil, den der Testchip in dieser Hinsicht hat, ist sein Keramik-Package, das nicht so wärmeleitfähig ist wie die in der Industrie üblicherweise verwendeten Plastikpackages.

6.5. Probleme bei den Messungen

6.5.1. ADU-Referenz

Das Grundrauschen in den Messungen mit dem Oszilloskop stammt von der verwendeten Spannungsquelle. In Abbildung 6.6 sieht man, dass die Spannungsquelle um ± 60 mV um den Mittelwert rauscht.

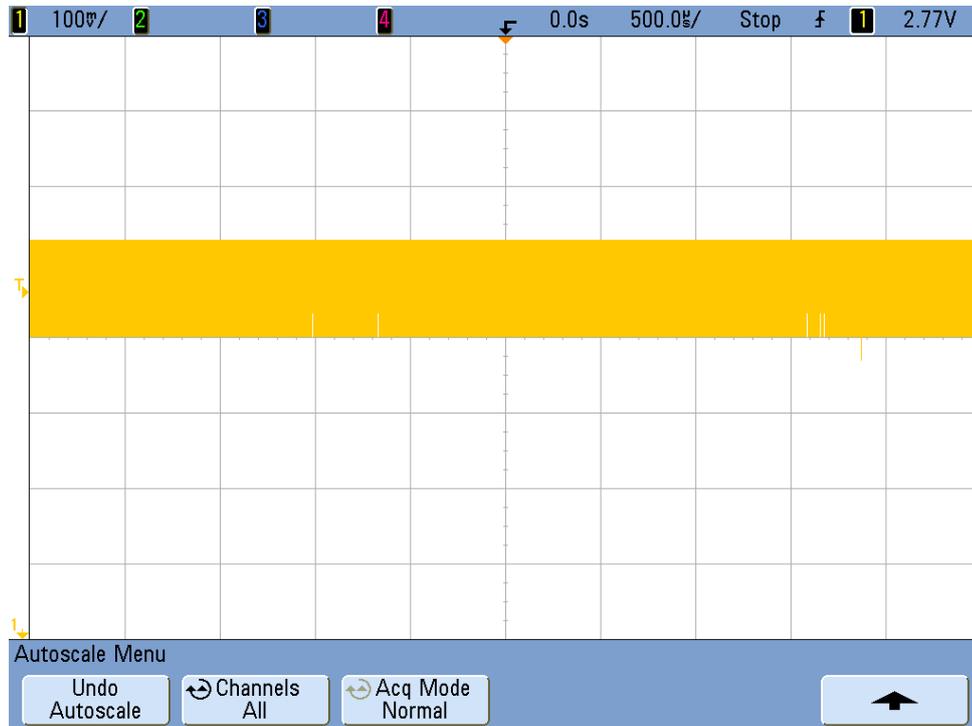


Abbildung 6.6.: Rauschen der 2,8 V Spannungsversorgung

Die Spannungsquelle hat bei der Versorgung des FPGA-Boards, aber vor allem bei der ADU-Referenz einen Einfluss auf das Ergebnis. Deshalb sind in den Messungen die Spannungen auch verrauscht.

Bei einer LSB-Breite von 21 mV wird bei dieser Referenzspannung auch der ADU-Wert nie konstant sein. Der Regler wird daher nicht wie in der digitalen Simulation einen Ruhepunkt im Wert 9D finden, sondern immer den verrauschten ADU-Wert. Nichtsdestotrotz versucht der Regler in den Punkt 9D zu regeln.

6.6. Erkenntnisse

In den letzten beiden Kapiteln wurde deutlich, dass die Implementierung des SPT9-Konzeptes in SPT7 zwar durchaus möglich ist, leider aber auch einige Probleme mit sich bringt. Die Spezifikation für den SPT7-Regler, welche Lastströme von bis zu 1 A fordert, ist mit der vorliegenden Strecke nicht zu erfüllen.

Der Grund dafür ist offenbar eine Temperaturabhängigkeit des Chips. Nach genauerer Untersuchung im analogen Teil des Chips und kleinen Anpassungen ist aber zu erwarten, dass der Chip auch für größere

Lastströme angepasst werden kann. Es ist zu erwarten, dass nach einer Überarbeitung des Designs die Spezifikation erfüllt werden kann.

Auch eine Anpassung der Spezifikation wäre möglich. Die Anforderungen wären erfüllt, wenn man den Chip nur für Lastströme von bis zu 100 mA zulassen würde.

7. Chipsynthese und Flächenabschätzung

Ein wichtiges Merkmal eines Mikrochips ist immer dessen Flächenbedarf. Je kleiner ein Chip ist, desto mehr Chips bekommt man auf einen Wafer und umso günstiger wird ein einzelner Chip in der Produktion.

7.1. Analoge Lösung

Die analoge Lösung des PID-Reglers wird derzeit bei verschiedenen SPT7-Chips bei Infineon eingesetzt. Er regelt auf 5 V bei 0,6 A und besitzt eine Gesamtfläche von 0,976 mm², welche sich folgendermaßen zusammensetzt:

0,295	mm ²	Regler ohne DMOS
0,383	mm ²	DMOS
0,21	mm ²	Ladungspumpe
0,088	mm ²	Verdrahtung 10 %
0,976	mm²	Gesamt

Tabelle 7.1.: Flächenverbrauch der analogen Lösung

Zu beachten ist hierbei, dass die eingerechnete Pumpenfläche geringer ist als die tatsächlich benötigte Fläche im Chip. Die Pumpe ist auch noch für andere Regler am Chip zuständig. Die Fläche beträgt dort 0,55 mm². Aufgrund einer besseren Vergleichbarkeit der analogen mit der digitalen Lösung wird die Pumpe bei beiden Lösungen als gleich groß angenommen.

7.2. Digitale Lösung

Die Chipsynthese für den Digitalteil wurde mit dem Synopsys Design Compiler durchgeführt. Drei verschiedene Spezifikationen wurden synthetisiert: eine Minimalvariante, welche nur die notwendigsten Funktionen besitzt, eine Maximalvariante mit allen Funktionen und eine Normalvariante, bei der auf größtmöglicher Flexibilität bei geringem Flächenbedarf geachtet wurde.

Auf verschiedenen Testchips wurden bereits der Gatetreiber, die Ladungspumpe und der DMOS implementiert. Der digitale Regler braucht aber auch noch den ADU und den DAU. Der Flächenbedarf der analogen Teile kann daher sehr genau angegeben werden, beim Digitalteil wurden aber verschiedene Testmodi nicht mit synthetisiert. Da der Digitalteil nicht gelayoutet werden auch die 10% für die Verdrahtung nicht ausreichen. Deshalb rechnet man hier noch einen zusätzlichen Platz mit ein.

Die 3,3 V Versorgung für den Digitalteil wurde in der Flächenberechnung nicht berücksichtigt, da angenommen wird, dass im Gesamtsystem (in dem der Regler ja nur einen kleinen Teil darstellt) bereits eine solche Versorgung vorhanden ist.

7.2.1. Minimalvariante

Die Minimalvariante erfüllt zwar die Regelungsaufgabe bei bekannter Last, es ist jedoch nicht möglich Einstellungen wie z.B. das Ändern der Regelparameter vorzunehmen. Genaue Voreinstellung ist vonnöten, die Vorteile gegenüber der analogen Lösung verschwinden aufgrund der geringen Flexibilität dieser Option.

0,115	mm ²	Digitalteil
0,05	mm ²	zusätzlich erforderliche Digital-Fläche
0,22	mm ²	ADU am Testchip
0,15	mm ²	DAU und Gatetreiber
0,21	mm ²	Ladungspumpe
0,38	mm ²	DMOS
0,113	mm ²	Verdrahtung 10 %
1,238	mm²	Gesamt

Tabelle 7.2.: Geringstmöglicher Flächenverbrauch

7.2.2. Maximalvariante

Bei der Maximalvariante hat man alle Freiheiten, die der Digitalteil bietet. Man kann nicht nur die Regelparameter einstellen, auch die Startrampe, der Sollwert und der Strommultiplikator bei der DCCS können über den Bus verändert werden. Die DCCS lässt sich auch direkt über den Bus ansteuern. Eine große Chipfläche ist allerdings der Preis für diese hohe Flexibilität.

0,245	mm ²	Digitalteil
0,11	mm ²	zusätzlich erforderliche Digital-Fläche
0,22	mm ²	ADU am Testchip
0,15	mm ²	DAU und Gatetreiber
0,21	mm ²	Ladungspumpe
0,38	mm ²	DMOS
0,132	mm ²	Verdrahtung 10 %
1,447	mm²	Gesamt

Tabelle 7.3.: Flächenverbrauch der Variante mit vollem Funktionsumfang

7.2.3. Normalvariante

Diese Variante versucht die benötigte Chipfläche zu begrenzen indem man die Einstellmöglichkeiten, die nicht unbedingt nötig sind, weglässt. Die Folgen sind z.B. ein kleinerer Bereich, in dem die Regelparameter getrimmt werden können. Auch die Sollgröße kann nicht mehr verändert werden. Diese Variante ist eine platzsparende Lösung, die dennoch grundlegende Einstellmöglichkeiten bietet.

0,167	mm ²	Digitalteil
0,08	mm ²	zusätzlich erforderliche Digital-Fläche
0,22	mm ²	ADU am Testchip
0,15	mm ²	DAU und Gatetreiber
0,21	mm ²	Ladungspumpe
0,38	mm ²	DMOS
0,121	mm ²	Verdrahtung 10 %
1,328	mm²	Gesamt

Tabelle 7.4.: Flächenverbrauch einer Normalvariante

7.3. Vergleich der Lösungen

Der große Vorteil der analogen Variante ist der immer noch geringere Flächenbedarf. Selbst in der Minimalvariante benötigt die digitale Variante immer noch gut 25 % mehr Chipfläche. Realistischerweise muss man jedoch von der Normalvariante ausgehen, da die Vorteile des Digitalreglers bei der Minimalvariante verschwinden. Die Normalvariante benötigt gut 35 % mehr Chipfläche als die analoge Variante.

Aber auch die digitale Variante hat zahlreiche Vorteile, welche in Tabelle 7.5 zusammengefasst sind.

Analog	Digital
+ geringer Flächenbedarf	+ Einstellmöglichkeiten + Flexibilität + Algorithmus für Lastsprünge + 100 % wiederverwendbar + Testbarkeit (Scan, IDDQ)
- nicht wiederverwendbar	- Flächenbedarf

Tabelle 7.5.: Vor- und Nachteile der Reglervarianten

Ein großer Vorteil der digitalen Varianten sind die zahlreichen Einstellungsmöglichkeiten:

- die Koeffizienten sind veränderbar, was eine Anpassung des Reglers an unterschiedliche Regelstrecken ermöglicht.
- durch Einstellungen an der Startrampe kann der Startvorgang kontrolliert werden
- der Sollwert der Regelung kann vorgegeben werden, man kann also beim versorgten Mikrocontroller verschiedene Betriebsmodi mit dem selben Regler ansteuern
- weitere kleinere Einstell-, Test- und Überwachungsmöglichkeiten

Die digitale Implementierung bietet neben einem Algorithmus um Lastsprünge bewältigen zu können auch noch eine hohe Flexibilität, weshalb der digitale Regler für verschiedene Chips wiederverwendet werden kann. Ein analoger Regler müsste hier bei jedem Chip neu entworfen und getestet werden, bei der digitalen Variante spart man hier Entwicklungskosten da der gleiche Regler mit zeitaufwändigen Anpassungen in verschiedensten Produkten implementiert werden kann.

8. Zusammenfassung / Ausblick

In der vorliegenden Arbeit wird die Implementierbarkeit des digitalen Spannungsreglerkonzeptes von SPT9 in SPT7 angesehen. Nach den theoretischen Grundlagen werden die in SPT9 verwendeten Verfahren zur Bestimmung der Reglerkoeffizienten erklärt.

Danach wird der Digitalteil verifiziert, der Analogteil simuliert und die Regelschleife an einem eigens angefertigten FPGA-Board untersucht. Dabei wird auch auf die Berechnung der verwendeten Koeffizienten eingegangen. Die Ergebnisse wurden aufgenommen.

Da es bei den ersten Messungen am Board Stabilitätsprobleme gab liegt die Vermutung nahe, dass die aus SPT9 angenommene Streckenübertragungsfunktion nicht richtig ist. Daraufhin wurde die tatsächliche Streckenübertragungsfunktion ermittelt, welche eine erheblich kleinere Durchtrittsfrequenz besitzt. Nach einer Anpassung der Reglerparameter konnten die Stabilitätsprobleme beseitigt werden.

Auch eine Änderung der Lastkapazität hat keinen großen Einfluss auf die Stabilität der Strecke. Aufpassen sollte man nur bei großen Kapazitätswerten von über $1\ \mu\text{F}$. In der Spezifikation für den SPT7-Regler wird außerdem noch ein Ausgangsstrom von $10\ \mu\text{A}$ bis $1\ \text{A}$ gefordert. Erhebliche Temperaturprobleme gibt es bei Ausgangsströmen von über $200\ \text{mA}$. Nachdem sich der Chip erwärmt bricht die Spannung ein.

Dabei war eine erhebliche Erwärmung des Chips sowie eine deutlich höhere Stromaufnahme festzustellen. Temperatursimulationen wurden mit Spectre gemacht, doch im Rahmen der Arbeit konnte die Ursache nicht genau festgestellt werden. Dieser Effekt muss vor einer Implementierung in einen Chip noch genauer untersucht werden, wenn man größere Lastströme braucht.

Andererseits kann man aber auch die Spezifikation so abändern, dass der Spannungsregler in SPT7 nur für kleinere Lastströme ausgelegt ist.

Zuletzt wurde noch der Flächenbedarf der digitalen Lösung untersucht. Sie benötigt in SPT7 um ca. 33% mehr Chipfläche als die analoge Lösung, allerdings bietet sie dafür zahlreiche Vorteile. Das flächentechnisch gesehene Hauptproblem ist aber immer noch der ADU, welcher in SPT7 einfach zu viel Platz benötigt um die digitale Variante ernsthaft konkurrenzfähig zu machen.

Zusammengefasst ist die digitale Variante in SPT7 leider keine Alternative zu einer vergleichbaren analogen Lösung. Der Flächenbedarf ist im Vergleich zu den Vorteilen einfach zu groß. Daneben gehören auch noch Temperaturanalysen gemacht. Daher wird es die digitale Variante wohl eher nicht in einen Mikrochip schaffen.

Abbildungsverzeichnis

2.1. Standard-Regelkreis [17]	2
2.2. PID-Regler im Standard-Regelkreis	4
2.3. Typischer Kaskadenregelkreis [16]	6
2.4. Smith-Prädiktor, strichliert gekennzeichnet[18]	7
2.5. Analoger PID-Regler, abgeleitet aus [11]	8
2.6. prinzipieller Aufbau eines digitalen Reglers [12]	9
3.1. Durchtrittsfrequenz ω_c und Phasenreserve Φ_r am Bode-Diagramm, abgeleitet aus [6]	11
3.2. Überschwingen und Anstiegszeit bei einer typischen Sprungantwort, abgeleitet aus [6]	12
3.3. Bode-Diagramm des offenen Kreises $L(s)$ nach dem symmetrischen Optimum. [19]	14
4.1. Implementierter SPT9-Regelkreis [13]	15
4.2. Kleinsignalmodell der Regelstrecke [13]	16
4.3. Mathematisches Modell des Regelkreises in SPT9 [13]	18
4.4. Gesamtes FPGA-Board	20
4.5. Blockschaltbild des FPGA-Boards	21
4.6. Testchip	21
4.7. Das eingesetzte FPGA-Modul von Altera	22
5.1. Digitale Simulation des Spannungsreglers	23
5.2. Startrampe der Ausgangsspannung	24
5.3. Einschwingvorgang	25
5.4. Bode-Diagramm der Regelstrecke, 77 mA Laststrom, 1 μ F Lastkapazität	26
5.5. Bode-Diagramm über verschiedene Gate-Kapazitäten	27
5.6. Bode-Diagramm über verschiedene Lastkapazitäten	28
5.7. Bode-Diagramm mit verschiedenen Lastströmen	29
5.8. Bode-Diagramm der modifizierten Strecke	31
5.9. Nachgebildetes Bode-Diagramm der Regelstrecke, 33 mA Laststrom, 10 μ F Lastkapazität	32
5.10. Bode-Diagramm des offenen Regelkreises (Reglersynthese mit Bode-Diagramm)	33
5.11. Vergleich der beiden nachmodellierten Streckenübertragungsfunktionen	34
5.12. Bode-Diagramm des offenen Kreises (Reglersynthese nach dem symmetrischen Optimum)	36
5.13. Bode-Diagramm der selben Regelstrecke in SPT9	37
6.1. Startrampe auf 3,3 V, Zeitachse 1 ms/div	40
6.2. Startrampe auf 3,3 V bei 254 mA Laststrom, Zeitachse 2 ms/div	40
6.3. Eingeschwungener Zustand auf 5 V, Zeitachse 1 ms/div	41

6.4. Eingeschwungener Zustand auf 3,3 V, Zeitachse 100 ns/div	41
6.5. Eingeschwungener Zustand nach 2 min, 254 mA Laststrom, Zeitachse 2 ms/div	42
6.6. Rauschen der 2,8 V Spannungsversorgung	43
A.1. Schaltplan des FPGA-Boards, Seite 1	ix
A.2. Schaltplan des FPGA-Boards, Seite 2	x
A.3. Schaltplan des FPGA-Boards, Seite 3	xi
A.4. Schaltplan des FPGA-Boards, Seite 4	xii
A.5. Schaltplan des FPGA-Boards, Seite 5	xiii
A.6. Layout des FPGA-Boards, Top Layer	xiv
A.7. Layout des FPGA-Boards, GND Layer	xv
A.8. Layout des FPGA-Boards, Supply Layer	xvi
A.9. Layout des FPGA-Boards, Bottom Layer	xvii
B.1. Schaltplan für die analoge Simulation	xix

Abkürzungsverzeichnis

AAF	Anti-Aliasing Filter
ADU	Analog-Digital Umsetzer
BCD	Bipolar, CMOS, DMOS
BIBO	Bounded Input Bounded Output
CMOS	Complementary Metal Oxide Semiconductor
D-Glied	Differenzier-Glied
DAU	Digital-Analog Umsetzer
DCCS	Digitally Controlled Current Source
DMOS	Double-diffused Metal Oxide Semiconductor
EMC	ElectroMagnetic Compatibility
EMI	ElectroMagnetic Immunity
ESD	ElectroStatic Discharge
ESR	Equivalent Series Resistance
FPGA	Field-Programmable Gate Array
Hex	Hexadizimalsystem
I-Regler	integrierender Regler, Regler mit Integralanteil
L-DMOS	Laterally Diffused Metal Oxide Semiconductor
LSB	Least Significant Bit
MSB	Most Significant Bit
NMOS	N-type Metal Oxide Semiconductor

P	Proportional-Regler, Regler mit Proportionalanteil
PC	Personal Computer
PD	Proportional-Differenzial
PD2-Glied	Glied mit einem Proportional- und zwei Differenzialanteilen
PI	Proportional-Integral
PID (-Regler)	Proportional-Integral-Differenzial-Regler
PT-Glied	Verzögerungsglied
SAR-ADU	Sukzessives Approximations Register - ADU
SoC	System On a Chip
SPT	Smart Power Technology
VHDL	Very High Speed Integrated Circuit Hardware Description Language
VHDL-AMS	VHDL- Analog and Mixed Signals

Symbole

B_1, B_2	...	Busse am Oszilloskop
C_f	...	Kapazität des Anti-Aliasing Filters
$e, e(t)$...	Regelfehler oder Regelabweichung, $e = r - y$
e_i	...	diskreter Regelfehler, $e_i = r_i - y_i$
f_g	...	Grenzfrequenz des Anti-Aliasing Filters
G_0	...	Verstärkungsfaktor einer Regelstrecke beim symmetrischen Optimum
I_{LSB}	...	eingestellter LSB-Strom
K_d	...	Differenzierbeiwert
K_i	...	Integrierbeiwert
K_P	...	Proportionalbeiwert
K_S	...	Verstärkungsfaktor der Regelstrecke in SPT9
$L(s)$...	Übertragungsfunktion des offenen Kreises
$L(j\omega)$...	Frequenzgang des offenen Kreises
M_P	...	Überschwingweite
Φ_r	...	Phasenreserve
ω_c	...	Durchtrittsfrequenz beim Amplitudengang
R_f	...	Widerstand des Anti-Aliasing Filters
T, T_d	...	Abtastzeit
T_1, T_2	...	großen, kompensierbaren Zeitkonstanten einer Regelstrecke beim symmetrischen Optimum
T_N, T_I	...	Nachstellzeit
T_{p1}, T_{p2}, T_{p3}	...	Zeitkonstanten im Nenner der Übertragungsfunktion des DMOS in SPT9
t_r	...	Anstiegszeit der Sprungantwort
T_V, T_D	...	Vorhaltzeit
T_Σ	...	Summe der parasitären Zeitkonstanten einer Regelstrecke beim symmetrischen Optimum
T_{z1}, T_{z2}, T_{z3}	...	Zeitkonstanten im Zähler der Übertragungsfunktion des DMOS in SPT9
$u, u(t)$...	Eingangsgröße, die Größe die dem Prozess/der Regelstrecke zugeführt wird
u_i	...	diskrete Eingangsgröße
\ddot{u}	...	Überschwingweite in Prozent
V_{LSB}	...	Spannungswert eines LSB am ADU
$w, w(t)$...	Führungsgröße eines Regelkreises, oft auch mit r bezeichnet
w_i	...	diskrete Führungsgröße
$x(n)$...	Eingangsgröße
$y, y(t)$...	Ausgangsgröße eines Regelkreises
$y(n)$...	Ausgangsgröße
y_i	...	diskrete Ausgangsgröße

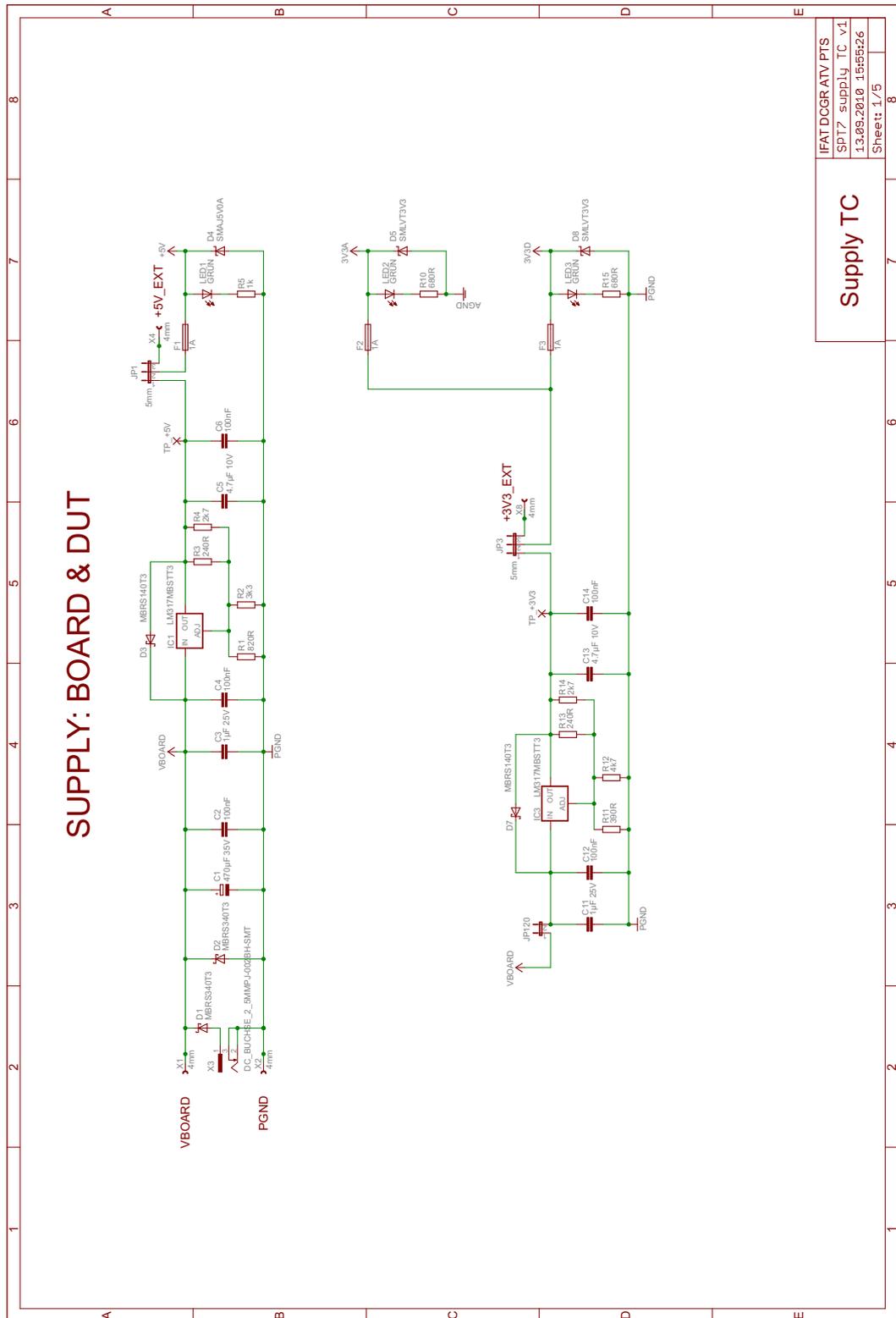
Literaturverzeichnis

- [1] AG, INFINEON TECHNOLOGIES: *Halbleiter - Technische Erläuterungen, Technologien und Kenndaten*. Publicis Corporate Publishing, August 2003.
 - [2] ÅSTRÖM, K., HÄGGLUND T.: *PID-Controllers: Theory, Design and Tuning*. 1994.
 - [3] CZICHOS H., HENNECKE M.: *Das Ingenieurwissen*. Springer-Verlag, 2004.
 - [4] FÖLLINGER, O.: *Laplace-, Fourier und z-Transformation*. Hüthig Verlag, 2003.
 - [5] FUCHS, M.: *Untersuchung des Einflusses der Programmier- und Löschpulsparmeter auf die Datenehaltungssicherheit bei elektrisch wiederbeschreibbaren Speicherzellen*, 2010.
 - [6] HORN M., DOURDOUMAS N.: *Regelungstechnik*. Pearson Studium, Mai 2004.
 - [7] KESSLER, C.: *Das symmetrische Optimum*. Regelungstechnik 6, 1958.
 - [8] KUHN, U.: *Eine praxisnahe Einstellregel für PID-Regler: Die T-Summen-Regel*. 1995.
 - [9] MANN H., SCHIFFELGEN H., FRORIEP R.: *Einführung in die Regelungstechnik*. Carl Hanser Verlag, 2009.
 - [10] MELCHER, G.: *Digital Voltage Regulator Concept in SPT7*. internes Dokument von Infineon, 2011.
 - [11] ORLOWSKI, P.: *Praktische Regeltechnik*. Springer-Verlag, 2011.
 - [12] RN-WISSEN: *Regelungstechnik*. http://www.rn-wissen.de/index.php/Regelungstechnik#Digitaler_Regler. letzter Zugriff: 7.8.2012.
 - [13] SCHÄFER, J.: *Erläuterungen zum digitalen Spannungsregler in SPT9*. internes Dokument von Infineon, 2011.
 - [14] TIETZE U., SCHENK CH.: *Halbleiter-Schaltungstechnik*. Springer-Verlag, 2002.
 - [15] VODA A., LANDAU I.D.: *A method for the auto-calibration of PID controllers*. Automatica, 31(1):41–53, 1995.
 - [16] WIKIPEDIA: *Kaskadenregelung*. <http://de.wikipedia.org/wiki/Regelkreis#Kaskadenregelung>. letzter Zugriff: 7.8.2012.
 - [17] WIKIPEDIA: *Regler*. <http://de.wikipedia.org/wiki/Regler>. letzter Zugriff: 7.8.2012.
 - [18] WIKIPEDIA: *Smith Prädiktor*. <http://de.wikipedia.org/wiki/Regelkreis#Smith-Pr.C3.A4diktor>. letzter Zugriff: 7.8.2012.
 - [19] ZACHER S., REUTER M.: *Regelungstechnik für Ingenieure*. Vieweg + Teubner Verlag, 2011.
-

- [20] ZIEGLER J.G., NICHOLS N.B.: *Optimum Settings for Automatic Controllers*. 1942.
-

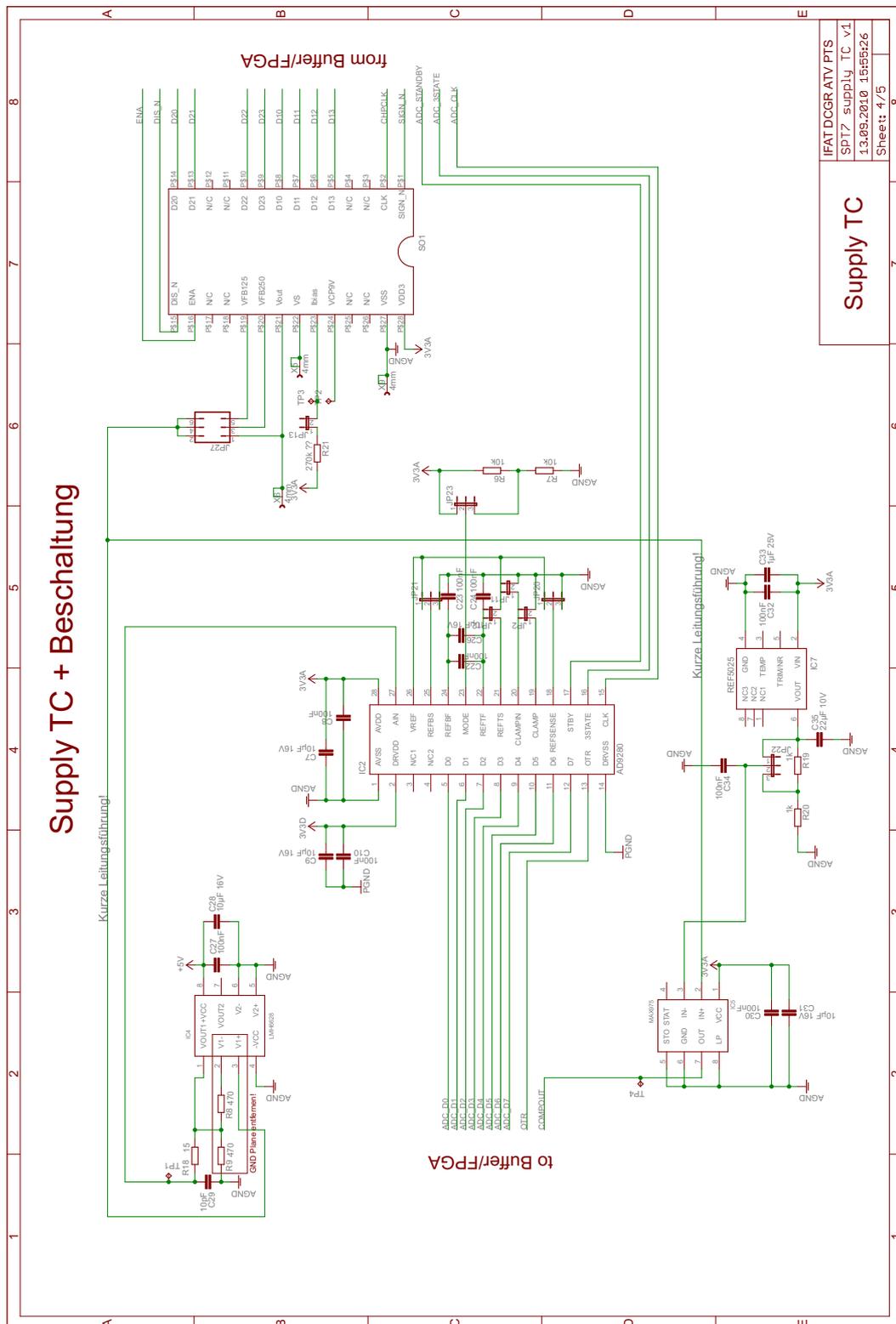
A. Anhang A





Supply TC	
IFATDCGRATV PTS	
SPT7_supply_TC v1	
13.09.2010 15:55:26	
Sheet: 1/5	

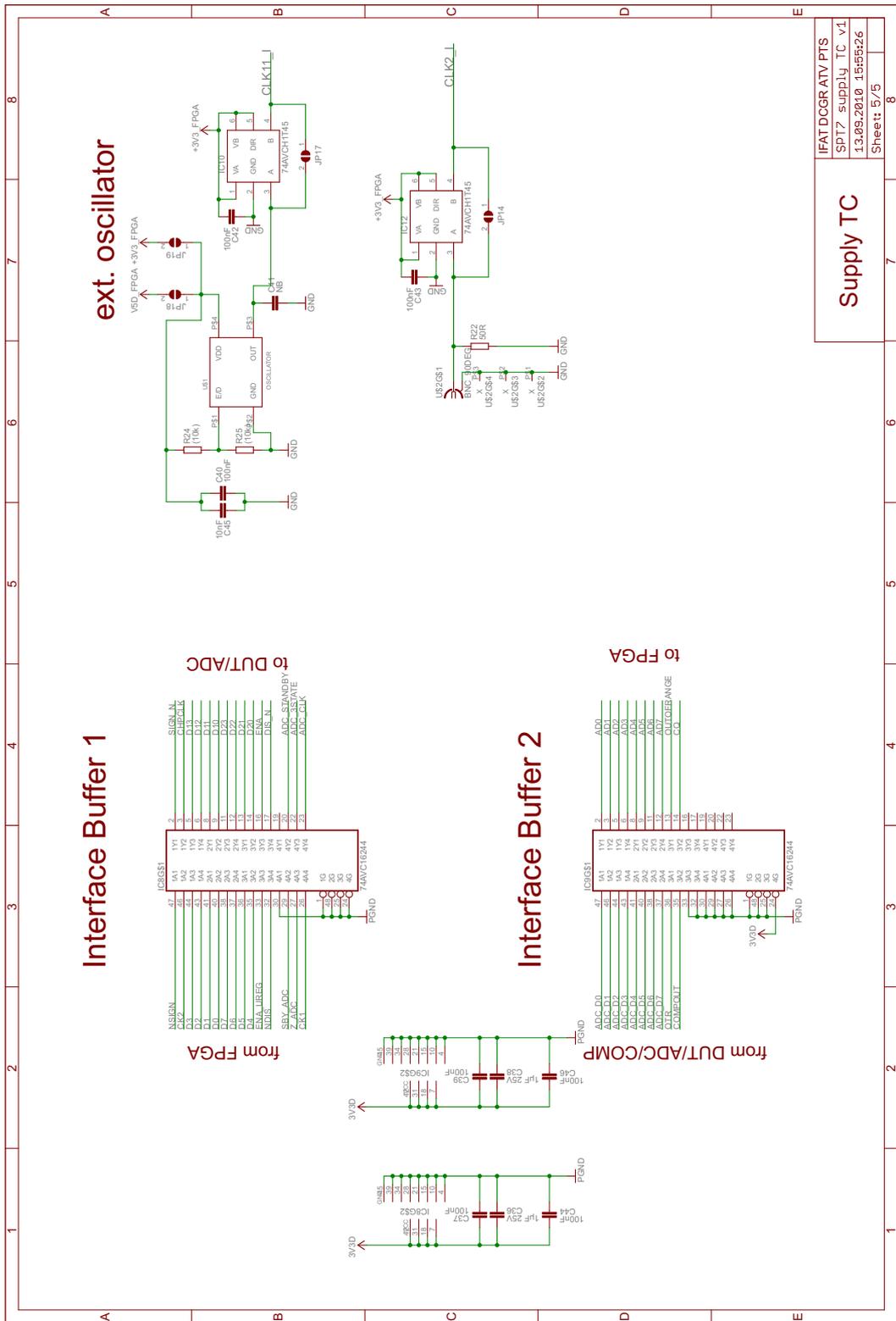
Abbildung A.1.: Schaltplan des FPGA-Boards, Seite 1



Supply TC

IFATDCGRATV PTS
SPT7_supply_TC v1
13.09.2010 15:55:26
Sheet: 4/5

Abbildung A.4.: Schaltplan des FPGA-Boards, Seite 4



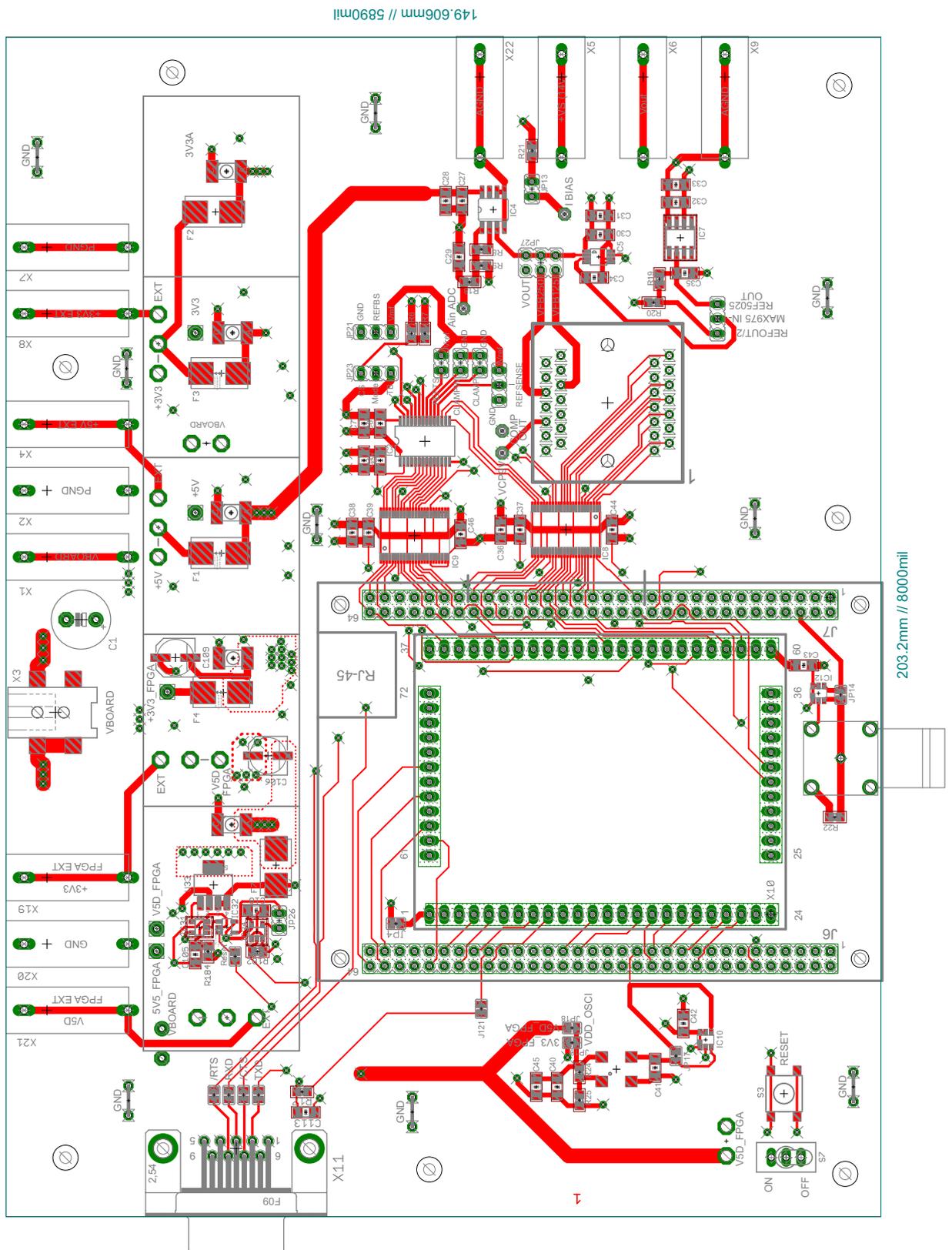


Abbildung A.6.: Layout des FPGA-Boards, Top Layer

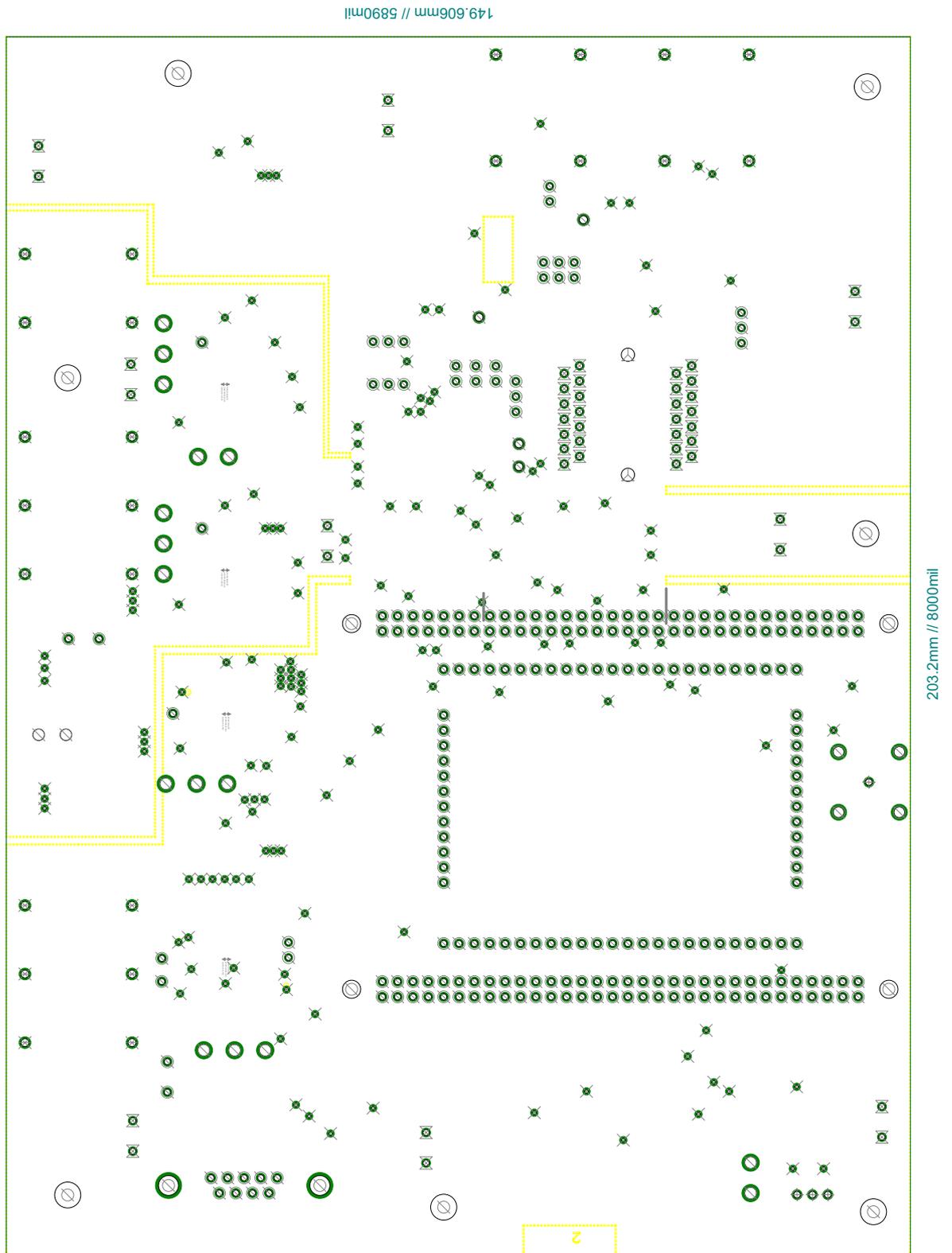


Abbildung A.7.: Layout des FPGA-Boards, GND Layer

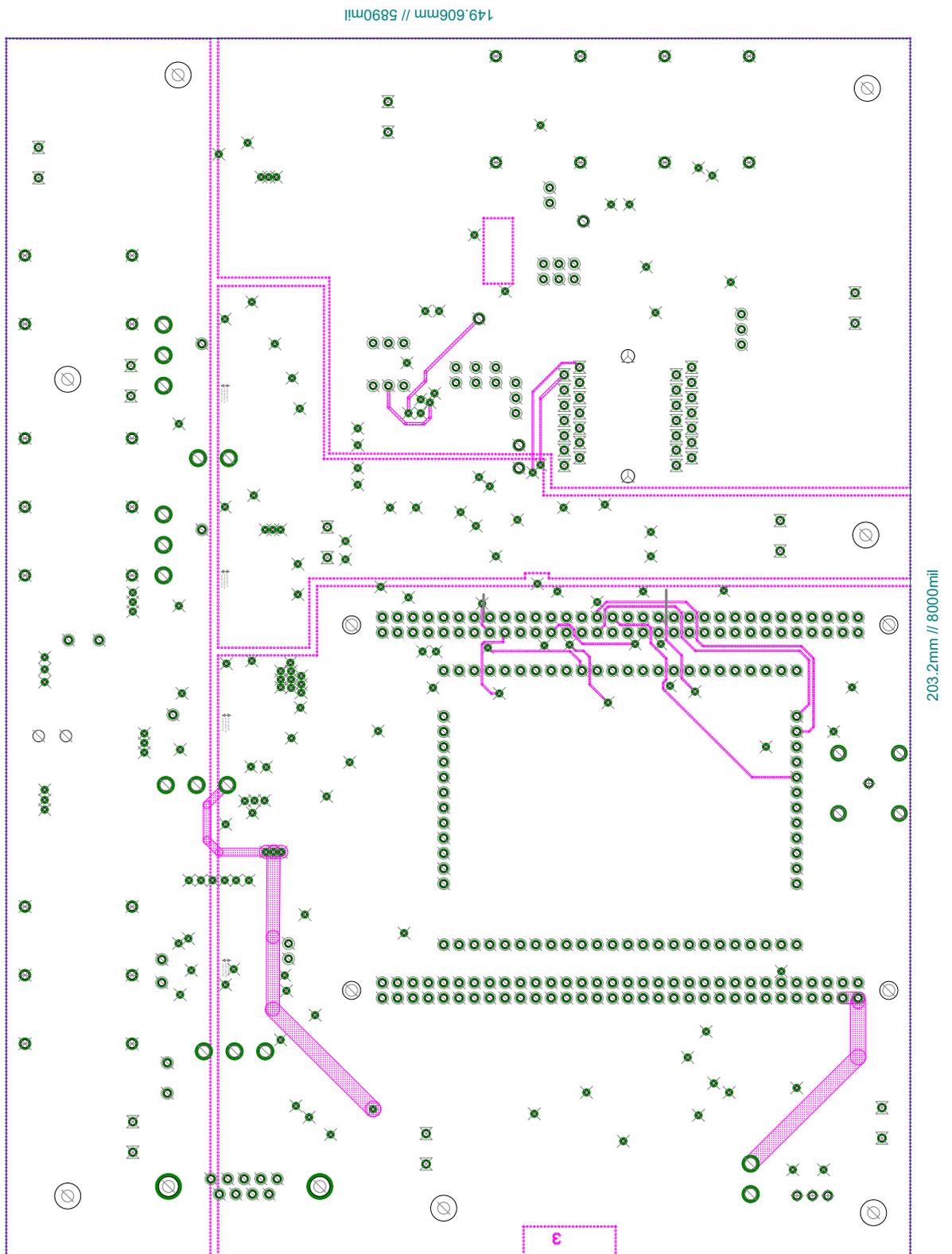


Abbildung A.8.: Layout des FPGA-Boards, Supply Layer

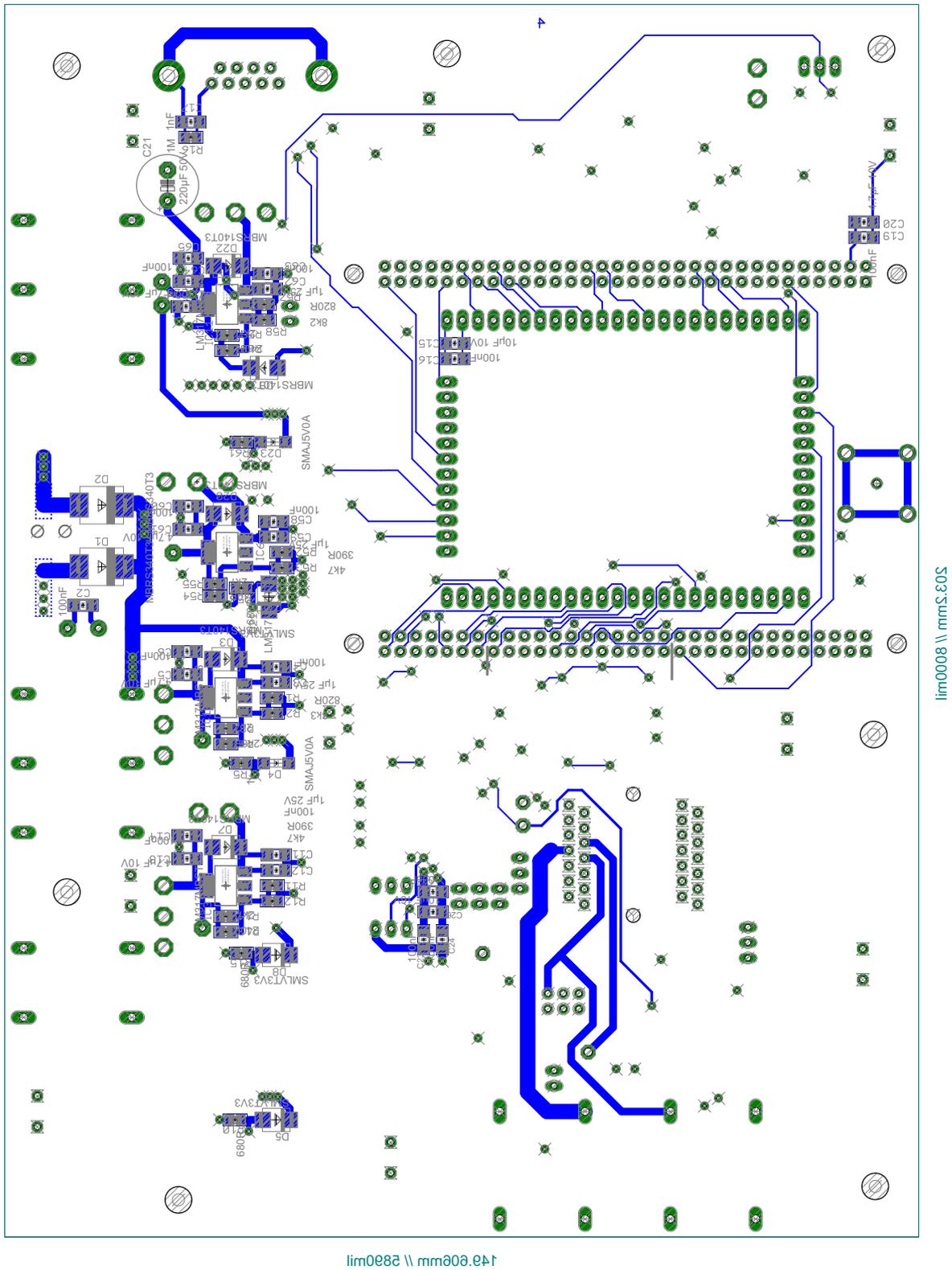


Abbildung A.9.: Layout des FPGA-Boards, Bottom Layer

B. Anhang B

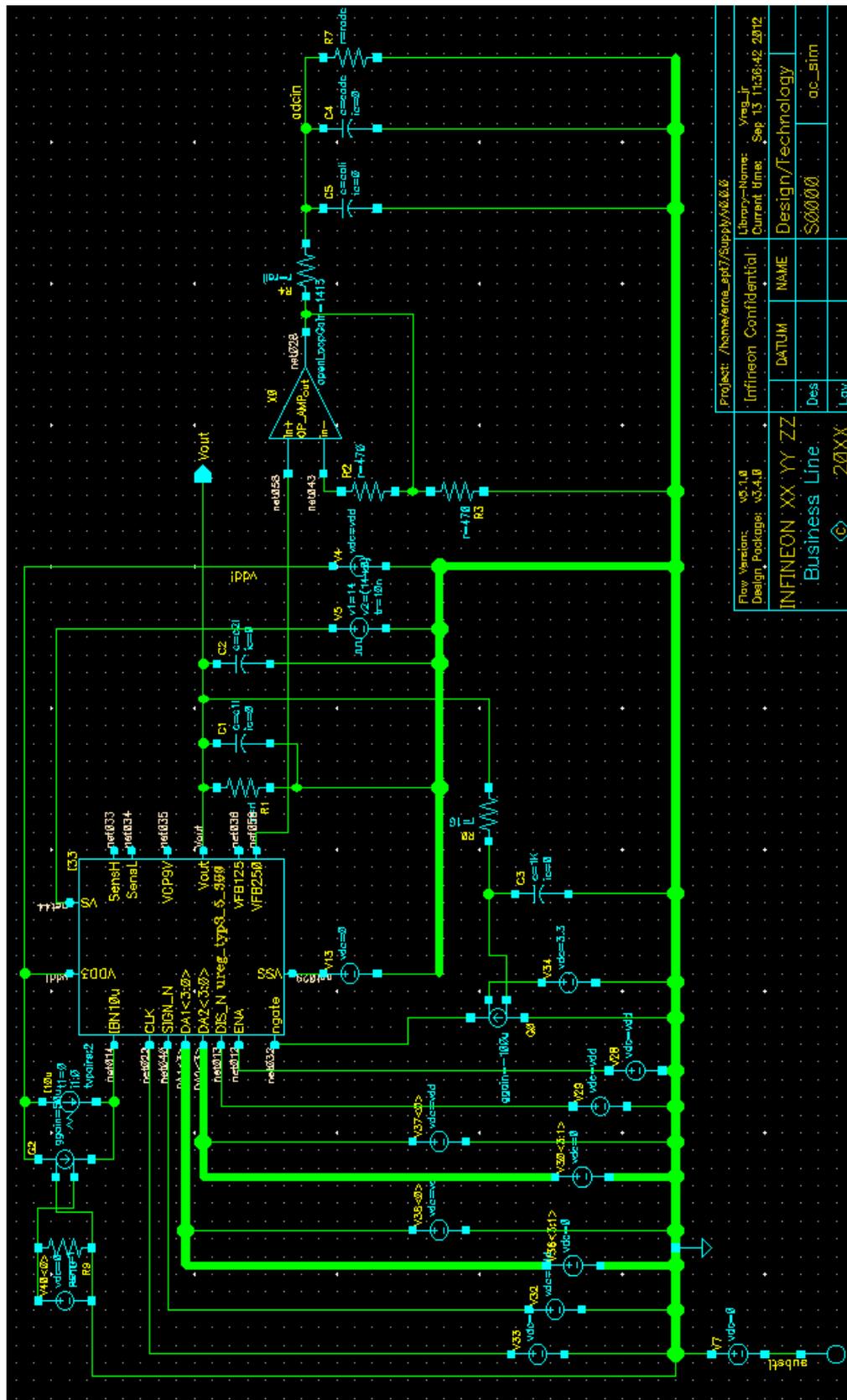


Abbildung B.1.: Schaltplan für die analoge Simulation