

# Diplomarbeit

DA 714

## Analyse und Simulation eines flächenoptimierten Low-Side-Schalters mit integrierter, trimmbarer Stromlimitierung für automotive Anwendungen in einer 130 nm BCD Technologie

zur Erlangung des akademischen Grades

**Dipl.-Ing.**

vorgelegt dem Institut für Elektronik

an der Technischen Universität Graz

(Interimistischer Leiter: Dipl.-Ing. Dr. Wolfgang Bösch),

durchgeführt bei Infineon Technologies Austria AG, Villach

(Vorstandsvorsitzende: Mag. Monika Kircher-Kohl)

Andreas Fugger

20. Mai 2012

Betreuer Infineon Technologies AG:

Dipl.-Ing. Christian Lenzhofer

Betreuer TU Graz:

Dipl.-Ing. Dr. Peter Söser



# Analyse und Simulation eines flächenoptimierten Low-Side-Schalters mit integrierter, trimmbarer Stromlimitierung für automotive Anwendungen in einer 130 nm BCD Technologie

In automotiven Hochvoltanwendungen werden Leistungsschalter zur Kommunikation diverser Steuergeräte mit deren Umwelt verwendet. Diese Leistungsschalter, deren Ansteuerschaltungen sowie diverse Diagnose- und Schutzfunktionen werden in modernen Anwendungen als autark arbeitende Module zusammen mit anderen Funktionen auf einem Chip integriert. Je nach Applikation können solche *System-on-Chip* Lösungen beliebig viele Schaltmodule beinhalten. Um den resultierenden Flächenaufwand klein zu halten werden eine kompakte Bauweise sowie ein flächenoptimiertes Design gefordert.

Die vorliegende Arbeit beschäftigt sich mit der Integration einer Stromlimitierung in ein Low-Side-Switch Modul sowie der Optimierung des Flächenaufwandes. Durch die hohe Genauigkeitsanforderung der Stromlimitierung werden verschiedene Sense-Konzepte sowie die Kompensation des Offsets diskutiert. Im Zuge der Flächenoptimierung stehen neben dem Redesign der einzelnen Schaltungsteile vor allem der Leistungstransistor und das ESD Konzept im Mittelpunkt, welche bei solchen Schaltungen den Großteil des Flächenaufwands bestimmen.

**Schlüsselwörter:** ESD, DMOS, Stromlimitierung, Offset, Low-Side Schalter, Clamping, Flächenoptimierung



# **Analysis and simulation of an area optimized low-side-switch with integrated, trimmable current limitation for automotive applications in a 130 nm BCD technology**

In automotive high voltage applications power switches are used to communicate between ECU's and their environment. In modern applications those power switches, their driver-circuits and various diagnosis and protection functions are implemented as autarkic working modules together with other functions on one chip. Depending on the application such system-on-chip solutions contain a various amount of those power switch modules. To achieve a low area consumption a compact, area optimized design is required.

The following thesis deals with the integration of a current limitation into a low-side-switch module as well as with the optimization of the required area. Due to the high accuracy requirements of the current limitation different sense-concepts as well as offset compensation techniques are discussed. The area optimization is focused on the redesign of all circuit blocks as well as on the power transistor and the ESD concept, which are the most area consuming parts in such modules.

**Keywords:** ESD, DMOS, current-limitation, offset, low-side-switch, clamping, area optimization



## EIDESSTÄTTLICHE ERKLÄRUNG

Ich erkläre an Eides statt, dass ich die vorliegende Arbeit selbstständig verfasst, andere als die angegebenen Quellen/Hilfsmittel nicht benutzt und die den benutzten Quellen wörtlich und inhaltlich entnommenen Stellen als solche kenntlich gemacht habe.

Graz, am .....

.....

(Unterschrift)

Englische Fassung:

## STATUTORY DECLARATION

I declare that I have authored this thesis independently, that I have not used other than the declared sources / resources and that I have explicitly marked all material which has been quoted either literally or by content from the used sources.

.....

date

.....

(signature)





# Danksagungen

An dieser Stelle möchte ich mich bei all jenen bedanken, die zum Erfolg dieser Arbeit beigetragen haben.

Allen voran meinen Eltern Maria und Rudolf, die mir das Studium ermöglicht haben, mich finanziell unterstützten und mir den nötigen Rückhalt gaben.

Meinem Betreuer seitens der Technischen Universität Graz, Dr. Peter Söser für die unkomplizierte Betreuung und rasche Korrektur meiner Diplomarbeit.

Danke Stefan Berger für die Bereitstellung eines Arbeitsplatzes und die Möglichkeit eine interessante abwechslungsreiche Diplomarbeit bei Infineon Technologies Austria AG zu verfassen.

Im Besonderen danke ich meinem Betreuer Christian Lenzhofer für die Unterstützung, die Beantwortung meiner zahlreichen Fragen, die fachlichen Diskussionen und wertvollen Anregungen.

Für die freundliche Aufnahme und das nette Arbeitsklima möchte ich allen KollegInnen der Modulgruppe danken. Insbesondere Marko für die messtechnische Unterstützung, Thomas für die Hilfe bei der Auswertung der Messdaten, Andi und Hannes für die Erstellung des Layouts sowie Herwig, David und Johannes für die Hilfestellungen bei schaltungstechnischen Fragen.

Meiner Freundin Lisa danke ich für ihre unendliche Geduld und dafür, dass sie stets für mich da war und für die nötige Abwechslung während meiner Studienzeit gesorgt hat.



# Inhaltsverzeichnis

<b>Inhaltsverzeichnis</b>	<b>IX</b>
<b>Abbildungsverzeichnis</b>	<b>XI</b>
<b>Tabellenverzeichnis</b>	<b>XV</b>
<b>Abkürzungsverzeichnis</b>	<b>XVII</b>
<b>Formelzeichen und Symbole</b>	<b>XIX</b>
<b>1 Einleitung</b>	<b>1</b>
1.1 Motivation . . . . .	1
1.2 Automotive Anforderungen . . . . .	3
1.3 Smart Power Technologie . . . . .	4
1.3.1 Isolationsarten . . . . .	5
1.3.2 Elemente . . . . .	7
1.3.3 DMOS Aufbau . . . . .	7
1.3.4 parasitäre Kapazitäten und Schaltverhalten . . . . .	9
1.4 Schalttopologien Leistungsschalter . . . . .	11
1.5 Typische Belastungsfälle: Low-Side Schalter . . . . .	12
1.5.1 Schalten induktiver Lasten . . . . .	12
1.5.2 Kurzschluss . . . . .	15
1.6 ESD . . . . .	16
1.6.1 ESD Modelle . . . . .	17
<b>2 Das LSS Modul</b>	<b>21</b>
2.1 Der Gate-Treiber . . . . .	24
2.1.1 <i>local-biasing</i> . . . . .	25
2.1.2 <i>slow-/pwm-mode</i> Stromquelle . . . . .	26
2.1.3 Niedervolt-Schutzschaltung . . . . .	27
2.1.4 Gate laden/entladen . . . . .	28
2.2 Gate-Klemme . . . . .	29
2.3 Induktive Klemme . . . . .	29
2.4 Übertemperaturlogik . . . . .	31
<b>3 Stromlimitierung</b>	<b>33</b>
3.1 Strommesskonzepte . . . . .	33

3.1.1	Messung im Hochstrompfad . . . . .	34
3.1.2	Messung mittels Sense-Transistor . . . . .	34
3.1.3	Messung ohne Shunt . . . . .	36
3.2	Realisierung . . . . .	37
3.2.1	Sense-Transistor . . . . .	37
3.2.2	Die Referenzstromquelle . . . . .	38
3.2.3	Der Komparator/Verstärker . . . . .	39
3.2.4	Die Rückregelung . . . . .	51
<b>4</b>	<b>Dimensionierung DMOS</b>	<b>57</b>
4.1	$R_{DSon}$ . . . . .	57
4.2	ESD Strom . . . . .	59
4.3	<i>Clamping</i> Energie . . . . .	59
4.3.1	Elektrothermische Limits (single clamping) . . . . .	59
4.3.2	Elektromechanische Limits (repetitive clamping) . . . . .	60
4.4	Realisierung . . . . .	63
<b>5</b>	<b>ESD</b>	<b>71</b>
5.1	ESD Fenster . . . . .	71
5.2	Schutzkonzepte . . . . .	72
5.3	Realisierung . . . . .	75
<b>6</b>	<b>Simulationen und Messungen</b>	<b>77</b>
6.1	Simulationsergebnisse . . . . .	77
6.2	Messungen . . . . .	84
<b>7</b>	<b>Vergleich alt/neu</b>	<b>91</b>
7.1	Leistungstransistor . . . . .	91
7.2	Gate-Treiber . . . . .	92
7.3	induktive Klemmschaltung . . . . .	93
7.4	ESD . . . . .	93
7.5	Überstromlimitierung bzw. -erkennung . . . . .	94
7.6	Erzielte Flächenreduktion . . . . .	94
<b>8</b>	<b>Zusammenfassung</b>	<b>97</b>
<b>9</b>	<b>Ausblick</b>	<b>101</b>
	<b>Literaturverzeichnis</b>	<b>103</b>

# Abbildungsverzeichnis

1.1	Kallisto - Fensterheberapplikation . . . . .	2
1.2	Umgebungstemperaturen im Automobil . . . . .	3
1.3	Spannungsklassen im Automobil . . . . .	4
1.4	Selbstisolation . . . . .	5
1.5	Sperrschichtisolation . . . . .	5
1.6	partielle dielektrische Isolation (Deep Trench Isolation DTI) . . . . .	6
1.7	dielektrische Isolation . . . . .	6
1.8	lateraler Aufbau eines DMOS . . . . .	8
1.9	detaillierter Aufbau eines lateralen n-LDMOS . . . . .	8
1.10	Verhalten der Transistorkapazitäten . . . . .	10
1.11	Einschaltverhalten eines DMOS . . . . .	11
1.12	Schalttopologien Leistungsschalter . . . . .	11
1.13	Snap-back Verhalten eines MOS Transistors . . . . .	13
1.14	Freilaufdiode: a)externe und b) integrierte Realisierung . . . . .	14
1.15	Integrierte Zenerdiode . . . . .	14
1.16	Einschalten in einen bestehenden Kurzschluss . . . . .	15
1.17	Auftreten eines Kurzschlusses im eingeschalteten Zustand . . . . .	16
1.18	Ersatzschaltbild HBM . . . . .	17
1.19	Entladestrom eines 2 kV HBM Pulses . . . . .	18
1.20	Entladestrom eines 200 V MM Pulses . . . . .	18
1.21	Entladestrom eines 500 V CDM Pulses . . . . .	19
2.1	Blockschaltbild LSS Modul . . . . .	21
2.2	Definition Schaltzeiten . . . . .	22
2.3	Prinzip Gateansteuerung: A) Inverterschaltung B) Konstantstromquelle	24
2.4	Blockschaltbild Gate-Treiber . . . . .	25
2.5	Schaltungsblock: local-biasing . . . . .	26
2.6	Schaltungsblock: <i>slow-/pwm-mode</i> Stromquelle . . . . .	27
2.7	Schaltungsblock: Niedervolt Schutz . . . . .	27
2.8	Schaltungsblock: Gate laden/entladen . . . . .	28
2.9	Schaltungsblock: Gate-Klemme . . . . .	29
2.10	Schaltungsblock: Induktive Klemme . . . . .	30
2.11	Schaltungsblock: Übertemperaturlogik . . . . .	31
2.12	Verhalten im <i>toggle-mode</i> . . . . .	31
2.13	Verhalten im <i>shut-down-mode</i> . . . . .	32
3.1	Messung im Hochstrompfad . . . . .	34

3.2	Messung mit Sense-Transistor . . . . .	35
3.3	Referenzspannungserzeugung mittels $I_{\text{ref}}$ und $R_{\text{ref}}$ . . . . .	35
3.4	Messung ohne Shunt-Widerstand . . . . .	36
3.5	Randeffekt Sensezellen . . . . .	37
3.6	Trimbare Referenzstromquelle . . . . .	39
3.7	Offset eines <i>differential pairs</i> . . . . .	39
3.8	Offset-unabhängige <i>switched-capacitor</i> Schaltung . . . . .	41
3.9	Offset-unabhängige <i>switched-capacitor</i> Schaltung mit realen Schaltern . . . . .	42
3.10	kapazitiver Spannungsteiler . . . . .	43
3.11	Verringerung des durch Ladungsinjektion verursachten Fehlers durch Verwendung mehrerer Stufen . . . . .	43
3.12	Verringerung des durch Ladungsinjektion verursachten Fehlers durch Verwendung einer differentiellen Schaltung . . . . .	44
3.13	Aufbau der verwendeten Komparatorschaltung (Prinzipschaltbild) . . . . .	45
3.14	Prinzipschaltbild <i>sampling</i> . . . . .	46
3.15	Nicht überlappende Ansteuersignale für die <i>switched-capacitor</i> Schaltung . . . . .	47
3.16	Detailliertes Schaltbild des verwendeten Komparators (Vorverstärker und Latch) . . . . .	48
3.17	Detailliertes Schaltbild des Master/Slave Latch . . . . .	48
3.18	Detailliertes Schaltbild des verwendeten <i>folded-cascode</i> Verstärkers . . . . .	49
3.19	Bodediagramm <i>folded-cascode</i> Verstärker . . . . .	50
3.20	Schaltbild Zwei-Punkt-Regelung . . . . .	51
3.21	Entladequelle des Gates . . . . .	52
3.22	Realisierung der Stromquellenumschaltung . . . . .	52
3.23	Signalverläufe: Einschalten in einen Kurzschluss . . . . .	53
3.24	Schaltbild: Lineare Regelung . . . . .	54
3.25	Schaltbild: Lineare Regelung Stabilität . . . . .	55
3.26	Bodediagramm der unkompensierten Regelung . . . . .	55
3.27	Prinzip <i>pole splitting</i> . . . . .	56
3.28	Bodediagramm der kompensierten Regelung . . . . .	56
4.1	Berechnung der Kanalweite . . . . .	58
4.2	thermische Zerstörung durch <i>single clamping</i> Puls . . . . .	60
4.3	Thermomechanische Zerstörung durch <i>repetitive clamping</i> Puls . . . . .	60
4.4	Schalten einer induktiver Last . . . . .	62
4.5	Querschnitt einer „inaktiven Zelle“ . . . . .	64
4.6	extrahierte DMOS Flächen . . . . .	65
4.7	Temperaturverläufe <i>single clamping</i> Puls . . . . .	67
4.8	<i>single clamping</i> Temperaturverteilung DMOS . . . . .	67
4.9	Temperaturverläufe <i>repetitive clamping</i> Puls . . . . .	68
4.10	<i>Repetitive clamping</i> Temperaturverteilung DMOS . . . . .	69
5.1	ESD Fenster . . . . .	72
5.2	Konzept ESD Diode . . . . .	73
5.3	Konzept <i>self protection</i> . . . . .	73

5.4	Konzept <i>active clamping</i> . . . . .	74
5.5	<i>Active clamping</i> Variante . . . . .	75
5.6	Realisierung des <i>active clamping</i> Konzeptes . . . . .	76
6.1	$R_{DSon}$ über Temperatur, $I_{DS}=100$ mA . . . . .	78
6.2	Einschalten in Kurzschluss 2-Punkt-Regelung . . . . .	80
6.3	Ripple des Limitierungsstromes $I_{lim}$ . . . . .	80
6.4	Einschalten in Kurzschluss lineare Regelung . . . . .	81
6.5	Signalverlauf <i>inductive clamping</i> . . . . .	83
6.6	ESD HBM Schaltungsmodell . . . . .	83
6.7	Charakterisierung $R_{DSon}$ über Temperatur . . . . .	84
6.8	Schaltzeiten: <b>pwm</b> : a)fall time b) rise time c) delay off d) delay on <b>slow</b> : e) fall time f) rise time g) delay off h) delay on . . . . .	85
6.9	Stromverlauf während der Limitierung (2-Punkt, Labor) . . . . .	86
6.10	Stromverlauf während der Limitierung (2-Punkt, automatisiertes Test- verfahren) . . . . .	86
6.11	Stromverlauf während der Limitierung (lineare Regelung, pwm) . . . . .	87
6.12	Stromverlauf während der Limitierung (lineare Regelung, slow) . . . . .	87
6.13	Übertemperaturverhalten <i>toggle-mode</i> . . . . .	88
6.14	Übertemperaturverhalten <i>shutdown-mode</i> . . . . .	88
6.15	Spannungsspitzen am Ausgang, verursacht durch Zenerrauschen . . . . .	89
6.16	I/V Kurve TLP Messung . . . . .	89
7.1	Vergleich DMOS neu vs alt . . . . .	91
7.2	Vergleich Gate-Treiber neu vs alt . . . . .	92
7.3	Vergleich induktive Klemmschaltung neu vs alt . . . . .	93
7.4	Vergleich ESD-Schutz neu vs alt . . . . .	93
7.5	Vergleich Überstromlimitierung (neu) vs Überstromerkennung (alt) . . . . .	94
7.6	Vergleich LSS-Modul neu (A) Variante 2-Punkt-Regelung, B) Variante lineare Regelung) vs alt (C) . . . . .	95
8.1	Layout LSS-Modul links: 2-Punkt-Regelung rechts: lineare Regelung . . . . .	98





# Tabellenverzeichnis

1.1	Bauteilübersicht SPT9 . . . . .	7
2.1	Spezifikation Schaltzeiten $V_s=13,5$ V . . . . .	22
4.1	$R_{DSon} \cdot W$ . . . . .	58
4.2	Garantierte Schaltzyklen . . . . .	61
4.3	Flächenvergleich DMOS . . . . .	66
5.1	ESD Dioden SPT9 . . . . .	72
6.1	Designspezifische Parameter . . . . .	78
6.2	Corner Analyse Schaltzeiten <i>slow-mode</i> ( $V_s=13,5$ V) . . . . .	78
6.3	Corner Analyse Schaltzeiten <i>pwm-mode</i> ( $V_s=13,5$ V) . . . . .	79
6.4	Monte Carlo Analyse Schaltzeiten <i>slow-mode</i> ( $V_s=13,5$ V) . . . . .	79
6.5	Monte Carlo Analyse Schaltzeiten <i>pwm-mode</i> ( $V_s=13,5$ V) . . . . .	79
6.6	Ripple <i>peak to peak</i> des Limitierungsstromes . . . . .	80
6.7	Monte Carlo Analyse Ripple <i>peak to peak</i> des Limitierungsstromes . . . . .	81
6.8	Corner Analyse Limitierungsstrom . . . . .	82
6.9	Monte Carlo Analyse Limitierungsstrom (lineare Regelung); SA...Standardabweichung . . . . .	82
6.10	Corner Analyse Klemmspannung . . . . .	82
7.1	Überblick Flächengewinn . . . . .	95



# Abkürzungsverzeichnis

**BCD** Bipolar CMOS DMOS, 4

**CAN** Bussystem; Feldbus mit CSMA/CA-Verfahren, 1

**CDM** ESD Modell; Charged Device Model, 17

**CMOS** Technologie mit nMOS- und pMOS-Transistoren, 4

**DMOS** Leistungstransistor; Double-diffused MOS Transistor, 6, 7

**DTI** Grabenisolierung; Deep Trench Isolation, 6

**ESD** Elektrostatische Entladung; Electrostatic Discharge, 2, 16

**FOX** Feldoxid, 7

**HBM** ESD Modell; Human Body Model, 17

**LIN** Bussystem, 1

**LSS** Schalterkonfiguration; Low-Side Schalter, 2

**nLDMOS** n-Kanal Leistungstransistor, 7

**NMOS** n-Kanal MOS-FET, 12

**PMOS** p-Kanal MOS-FET, 12

**SDM** ESD Modell; Socketed Device Model, 19

**SPT** Bipolar CMOS DMOS Technologie; Smart Power Technologie, 2

**STI** Shallow Trench Isolation, 7

**VPP** Kondensator aus vertikalen parallelen Platten, 7

# Formelzeichen und Symbole

Symbol	Erklärung	Einheit
$A$	Fläche	$m^2$
$A_{DMOS}$	Fläche DMOS	$m^2$
$A_{V_{TH}}$	Matchingparameter der Einsatzspannung	$mV\mu m$
$A_K$	Matchingparameter des Verstärkungsfaktors	$\frac{\mu A}{V^2}\mu m$
$A_R$	Matchingparameter des Widerstandes	$\% \mu m$
$A_V$	Spannungsverstärkung	1
$BW$	Bandbreite	$Hz$
$C_0$	Sample-Kapazität	$F$
$C'_{ox}$	Oxidkapazität pro Fläche	$\frac{F}{m^2}$
$C_{DMOS}$	Eingangskapazität DMOS	$F$
$C_{iss}$	Eingangskapazität	$F$
$C_{oss}$	Ausgangskapazität	$F$
$C_{rss}$	Rückwirkungskapazität	$F$
$C_{GB}$	Gate-Bulk-Kapazität	$F$
$C_{GD}$	Gate-Drain-Kapazität	$F$
$C_{GS}$	Gate-Source-Kapazität	$F$
$C_{ov}$	Überlappungskapazität	$F$
$k_{therm}$	Wurzelgesetzfaktor	$\frac{mm^2 \cdot K}{W \cdot \sqrt{s}}$

Symbol	Erklärung	Einheit
$I_{DS}$	Drain–Strom	$A$
$R_L$	Lastwiderstand	$\Omega$
$R_{DSon}$	Widerstand eines eingeschalteten MOS Transistors	$\Omega$
$T$	Temperatur	$K, (^\circ C)$
$\Delta T$	Temperaturhub	$K, (^\circ C)$
$t_{ox}$	Dicke der Oxidschicht	$m$
$t_{don}$	<i>delay-time</i> Einschalten	$s$
$t_{doff}$	<i>delay-time</i> Ausschalten	$s$
$t_{onf}$	<i>fall-time</i> Einschalten	$s$
$t_{offr}$	<i>rise-time</i> Ausschalten	$s$
$t_{aus}$	Ausschaltzeit bei induktiver Last	$s$
$V_{batt}$	Batteriespannung	$V$
$V_{DD}$	positive Versorgungsspannung	$V$
$V_{DS}$	Drain-Source–Spannung	$V$
$V_{GS}$	Gate-Source–Spannung	$V$
$V_s$		$V$
$V_{os}$	Offsetspannung	$V$
$V_{xlo}$	Spannung am XLO Pin	$V$
$W$	Kanalweite	$m$
$\varepsilon_0$	Dielektrizitätskonstante des Vakuums	$\frac{F}{m}$

## Allgemeine Bezeichnungen

$U$  ... Spannungen, außen sichtbar [ $V$ ]

$I$  ... Ströme [ $A$ ]

$E$  ... Energien

$Q$  ... Ladungen

$C$  ... Kapazitäten

$P$  ... Leistungen

## Physikalische Konstanten

Konstante	Bedeutung	Zahlenwert
$\varepsilon_0$	Dielektrizitätskonstante des Vakuums	$8,854 \cdot 10^{-14} \frac{F}{cm}$

# 1 Einleitung

Aufgrund der immer höheren Integrationsdichte und der steigenden Komplexität der Gesamtschaltungen steigt die Entwicklungszeit neuer Produkte ständig an. Da verschiedene Produkte hinsichtlich analoger Grundsaltungen oft ähnliche Anforderungen haben, ist es sinnvoll bereits bestehende Schaltungsteile wiederzuverwenden. Aus diesem Grund ist man bestrebt bestimmte Funktionen in eigenständigen Modulen zusammen zu fassen, welche nach Bedarf innerhalb einer Technologie dann zum Einsatz kommen.

Durch die Modularisierung in der Schaltungsentwicklung ist es möglich die Entwicklungszeit und damit die Kosten zu reduzieren. Diese Reduktion der time-to-market ist ein wesentliches Element um hinsichtlich des Entwicklungszyklus' effizient zu arbeiten und um wettbewerbsfähig zu bleiben.

Durch die Wiederverwendung von einzelnen Modulen in verschiedenen Projekten ist es außerdem möglich Schwachstellen der einzelnen Schaltungen leichter und schneller zu identifizieren und somit die Stabilität und Effektivität dieser durch Weiterentwicklung zu steigern.

## 1.1 Motivation

In automotiven Hochvolt-Anwendungen werden Leistungsschalter zum Schalten, Steuern und Umformen von elektrischer Energie verwendet und dienen somit zur Kommunikation diverser Steuergeräte mit deren Umwelt. In modernen Anwendungen werden diese Leistungsschalter, deren Ansteuerschaltungen sowie zusätzliche Diagnose- und Schutzfunktionen, als autark arbeitende Module zusammen mit anderen Funktionen auf einem Chip integriert. Je nach Applikation können solche *System-on-Chip* Lösungen beliebig viele Schaltmodule beinhalten. Um den resultierenden Flächenaufwand klein zu halten werden eine kompakte Bauweise sowie ein flächenoptimiertes Design dieser Module gefordert.

Typische Beispiele für solche Anwendungen wären elektrischer Fensterheber, Controller Area Network (**CAN**), Local Interconnect Network (**LIN**), Antiblockiersystem, Anti-Schlupfregelung, Stabilitätsprogramm, Einspritzdüsen usw.

Im Lead-Produkt (elektrische Fensterheberapplikation) der in dieser Arbeit verwendeten Technologie werden integrierte Leistungsschalter in einer Low-Side Konfiguration verwendet, um einen DC-Motor anzusteuern (Abbildung 1.1). Hierbei wird durch das Schalten von Relaiskontakten eine Änderung der Drehrichtung des Antriebsmotors erzielt.

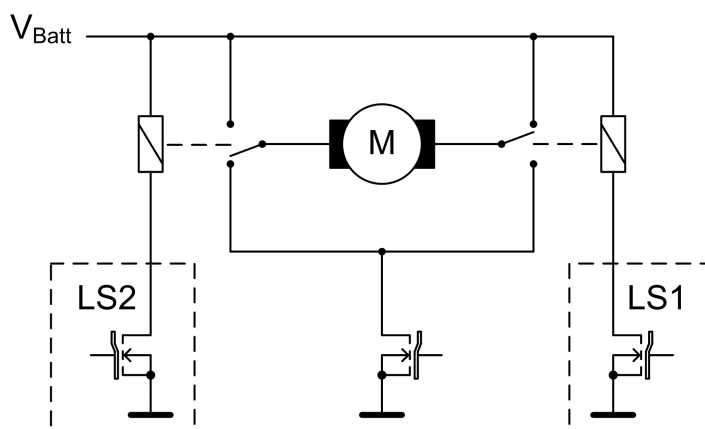


Abbildung 1.1: Kallisto - Fensterheberapplikation

Anders als die Low-Side Schalter sind die Relais hier als diskrete Bauteile auf der Platine ausgeführt was das Herausführen des internen Schaltungsknotens auf einen externen Pin erfordert.

Im Fehlerfall kann es zu einem Kurzschluss zwischen Leistungstransistor und der Versorgungsspannung kommen. Der hohe Kurzschlussstrom führt zu einer Erwärmung und in weiterer Folge zur thermischen Zerstörung des Bauteils. Durch Messung des Laststromes durch den Leistungstransistor des Moduls wird für eine externe (außerhalb des Moduls) Weiterverarbeitung ein dem Strom proportionaler Spannungswert zur Verfügung gestellt.

Weiters stellt das Relais eine induktive Last dar wodurch es während dem Abschalten aufgrund der in der Spule gespeicherten Energie zu hohen elektrothermischen Belastungen des Leistungstransistors kommt. Diese muss bei der Auslegung des Leistungstransistors berücksichtigt werden.

Aufgrund des Handlings während der Fertigung und der Betriebsumgebung muss das Modul bestimmte Elektrostatische Entladungs (ESD) Anforderungen erfüllen, welche den benötigten Flächenaufwand zusätzlich erhöhen.

Durch neue Erkenntnisse der Smart Power Technologie (SPT) 9 und vielen Anfragen, die Strombegrenzung im Kurzschlussfall in das Schaltmodul zu integrieren, wird das Low Side Switch (LSS) Modul im Zuge dieser Arbeit neu entwickelt und hinsichtlich Fläche sowie Robustheit und Zuverlässigkeit optimiert.



Aufgrund der hohen Anforderungen an die Genauigkeit der Stromlimitierung werden verschiedene Sense-Konzepte und eine Möglichkeit zur Reduktion der Offsetspannung diskutiert. Weiters wird bei der Realisierung des Leistungstransistors, welcher bei solchen Schaltungen üblicherweise den Großteil des Flächenaufwandes bestimmt, verschiedene Möglichkeiten zur Gestaltung der Temperaturverteilung während den Belastungsfällen single und repetitive clamping und somit der benötigten Fläche behandelt. Auch im Bezug auf den entsprechenden ESD Schutz werden verschiedene mögliche Realisierungen und der damit verbundene Flächenaufwand untersucht. Das im Lead-Produkt zum Einsatz kommende Modul mit gleichen Anforderungen wird zu Vergleichszwecken hinsichtlich der Performance (Fläche und Funktion) herangezogen.

## 1.2 Automotive Anforderungen

Die Entwicklung integrierter Schaltungen für den automotiven Bereich unterliegt hohen Sicherheitsanforderungen. Gleichzeitig sind ICs im Automobil rauesten Umgebungsbedingungen ausgesetzt. Dieses Zusammenspiel macht das Entwickeln solcher Schaltungen zu einer Herausforderung für jeden Schaltungsentwickler.

Während die Funktionalität elektronischer Bauteile für Temperaturen von bis zu minus 40 °C in rauen Wintern gegeben sein muss, ergeben sich je nach Lage im Automobil Temperaturen von bis zu 800 °C.

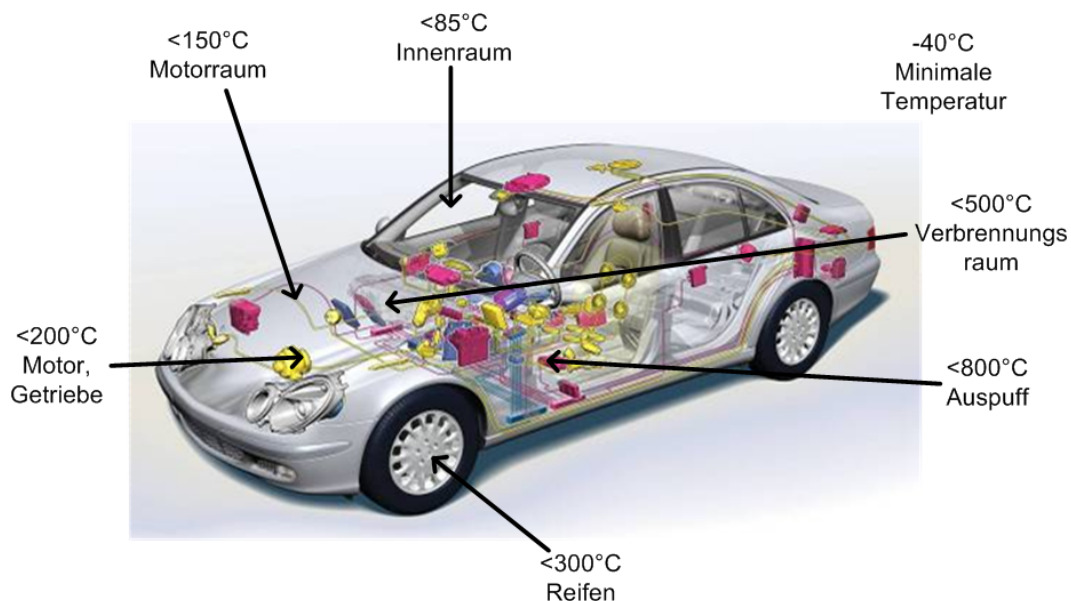


Abbildung 1.2: Umgebungstemperaturen im Automobil [Acr09]

Aufgrund des geringen Platzangebots im Innenraum des Fahrzeuges erfolgt die Un-

terbringung vieler elektronischer Komponenten im Motorraum [Wap07]. Hier kann die Sperschichttemperatur wegen der Nähe zum Verbrennungsmotor bis zu 175 °C erreichen. Der somit spezifizierte Temperaturbereich reicht von -40 °C bis 175 °C. Dieser weite Bereich stellt hohe Anforderungen an jeden Schaltungsentwickler, da gegebene Spezifikationen über den gesamten Temperaturbereich eingehalten werden müssen und nicht nur die Beweglichkeit der Ladungsträger sondern auch andere Parameter wie die Schwellspannung eine Temperaturabhängigkeit aufweisen.

Eine weitere Herausforderung stellen die möglichen Spannungspulse dar, welche im Fahrzeug beispielsweise aufgrund des Spannungseinbruchs durch den Startermotor, durch einen Lastabwurf (*load dump*), durch Inanspruchnahme einer Starthilfe (*jump-start*) oder durch das Schalten von induktiven Lasten (*clamping*) auftreten. Um den sich dadurch ergebenden Spannungsbereich zu veranschaulichen sei auf folgende Abbildung 1.3 verwiesen, wobei sich die dargestellten Werte hierbei auf ein 14 V Boardnetz beziehen.

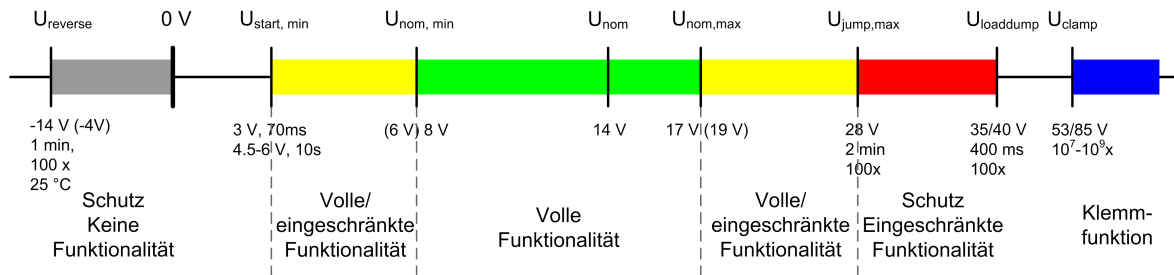


Abbildung 1.3: Spannungsklassen im Automobil [Gra07]

Je nach Belastungsfall muss eine gewisse Funktionalität der elektronischen Schaltung sichergestellt sein. Um eine einheitliche Prüfung dieser auftretenden Pulse zu gewährleisten wurden die wichtigsten im ISO 7637 Standard charakterisiert und normiert.

### 1.3 Smart Power Technologie

Um die hohen Anforderungen der automotiven Umgebung an die Schaltungsentwicklung zu erfüllen und gleichzeitig einen hohen Integrationsgrad zu erreichen, werden für die Realisierung integrierter Schaltungen unter anderem Smart Power Technologien verwendet. Diese auch unter Bipolar CMOS DMOS (BCD) bekannten Technologien ermöglichen es durch Verwenden von Leistungsbauteilen den auftretenden hohen Spannungen und Strömen, sowie Störpulsen durch einen speziellen Aufbau stand zu halten. Neben diesen Leistungsbauteilen können mithilfe von Complementary MOS (CMOS) und Bipolar Transistoren auch Digitallogik und analoge Schaltungsteile auf demselben Chip implementiert werden.

### 1.3.1 Isolationsarten

Smart Power Technologien können aufgrund der Isolationsart unterschieden werden.

Die Selbstisolation (Abbildung 1.4) stellt die einfachste Möglichkeit dar und wird in jedem MOS Prozess verwendet. Es existiert hier keine Isolierung zwischen benachbarten Bauteilen und zum Substrat. Diese wird durch das Anlegen der richtigen Spannungen an den einzelnen Komponenten im Bezug zum Substrat oder Wannenkontakt erzielt.

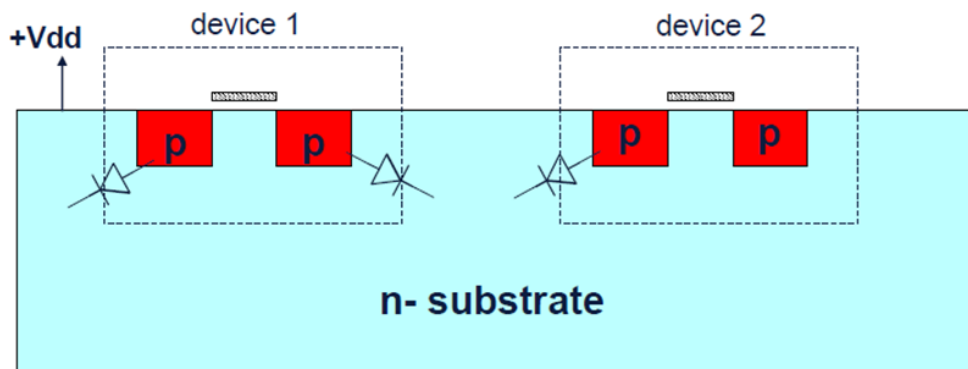


Abbildung 1.4: Selbstisolation [Zit07]

Die in Abbildung 1.5 dargestellte Sperrschicht Isolation wird bei Bipolar Prozessen verwendet. Hierbei wird auf ein p-Substrat ein n-epitaxial layer aufgetragen. Die Komponenten liegen in den n-epi Wannen und sind durch Anlegen der negativsten Spannung an das p-Substrat von den anderen Wannern isoliert. Im Gegensatz zur Selbstisolation werden bei der Sperrschicht Isolation mehr Masken benötigt, es können aber auch mehr Komponenten realisiert werden.

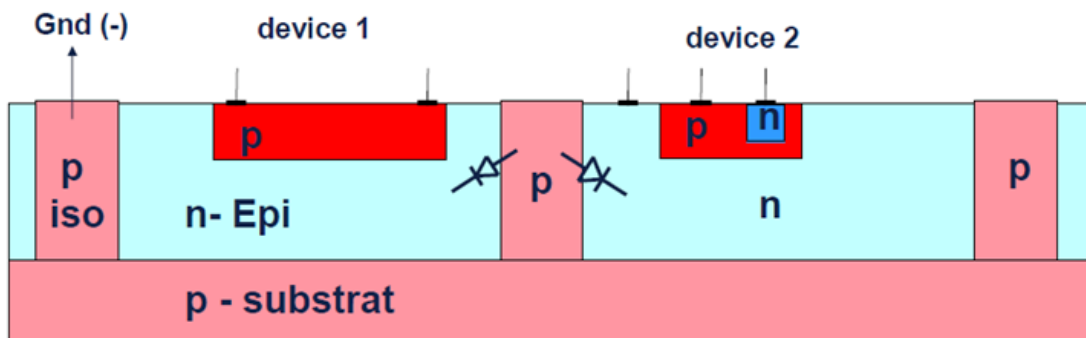


Abbildung 1.5: Sperrschichtisolation [Zit07]

Bei der partiell dielektrischen Isolation (Abbildung 1.6) wird anstatt der p-dotierten Sperrschicht (Junction Isolation) ein Graben geätzt, an dessen Wänden Siliziumdioxid

abgeschieden wird. Zur Kontaktierung des p-Substrats wird der geätzte Graben innen mit p+ dotiertem Polysilizium aufgefüllt. Im Vergleich zur Sperrschicht Isolation wird weniger Fläche für die Isolation benötigt wodurch viel höhere Packungsdichten erzielt werden können. [Kal11]

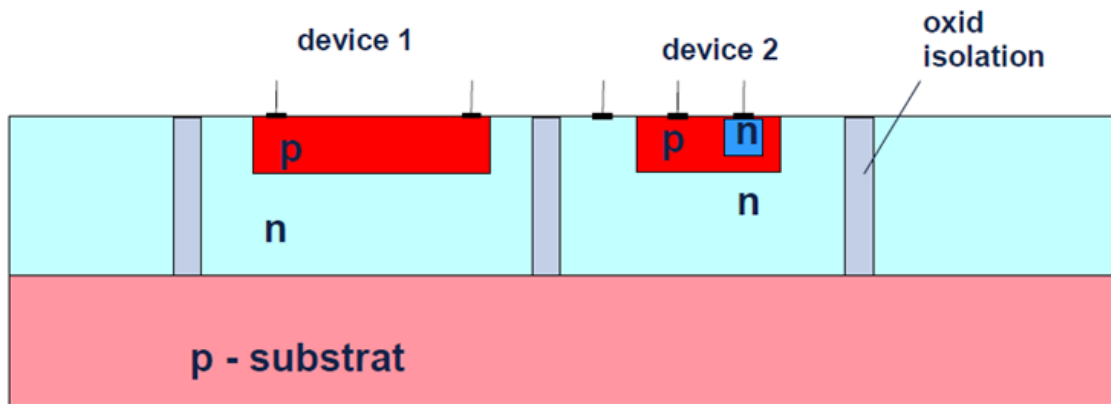


Abbildung 1.6: partielle dielektrische Isolation (Deep Trench Isolation DTI) [Zit07]

Zur Isolierung der einzelnen Wannen werden bei der dielektrischen Isolation (Abbildung 1.7) SiO<sub>2</sub> Trenches verwendet. Das Substrat wird ebenfalls durch eine Silizium Oxid Schicht isoliert. Es sind somit keine Leckströme zwischen den einzelnen Wannen und zum Substrat möglich. Außerdem entstehen keine parasitären Strukturen. Nachteilig wirkt sich bei dieser Isolationsart der schlechte Wärmeleitwert der Oxidschicht sowie die hohen Fertigungskosten aus. [Zit07] [Kal11]

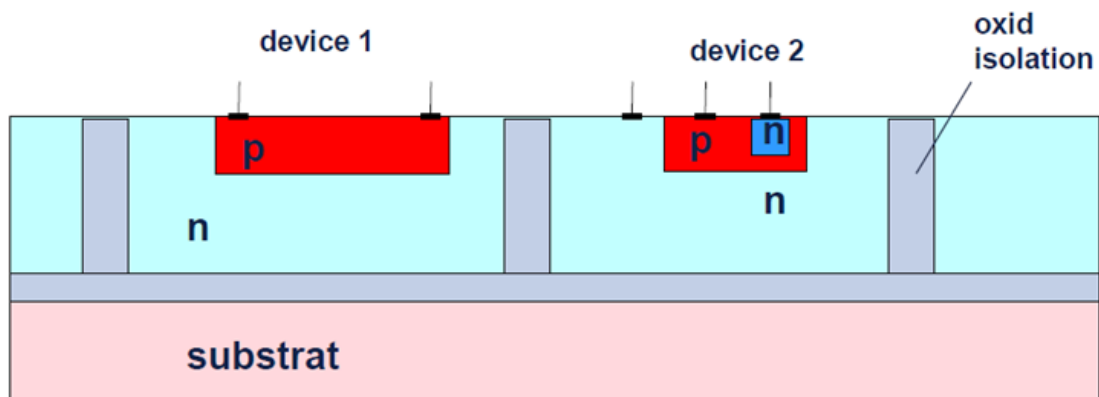


Abbildung 1.7: dielektrische Isolation [Zit07]

Im Rahmen dieser Arbeit wurde die SPT9 Technologie verwendet, welche eine Hochvolt BCD Technologie mit einer 130 nm CMOS Technologie vereint, und bei welcher die Isolation durch die Deep Trench Isolation (DTI) realisiert wird.

### 1.3.2 Elemente

Die nachfolgende Tabelle beinhaltet die in SPT9 verfügbaren Elemente. Bei dieser Technologie werden die Leistungstransistoren (**DMOS**) nur in lateraler Ausführung verwendet. Wegen der Flächenintensität und der sehr starken Abhängigkeit von Prozessvariationen wird auf die Verwendung von Bipolar Transistoren verzichtet.

Bauteile	Bemerkung
LV n-/p-MOS	1,5 V mit/ohne halo
MV n-/p-MOS	5 V/8 V flash
n-/p-LDMOS	15 V/25 V/40 V/60 V
Bipolar	vert. pnp für bandgap Dioden
Diode	
zDiode	8 V/40 V
Widerstand	p-poly mit/ohne salicid Diffusion Metall 1,2,3,4
Kapazitäten	Gate Kapazität Poly-poly Kapazität Metall Kapazität (horiz./vertical parallel plates ( <b>VPP</b> ))

Tabelle 1.1: Bauteilübersicht SPT9

### 1.3.3 DMOS Aufbau

Der **DMOS** stellt das Leistungselement dar und wird in verschiedenen Schalttopologien zum Trennen einer Last von der Versorgungsspannung verwendet. Um die dabei auftretenden hohen Spannungen und Ströme aushalten zu können, ist im Vergleich zu gewöhnlichen MOS Transistoren, ein spezieller Aufbau erforderlich.

Der Aufbau eines DMOS kann grundsätzlich lateral oder vertikal erfolgen. Da aber, wie oben erwähnt, nur die laterale Variante im verwendeten SPT9 Prozess Anwendung findet, wird nachfolgend auch nur auf diese näher eingegangen.

Namensgebend für dieses Transistormodell ist der spezielle Aufbau, bei welchem das Diffusionsgebiet mit zwei Materialien, Phosphor (n) und Bor (p), dotiert wird. Die beiden entstehenden Wannen bilden dann einerseits den Kanal und andererseits die Drain Erweiterung (Drift Zone). Diese dient dazu die Feldstärke in der Kanalregion abzubauen, da es sonst zu elektrischen Durchbrüchen kommt.

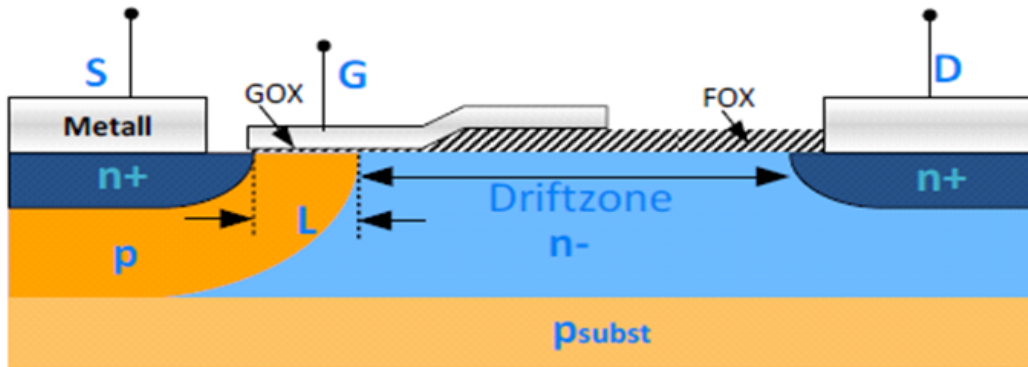


Abbildung 1.8: lateraler Aufbau eines DMOS [Jan10]

Folgende Abbildung 1.9 zeigt einen detaillierten Querschnitt eines lateralen n-Kanal DMOS (nLDMOS). Um das Gate von der Drain Erweiterung zu isolieren wird hier anstatt des Fieldoxids (FOX) eine Shallow Trench Isolation (STI) verwendet.

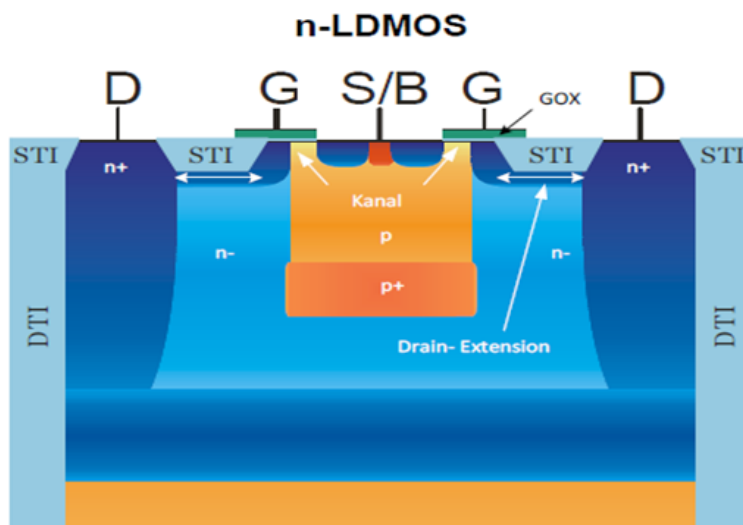


Abbildung 1.9: detaillierter Aufbau eines lateralen n-LDMOS [Jan10]

Der DMOS besitzt einen zellenartigen Aufbau, wobei jede Zelle eine fixe Länge und Weite aufweist. Durch das Parallelschalten dieser Zellen kann der Transistor über die Weite skaliert werden. Somit können je nach Bedarf verschiedene Größen sowie Widerstandswerte realisiert werden.

### 1.3.4 parasitäre Kapazitäten und Schaltverhalten

Das Schaltverhalten eines MOS Transistors wird wesentlich durch seine parasitären Kapazitäten bestimmt. Ab einer Gatespannung größer der Thresholdspannung entsteht ein leitender Kanal unter dem Gate. Die aus Kanal, Oxidschicht (Dielektrikum) und Gate bestehende Kapazität berechnet sich wie folgt:

$$C_{ox} = \varepsilon_0 \cdot \frac{\varepsilon_r}{t_{ox}} \cdot W \cdot L = C'_{ox} \cdot W \cdot L \quad (1.1)$$

Die gesamte Kapazität ergibt sich größtenteils aus der Gate-Source ( $C_{GS}$ ) und Gate-Drain ( $C_{GD}$ ) Kapazität.

Im cut-off Bereich mit  $V_{GS} < V_{th}$  dominiert die Gate-Bulk Kapazität mit  $C_{GB}=C_{ox}$ . Durch Erhöhen der Gate-Source Spannung  $V_{GS}$  gerät der Transistor in den Sättigungsbereich. In diesem Zustand existiert ein leitender Kanal, der die Gate-Bulk Kapazität null werden lässt. Die Gate-Source Kapazität ergibt sich dann zu

$$C_{GS} = \frac{2}{3} \cdot C_{ox} \quad (1.2)$$

Durch weiteres Erhöhen der Gate-Source Spannung geht der Transistor in den Widerstandsbereich (Triode region) über. In diesem Zustand entsteht ein leitender Kanal zwischen Source und Drain, was zu einer Gate-Drain Kapazität von

$$C_{GS} = C_{GD} = \frac{1}{2} \cdot C_{ox} \quad (1.3)$$

führt. [Hof06]

In Datenblättern werden diese Kapazitäten wie folgt beschrieben:

Eingangskapazität $C_{iss}$ :	$C_{iss} = C_{GS} + C_{GD}$ ( $C_{DS}$ kurzgeschlossen)
Ausgangskapazität $C_{oss}$ :	$C_{oss} = C_{DS} + C_{GD}$ ( $C_{GS}$ kurzgeschlossen)
Rückwirkungskapazität $C_{rss}$ :	$C_{rss} = C_{GD}$

Die Rückwirkungskapazität, auch Miller-Kapazität genannt, ist eine der wichtigsten Parameter, die sich auf die Anstiegs- und Abfallzeit auswirkt. Weiters beeinflusst sie die Verzögerungszeit bis zum Ausschalten.

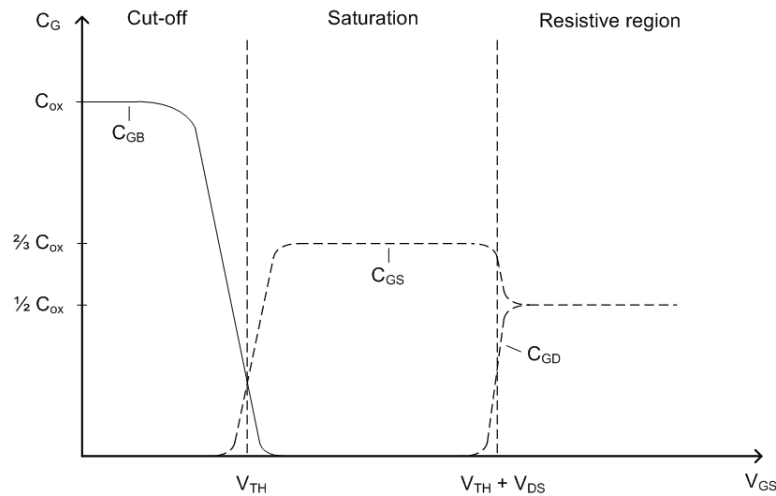


Abbildung 1.10: Verhalten der Transistorkapazitäten [Hof06]

### Miller-Effekt

Eine nähere Betrachtung des Einschaltvorganges zeigt den Einfluss bzw. die Auswirkung des Miller-Effekts. Im Abschnitt 1 in Abbildung 1.11 wird die Eingangskapazität  $C_{iss}$  geladen und die Gate-Source Spannung  $V_{GS}$  steigt bis zum Erreichen der Treshhold-Spannung  $V_{TH}$  linear an. In diesem Abschnitt kann die Gate-Drain Kapazität  $C_{GD}$  vernachlässigt werden, da diese sehr viel kleiner ist als  $C_{GS}$ .

Ab dem Erreichen der Sättigungsspannung beginnt der Drainstrom  $I_{DS}$  zu fließen. Dieser steigt während Abschnitt 2 auf seinen stationären Wert an. Weiters beginnt auch die Drain-Source Spannung  $V_{DS}$  in diesen Abschnitt abzunehmen und der Anstieg der Gate-Source Spannung flacht ab. Der Abfall der Drain-Source Spannung erfolgt im Abschnitt 2 sehr viel schneller da die Gate-Drain Kapazität zu diesem Zeitpunkt immer noch sehr klein ist und mit dem gegebenen Ladestrom leicht entladen werden kann.

Durch eine weitere Abnahme der Gate-Drain Spannung kommt es, bedingt durch die Spannungsverstärkung, zu einem enormen Anstieg der Gate-Drain Kapazität welche nun die Eingangskapazität dominiert (Abschnitt 3). Während dieser Zeit wird der gesamte Ladestrom dazu benötigt diese Kapazität zu entladen wodurch die Gate-Source Spannung auf einem konstanten Potential bleibt. Die Drain-Source Spannung nimmt während Abschnitt 3 bis zum Erreichen der Sättigungsspannung  $V_{dsat}$  weiter ab.

Danach (Abschnitt 4) steigt auch die Gate-Source Spannung weiter bis zum Erreichen des Maximalwertes. [MIT]

Dieses Verhalten tritt auch beim Ausschalten des Transistors auf. Die dadurch hervor-



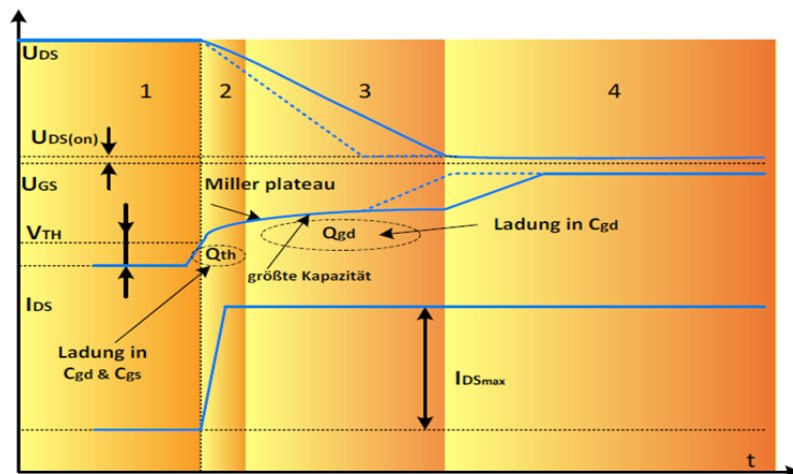


Abbildung 1.11: Einschaltverhalten eines DMOS [Jan10]

gerufene Verzögerung kann für bestimmte Fehlerfälle wie zum Beispiel das Auftreten eines Kurzschlusses im eingeschalteten Zustand des Transistors zu einer Fehlfunktion führen.

## 1.4 Schalttopologien Leistungsschalter

Aufgrund der Anordnung der Leistungsschalter im Bezug auf die Last und Versorgung kann man diese in 3 Arten unterteilen (Abbildung 1.12).

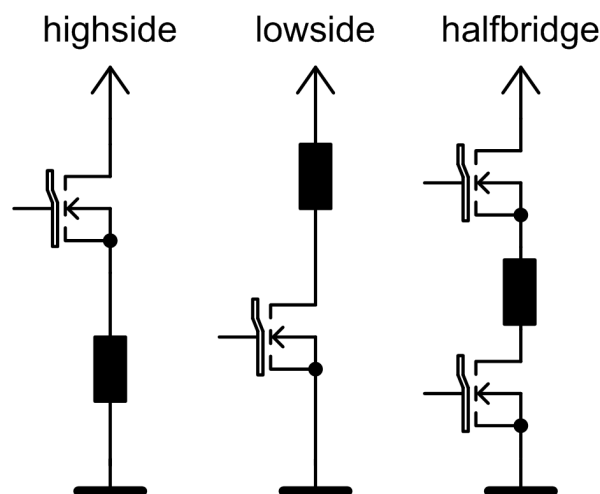


Abbildung 1.12: Schalttopologien Leistungsschalter

Der Low-Side Schalter (Abbildung 1.12 Mitte) ist dadurch gekennzeichnet, dass sich der Schalter zwischen Last und Massepotential befindet. Verwendung findet diese Kon-

figuration vor allem beim Schalten von induktiven Lasten wie z.B. Spulen für Einspritzdüsen oder Zündspulen. Die Spannung am Drain ist im eingeschalteten Zustand nahe dem Massepotential da die Last einen weitaus höheren Widerstand aufweist als der Schalter.

Befindet sich der Schalter zwischen Last und Versorgung (Abbildung 1.12 links) so spricht man von einem High-Side Schalter. Obwohl für diese Anwendung die Verwendung von p-Kanal MOS (PMOS) Transistoren geeignet wäre kommen hier aufgrund der höheren Mobilität der Ladungsträger n-Kanal MOS (NMOS) Transistoren zum Einsatz. Um diesen Transistor einschalten zu können wird ein Gatepotential höher der Versorgung benötigt, was in komplexeren Ansteuerschaltungen resultiert. Der High-Side Schalter dient vor allem zum Schalten von ohmschen Lasten oder Lampen.

Durch Kombination von Low- und High-Side Schalter lässt sich eine Brückenkonfiguration (Abbildung 1.12 rechts) realisieren. Diese wird vor allem bei der Ansteuerung von Motoren verwendet, da es hier möglich ist, die Polarität an der Last umzukehren. [Kor00] [Jak07]

## 1.5 Typische Belastungsfälle: Low-Side Schalter

### 1.5.1 Schalten induktiver Lasten

Leistungsschalter werden, wie oben erwähnt, unter anderem zum Schalten induktiver Lasten verwendet. Bei diesen Anwendungen können für den Schalter kritische Situationen aufgrund der in der induktiven Last gespeicherten Energie auftreten. Diese kritischen Situationen ergeben sich unter anderem durch das periodische Schalten von Magnetventilen, das Schalten von Elektromotoren sowie das Schalten von ohmschen Verbrauchern mit nennenswerten Zuleitungsinduktivitäten. Als kritisch stellt sich hierbei der Abschaltvorgang dar.

Nach dem Einschalten des Leistungstransistors stellt sich die Ausgangsspannung am Drain Pin rasch auf ihr stationäres Potential ein und der Strom durch die induktive Last erreicht nach einer Weile den Maximalwert. In der Abschaltphase wird das Gate des Transistors entladen und es kommt zu einer raschen Abnahme des Stromfluss es.

$$u_L = L \cdot \frac{di_L}{dt} \quad (1.4)$$

Dies führt durch Selbstinduktion zu einer Spannung über der Last welche die Ausgangsspannung auf ein Potential höher als die Versorgungsspannung anhebt. Überschreitet

diese Spannung am Drain Pin des Transistors einen spezifizierten Wert, werden die Elektronen so beschleunigt dass sie durch Kollision mit Atomen weitere Elektronen freisetzen. Dieser Vorgang wird auch als Avalanche Durchbruch bezeichnet. Die dabei entstehenden Elektronen bewegen sich zur Drain Elektrode und die Löcher zum Substrat wodurch dieses leicht positiv geladen wird. Dies führt zum Ansprechen des parasitären Bipolartransistors. Durch die positiv geladene Basis (Substrat) werden Löcher in den Emitter (Source) injiziert und es bildet sich ein Elektronenstrom durch die Basis hin zum Kollektor (Drain) aus. Ein Stromanstieg hat eine Erhöhung der Stromverstärkung des Bipolartransistors und in Verbindung damit eine Verringerung der Durchbruchsspannung zur Folge. Es kommt zum sogenannten Snap-back Effekt (Abbildung 1.13). Eine weitere Erhöhung der Drain-Source Spannung  $V_{DS}$  führt zur thermischen Zerstörung des Transistors. [Hof06]

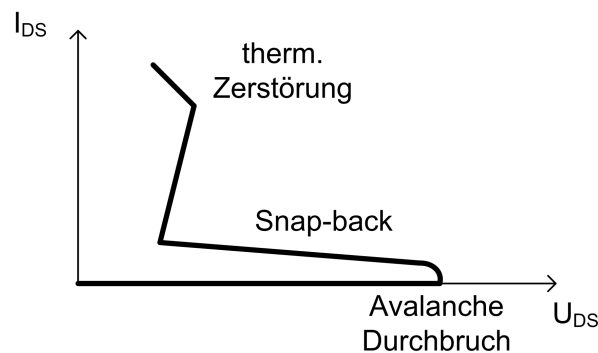


Abbildung 1.13: Snap-back Verhalten eines MOS Transistors

Durch Ansprechen des parasitären Bipolartransistors wird also ein Strom von der Batterie durch die Last und den Transistor fließen bis der Spulenstrom gleich Null wird. Dieser Avalanche Durchbruch ist nicht zwingend destruktiv, allerdings kommt es zu einer stark erhöhten Verlustleistung im Transistor, welche zu permanenten Schäden führen kann. [AG]

## Schutzschaltungen

Um einen Durchbruch des Leistungstransistors und damit eine mögliche Fehlfunktion oder dessen Zerstörung zu verhindern, existieren erprobte Schaltungsmöglichkeiten welche hier nun kurz angeführt werden.

Eine Möglichkeit der Realisierung solcher Schutzbeschaltung ist es, wie in Abbildung 1.14 unter a) ersichtlich, eine Freilaufdiode parallel zur induktiven Last zu schalten, welche während des Ausschaltens des Leistungstransistors einen Strompfad zur Versorgung zur Verfügung stellt und die Spannung am Pin auf eine Diodenspannung über  $V_{batt}$  klemmt. Die Verwendung externer Schutzstrukturen stellt jedoch ein erhöhtes

Risiko in Bezug auf Leitungsunterbrechungen und dergleichen dar, welches auf *Printed Circuit Board* Ebene weitaus wahrscheinlicher ist als auf einer am Silizium integrierten Variante. Weiters stellt sich eine Realisierung mittels externer Komponenten als sehr kostspielig dar weshalb der Kunde immer eine integrierte Lösung, wie in Abbildung 1.14 unter b) dargestellt, fordert. Bei der integrierten Variante besteht die Möglichkeit die Diode durch einen Transistor zu ersetzen. [Gla]

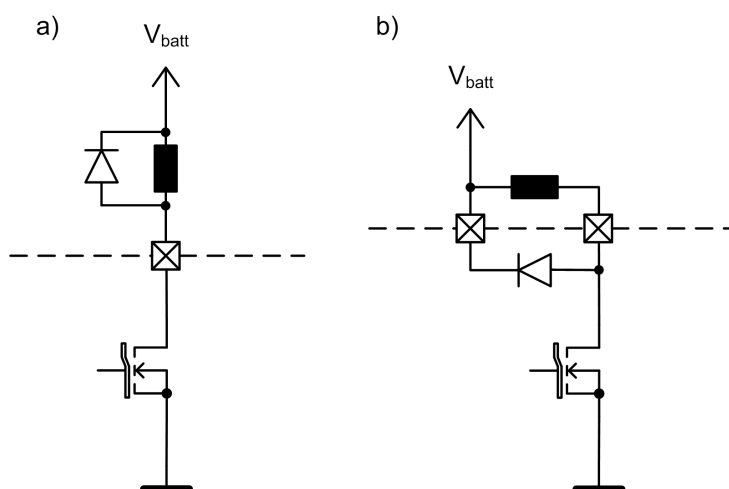


Abbildung 1.14: Freilaufdiode: a) externe und b) integrierte Realisierung

Eine in der automotiven Schaltungsentwicklung wegen ihrer Zuverlässigkeit und Kosteneffizienz sehr weit verbreitete Variante ist die in Abbildung 1.15 ersichtliche integrierte Zener Klemme. Diese klemmt den Drainpin des DMOS auf einen bestimmten

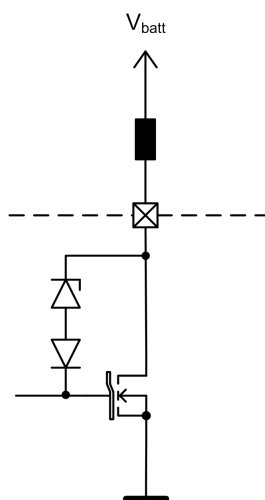


Abbildung 1.15: Integrierte Zenerdiode

Spannungswert ( $V_{OUT} = V_{KLEMM} + V_{TH}$ ). Wird dieser während dem Ausschaltvorgang des Transistors überschritten, bricht die Diode durch. Der sich durch die Zenerdiode einstellende Strom lädt das Gate wodurch es zu einem geregelten (verzögerten bzw.

langsameren) Abschalten kommt und die in der Spule gespeicherte Energie bzw. der Strom über den Transistor abfließen kann. Die Triggerspannung ( $V_{KLEMM} + V_{TH}$ ) am Drainpin bleibt während diesem Vorgang solange erhalten bis der Strom der Induktivität gleich Null wird. Diese Art der Realisierung stellt aufgrund der hohen Verlustleistung, welche während des Vorganges im Transistor auftritt, spezielle Anforderungen an das Design des Leistungstransistors und führt gegebenenfalls zu einer Erhöhung des dafür benötigten Flächenaufwands. [Gla]

## 1.5.2 Kurzschluss

Eine weitere kritische Situation für Leistungsschalter stellt neben dem Schalten induktiver Lasten das Auftreten eines Kurzschlusses dar. Als Kurzschluss versteht man das Entstehen einer niederohmigen Verbindung zwischen zwei Punkten unterschiedlichen Potentials. Tritt ein solcher ein, kommt es zu einem erhöhten Stromfluss durch den Leistungsschalter. Durch den resultierenden Temperaturanstieg kann es zur thermischen Zerstörung oder zu einer Fehlfunktion kommen. Um dies zu verhindern ist es deshalb sehr wichtig, dass sofort auf den Kurzschluss reagiert wird.

### Typen

Grundsätzlich wird zwischen folgenden zwei Kurzschlussarten unterschieden:

- Kurzschluss Typ 1:

Einschalten des Transistors in einen bereits bestehenden Kurzschluss. Da beim Erkennen des Kurzschlusses die Gatekapazität noch nicht vollständig geladen ist, kann der Ladevorgang abgebrochen werden und es kommt zu keiner durch den Miller-Effekt verursachten Totzeit. Umgebungstemperaturen von  $150^{\circ}\text{C}$  stellen bei diesem Typ den kritischeren Fall dar, da der Temperaturhub bis zum Erreichen der Zerstörungstemperatur am geringsten ist. [III05]

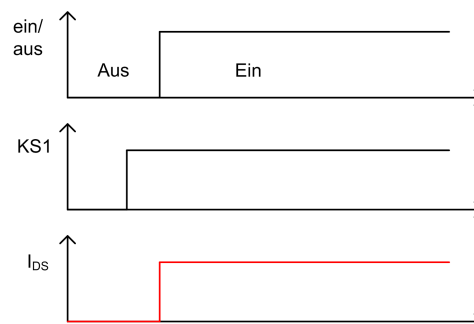


Abbildung 1.16: Einschalten in einen bestehenden Kurzschluss

- Kurzschluss Typ 2:

Dieser Typ beschreibt das Auftreten eines Kurzschlusses während des eingeschalteten Zustandes. Die Gate-Kapazität ist hier geladen, und bevor der Strom durch den Transistor limitiert werden kann, muss diese Kapazität umgeladen werden. Dieser Vorgang kann einige  $\mu\text{s}$  in Anspruch nehmen, gleichzeitig steigt die Verlustleistung, besonders bei Temperaturen um  $-40^\circ\text{C}$ , aufgrund des hohen Stromflusses an weshalb dieser Fall als der kritischere von beiden anzusehen ist. [III05]

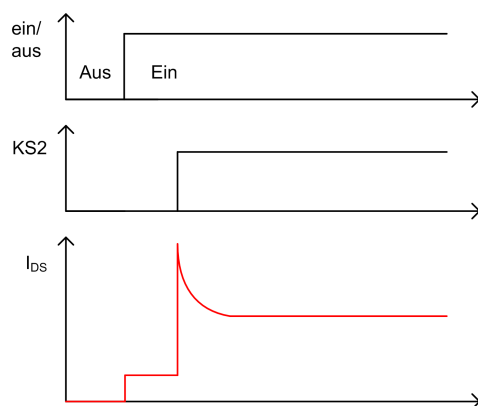


Abbildung 1.17: Auftreten eines Kurzschlusses im eingeschalteten Zustand

## 1.6 ESD

Das Hantieren mit ICs während dem Herstellungsprozess und späterer Kontakt mit dem im Automobil verbauten Produkt kann zu einer elektrostatischen Entladung führen, welche die Funktionsfähigkeit dieser stark beeinträchtigt und im schlimmsten Fall zu einer Fehlfunktion, verursacht durch die thermische Zerstörung des Bauteils oder durch Oxid Durchbrüche, führt.

Unter **ESD** versteht man eine rapide Entladung einer hohen Spannung zwischen zwei Körpern mit unterschiedlichen Potentialen. Zu einer elektrostatischen Aufladung kommt es durch das Aneinanderreiben zweier Substanzen (triboelektrischer Effekt). Statische Ladung kann entweder durch artfremde Werkstoffe (z.B. Gummisole bewegt sich über Teppich) oder durch das Trennen artgleicher Werkstoffe (z.B. Abziehen eines durchsichtigen Klebebands von der Rolle) entstehen. Berührt eine statisch aufgeladene Person ein geerdetes Objekt wie zum Beispiel einen IC Pin kommt es zu einer Entladung mit einer Dauer von ca. 100 ns und Spitzenströmen im Ampere Bereich. [AA02]

Um die Robustheit integrierter Schaltungen gegenüber elektrostatischer Entladungen zu erhöhen ist eine genaue Evaluierung und Charakterisierung unabdingbar. Seit dem Aufkommen der ESD-Problematik wurde ein großer Aufwand in das Entwickeln von ESD Modellen für Testmethoden investiert, welche alle ESD Events abdecken, die

während des gesamten Lebenszyklus' eines ICs auftreten. Diese Testmethoden wurden in verschiedene Standards, abhängig vom verwendeten Modell, festgehalten um reproduzier- und vergleichbare Ergebnisse zu liefern. [Nav10]

### 1.6.1 ESD Modelle

Grundsätzlich unterscheidet man zwischen 3 Modellen, dem Human Body Model (HBM), dem Machine Model (MM) und dem Charged Device Model (CDM). Zu diesen ESD-Modellen existieren weiters eine Vielzahl an Standards, welche sich in den verwendeten Parametern des Modells unterscheiden. Um die ESD-Festigkeit eines spezifizierten Bauteils nachzuvollziehen ist es notwendig neben dem verwendeten Modell auch den dazugehörigen Standard anzugeben.

- Human Body Model (HBM):

Eines der ältesten und am meisten verwendeten Modelle um die ESD Festigkeit eines ICs zu testen ist das Human Body Model. Dieses beschreibt den Entladeprozess, welcher auftritt, wenn eine stehende, statisch aufgeladene Person einen geerdeten IC Pin berührt. Wenn es zu einem Durchbruch der Luft zwischen Finger und IC Pin kommt, wird die Kapazität der Person durch den IC Pin nach Masse entladen.

Der ursprüngliche Standard für diesen ESD-Event wurde durch den MIL-STD-883x method 3015.7 definiert. Zusätzlich zu diesem gibt es heute weitere HBM Standards wie den JEDEC JESD22-A114-B, den ESDA STM6.1-1998 oder den AEC-Q100-002-REV-C.

Die äquivalente Schaltung, welche den HBM ESD-Event beschreibt, ist in Abbildung 1.18 ersichtlich. Die Schaltung besteht aus einer Kapazität  $C_{HBM}$ , welche den geladenen menschlichen Körper repräsentiert und einem Widerstand  $R_{HBM}$ , welcher den typischen Entladewiderstand des menschlichen Körpers repräsentiert.

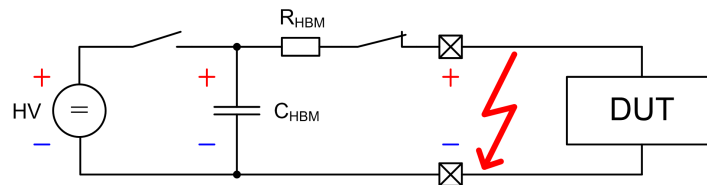


Abbildung 1.18: Ersatzschaltbild HBM

Die Werte für diese Bauteile, sowie für den resultierenden Entladestrom (Abbildung 1.19) werden in den oben genannten Standards definiert. [Deu07b]

- Machine Model (MM):

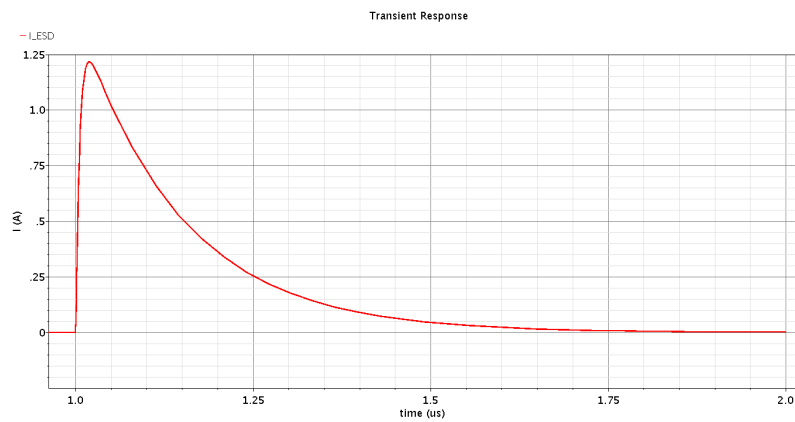


Abbildung 1.19: Entladestrom eines 2 kV HBM Pulses

Das Machine Model stammt ursprünglich aus Japan und beschreibt den ESD Stress, welcher auftritt wenn eine elektrostatisch geladene Maschine einen IC berührt und sich über diesen entlädt. Dies tritt zum Beispiel durch das automatisierte Handling während des Herstellungs- oder Testprozesses auf. Typischerweise ist der Entladewiderstand solcher metallischer Maschinen um ein vielfaches geringer als der eines menschlichen Körpers was in höheren ESD Stromspitzen resultiert.

Die primären MM Standards sind der ESDA STM5.2-1999, der JEDEC EIA/JESD22-A115-A und der AEC-Q100-003-REV-F.

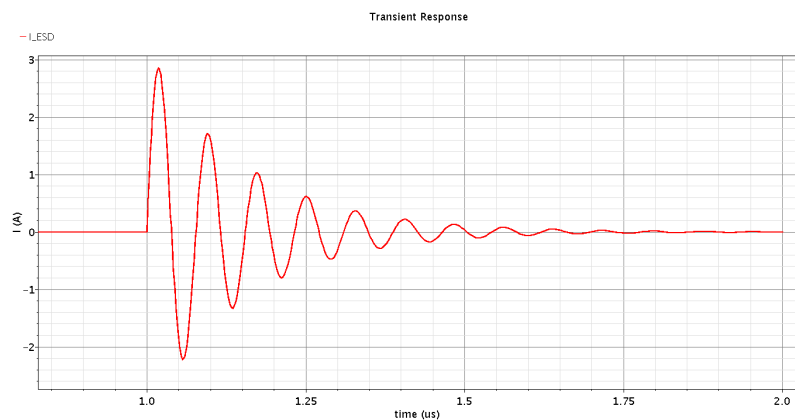


Abbildung 1.20: Entladestrom eines 200 V MM Pulses

Die Entladeschaltung des MM Pulses ist ähnlich wie die des HBM Pulses, bis auf die Entladekapazität  $C_{MM}$ , welche hier mit 200 pF definiert wird und die ganze elektrische Energie in den IC Pin entlädt, da der Entladewiderstand  $R_{MM}$  minimal (vorzugsweise  $0 \Omega$ ) ist. Der hohe Spitzenstrom, welcher sich aufgrund des niederohmigen Entladewiderstands ergibt, hängt stark von den parasitären Elementen des Testsystems und des DUTs (Device Under Test) ab. [Deu07c]



- Charged Device Model (CDM):

Anders als das HBM und MM beschreibt das Charged Device Model ein ESD-Event, bei welchem der geladene IC selbst der Grund für den Entladevorgang ist. In diesem Fall wird die Ladung im Körper des ICs gespeichert und entlädt sich wenn einer der Pins ein geerdetes Objekt berührt. Dieser Fall tritt hauptsächlich während des automatisierten Herstellungs- bzw. Bestückungsprozesses auf, bei welchem sich der IC zum Beispiel durch das Rutschen im Bestückungsapparat eines automatisierten Testers selbst auflädt.

Diese Aufladung basiert hauptsächlich aufgrund zweier Mechanismen: direkte und feldinduzierte Aufladung.

Es gibt 2 generelle Typen von CDM Testprozeduren welche dazu verwendet werden um die Störempfindlichkeit des ICs zu charakterisieren. Der non-socketed CDM Test, bei welchem der IC direkt getestet wird, und der socketed CDM (SDM) Test, bei welchem der IC in einen IC Sockel eingesetzt wird. Im non-socketed CDM Test wird der IC umgedreht (dead bug position) und auf eine isolierende Oberfläche platziert. Nun kann der IC mittels Feldinduktion oder direkt aufgeladen werden. Mit einer geerdeten Elektrodensonde wird dann eine Entladung herbeigeführt.

Das CDM Modell besteht aus einem RCL Netzwerk, welches die parasitären Elemente des CDM Testers, das Package des Devices sowie den Entladebogen repräsentiert.

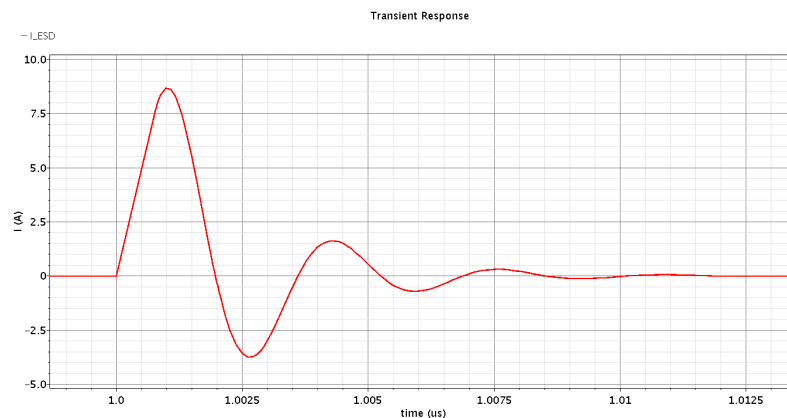


Abbildung 1.21: Entladestrom eines 500 V CDM Pulses

Obwohl die in der Kapazität gespeicherte Ladung normalerweise gering ist kommt es aufgrund der geringen Induktivität und des geringen Widerstands im Entladepfad zu hohen ESD-Strömen. [Deu07a]



## 2 Das LSS Modul

In diesem Kapitel wird einleitend auf die zu erfüllenden Spezifikationen eingegangen. Weiters werden die benötigten Schaltungsblöcke zur Umsetzung der geforderten Funktionalität besprochen und auf deren Realisierung näher eingegangen.

Das Anwendungsgebiet des zu entwickelnden Moduls stellt das Schalten von on-board Relais zur Ansteuerung von Elektromotoren dar, welche zum Beispiel bei elektronischen Fensterheber-Applikationen verwendet werden. Aufgrund der ausschließlichen on-board Verbindungen muss das Modul nur Standard elektromagnetische Verträglichkeit (EMV) und ESD Festigkeit aufweisen.

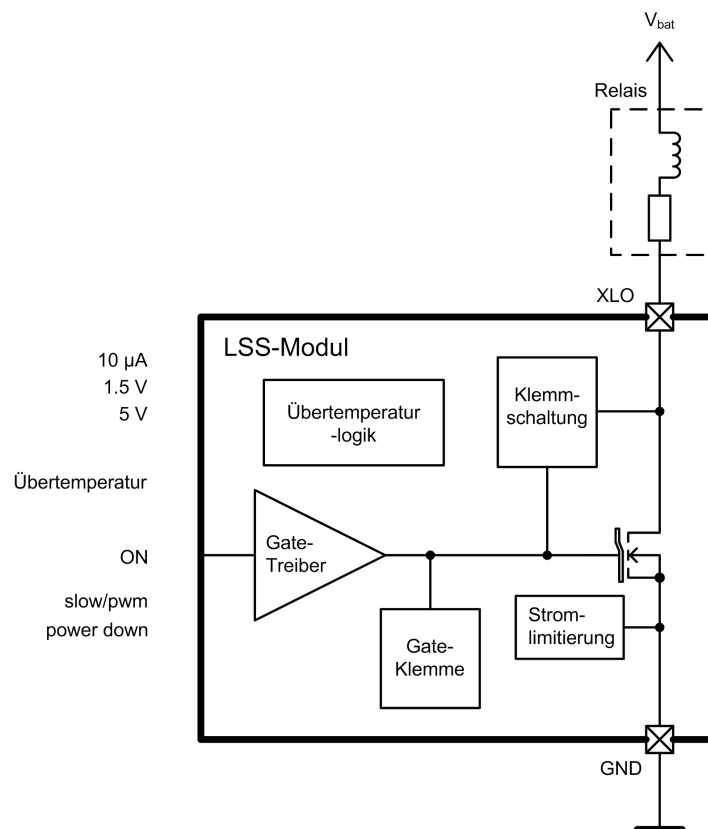


Abbildung 2.1: Blockschaltbild LSS Modul

Dem Modul werden eine 1,5 V und eine 5 V Versorgungsspannung sowie ein 10  $\mu\text{A}$  Strom vom Toplevel zur Verfügung gestellt. Die Spannung am XLO Pin kann zwischen

-0.3 V und 40 V (load dump) variieren.

Zum Schalten des Relais stehen zwei Betriebsmodi zur Verfügung. Neben dem typischen Schalten des Relais (slow-mode) soll ein Modus bereitgestellt werden um ein sanftes Schalten zu ermöglichen (pwm-mode) und damit ein Prellen der Kontakte zu vermeiden. Für diese zwei Modi existieren bestimmte Anforderungen an die Ein- und Ausschaltzeiten (Tabelle 2.1). Ein typisches Relais für solche Anwendungen hat einen Innenwiderstand von  $130 \Omega < R_L < 220 \Omega$  und eine maximale Induktivität von  $L_{\max}=300 \text{ mH}$ .

Parameter	Symbol	slow-mode[ $\mu\text{s}$ ]	pwm-mode[ $\mu\text{s}$ ]
delay-time einschalten	$t_{\text{don}}$	50	0,25
delay-time ausschalten	$t_{\text{doff}}$	50	1,25
fall-time einschalten	$t_{\text{onf}}$	150	1,25
rise-time ausschalten	$t_{\text{offr}}$	150	1,25

Tabelle 2.1: Spezifikation Schaltzeiten  $V_s=13,5 \text{ V}$

Die in der Tabelle dargestellten Spezifikationen für die *rise-* und *fall-time* beziehen sich auf die Ausgangsspannung  $V_{\text{xlo}}$  des Moduls und stellen jene Zeitintervalle dar, welche benötigt werden, bis der Wert der Ausgangsspannung bei einem Einschaltvorgang von 90 % auf 10 % gefallen (*fall-time*) bzw. beim Ausschaltvorgang von 10 % auf 90 % angestiegen ist (Abbildung 2.2). Die erwähnten Verzögerungszeiten  $t_{\text{don}}$  und  $t_{\text{doff}}$  beziehen sich auf das Zeitintervall vom Einschalten des Treibers bis zum Erreichen von 90 % der Ausgangsspannung bzw. vom Ausschalten des Treibers bis zum Erreichen von 10 % der Ausgangsspannung.

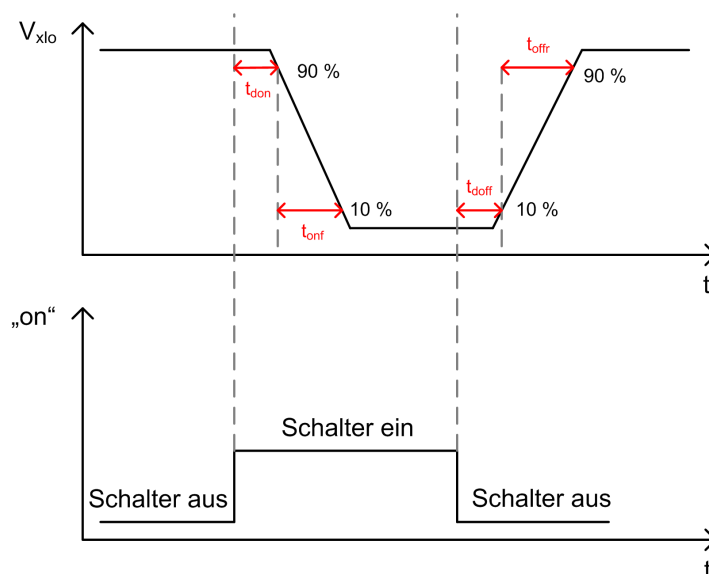


Abbildung 2.2: Definition Schaltzeiten

---

Neben diesen zwei Betriebsmodi gibt es weiters einen Stromsparmodus (power-down), in welchem die Stromaufnahme des Moduls nahezu Null ist.

Da das Relais eine induktive Last darstellt muss sichergestellt werden, dass es, wie im Einführungskapitel unter Schalten induktiver Lasten bereits besprochen, während dem Ausschaltvorgang zu keinem Durchbruch des Leistungstransistors aufgrund der auftretenden hohen Spannung kommt. Aus diesem Grund wird für dieses Modul eine integrierte Klemmschaltung gefordert.

Entsteht zwischen Ausgangspin des Moduls und der Batterie ein Kurzschluss, muss sichergestellt werden, dass es aufgrund der dadurch entstehenden hohen Strom- und Spannungswerte und der damit verbundenen hohen Verlustleistung im DMOS Leistungstransistor zu keiner Fehlfunktion oder Zerstörung des Moduls kommt. Begrenzt man im Fehlerfall den Strom durch den Transistor, kann verhindert werden, dass die Temperaturentwicklung einen kritischen Grenzwert erreicht. Die Integration einer Stromlimitierung hilft dabei diese Schutzfunktion zu realisieren. Der geforderte Limitierungswert ist mit 300 mA spezifiziert und ergibt sich aus dem maximal im Betriebsfall auftretenden Laststrom. Dieser Wert muss mit einer Genauigkeit von  $\pm 10\%$  garantiert werden.

Da das LSS-Modul keine Anforderung an eine Dauerkurzschlussfestigkeit hat wird ein externer Temperatursensor benötigt, der das Modul bei Erreichen einer bestimmten Temperatur ausschaltet. Nach Erkennen einer Übertemperatur soll es möglich sein zwischen 2 verschiedenen Verhalten zu wählen.

Im Falle eines unversorgten Moduls oder wenn sich das Modul im power-down Modus befindet muss sichergestellt werden, dass die Gatespannung des DMOS Transistors unter der Schwellspannung liegt um ein unbeabsichtigtes Einschalten des Leistungstransistors zu verhindern. Weiters dürfen schnelle Transienten am Drain ebenfalls zu keinem Einschalten des Leistungstransistors führen

Zur Realisierung der gewünschten Anforderungen des Moduls kann dieses zusammenfassend in folgende funktionale Blöcke unterteilt werden (Abbildung 2.1):

- Gate-Treiber
- Gateklemme
- induktive Klemme
- Stromlimitierung
- Übertemperaturlogik

Aufgrund des höheren Aufwandes wird auf den Block Stromlimitierung in einem gesonderten Kapitel näher eingegangen.

## 2.1 Der Gate-Treiber

Um einen möglichst geringen  $R_{DSon}$  zu erreichen muss das Gate des Leistungstransistors auf das höchstmögliche Potential geladen werden, welches bei dem LSS-Modul durch die 5 V Versorgungsspannung gegeben ist.

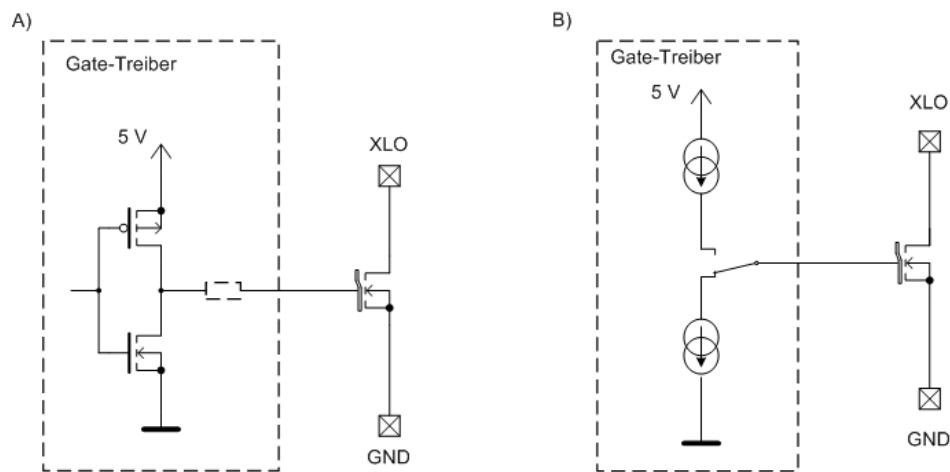


Abbildung 2.3: Prinzip Gateansteuerung: a) Inverterschaltung b) Konstantstromquelle

Das einfachste Konzept der Ansteuerung stellt dabei die in Abbildung 2.3 a) dargestellte Inverterschaltung (push-pull) dar. Durch Aktivieren des Ladepfads wird die Eingangskapazität des Leistungstransistors schnellstmöglich auf die 5 V Spannung geladen. Durch Hinzufügen eines Widerstandes in den Ladepfad kann das zeitliche Verhalten während dem Einschaltvorgang beeinflusst werden. Während dem Ausschalten wird die Kapazität über den NMOS Transistor gegen Masse entladen.

Um den Transistor in einer definierten Zeit ein- bzw. auszuschalten muss die Gate Kapazität mit einem konstanten Strom angesteuert werden (Abbildung 2.3 b). Das Zeitverhalten kann somit durch Wählen des geeigneten Ladestroms

$$i_{charge/discharge} = C_{DMOS} \cdot \frac{dv_{GS}}{dt} \quad (2.1)$$

definiert werden.

Zur Umsetzung der beiden Betriebsmodi *slow-mode* und *pwm-mode* wurde das Konzept aus Abbildung 2.3 b) verwendet und 2 verschiedene Lade- sowie Entladeströme

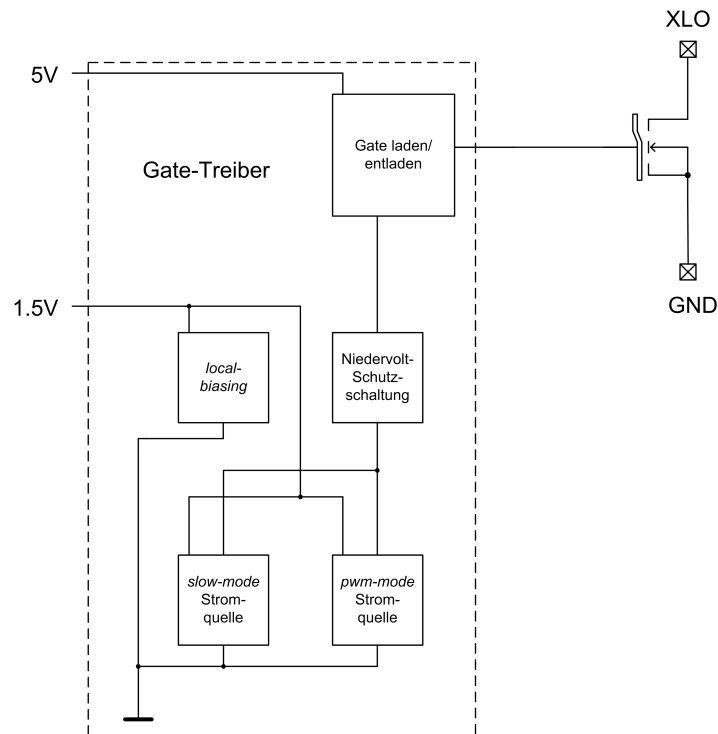


Abbildung 2.4: Blockschaltbild Gate-Treiber

generiert.

Für ein flächenoptimiertes Design und um ein möglichst gutes Matching zu erzielen wurden für die Umsetzung der einzelnen Schaltungen Niedervolt-Bauteile (1,5 V) verwendet.

Für den Übergang zwischen den zwei Spannungsklassen wurde eine Niedervolt-Schutzschaltung implementiert, welche sicherstellt, dass die verwendeten Niedervolt-Bauteile keiner zu hohen Spannung ausgesetzt werden. Um das Gate auf die zur Verfügung stehende 5 V Versorgungsspannung aufzuladen wurde ein Mittelvolt-Stromspiegel „Gate laden/entladen“ entwickelt, welcher das Gate je nach gewählten Modus mit den generierte *slow-mode* und *pwm-mode*-Strömen lädt.

Alle weiteren im LSS-Modul benötigten Ströme werden durch die local-biasing Schaltung zur Verfügung gestellt.

### 2.1.1 local-biasing

Um aus dem vom Toplevel zur Verfügung gestellten  $10 \mu\text{A}$  Strom einen möglichst akkuraten Strom zu generieren wird ein *regulated-cascode* Stromspiegel (Abbildung 2.5)

verwendet. Diese Schaltungstopologie ermöglicht es durch Einsatz der Transistoren  $M_1$  und  $M_2$  die Drain-Source Spannung über Transistor  $M_3$  möglichst konstant zu halten und somit die Ausgangsimpedanz zu erhöhen. [JOH97]

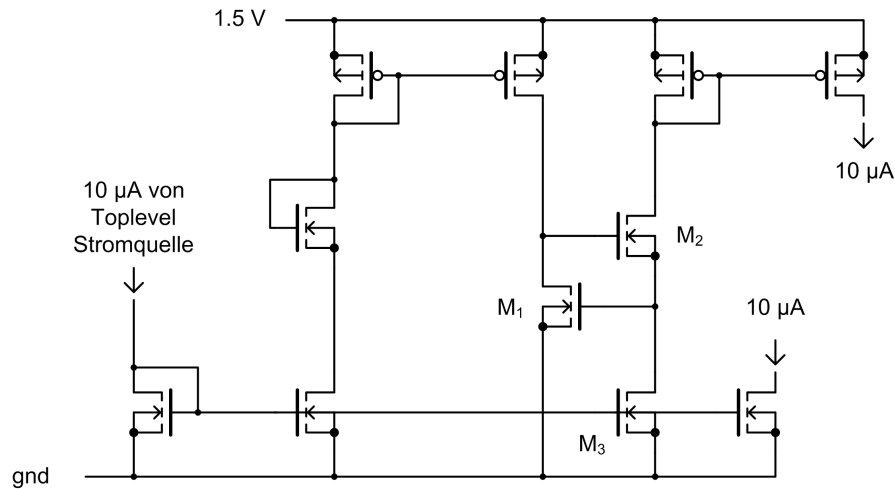


Abbildung 2.5: Schaltungsblock: local-biasing

Im *power-down* Modus, in welchem die Stromaufnahme nahezu Null sein muss, werden die Gates der Transistoren mit der jeweiligen Versorgung so kurzgeschlossen, dass Gate und Source am selben Potential liegen und somit die Transistoren zur Gänze ausgeschaltet sind.

### 2.1.2 slow-/pwm-mode Stromquelle

Um die gegebene Spezifikation bezüglich der Schaltzeiten zu erfüllen wird für den *slow-mode* ein Strom von  $2 \mu\text{A}$  und für den *pwm-mode* ein Strom von  $100 \mu\text{A}$  verwendet. Die beiden Schaltungen zur Generierung der jeweiligen Ladeströme sind von der Struktur identisch und unterscheiden sich nur in den Spiegelverhältnissen.

Während der Ladephase wird je nach Betriebsmodus ein Strom von  $1$  bzw.  $50 \mu\text{A}$  aus dem  $10 \mu\text{A}$  Strom vom *local-biasing* generiert, welcher dann im pMOS Stromspiegel in der Gate Lade-/Entlade-Schaltung mit einem Spiegelverhältnis von 1:2 auf den endgültigen Wert erhöht wird.

Um in der Entladephase die gleichen Zeitlimits einzuhalten muss das Gate mit demselben Strom entladen werden. Dies erfolgt durch das Aktivieren eines weiteren Stromspiegels welcher den generierten Ladestrom verdoppelt.

Weiters wird in den beiden Schaltungen für den jeweiligen Betriebsmodus ein Strom von  $1 \mu\text{A}$  bzw.  $5 \mu\text{A}$  für die Niedervolt-Schutzschaltung generiert.





und Niedervolt-Bauteil, als Diode geschalteter Transistor als Schutz, der die Spannung auf eine Diodenspannung über der 1,5 V Versorgung klemmt.

Da der Gate-Lade- bzw. Entladestrom aufgrund der zwei Betriebsmodi zwischen  $1 \mu\text{A}$  und  $100 \mu\text{A}$  variiert muss auch der als Schutz dienende Mittelvolt Transistor  $M_1$  (Abbildung 2.7) in den zwei Fällen unterschiedlich angesteuert werden um den gewünschten Spannungsabfall zu erzeugen.

### 2.1.4 Gate laden/entladen

Um das Gate des DMOS mit den generierten Ladeströmen auf die 5 V Versorgungsspannung aufzuladen wird ein pMOS-Stromspiegel (Abbildung 2.8) benötigt. Mit Transistor  $M_1$  aus Abbildung 2.8 wird in dieser Schaltung der Strompfad definiert. In der Ladephase ist dieser eingeschaltet und der Ladestrom wird über den kaskodierten Niedervolt-Stromspiegel mit einem Spiegelverhältnis von 1:2 in den Ladepfad gespiegelt und somit das Gate des DMOS Transistors geladen.

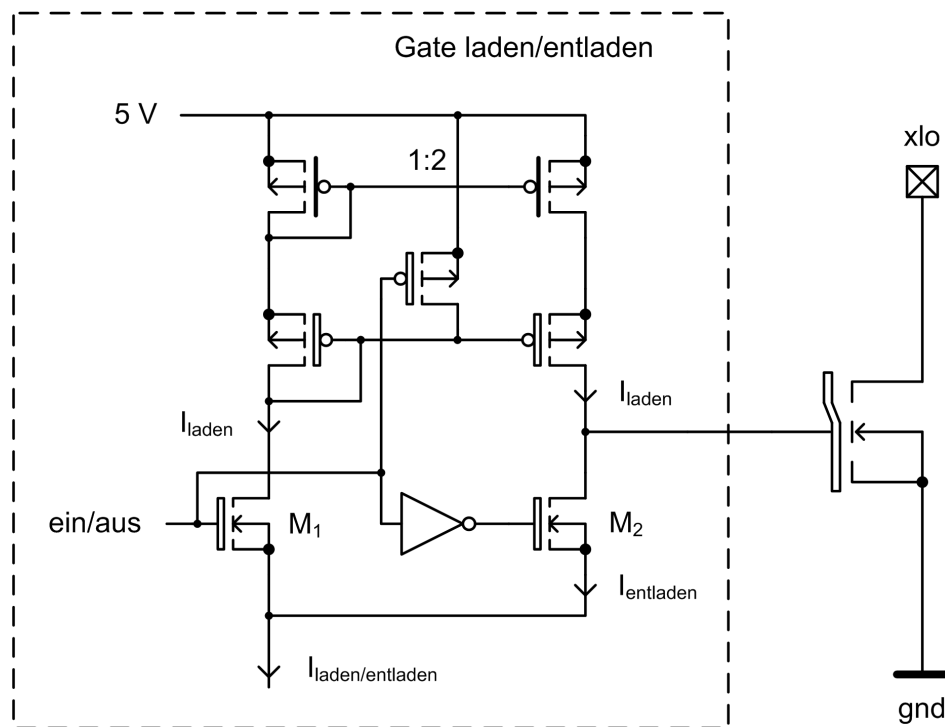


Abbildung 2.8: Schaltungsblock: Gate laden/entladen

In der Entladephase sperrt Transistor  $M_1$ , wodurch kein Strom mehr in den Ladepfad gespiegelt wird. Durch Einschalten von Transistor  $M_2$  wird ein Pfad für den Entladestrom zur Verfügung gestellt. Um in dieser Phase das gleiche Zeitverhalten zu erzielen wird der Entladestrom in der Niedervolt-Stromquelle (*slow-/pwm-mode* Stromquelle) selbst verdoppelt.

## 2.2 Gate-Klemme

Befindet sich das Modul im *power-down* Modus wird durch Einschalten von Transistor  $M_1$  (Abbildung 2.9) ein mögliches Aufladen des DMOS Gates verhindert und dieses auf die Masse des Moduls entladen. Auch ein unbeabsichtigtes Einschalten durch ein Überkoppeln schneller transienter Störsignale in das Gate kann somit verhindert werden. Im Falle eines unversorgten Moduls wird der Knoten A durch den Widerstand auf Masse gezogen wodurch Transistor  $M_2$  einschaltet und ebenfalls das Gate des DMOS entlädt.

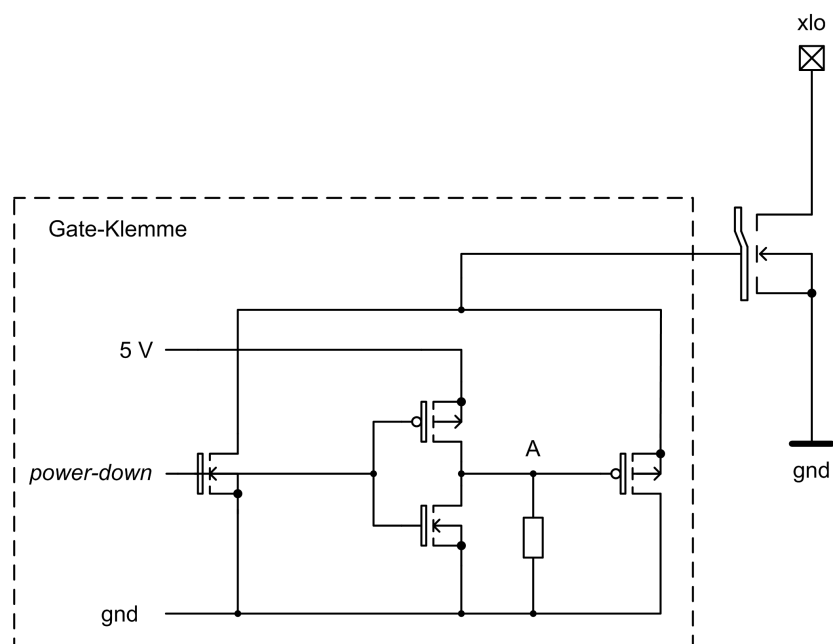


Abbildung 2.9: Schaltungsblock: Gate-Klemme

## 2.3 Induktive Klemme

Zur Realisierung der Schutzschaltung wurde das Konzept der im Einleitungskapitel Schalten induktiver Lasten besprochenen Zener-Dioden Kette verwendet, da diese im Vergleich zur integrierten Freilaufdiode keinen zusätzlichen Pin benötigt und ein wesentlich schnelleres Abschalten ermöglicht. Die entwickelte Schaltung (Abbildung 2.10) besteht aus der Zener-Dioden Kette, welche die Klemmspannung definiert und einer Stromversorgung für diese Kette, deren Erklärung später folgt. Um ein schnelles Abschalten zu gewährleisten muss die Ausgangsspannung während dem Abschalten, ge-

nannt Klemmspannung  $V_{klemm}$ , so hoch wie möglich geklemmt werden. [Hor]

$$t_{aus} = \frac{L \cdot I_{last}}{V_{klemm} - V_{batt}} \quad (2.2)$$

Begrenzt wird die Höhe der möglichen Klemmspannung  $V_{klemm}$  einerseits durch die Durchbruchspannung des DMOS und andererseits durch die im Belastungsfall *load-dump* auftretenden Batteriespannung. Durch die Serienschaltung der für die Diodenkette verwendeten Zenerdiode, welche eine Durchbruchspannung von typischerweise 8 V aufweist, kann die Klemmspannung  $V_{klemm}$  leicht definiert werden. Zur Umsetzung wurden 6 Zenerdioden in Sperrrichtung und eine Zenerdiode in Durchflussrichtung, sowie eine aufgrund der Stromversorgung benötigten Verpoldiode verwendet. Unter der Annahme einer Gate-Source Spannung von 5 V ergibt sich die Klemmspannung  $V_{klemm}$  zu 54,4 V.

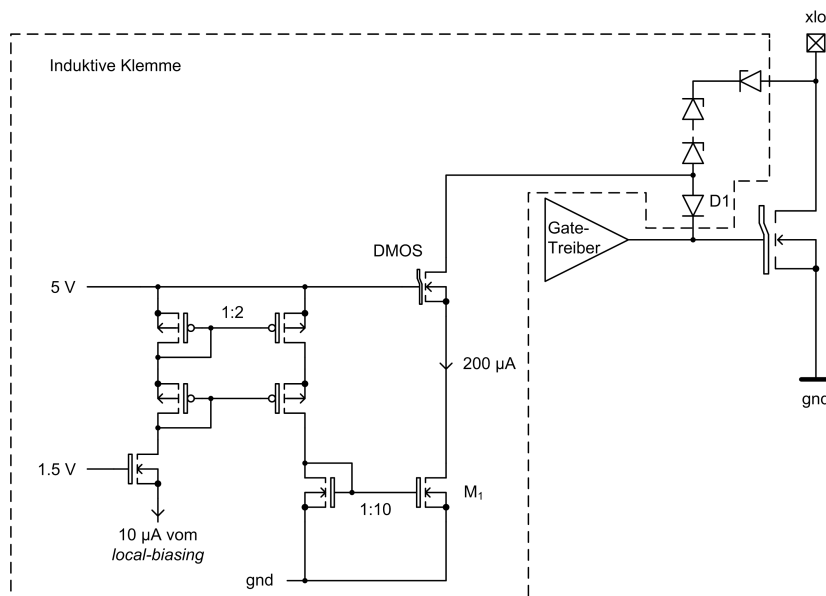


Abbildung 2.10: Schaltungsblock: Induktive Klemme

Die Stromversorgung der Zenerdiodenkette wird benötigt um ein Rauschen der Klemmspannung  $V_{klemm}$ , verursacht durch das Mikropasma-Rauschen der im Durchbruch betriebenen Zenerdioden, zu vermeiden. Da dieses Rauschen nur für einen bestimmten Strombereich auftritt kann es durch die Versorgung der Kette mit einem  $200 \mu\text{A}$  Strom minimiert werden. Der benötigte Strom wird aus dem vom *local-biasing* zur Verfügung gestellten und über die zwei Mittelvolt Spiegel hochskalierten  $10 \mu\text{A}$  Strom generiert. Um den Transistor  $M_1$  vor zu hohen Spannungen zu schützen wird ein DMOS Transistor zwischen Diodenkette und ebendiesem geschaltet.

## 2.4 Übertemperaturlogik

Überschreitet der Leistungstransistor im Fehlerfall während aktiver Stromlimitierung eine bestimmte Sperrschichttemperatur muss darauf reagiert und einer weiteren Temperaturerhöhung entgegengewirkt werden. In der dafür entwickelten Logikschaltung (Abbildung 2.11) kann zwischen 2 Verhalten, einem sogenannten *toggle-mode* und einem *shut-down-mode* gewählt werden.

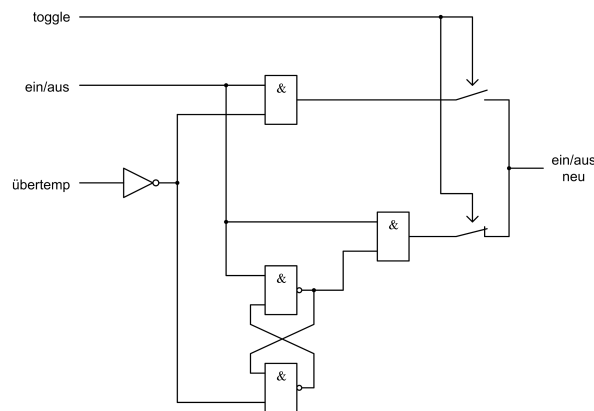


Abbildung 2.11: Schaltungsblock: Übertemperaturlogik

Durch die Wahl des *toggle-mode* wird der Transistor um den vom Temperatursensor vorgegebenen Wert thermisch pendeln. Realisiert wird dies durch ein einfaches UND-Gatter, welches das Einschaltsignal des Moduls mit dem Übertemperatursignal verknüpft.

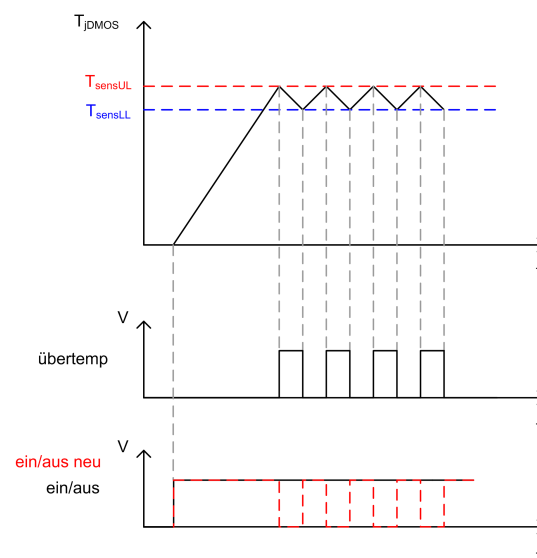


Abbildung 2.12: Verhalten im *toggle-mode*

Tritt eine Übertemperaturbedingung auf wird durch diese UND-Verknüpfung der Transistor ausgeschaltet und kühlt aus. Wird der Grenzwert, welcher durch den Temperatursensor vorgegebenen wird, unterschritten steuert der Transistor wieder auf und die Temperatur steigt wieder an.

Der alternativ zu diesem Modus bereitgestellte *shut-down-mode* deaktiviert den Transistor nach Ansprechen des Temperatursensors und aktiviert diesen erst wieder nach Erhalt eines weiteren Einschalt-Requests (Abbildung 2.13).

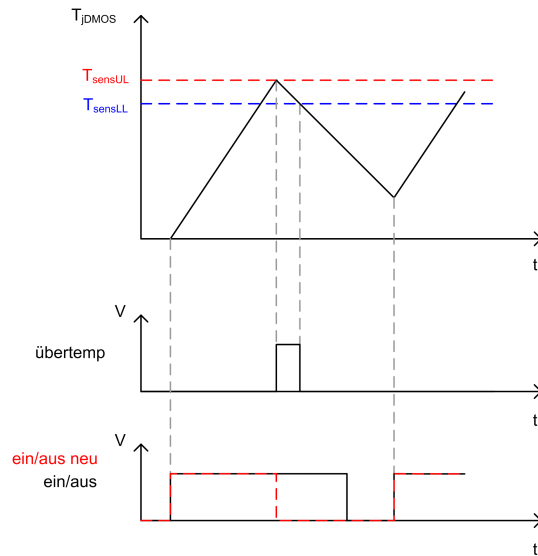


Abbildung 2.13: Verhalten im *shut-down-mode*

## 3 Stromlimitierung

Ziel der Stromlimitierung ist es, im Fehlerfall den Strom durch den Leistungstransistor auf einen bestimmten Wert zu beschränken. Dies gewährleistet, dass die Verlustleistung im Transistor einen definierten Wert nicht überschreitet. Somit kann das Bauteil vor thermischer Zerstörung geschützt werden.

Die Stromlimitierung darf im Bereich, in dem der LSS funktional arbeitet, nicht aktiv werden. Die Grenze für diesen Bereich stellt der Fall des *load dumps* dar, bei dem die Batteriespannung auf bis zu 40 V ansteigt. Der maximal auftretende Strom ergibt sich aus dem minimalen Widerstand der Last plus dem in Serie dazu liegenden Einschaltwiderstand  $R_{DSon}$  des Leistungsschalters.

In der Spezifikation des LSS-Moduls ist der Wert der Limitierung mit 300 mA angegeben und die Genauigkeit der Schaltung soll bei  $\pm 10\%$ , einschließlich der Fehler, verursacht durch Schwankungen der Versorgungsspannung, des Biasstroms und der Temperatur, liegen. Die Schwankungen der Versorgungsspannung wurden mit 1,3 bis 1,6 V für die 1,5 V Versorgungsspannung und mit 4,5 bis 5,5 V für die 5 V Versorgungsspannung angenommen. Der Biasstrom hat eine Toleranz von  $\pm 20\%$ .

Um solche Genauigkeitsanforderungen erfüllen zu können ist es naheliegend, neben der Auswahl eines genauen Strommesskonzeptes, auch eine Möglichkeit zum Abgleich (*trimming*) der Schaltung zu berücksichtigen.

### 3.1 Strommesskonzepte

Jedes Messkonzept bringt eine bestimmte Ungenauigkeit mit sich. So kann das Messergebnis durch Temperaturunterschiede zwischen Sense- und Haupttransistor oder durch die absolute Genauigkeit des Messwiderstandes maßgeblich verfälscht werden. Diese Einflüsse gilt es zu erfassen und dann das für die Anwendung optimierte Konzept zu wählen.

#### 3.1.1 Messung im Hochstrompfad

Eine mögliche Variante zur Strommessung, die ohne Sense Transistor auskommt, stellt das Konzept des Spannungsabgriffs im Hochstrompfad dar. Da durch den Haupttransistor ein großer Strom fließt muss der Widerstand  $R_{\text{main}}$  eine geeignete Größe haben. Weiters verschlechtert sich der effektive  $R_{\text{DSon}}$  des Transistors durch den Widerstand und die Absolutwertschwankungen des Widerstandes beeinflussen direkt das Messergebnis.

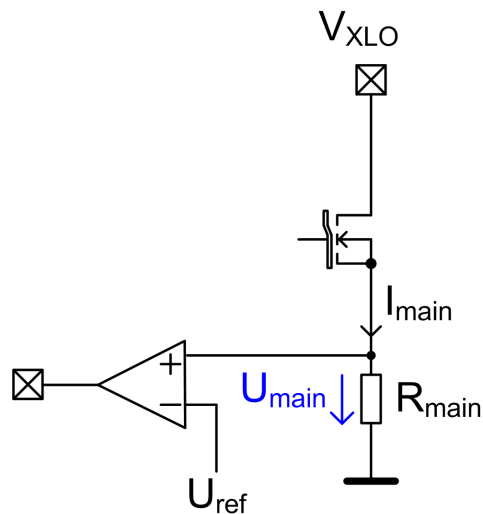


Abbildung 3.1: Messung im Hochstrompfad

Vorteil:

- Es wird kein Sense Transistor benötigt

Nachteile:

- Absolutwertschwankungen des Messwiderstandes beeinflussen direkt das Ergebnis
- Effektiver  $R_{\text{DSon}}$  des Transistors verschlechtert sich

#### 3.1.2 Messung mittels Sense-Transistor

Für eine genaue und effektive Strommessung ist die Verwendung eines Sense Transistors unerlässlich. Der Messwiderstand zur Spannungsgenerierung kann hier in den Sensepfad gesetzt werden und wirkt sich somit nicht mehr negativ auf den effektiven  $R_{\text{DSon}}$  des Haupttransistors aus. Dies bringt jedoch einen *Mismatch* der Source - Potentiale mit



sich. Weiters beeinflusst auch hier die Absolutwertschwankung des Messwiderstandes  $R_{\text{shunt}}$  direkt das Ergebnis.

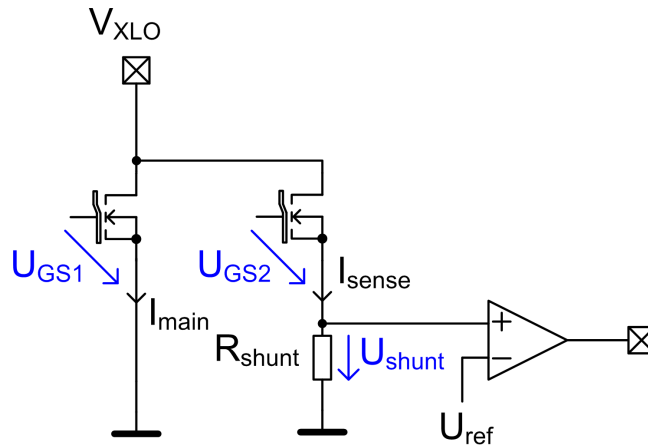


Abbildung 3.2: Messung im Sense-Transistor

Um die Abhängigkeit der Absolutwertschwankung des Widerstandes zu eliminieren kann eine Referenzstromquelle verwendet werden, welche mittels Widerstand  $R_{\text{ref}}$  die Referenzspannung generiert. Somit geht anstatt der Absolutwertschwankung nur noch das *Matching* der beiden Widerstände in das Ergebnis ein. [Kal11]

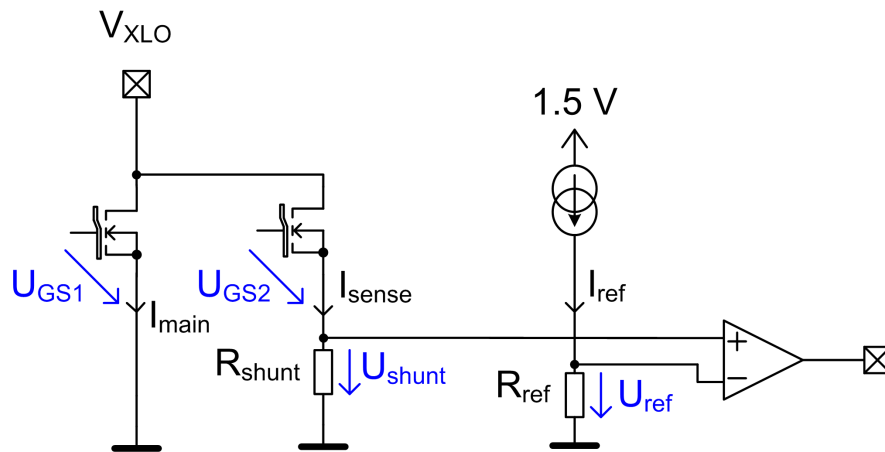


Abbildung 3.3: Referenzspannungserzeugung mittels  $I_{\text{ref}}$  und  $R_{\text{ref}}$

Vorteile:

- Nur Matching der Widerstände wichtig
- Keine negative Auswirkung auf  $R_{\text{DSon}}$  des Transistors

Nachteile:

- Transistoren besitzen unterschiedliche Overdrive Spannungen
- Sense Transistor wird benötigt

#### 3.1.3 Messung ohne Shunt

Diese Schaltung verursacht keinen zusätzlichen Spannungsabfall im Pfad des Haupt- oder Sense-Transistors. Mittels Komparator werden hier die beiden Spannungen am Drain-Pin der Transistoren miteinander verglichen. Nachteilig ist, dass einerseits der Komparator über Hochvolteingänge verfügen muss und andererseits Störungen im Drainpfad direkt gemessen werden, welche bei Messungen im Sourcepfad durch den Transistor gedämpft werden würden. Die Hochvoltfestigkeit der Komparatoreingänge wirkt sich negativ auf den Offset und auf die benötigte Fläche aus. [Gie99]

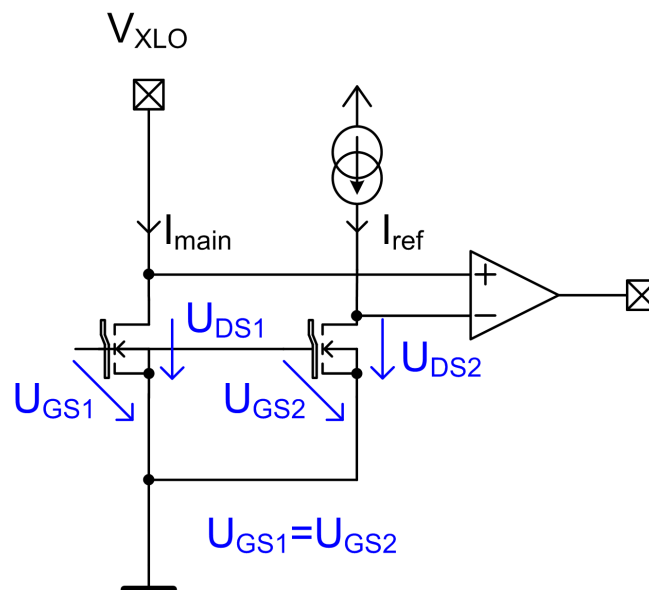


Abbildung 3.4: Messung ohne Shunt-Widerstand

Vorteil:

- Kein Mismatch der Gate-Source Spannungen

Nachteile:

- Komparator muss über HV Eingänge verfügen (Offset und Fläche)
- stör anfällig

## 3.2 Realisierung

Für die Realisierung der Strommessung wurde die in Kapitel 3.1.2 vorgestellte Schaltung mit einer Referenzstromquelle verwendet, welche über einen Widerstand die Referenzspannung erzeugt. Durch Verwenden dieses Referenzwiderstandes geht nur noch das Matching der beiden Widerstände in das Ergebnis mit ein. Um den Strom durch den Transistor zu limitieren wird in weiterer Folge das Ausgangssignal der Messschaltung dazu verwendet das Gate des DMOS zu entladen. Der Vorteil dieses Konzeptes ist die Möglichkeit alle Schaltungsteile aus Niedervoltbauteilen aufzubauen. Um die Anforderungen an die geforderte Genauigkeit zu erfüllen wurde des Weiteren eine Abgleichmöglichkeit (Trimming) für die Schaltung eingebaut.

### 3.2.1 Sense-Transistor

Die verwendete Technologie ermöglicht es den Sense Transistor nicht als eigenständigen Transistor auszuführen sondern diesen als Teil des Haupttransistors zu fertigen. Der Sense Transistor kann an einer beliebigen Stelle im Haupttransistor platziert werden wodurch beide Transistoren der gleichen Temperatur ausgesetzt sind. Durch das Verwenden solcher Sense Zellen im Haupttransistor kommt es jedoch zu einer Verfälschung des Sense-Verhältnisses. Der Unterschied zwischen realem und idealem Verhalten kann je nach Größe und Form des Sensetransistors variieren. Zurückzuführen ist dieser Effekt auf die Randstrukturen der Sensezellen. Wie in Abbildung 3.5 ersichtlich endet das Drain-Gebiet bei diesen Zellen nicht sondern wird weitergeführt und ermöglicht damit einen zusätzlichen Ausbreitungsweg für den Strom.

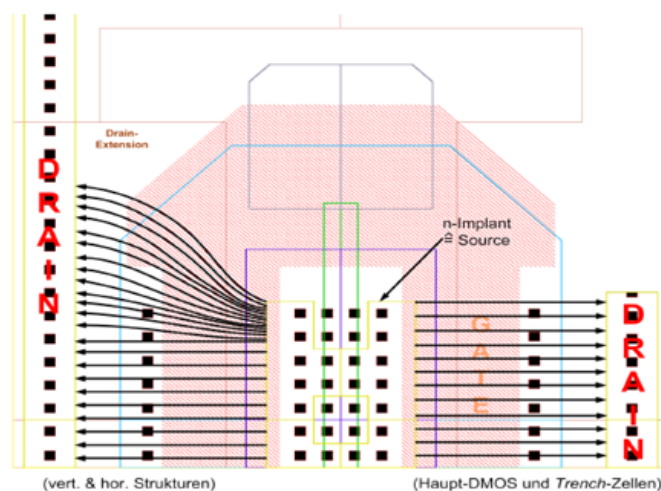


Abbildung 3.5: Randeffect Sensezellen [Kal11]

Dieser Randeffect bewirkt also eine Vergrößerung der Weite des Sense-Transistors und

muss bei der Dimensionierung berücksichtigt werden. [Kal11]

Da der DMOS, wie bereits in Kapitel 1.3.3 erwähnt, einen zellenartigen Aufbau besitzt, ist es nicht möglich jedes gewünschte Verhältnis zu realisieren. Für die zu entwickelnde Schaltung wurde versucht bei einem Laststrom  $I_{lim}$  von 300 mA einen Spannungsabfall  $V_{shunt}$  von 100 mV am Widerstand  $R_{shunt}$  zu erzeugen. Dies ergibt bei Verwendung eines Widerstandes von 30,89  $\Omega$  und einer Weite des Haupttransistors von 3671,96  $\mu\text{m}$  eine Weite für den Sensetransistor von 42,64  $\mu\text{m}$  und damit ein Spiegelverhältnis von 86. Die Simulation ergibt für diese Werte eine Spannung  $V_{shunt}$  von 100,85 mV und einen Sense-Strom von 3,266 mA.

### 3.2.2 Die Referenzstromquelle

Diese Schaltung generiert einen aus dem *local biasing* und somit vom Biasstrom abgeleiteten Strom  $I_{ref}$ , welcher über den Widerstand  $R_{ref}$  einen Spannungsabfall  $V_{ref}$  von 100 mV erzeugt. Für den Widerstand wurde ein Wert von 4942,4  $\Omega$  angenommen. Für die gewünschten 100 mV Spannungsabfall ergibt sich der Strom  $I_{ref}$  zu 20,25  $\mu\text{A}$ . Um einen möglichst genauen Strom zu erzeugen wurden kaskodierte Stromspiegel verwendet.

#### Abgleichmöglichkeit

Da der Referenzstrom direkt vom Biasstrom abgeleitet wird und dieser laut Spezifikation eine Toleranz von  $\pm 20\%$  aufweist, variiert auch der Referenzstrom um denselben Wert. Auf den Limitierungsstrom umgerechnet ergibt diese Schwankung

$$\Delta I_{lim} = \frac{4\mu\text{A} \cdot 4942,4\Omega}{30,89\Omega} \cdot 86 = \pm 55\text{mA} \quad (3.1)$$

Ohne eine Abgleichmöglichkeit würde der Limitierungswert also schon außerhalb der geforderten Genauigkeit liegen.

Aufgrund dessen wurde im Zuge der Referenzstromquelle auch die Möglichkeit eines Trimmings der Schaltung realisiert. Verwendet wurden hierfür, wie in Abbildung 3.6 ersichtlich, 6 digital ansteuerbare Stromspiegel. Die Werte für den kleinsten Schritt und die Reichweite des Trimmings wurden aus Monte-Carlo- sowie Corner-Analysen gewonnen. Während den Analysen wurde die Referenzstromquelle auf einen fixen Wert (20,25  $\mu\text{A}$ ) gehalten um festzustellen welche Einflüsse alle anderen Blöcke ausüben.

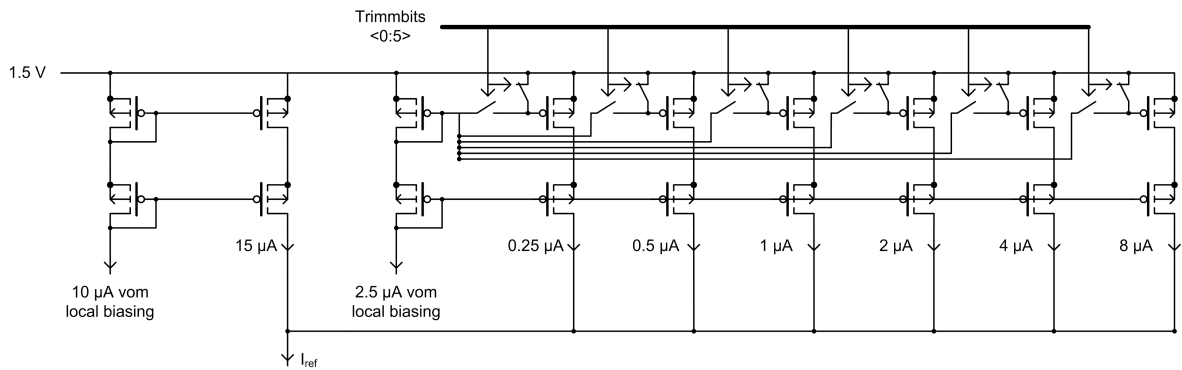
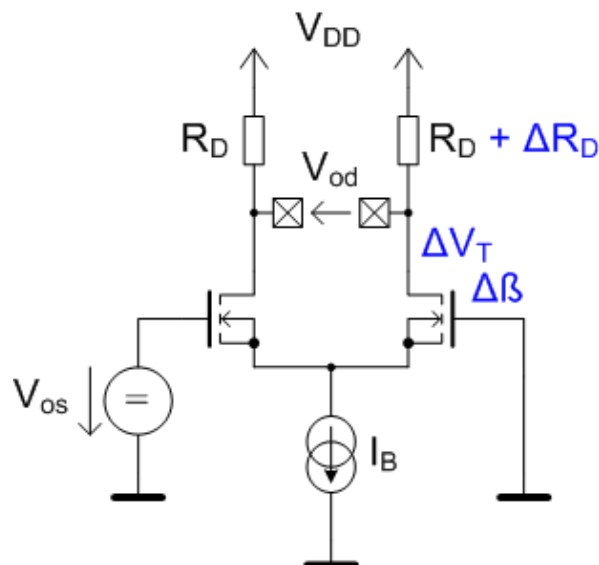


Abbildung 3.6: Trimmbare Referenzstromquelle

### 3.2.3 Der Komparator/Verstärker

Um die beiden Spannungsabfälle  $V_{\text{shunt}}$  und  $V_{\text{ref}}$  interpretieren zu können muss eine Schaltung gefunden werden, die ebenfalls sehr genau arbeitet.

Eines im Bezug auf die Auflösung und vor allem bei kleinen Eingangsspannungen auftretendes Probleme solcher Komparator- und Verstärkerschaltungen ist die durch Unsicherheiten im Herstellungsprozess verursachte Parameterstreuung einzelner Bauteile. Dies führt zu Unsymmetrien und resultiert in einer je nach Schaltung unterschiedlichen Offsetspannung. Als Beispiel sei hier die auf den Eingang bezogene Offsetspannung einer differentiellen Eingangsstufe berechnet:

Abbildung 3.7: Offset eines *differential pairs*

Auswirkung von  $\Delta R_D$ :

$$V_{od, \Delta R_D} = (-I_D) \cdot \Delta R_D \quad (3.2)$$

Auswirkung von  $\Delta V_{TH}$ :

$$\Delta I_D = \frac{\delta I_D}{\delta V_{TH}} \cdot \Delta V_{TH} = \beta \cdot (V_{GS} - V_{TH}) \cdot (-1) \cdot \Delta V_{TH} = (-g_m) \cdot \Delta V_{TH} \quad (3.3)$$

$$V_{od, \Delta V_{TH}} = (-) I_D \cdot R_D = g_m \cdot R_D \cdot \Delta V_{TH} \quad (3.4)$$

Auswirkung von  $\Delta \beta$ :

$$\Delta I_D = \frac{\delta I_D}{\delta \beta} \cdot \Delta \beta = \frac{1}{2} \cdot (V_{GS} - V_{TH})^2 \cdot \Delta \beta = \frac{I_D}{\beta} \cdot \Delta \beta = I_D \cdot \frac{\Delta \beta}{\beta} \quad (3.5)$$

$$V_{od, \Delta \beta} = (-) I_D \cdot R_D = (-) I_D \cdot \frac{\Delta \beta}{\beta} \cdot R_D \quad (3.6)$$

$$V_{od, os} = g_m \cdot R_D \cdot \Delta V_{TH} + R_D \cdot (-I_D) \cdot \frac{\Delta \beta}{\beta} + (-I_D) \cdot \Delta R_D \quad (3.7)$$

Bezogen auf den Eingang:

$$A_V = g_m \cdot R_D \quad (3.8)$$

$$V_{os} = \frac{V_{od, os}}{A_V} = \Delta V_{TH} + \frac{-I_D}{g_m} \cdot \frac{\Delta \beta}{\beta} + \frac{-I_D}{g_m} \cdot \frac{\Delta R_D}{R_D} \quad (3.9)$$

$$\frac{I_D}{g_m} = \frac{V_{GS} - V_{TH}}{2} \quad (3.10)$$

$$V_{os} = \Delta V_{TH} + \frac{V_{GS} - V_{TH}}{2} \cdot \left( -\frac{\Delta \beta}{\beta} - \frac{\Delta R_D}{R_D} \right) \quad (3.11)$$

In gängigen CMOS Schaltungen liegt die berechnete Offsetspannung im mV Bereich. Der Term  $\Delta V_{TH}$  aus Gleichung 3.11 repräsentiert die Variation der Dotierung des Kanals und stellt die damit auftretenden Schwankungen der Schwellspannung dar. Durch Erhöhen der Transistorfläche können die resultierende Schwellspannungsschwankung (Gleichung 3.12) sowie der Fehler  $\Delta \beta$  (Gleichung 3.13), verursacht durch die Schwankung der effektiven Transistordimensionen und der Gateoxid-Dicke, und  $\Delta R$  (Gleichung 3.14) reduziert werden. [Aue10]

$$\Delta V_{TH} = \frac{A_{V_{TH}}}{\sqrt{W \cdot L}} \quad (3.12)$$

$$\Delta \beta = \Delta \left( \mu \cdot C_{ox} \cdot \frac{W}{L} \right) = \frac{A_K}{\sqrt{W \cdot L}} \quad (3.13)$$

$$\Delta R = \frac{A_R}{\sqrt{W \cdot L}} \quad (3.14)$$

Eine weitere Möglichkeit wäre der Einsatz einer dynamischen Offset Kompensation (DOC) auf die nun näher eingegangen werden soll.

### DOC Technik: autozero

Wie in folgender Abbildung zu sehen ist, spielt der Eingangs-Offset in switched capacitor (SC) Schaltungen keine Rolle, da dieser während der Reset Phase über dem Kondensator gespeichert wird und dann das Ergebnis in der Vergleichsphase nicht mehr beeinflusst. Es werden also 2 Phasen für einen gültigen Ausgangswert benötigt. Um das Prinzip leichter erklären zu können kann man sich die Offsetspannung des Operationsverstärkers als eine Spannungsquelle in Serie zu einem der beiden Eingänge vorstellen. Die Schaltungskonfiguration während der Reset Phase ist in Abbildung 3.8 unter  $\pi_1$  ersichtlich. Während dieser Phase liegt am negativen Eingang ebenso die Offsetspannung an und die Kapazität  $C$  wird auf diese aufgeladen. In der nächsten Phase, Phase 2 (Abbildung 3.8  $\phi_2$ ), wird die untere Platte des Kondensators mit der Eingangsspannung  $V_{in}$  verbunden. Die rechte Seite des Kondensators hat nun die Spannung  $V_{in} + V_{os}$  und der Ausgang der Schaltung wird ohne Einfluss der Offsetspannung in Abhängigkeit von  $V_{in}$  negativ oder positiv. Mit dieser Technik ist es nicht nur möglich die Offsetspannung der Schaltung zu eliminieren sondern auch den Fehler, verursacht durch das niederfrequente  $1/f$  Rauschen, zu minimieren. [JOH97]

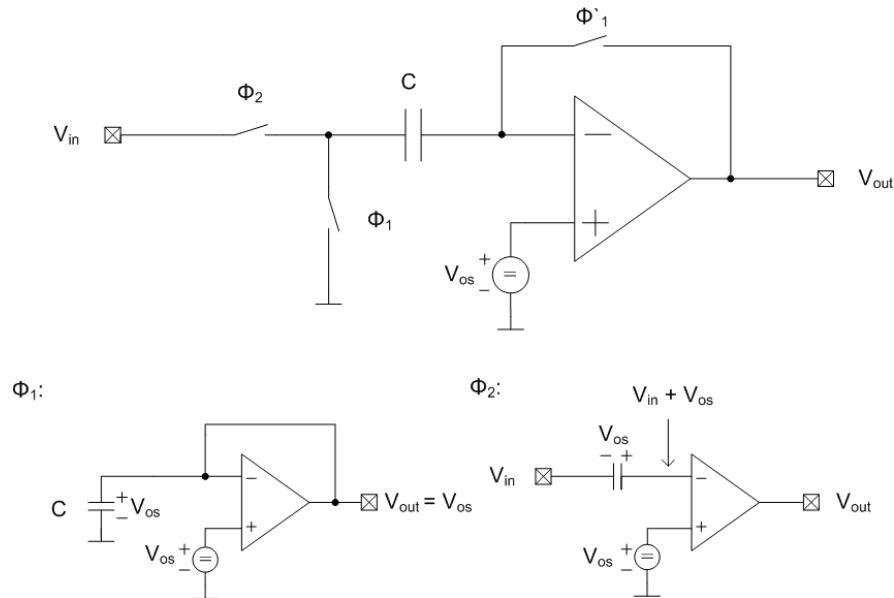


Abbildung 3.8: Offset-unabhängige *switched-capacitor* Schaltung

Verwendet man eine SC Schaltung zur Eliminierung der Offsetspannung erhält man einen weiteren, die Auflösung limitierenden Fehler. Dieser Fehler entsteht durch Ladungsinjektionen der als Schalter dienenden Transistoren. Die Quelle dieser Ladungsinjektionen ist einerseits die Kanalladung, welche aus dem Kanal fließen muss wenn

der Transistor abschaltet und andererseits die Überlappungskapazitäten zwischen Gate und Sperrschicht. Der Fehler, verursacht durch die aus dem Kanal verdrängte Ladung dominiert in den meisten Fällen. Die Ladung eines Kanals errechnet sich für  $V_{DS} = 0$  zu:

$$Q_{CH} = W \cdot L \cdot C_{ox} \cdot V_{eff} = W \cdot L \cdot C_{ox} \cdot (V_{GS} - V_{TH}) \quad (3.15)$$

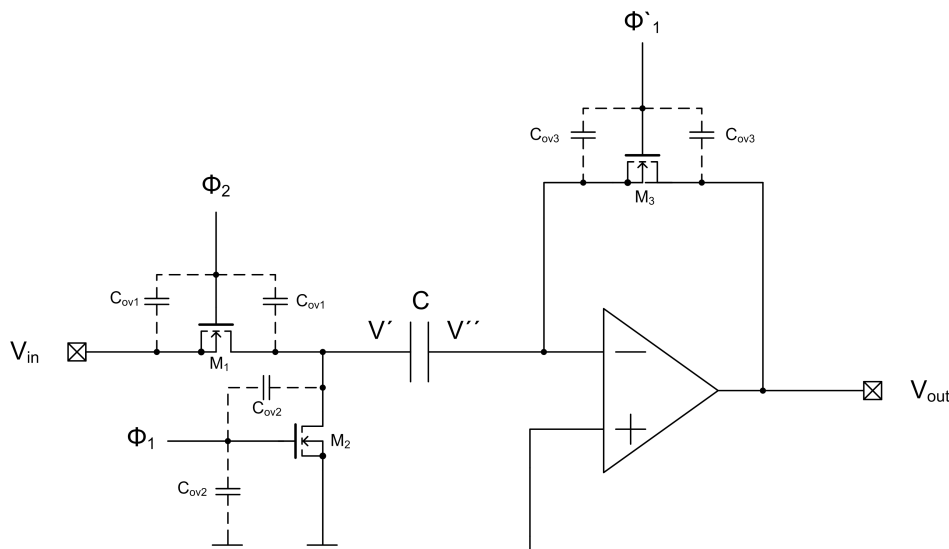


Abbildung 3.9: Offset-unabhängige *switched-capacitor* Schaltung mit realen Schaltern

In Abbildung 3.9 wird das mit idealen Schaltern besprochene Prinzipschaltbild mit realen Schaltern dargestellt. Hier werden die Schalter durch nMOS Transistoren realisiert und die parasitären Überlappungskapazitäten dargestellt.

Die durch das Ausschalten von  $M_3$  ( $M_2$  ist ein und  $M_1$  ist aus) verdrängte Kanalladung verursacht eine Änderung des Potentials  $V''$ :

$$\Delta V'' = \frac{Q_{CH}}{C} = \frac{V_{eff} \cdot C_{ox} \cdot W_3 \cdot L_3}{2 \cdot C} = -\frac{(V_{DD} - V_{TH}) \cdot C_{ox} \cdot W_3 \cdot L_3}{2 \cdot C} \quad (3.16)$$

Der Fehler verursacht durch die Überlappungskapazität ergibt sich durch Berechnung des entstehenden kapazitiven Spannungsteilers (Abbildung 3.10) zu:

$$\Delta V'' = -\frac{(V_{DD} - V_{SS}) \cdot C_{ov3}}{C_{ov3} + C} \quad (3.17)$$

Auf Grund der kleinen Überlappungskapazität ist dieser Fehler geringer als der durch die Kanalladung verursachte.



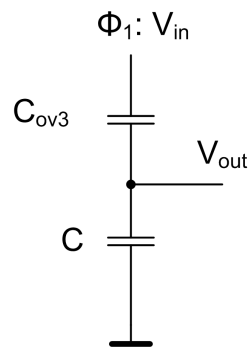


Abbildung 3.10: kapazitiver Spannungsteiler

Die Ladungsinjektionen, welche durch das Schalten der Transistoren  $M_1$  und  $M_2$  entstehen, haben keinen Einfluss auf die in  $C$  gespeicherte Ladung. Da  $M_3$  vorher abschaltet befindet sich die rechte Seite des Kondensators  $C$  an einem floatenden Knoten. Wenn  $M_1$  einschaltet wird die Spannung  $V'$  auf  $V_{in}$  aufgeladen, unabhängig von der zuvor verursachten Ladungsinjektion von  $M_2$ .

Verwendet man eine mehrstufigen Schaltung kann der durch die Ladungsinjektion verursachte Fehler reduziert werden.

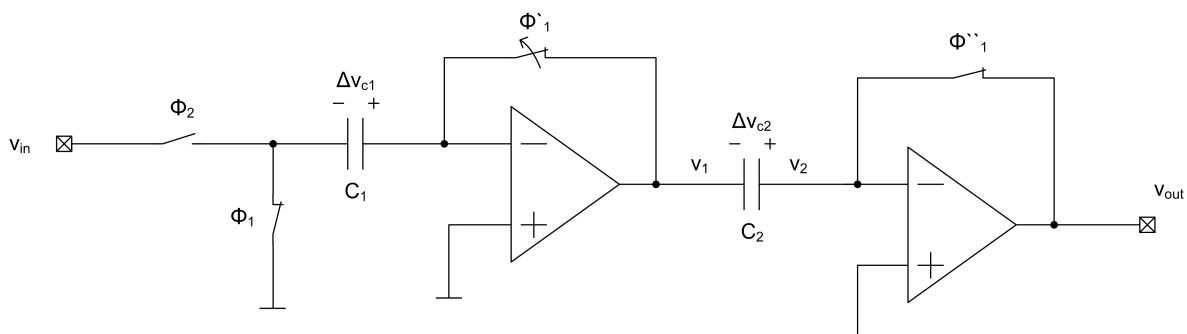


Abbildung 3.11: Verringerung des durch Ladungsinjektion verursachten Fehlers durch Verwendung mehrerer Stufen

Hier wird die Ladungsinjektion der ersten Stufe auf der Kopplungskapazität zwischen erster und zweiter Stufe gespeichert, und damit eliminiert. Die Ladungsinjektion der zweiten Stufe wird auf der Kopplungskapazität zwischen zweiter und dritter Stufe gespeichert usw. Betrachtet man nun wieder den Fall, in dem Schalter  $\phi'_1$  öffnet, wird der durch Ladungsinjektion verursachte Fehler sowie die gespeicherte Offsetspannung ( $\Delta v_{C_1} = \text{Offset} + \text{Ladungsinjektion}$ ) mit der Verstärkung  $A_1$  der ersten Stufe verstärkt und führt zu einer Ausgangsspannung der ersten Stufe von:

$$v_1(!\phi'_1) = -A_1 \cdot (\Delta v_{C_1}) = -v_{C_2} \quad (3.18)$$

In dieser Zeit ist der Schalter  $\phi_1''$  immer noch geschlossen. Die zweite Stufe befindet sich also noch in der Reset Phase und der Kondensator wird auf den Fehler der ersten Stufe aufgeladen, wodurch dieser während der Phase 2 eliminiert wird.

$$v_1(\phi_2) = -A_1 \cdot (v_{in} + \Delta v_{C_1}) = -v_{C_2} \quad (3.19)$$

$$v_2(\phi_2) = v_1(\phi_2) + v_{C_2} = -A_1 \cdot (v_{in} + \Delta v_{C_1}) + A_1 \cdot (\Delta v_{C_1}) = -A_1 \cdot v_{in} \quad (3.20)$$

Der Fehler der zweiten bzw. letzten Stufe des mehrstufigen Komparators kann nicht eliminiert werden. Bezieht man den Fehler jedoch auf den Eingang ist dieser sehr gering und ergibt sich zu:

$$v_o = A_2 \cdot (v_2 + \Delta v_{C_2}) = A_1 \cdot A_2 \cdot \left( v_{in} \cdot \frac{\Delta v_{C_2}}{A_1} \right) \quad (3.21)$$

$$\Delta v_{in} = -\frac{\Delta v_{C_n}}{A_1 \cdot A_1 \cdot \dots \cdot A_{n-1}} \quad (3.22)$$

Wird ein voll differentieller Komparator verwendet kann der Fehler weiter reduziert werden, da dieser dann nur noch vom Matching der als Schalter dienenden Transistoren abhängt.

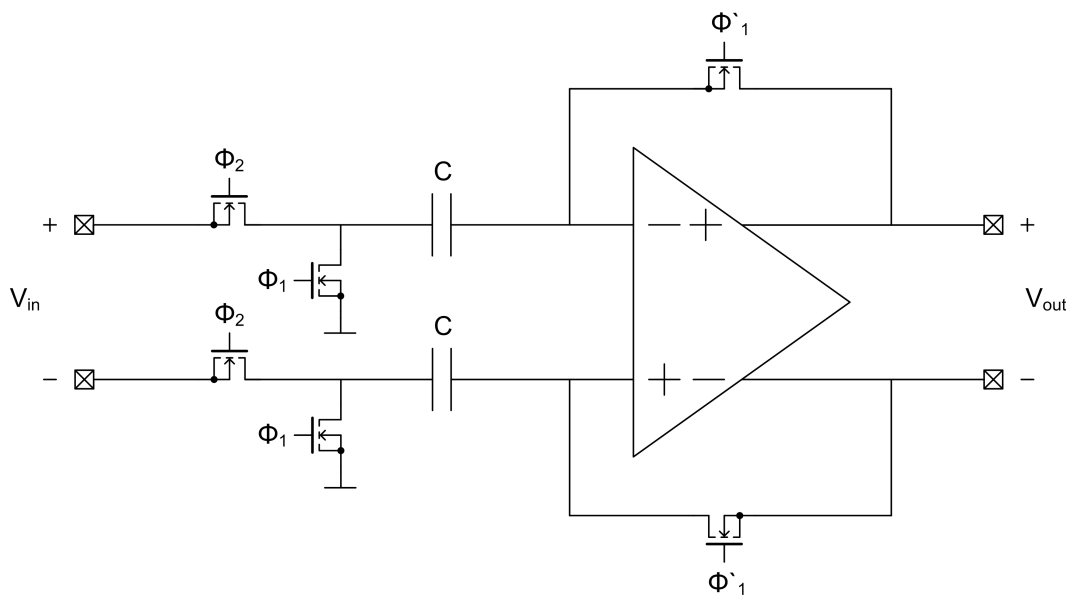


Abbildung 3.12: Verringerung des durch Ladungsinjektion verursachten Fehlers durch Verwendung einer differentiellen Schaltung

Realisiert wurde dieser Schaltungsteil auf zwei Varianten. Bei der ersten Variante

wurde ein differentieller *switched capacitor* Komparator nach dem eben besprochenen Prinzip verwendet und somit eine 2-Punkt-Regelung implementiert und als zweite Variante, um einen Vergleich bezüglich Fläche, Stabilität und Genauigkeit durchzuführen, wurde eine Verstärkerschaltung verwendet und somit eine lineare Regelung implementiert.[JOH97]

Die 2-Punkt-Regelung bietet den großen Vorteil der dynamischen Offsetkompensation. Weiters müssen keine Stabilitätsbetrachtungen durchgeführt werden was die Entwicklungszeit erheblich verkürzt. Die lineare Regelung bietet den Vorteil dass kein Takt benötigt wird und der Flächenaufwand geringer ausfällt.

### Komparatorschaltung

In Abbildung 3.13 ist das Prinzipschaltbild des verwendeten Komparators dargestellt. Dieser besteht aus 3 als Vorverstärker dienenden Stufen um eine hohe Auflösung zu gewährleisten und einer darauf folgenden track and latch Stufe. Diesem Latch ist noch ein Master-Slave Latch angehängt um eine Aussteuerung an die supply rails zu ermöglichen.

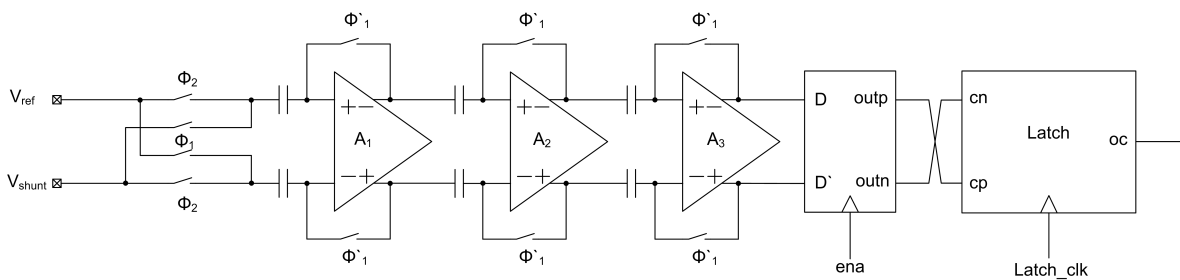


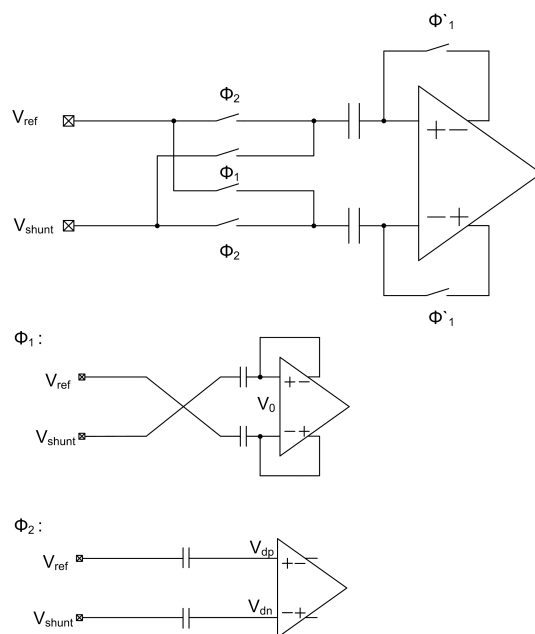
Abbildung 3.13: Aufbau der verwendeten Komparatorschaltung (Prinzipschaltbild)

Bei der verwendeten Schaltung wird im Unterschied zu dem in Abbildung 3.12 besprochenen Prinzip die Eingangskapazität in den 2 Phasen nicht zwischen Eingangssignal und Masse geschaltet sondern die zwei Eingangsspannungen werden zyklisch vertauscht. Durch dieses zyklische Vertauschen kann zusätzlich eine Verstärkung der Eingangsspannungsdifferenz von 2 erzielt werden. Dieser Verstärkungsfaktor berechnet sich wie folgt:

Phase 1 ( $\phi_1 = \text{ein}$ ):

$$Q_{1+} = (V_0 - V_{shunt}) \cdot C_0 \quad (3.23)$$

$$Q_{1-} = (V_0 - V_{ref}) \cdot C_0 \quad (3.24)$$


 Abbildung 3.14: Prinzipschaltbild *sampling*

Phase 2 ( $\phi_2 = \text{ein}$ ):

$$Q_{2+} = (V_{dp} - V_{ref}) \cdot C_0 \quad (3.25)$$

$$Q_{2-} = (V_{dn} - V_{shunt}) \cdot C_0 \quad (3.26)$$

$$Q_{1+} = Q_{2+} \quad (3.27)$$

$$(V_0 - V_{shunt}) \cdot C_0 = (V_{dp} - V_{ref}) \cdot C_0 \quad (3.28)$$

$$V_{dp} = (V_{ref} - V_{shunt}) + V_0 \quad (3.29)$$

$$Q_{1-} = Q_{2-} \quad (3.30)$$

$$(V_0 - V_{ref}) \cdot C_0 = (V_{dn} - V_{shunt}) \cdot C_0 \quad (3.31)$$

$$V_{dn} = (V_{shunt} - V_{ref}) + V_0 \quad (3.32)$$

Die Eingangsspannungsdifferenz ergibt sich zu:

$$V_{diff} = V_{dp} - V_{dn} = 2 \cdot (V_{ref} - V_{shunt}) \quad (3.33)$$

Der aus der Simulation gewonnene Wert weicht jedoch von dem berechneten Wert ab. Grund dafür sind die parasitären Kapazitäten der Eingangstransistoren, welche zusammen mit den Samplekapazitäten einen Spannungsteiler bilden. Durch Vergrößern der Samplekapazitäten nähert man sich dem Idealwert von 2. Die Erhöhung bewirkt aller-

dings eine Limitierung der möglichen Taktrate da sich Aufgrund des On-Widerstandes des Schalters sowie der Samplekapazität die Zeit für das Laden dieser auf die anliegende Spannung erhöht.

$$\tau = R \cdot C \quad (3.34)$$

$$u(t) = U_{in} \cdot \left(1 - e^{-\frac{t}{\tau}}\right) \quad (3.35)$$

Die einzelnen Stufen des in Abbildung 3.13 dargestellten Vorverstärkers sind durch Kopplkondensatoren getrennt. Zwischen den Differenzverstärkerausgängen der jeweiligen Stufen befinden sich zwei als Diode geschaltete Transistoren, welche die Reaktionszeit verringern indem sie die maximale Differenzspannung begrenzen. Die Ansteuersignale der einzelnen Schalter sind in Abbildung 3.15 ersichtlich.

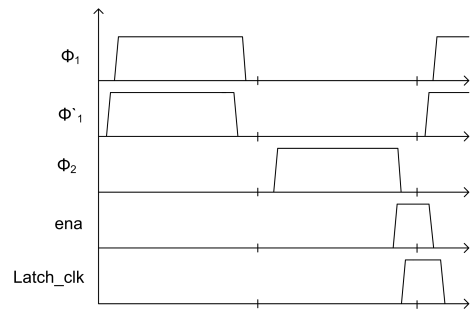


Abbildung 3.15: Nicht überlappende Ansteuersignale für die *switched-capacitor* Schaltung

In Phase 1,  $\phi_1 = 1$ , werden die einzelnen Stufen auf ihren Arbeitspunkt gesetzt. Weiters werden die Offsetspannung sowie der durch Ladungsinjektion verursachte Fehler in den Kapazitäten gespeichert. Dieser ist aufgrund der differentiellen Ansteuerung sehr gering, da dessen Größe nur noch vom Matching der Transistoren abhängt. In Phase 2,  $\phi_2 = 1$ , werden die zu vergleichenden Spannungen ohne Einfluss der Offsetspannung und der Ladungsinjektion verstärkt. Der Fehler der letzten Stufe wird nicht eliminiert. Bezogen auf den Eingang ist dieser sehr gering und ergibt sich zu

$$\Delta v_{in} = \frac{\Delta v}{A_1 \cdot A_2 \cdot A_3} \quad (3.36)$$

Die *track and latch* Stufe hat zwei Phasen. Während Phase 1 (Signal  $ena = 0$ ) arbeitet sie als Differenzverstärker und es stellt sich am Ausgang eine Differenzspannung ein. In Phase 2 (Signal  $ena = 1$ ) wird die Stufe als latch geschaltet. Aufgrund der verschiedenen Potentiale an den beiden Ausgängen haben die Transistoren unterschiedliche Gate-Source Spannungen. Dieser Zustand wird durch die Mitkopplung gespeichert, solange das  $ena$  Signal aktiv ist. Durch den Aufbau der Stufe kann das Ausgangssignal nicht das Massepotential erreichen. Aus diesem Grund wird eine zusätzliche Latch Stufe benötigt, welche das Signal bis and die beiden Supply-Rails aussteuert.

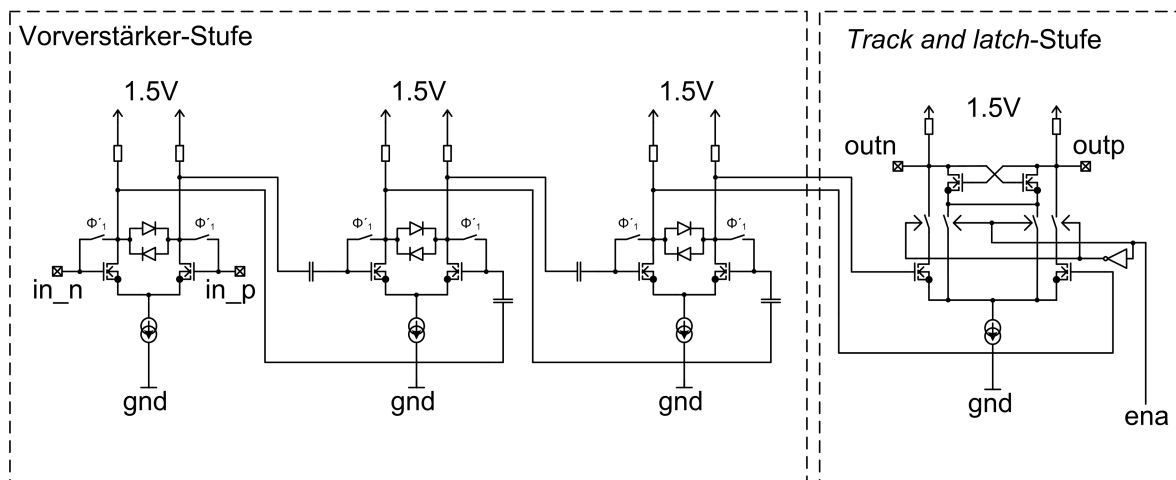


Abbildung 3.16: Detailliertes Schaltbild des verwendeten Komparators (Vorverstärker und Latch)

Das Master/Slave Latch (Abbildung 3.17) ermöglicht es den Zustand am Ausgang *oc* durchgehend zu speichern während es den nächsten Zustand einliest. Realisiert wird dies durch Verwendung von zwei Latch-Stufen, welche mit einem eigenen Signal *latch\_clk* (Abbildung 3.15) angesteuert werden. Während *latch\_clk* = 0 folgen die Knoten A und B den Ausgangsspannungen *outn* und *outp* der track and latch Stufe. In der kurzen Zeit, in welcher die track and latch Stufe den Ausgangswert konstant hält (*ena* = 1), werden mit *latch\_clk* = 1 die Potentiale an den Knoten A und B am Ausgang übernommen und mit der fallenden Flanke (*latch\_clk* 1->0) gespeichert.

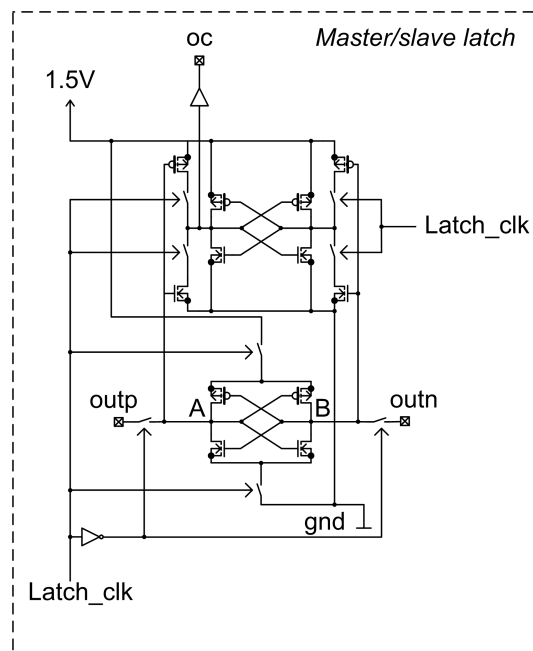


Abbildung 3.17: Detailliertes Schaltbild des Master/Slave Latch



Frequenz kann nun leicht berechnet werden und ergibt sich zu

$$A_V = g_{m_1} \cdot R_{nB} \quad (3.37)$$

Die Bandbreite wird am gleichen Ausgangsknoten geformt und ergibt sich zu

$$BW = \frac{1}{2 \cdot \pi \cdot R_{nB} \cdot C_L} \quad (3.38)$$

Abbildung 3.19 zeigt das Frequenzverhalten des Verstärkers. Der dominante Pol definiert die Grenzfrequenz und befindet sich bei ca. 400 kHz. Die Transitfrequenz beträgt 100 MHz. Bei einem Drittel dieser befindet sich der nicht dominante Pol (Knoten A, Abbildung 3.18).

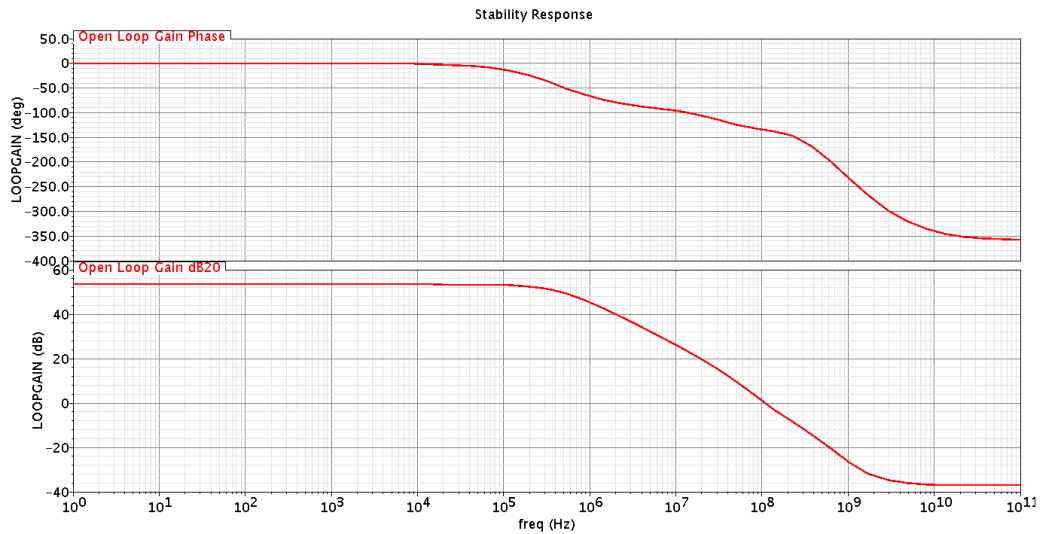


Abbildung 3.19: Bodediagramm *folded-cascode* Verstärker



### 3.2.4 Die Rückregelung

Die Limitierung des Laststromes durch den DMOS wird in beiden Varianten durch eine Rückregelung der Gates-Source Spannung erzielt.

#### Zwei-Punkt-Regelung

Das Ausgangssignal des *switched-capacitor* Komparators wird verwendet um mit Hilfe eines konstanten Stromes das Gate des Leistungstransistors zu entladen bis der Laststrom unter die vorgegebene Schwelle sinkt. Hierbei muss die Entladequelle gegen den Ladestrom des DMOS ankämpfen. Einmal in Limitierung wird der Laststrom durch die verwendete Komparatorschaltung um den Sollwert von 300 mA toggeln. Dies erfolgt durch ständiges zu- und weg-schalten der Entladequelle. In Abbildung 3.20 ist die gesamte Regelung skizziert.

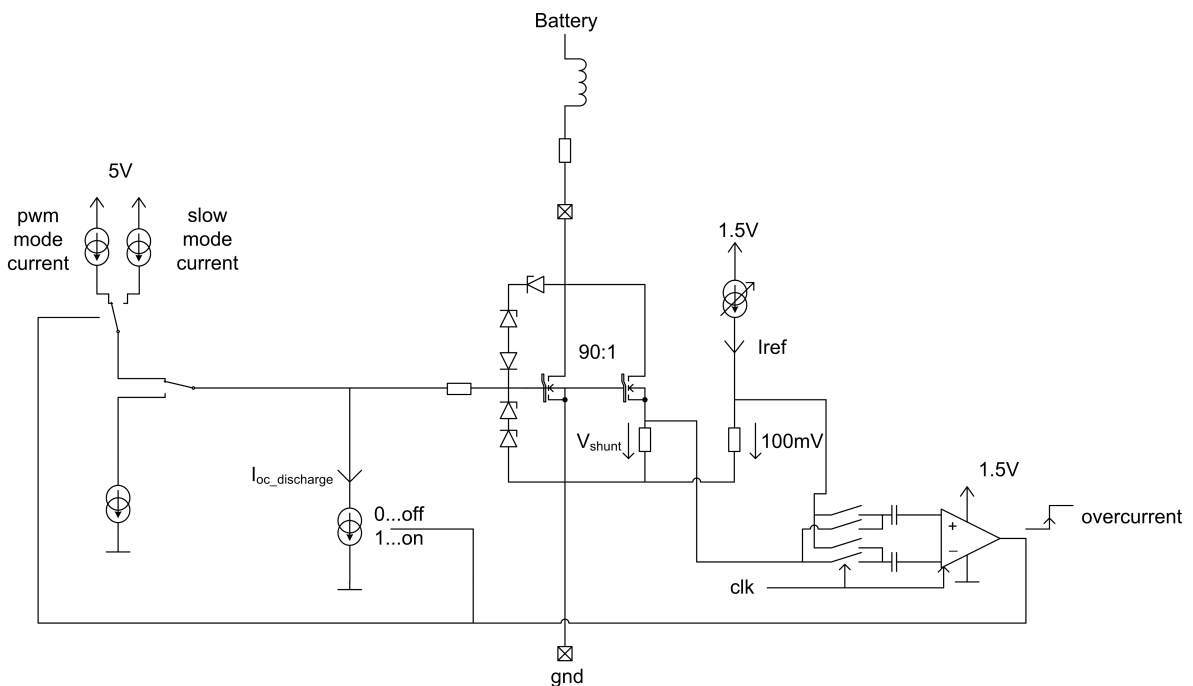


Abbildung 3.20: Schaltbild Zwei-Punkt-Regelung

Die Entladequelle des Gates besteht aus einem Niedervolt Stromspiegel und einem als Schalter dienenden Mittelvolt Transistor, welcher mit dem Komparatorsignal angesteuert wird. Während einer Überstrombedingung stellt der Schalter den Entladepfad bereit.

Im *pwm-mode* wird das Gate des DMOS mit einem Strom von  $100 \mu\text{A}$  geladen. Dies verursacht eine schnelle Änderung des Laststromes und in weiterer Folge des Spannungsab-



Zeit der Regelung aktiv. Erst während dem Ausschalten wird, um die Schaltzeiten einzuhalten, wieder auf die *pwm-mode* Stromquelle gewechselt.

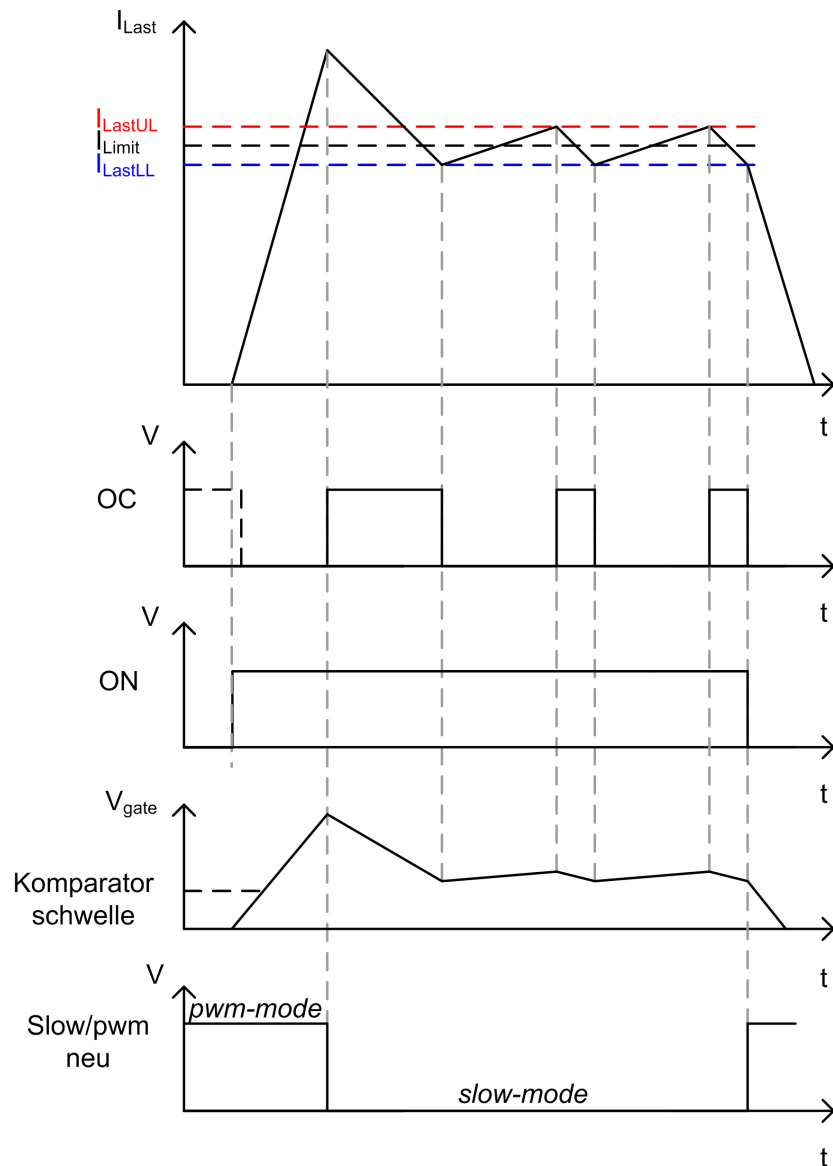


Abbildung 3.23: Signalverläufe: Einschalten in einen Kurzschluss

## Lineare Regelung

Das Ausgangssignal des *folded-cascode* Verstärkers steuert einen Niedervolt Transistor an, bei welchem sich aufgrund seiner Gate-Source Spannung ein Strom einstellt, der das Gate des DMOS entlädt. Auch hier muss die Entladequelle gegen die Ladequelle des Leistungstransistors ankämpfen. Der schematische Aufbau der linearen Regelung ist in nachstehender Abbildung 3.24 veranschaulicht.

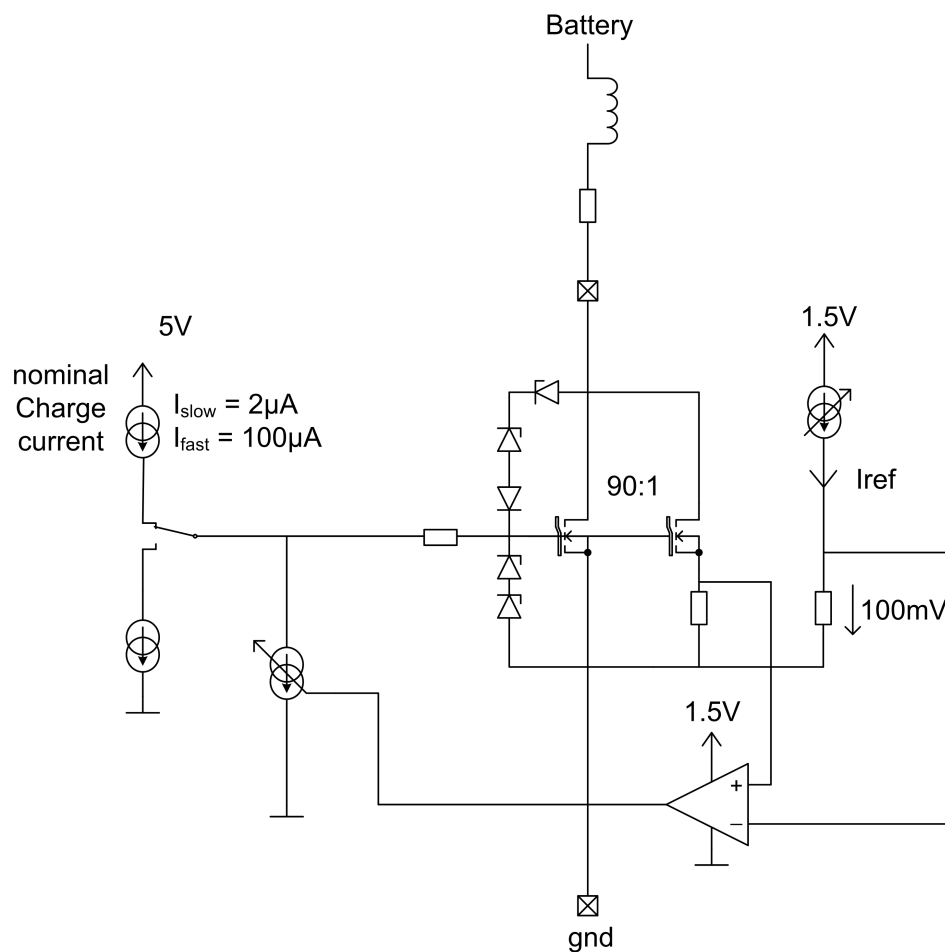


Abbildung 3.24: Schaltbild: Lineare Regelung

### Stabilitätsbetrachtungen

Jeder Knoten im Signalweg führt zu einem Pol in der Übertragungsfunktion und beeinträchtigt damit die Phase. Um die Stabilität zu analysieren ist es wichtig diese Pole zu identifizieren und zu bewerten. Ein hochohmiger Knoten verursacht einen Pol bei niedrigeren Frequenzen und wird aus diesem Grund als dominanter Pol bezeichnet. Niederohmige Knoten beeinflussen das Verhalten erst bei weitaus höheren Frequenzen und werden als nicht-dominante Pole bezeichnet.

Betrachtet man die Schaltung, wird man feststellen, dass es zur Ausbildung zweier hochohmiger Knoten kommt. Der erste hochohmige Knoten befindet sich am Ausgang des einstufigen folded cascode Verstärkers (A). Der zweite hochohmige Knoten wird durch den als *Common Source* Stufe angesteuerten Niedervolt Transistor samt der Kaskode gebildet (B) und liegt damit am Gate des DMOS. Der zwischen Sensetransistor und Shuntwiderstand liegende Knoten bildet keinen hochohmigen Knoten da der Leistungstransistor hier als Source follower betrieben wird und somit einen Ausgangswiderstand von  $\frac{1}{g_m}$  aufweist.

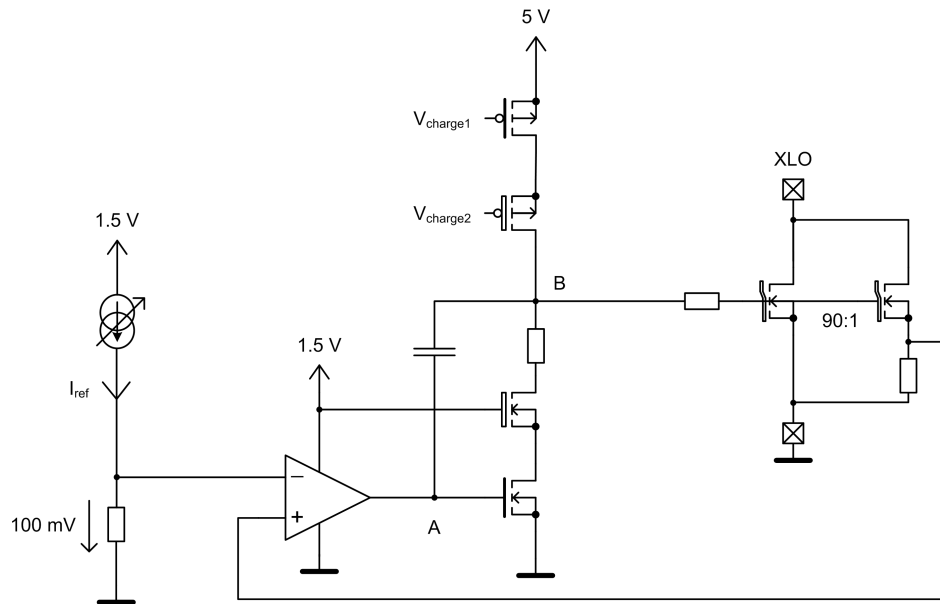


Abbildung 3.25: Schaltbild: Lineare Regelung Stabilität

Jeder dieser Pole verursacht eine Phasenverschiebung von  $90^\circ$ . Um die Stabilität der Schaltung zu gewährleisten und damit ein Schwingen zu vermeiden muss die Transitfrequenz  $f_t$  vor der  $180^\circ$  Phasendrehung erreicht werden. Die Phasenreserve in diesem Punkt bestimmt die Sprungantwort des Systems. Während eine Phasenreserve von  $45^\circ$  ein Überschwingen von 30 % verursacht und ein längeres Einschwingverhalten aufweist stellt eine Phasenreserve von  $60^\circ$  den optimalen Kompromiss aus Überschwingen zu Einstellzeit dar. [Raz01]

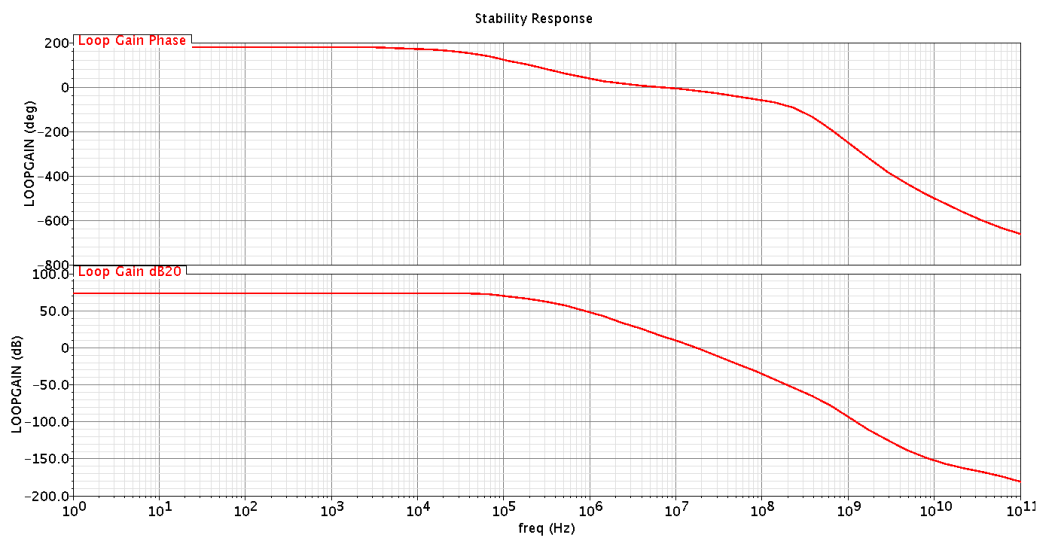


Abbildung 3.26: Bodediagramm der unkompensierten Regelung

Betrachtet man den Frequenzgang der Regelschleife, stellt man fest, dass die Phasen-

drehung bei der Grenzfrequenz  $f_g$  bereits  $60^\circ$  beträgt. Es liegen hier also zwei Pole nahe beieinander und die Phasenreserve ergibt sich zu nahezu  $0^\circ$ .

Um die Schaltung zu stabilisieren wurde mittels Kompensationskapazität, welche sich zwischen den zwei hochohmigen Knoten befindet, ein *pole splitting* erzielt, welches den dominanten Pol zu tieferen Frequenzen und den nichtdominanten Pol zu höheren Frequenzen verschiebt. [San06]

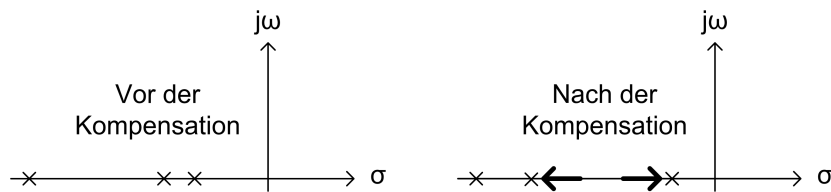


Abbildung 3.27: Prinzip *pole splitting*

Der sich nun ergebende Frequenzgang ist in folgender Abbildung ersichtlich. Die resultierende Phasenreserve beläuft sich nach Kompensation auf  $66^\circ$ .

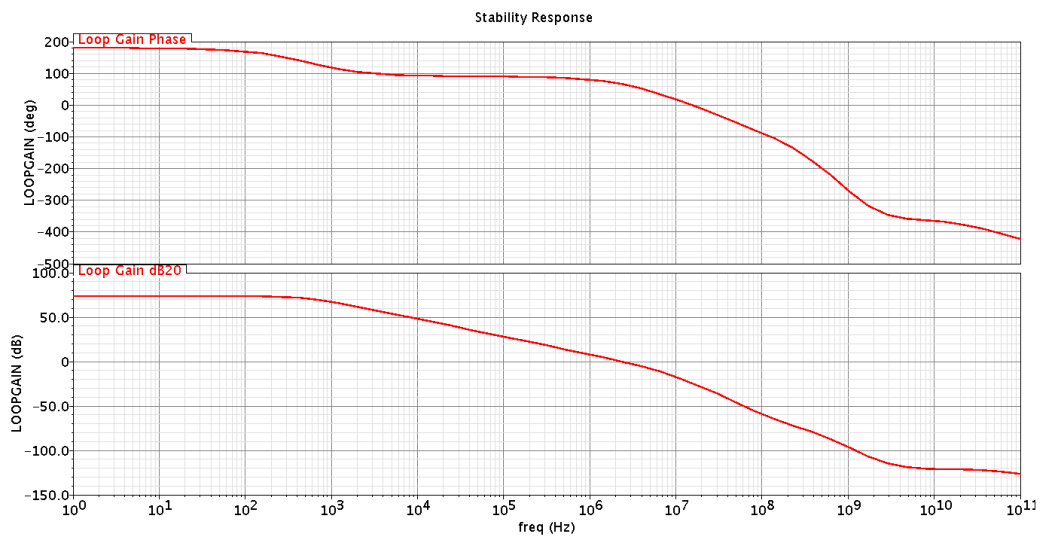


Abbildung 3.28: Bodediagramm der kompensierten Regelung

## 4 Dimensionierung DMOS

Leistungstransistoren müssen aufgrund der hohen Ströme und Spannungen, welche während dem Schalten auftreten, je nach Anwendung einen geringen Einschaltwiderstand besitzen und somit über eine gewisse Größe verfügen. Bei einem Modul wie dem Low-Side-Switch bestimmt dieser Transistoren üblicherweise den Großteil des benötigten Flächenaufwands. Um den Flächenaufwand der Gesamtschaltung zu optimieren ist es deshalb notwendig diese genauer zu untersuchen. Einer der wichtigsten Parameter bei der Dimensionierung spielt hierbei wie oben erwähnt der  $R_{DSon}$ , da dieser die Verlustleistung im eingeschalteten Zustand und somit auch die Temperaturentwicklung im Transistor bestimmt. Der durch den  $R_{DSon}$  vorgegebene Flächenaufwand stellt in jedem Fall die minimale Größe des Transistors dar. Durch verschiedene Belastungsfälle ist man bei der Dimensionierung des Transistors jedoch gezwungen diese Fläche zu erhöhen. Einen dieser Belastungsfälle stellt der durch das verwendete ESD Konzept auftretende ESD Strom durch den Transistor dar. Ein weiterer Belastungsfall tritt durch das im Einführungskapitel bereits besprochene Abschalten einer induktiven Last auf. Zusammenfassend hängt die Größe des zu realisierenden DMOS also grundlegend von 3 Parametern ab:

- $R_{DSon}$
- ESD Strom
- *Clamping* Energie

Wird die resultierende DMOS Fläche nicht vom  $R_{DSon}$  sondern aufgrund der Clamping Energie bestimmt besteht die Möglichkeit durch bestimmte Vorgehensweisen die Fläche so gering wie möglich zu halten.

### 4.1 $R_{DSon}$

Um im eingeschalteten Zustand (im Widerstandsbereich des Transistors  $V_{GS} - V_{TH} > V_{DS}$ ) die Verlustleistung gering zu halten wird für einen typischen Strom von 100 mA ein Einschaltwiderstand von 4  $\Omega$  benötigt. Dieser Wert wurde auch in der Spezifi-





## 4.2 ESD Strom

Verwendet man wie in Kapitel ESD besprochen ein Prinzip, bei dem der DMOS im ESD Fall leitend wird und den gesamten Strom übernimmt, muss beim Design darauf geachtet werden, dass der Transistor den gesamten Strom während diesem Event bewältigen kann. Für den Fall, dass das Gate des DMOS Transistors auf 16 V geklemmt wird, kann der Transistor einen Strom von 4 mA/Zelle mit zusätzlich 25 % Sicherheit übernehmen. Bezieht man diesen Wert auf die für den  $R_{DSon}$  benötigte Zellenanzahl von 1100 Zellen, kann der Transistor 4,4 A übernehmen. Im Falle eines HBM Testpulses kann man von einem Strom von 0,66 A/kV ausgehen (*rule of thumb* 2/3 A per kV). Für 4 kV HBM Festigkeit muss der Transistor also 2,6 A ableiten können und somit eine Größe von 650 Zellen aufweisen. Dies ist bereits durch die Dimensionierungsvorschrift für den  $R_{DSon}$  gegeben.

## 4.3 Clamping Energie

Im Falle eines Clampings befindet sich der Transistor nicht mehr im Widerstandsbereich sondern im Sättigungsbereich. Da der Transistor in diesem Bereich einen deutlich höheren Widerstand aufweist steigt natürlich auch die Verlustleistung und somit die Temperatur in diesem Bauteil deutlich an. Grundsätzlich unterteilt man die auftretenden Leistungspulse in 2 Kategorien, den *single clamping* und den *repetitive clamping* Pulsen.

### 4.3.1 Elektrothermische Limits (single clamping)

Überschreitet man die Sperrschichttemperatur von 450 °C kommt es zu einer thermischen Mitkopplung, welche zur sofortigen Zerstörung des Bauteils durch thermisches Schmelzen führt (Abbildung 4.2). Ein Leistungspuls wird als *single clamping* Puls klassifiziert wenn dieser das thermische Limit nahezu erreicht und die Auftrittswahrscheinlichkeit während der gesamten Lebensdauer kleiner 100 ist.

Abbildung 4.2 stellt einen durch single clamping Pulse zerstörten nLDMOS Transistor dar, bei dem das Überschreiten der Siliziumtemperatur zum Schmelzen der darüberliegenden Metallisierung geführt hat.

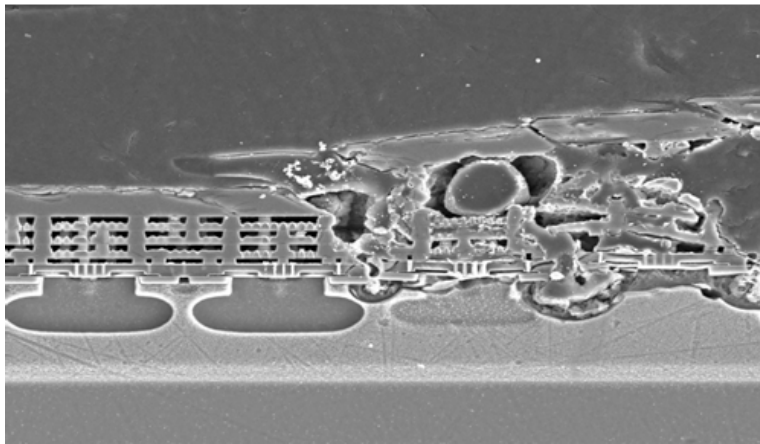


Abbildung 4.2: thermische Zerstörung durch *single clamping* Puls [MS10]

### 4.3.2 Elektromechanische Limits (*repetitive clamping*)

Diese Pulse haben üblicherweise eine geringere Leistung und damit einen geringeren Temperaturanstieg zur Folge. Alle Pulse, welche öfter als 100 mal während der Lebensdauer auftreten, werden als *repetitive* klassifiziert und können zu einer Fehlfunktion durch thermo-mechanische Degradation (Ermüdung/Alterung) der Bauteilmetalisierung führen (Abbildung 4.3). Dabei wird Material in der Signal Metallisierung bewegt. Als Konsequenz wird die Metalldicke an bestimmten Punkten zunehmen und dadurch einen intrinsischen kompressiven Stress produzieren. Dies führt wiederum zu einer Zunahme des mechanischen Stresses im Dielektrikum zwischen den Metalleleitungen. Überschreitet dieser Stress die Bruchfestigkeit des Dielektrikums kommt es zu einem Durchbruch der Isolation und dadurch zu einem Kurzschluss zwischen den Metalleleitungen.

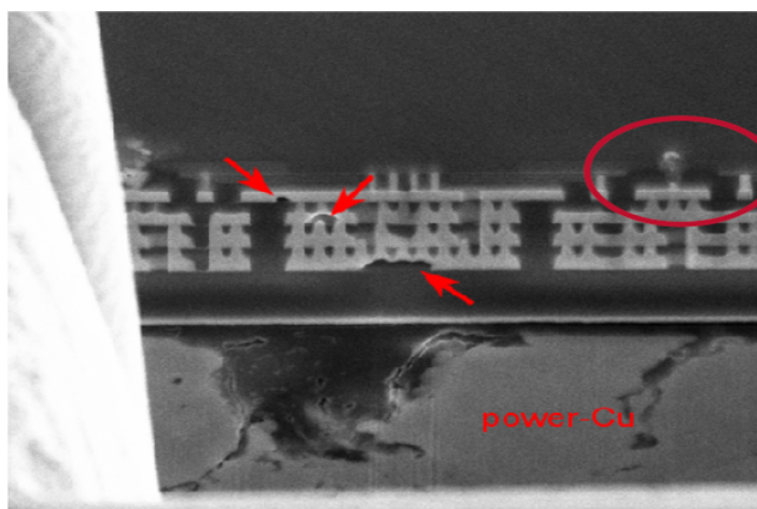


Abbildung 4.3: Thermomechanische Zerstörung durch *repetitive clamping* Puls [MS10]

Abbildung 4.3 stellt einen nLDMOS (auf den Kopf gestelltes Bild) dar welcher durch die repetitive Clamping Pulse zerstört wurde. Durch den thermomechanischen Stress kam es zu einer Ablösung der Kupferschicht (A). Weiters kam es aufgrund der lokalen Übertemperatur zu Unregelmäßigkeiten der einzelnen Metallebenen (rote Pfeile). Der Temperaturhub der Sperrschicht, welcher während diesen Pulsen auftritt, ist auf ein durch die Technologie spezifiziertes Limit zu begrenzen. Für die SPT9 Technologie liegt dieses Limit bei  $\Delta T = 130$  K im hot spot des Siliziums. Für diesen Temperaturhub können dann 1 Million Schaltzyklen mit 1 ppm Fehler über die Lebensdauer garantiert werden.

$T_{\text{Sperrschichtstart}}$ [°C]	$\Delta T$ [K]	Erlaubte Schaltzyklen um über die Lebensdauer < 1 ppm Ausfälle zu garantieren
$\leq 150$	$\leq 90$	$5 \cdot 10^9$
$\leq 150$	$\leq 110$	$1 \cdot 10^7$
$\leq 150$	$\leq 130$	$1 \cdot 10^6$

Tabelle 4.2: Garantierte Schaltzyklen

Verursacht werden solche Leistungspulse unter anderem durch das Abschalten einer induktiven Last. Im Einführungskapitel „Schalten induktiver Lasten“ wurde grundsätzlich die Problematik des Trennens einer induktiven Last von der Versorgung besprochen. In diesem Kapitel soll nun näher auf die entstehende Energie und auf die Auswirkungen dieser auf die Dimensionierung des Leistungstransistors eingegangen werden. Wird der Transistor eingeschaltet, sieht die Last zu Beginn die gesamte Versorgungsspannung  $V_{\text{batt}}$  und der Laststrom steigt, einer Exponentialfunktion folgend, bis zum Erreichen des Endwerts  $I_0$  an.

$$\frac{di_L}{dt} = \frac{V_{\text{batt}}}{L} \quad (4.3)$$

$$i_L(t) = I_0 \cdot \left(1 - e^{-\frac{t}{\tau}}\right) = \frac{V_{\text{batt}}}{R_L} \cdot \left(1 - e^{-\frac{t \cdot R_L}{L}}\right) \quad (4.4)$$

Die in der Induktivität gespeicherte Energie vor dem Ausschalten des Transistors ergibt sich zu:

$$E = \frac{1}{2} \cdot L \cdot I_0^2 \quad (4.5)$$

Die durch das Abschalten des Transistors verursachte Stromänderung

$$\frac{di_L}{dt} < 0 \quad (4.6)$$

führt zu einer negativen Spannung  $V_L$  über der Last, welche das Potential am Drain-

Pin des DMOS auf ein Potential höher der Versorgungsspannung hebt. Die Höhe dieser induzierten Spannung hängt direkt von der Abschaltgeschwindigkeit bzw. der daraus resultierenden Stromänderung ab. Nach Erreichen der Klemmspannung  $V_Z$  spricht die Schutzschaltung an. Der sich durch die Diodenkette einstellende Strom steuert das Gate des DMOS an was zu einem geregelten Abschalten des Leistungstransistors führt. [Hör09] [Far]

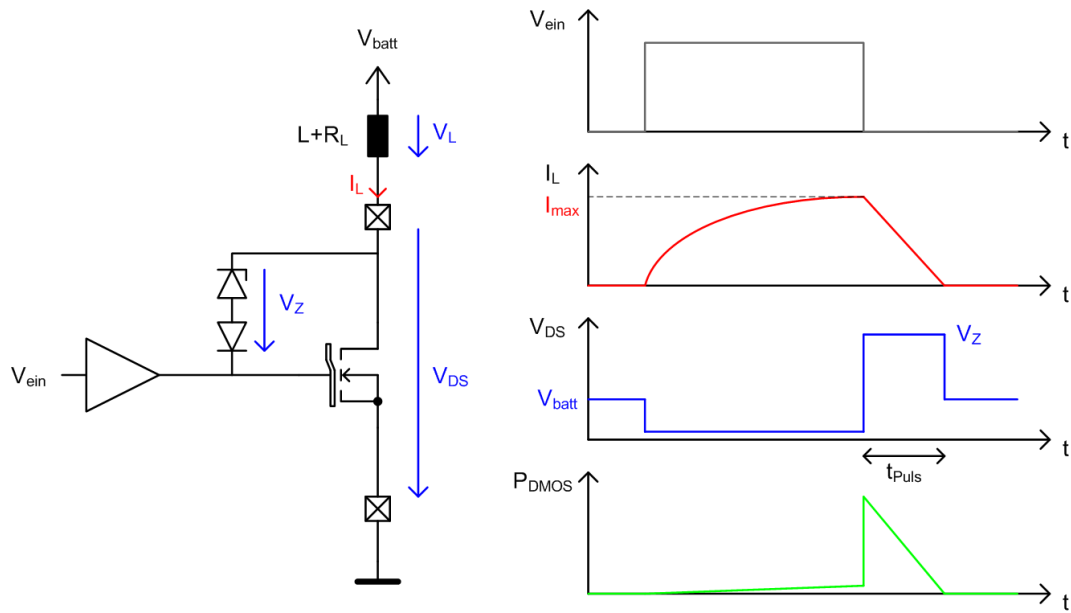


Abbildung 4.4: Schalten einer induktiver Last

Die Energie, welche während diesem Vorgang auftritt, ergibt sich zu:

$$E = V_{DS_{clamp}} \cdot \left[ \frac{V_{batt} - V_{DS_{clamp}}}{R_L} \cdot \ln \left( 1 - \frac{R_L \cdot I_0}{V_{batt} - V_{DS_{clamp}}} \right) + I_0 \right] \cdot \frac{L}{R_L} \quad (4.7)$$

Eine einfache Abschätzung über den Temperaturhub kann mittels folgender Gleichung erzielt werden.

$$\Delta T = \frac{\sqrt{2}}{3} \cdot \frac{P_0}{A_{DMOS}} \cdot k_{therm} \cdot \sqrt{t_{Puls}} \quad (4.8)$$

$$\Delta T = \frac{2}{3} \cdot \frac{k_{therm}}{A_{DMOS}} \cdot \sqrt{E_{therm} \cdot U_{DS_{clamp}} \cdot I_0} \quad (4.9)$$

Durch Umformen dieser Gleichung kann nun eine grobe Abschätzung der benötigten DMOS Fläche für eine gegebene Leistung und einen gewünschten Temperaturhub vorgenommen werden.

$$A_{DMOS} = \frac{\sqrt{2}}{3} \cdot \frac{k_{therm}}{\Delta T} \cdot P_{therm} \cdot \sqrt{t_{Puls}} \quad (4.10)$$

$$A_{DMOS} = \frac{2}{3} \cdot \frac{k_{therm}}{\Delta T} \cdot \sqrt{E_{therm} \cdot U_{DSclamp} \cdot I_0} \quad (4.11)$$

Die Konstante  $k_{therm}$  stellt hierbei den Wurzelgesetzfaktor dar. [San03]

## 4.4 Realisierung

Die kalkulierte Flächenabschätzung, welche benötigt wird um die Anforderungen an die auftretende Verlustleistung während der spezifizierten *Clamping* Pulse standzuhalten, übersteigt die für den  $R_{DSon}$  benötigte Fläche und repräsentiert somit den bestimmenden Faktor bei der Dimensionierung des DMOS.

Eine Erhöhung des ohnehin schon erheblichen Flächenaufwands des Leistungstransistors bewirkt weiters eine Erhöhung der Lade-/Entladeströme und damit eine Anpassung des Gate-Treibers um die Anforderungen bezüglich der Schaltzeiten einzuhalten.

Neben der Möglichkeit den DMOS auf die im vorigen Kapitel berechnete Gesamtfläche zu erhöhen gibt es auch andere Ansätze um die Temperaturentwicklung unter den geforderten Grenzen zu halten.

Betrachtet man einen Transistor beliebiger Größe so kann festgestellt werden, dass sich während des *clamping* Vorganges die Temperaturverteilung über der Transistorfläche einer Gauss'schen Glockenkurve ähnelt, mit dem Temperaturmaximum im Mittelpunkt der Fläche. Grund dafür ist, dass die Zellen in der Mitte von ebenso heizenden Zellen umgeben sind und aufgrund des geringen Temperaturgradienten die Temperatur schlecht abgeführt werden kann. Die am Rand des Transistors liegenden Zellen weisen eine weitaus niedrigere Temperatur auf da deren Umgebung nicht nur aus heizenden Zellen besteht und sich somit durch die deutlich kühlere Randregion eine Temperatursenke ausbildet. Diese Randzellen könnten somit noch mehr Leistung aufnehmen während in der Transistormitte das zulässige Temperaturmaximum bereits überschritten wird. Die folgenden Ansätze zielen alle darauf ab die auftretende Temperaturentwicklung homogener auf die zur Verfügung stehende Transistorfläche zu verteilen und somit die Temperaturspitze im Mittelpunkt zu reduzieren.

Eine Möglichkeit dies zu realisieren ist die Verwendung einer länglichen Bauweise des Leistungstransistors. Durch den geringeren Abstand des Transistormittelpunkts zur kühlen Randregion kann die Maximaltemperatur des hotspots deutlich reduziert wer-

den. Der Nachteil dieser Variante ist die schlechte Integrierbarkeit des resultierenden Moduls in ein bestehendes Layout. Mit Hilfe des für diese Technologie zur Verfügung stehenden Konstruktionskits kann durch Realisierung einer L- oder U-Form versucht werden das Layout kompakter zu gestalten. Ein weiterer Nachteil ist, dass sensible Schaltungsteile so weit wie möglich von dem Leistungsbauteil weg platziert werden sollen, und dies hier nur schwer umzusetzen ist.

Eine andere Möglichkeit stellt das Aufteilen des Transistors in mehrere kleine Transistoren dar. Die durch das Aufteilen erhaltenen Randgebiete dienen hierbei als Kühlflächen zwischen den einzelnen Transistoren und ermöglichen ebenfalls eine Reduktion der hotspot Temperatur. Die resultierende Form des Leistungstransistors kann leicht in ein Layout eingefügt werden und ermöglicht eine kompakte Bauweise des Moduls. Die zusätzlichen Kühlflächen stellen jedoch einen erheblichen Mehraufwand der Gesamtfläche dar.

Eine weitere Möglichkeit wäre es sogenannte „inaktive Zellen“ zu verwenden. Diese inaktiven Zellen beinhalten, wie in Abbildung 4.5 ersichtlich, keine Source-Implantation wodurch sich im eingeschalteten Betrieb auch kein leitender Kanal ausbilden kann. Aufgrund des fehlenden Stromflusses in dieser Zelle kommt es auch zu keiner Heizleistung in diesem Bereich. Mit Hilfe des Konstruktionskits ist es möglich, durch Einsetzen dieser „inaktiven Zellen“ bewusst im Layout des Transistors Kühlflächen einzubringen.

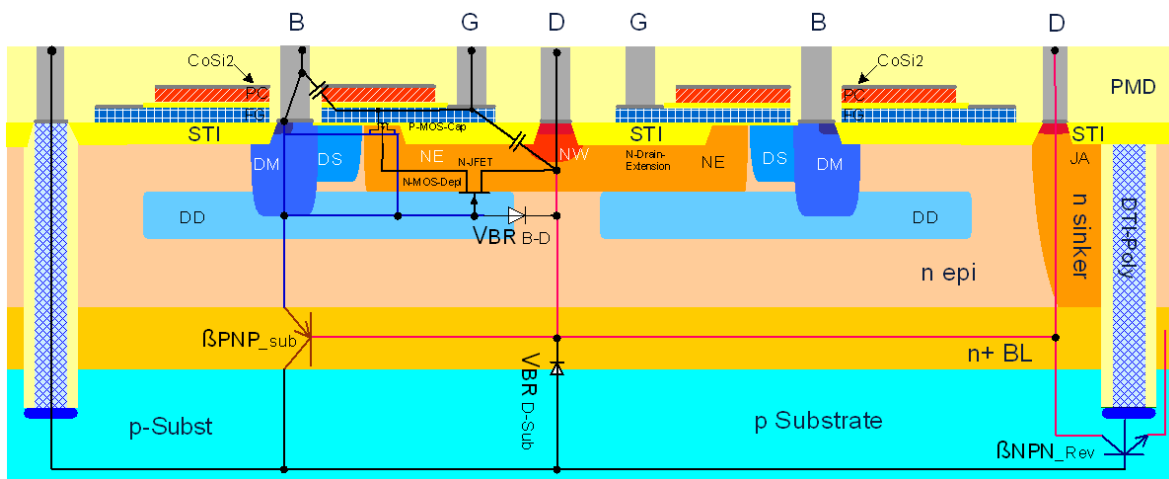


Abbildung 4.5: Querschnitt einer „inaktiven Zelle“

Platziert man diese Zellen also in dem Gebiet des sich ausbildenden hotspots ist es möglich die Temperatur homogener auf der gesamten Transistoroberfläche zu verteilen und somit den maximalen Temperaturhub zu minimieren.

Um die elektrothermischen Simulationen durchzuführen, welche benötigt werden um Informationen über die Temperaturverteilung innerhalb der DMOS Fläche zu gewinnen, hat Infineon ein eigenes Tool entwickelt.

Mit diesem Tool ist es möglich den Leistungstransistor aus dem Layout zu extrahieren und gewünschte Leistungen auf diese Fläche einzuprägen. Simuliert werden kann das DC Verhalten, bei dem es möglich ist eine konstante Leistung einzustellen, sowie das transiente Verhalten, bei dem die Leistung über die Zeit variiert werden kann, um das Aufheiz- und Abkühlverhalten zu untersuchen.

Der Simulator besitzt mehrere Schichten, deren Eigenschaften durch Eingabe der thermischen Leitfähigkeit und Kapazität, der Schichtdicke sowie der Dichte des Materials festgelegt werden können. Somit ist es möglich das thermische Verhalten des gesamten Packages zu simulieren.

Für das Low Side Modul wurden laut Spezifikation 2 Leistungspulse charakterisiert. Der als Single Clamping Puls charakterisierte dreieckförmige Leistungspuls besitzt eine Spitzenleistung von 12,5 W und eine Pulsdauer von 2,3 ms mit einer Energie von 14 mJ und einer Ausgangstemperatur von 25 °C. Der als repetitive Clamping charakterisierte Puls besitzt eine Spitzenleistung von 5,25 W und eine Pulsdauer von 775  $\mu$ A mit einer Energie von 2 mJ und einer Ausgangstemperatur von 150 °C.

Die oben erwähnten Möglichkeiten zur Optimierung der Temperaturverteilung innerhalb des DMOS wurden mit eben genannten Leistungspulsen simuliert und anschließend verglichen.

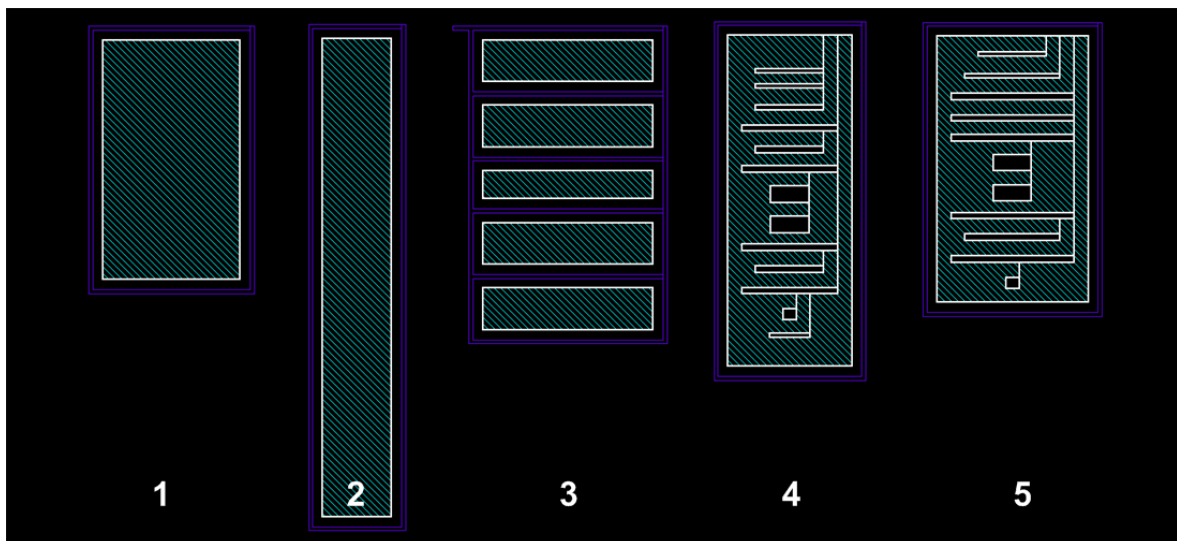


Abbildung 4.6: extrahierte DMOS Flächen

Bei den in Abbildung 4.6 ersichtlichen Transistoren handelt es sich bereits um die aus dem Layout extrahierten DMOS Flächen, welche den aktiven Kanalbereich darstellen.

Die Transistoren 1 und 2 stellen hierbei die Variante mit dem benötigten Zellenaufwand von 1100 Zellen für den  $R_{DSon}$  dar. Wobei Transistor 1 mit  $n_x=10$  und  $n_y=110$  und

Transistor 2 mit  $n_x=5$  und  $n_y=220$  dimensioniert wurden.

Transistor 3 wurde ebenfalls mit 1100 Zellen dimensioniert, die Gesamtzellenanzahl wurde aber auf 5 Einzeltransistoren aufgeteilt.

Die Transistoren 4 und 5 stellen die Variante mittels inaktiver Zellen dar. Durch bewusstes Platzieren der Kühlflächen wurde versucht unter Reduktion der Fläche die gleiche Temperaturentwicklung wie im Transistor 3 zu erzielen. Dies ergab für Transistor 4 eine Gesamtzellenanzahl von 1320, wobei hier 1165 aktive und 155 inaktive Zellen benötigt wurden. Um eine kompaktere Form zu realisieren wurde mit Transistor 5 eine breitere Variante entwickelt, welche eine Gesamtzellenanzahl von 1294 (1109 aktive Zellen/185 inaktive Zellen) aufweist.

Der effektive Flächenaufwand der hier ersichtlichen Transistoren beläuft sich im Layout auf die in nachfolgender Tabelle ersichtlichen Werte.

	effektive Fläche [ $\mu\text{m}^2$ ]
Transistor 1	24396
Transistor 2	26716
Transistor 3	34924
Transistor 4	30100
Transistor 5	29143

Tabelle 4.3: Flächenvergleich DMOS

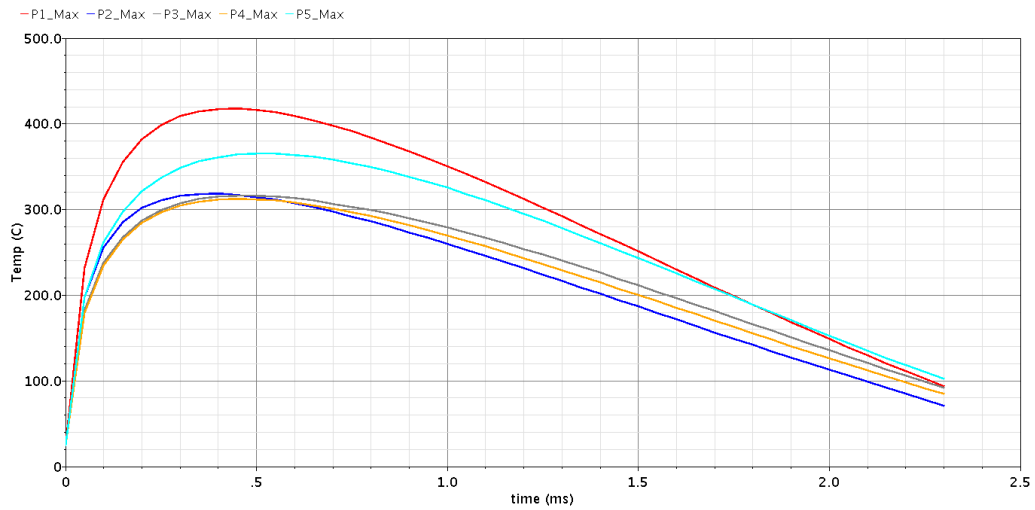
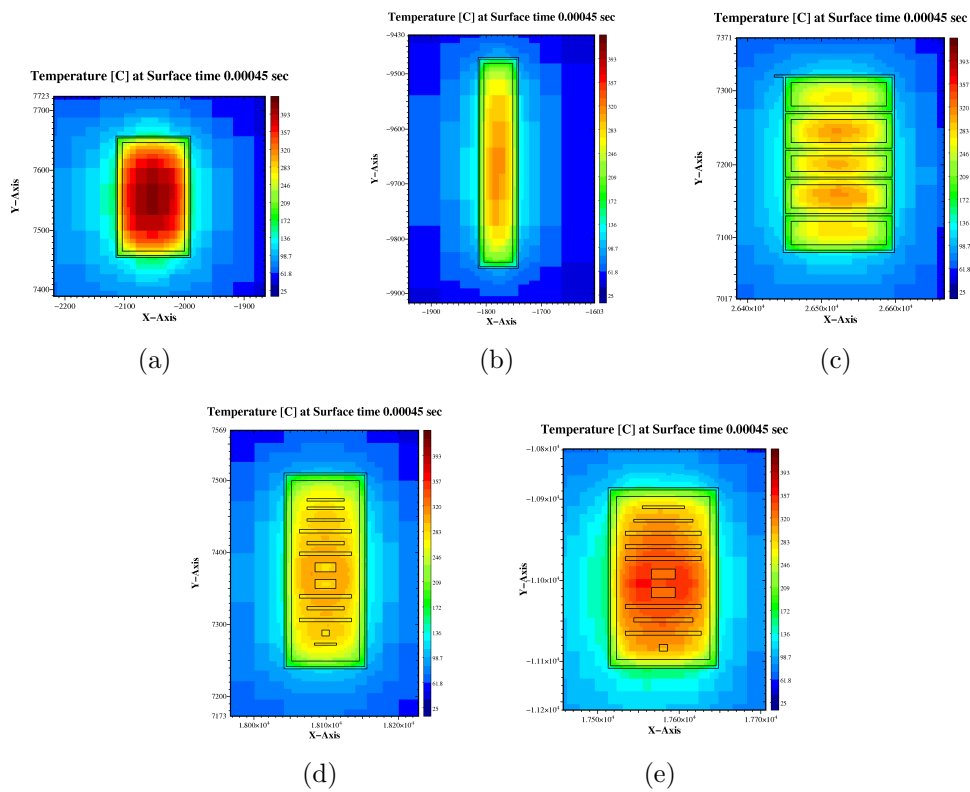
### ***Single clamping Puls***

Bei der Simulation des Single Clamping Pulses zeigt sich, dass der Transistor 1 aufgrund seiner breiten Form den höchsten Temperaturanstieg mit einem Spitzenwert von 420 °C aufweist. Dies liegt noch unter dem für die Technologie spezifizierten Maximalwert von 450 °C. Die Temperaturkurven der Transistoren 2, 3 und 4 weisen nahezu identischen Spitzenwert von ca. 320 °C auf und liegen damit 100 °C unter der Spitzentemperatur des Transistors 1. Transistor 5 erreicht aufgrund seiner breiteren Bauform eine Spitzentemperatur von ca. 360 °C.

Alle Transistoren liegen laut Simulation unter der geforderten Maximaltemperatur von 450 °C. Um die Ausfallsicherheit des Leistungsbauteils in jedem Fall sicherzustellen wird für eine zusätzliche 20 %ige Erhöhung des Leistungspulses die Einhaltung der Temperaturlimits gefordert. Diese Erhöhung bewirkt ein Überschreiten der zulässigen Maximaltemperatur in Transistor 1.

In nachfolgender Abbildung 4.8 sind die Temperaturverteilungen der einzelnen Transistoren beim Erreichen der jeweiligen Maximaltemperatur dargestellt.



Abbildung 4.7: Temperaturverläufe *single clamping* PulsAbbildung 4.8: *single clamping* Temperaturverteilung DMOS

### *Repetitive clamping* Puls

Auch bei dieser Simulation weist der Transistor 1 den höchsten Temperaturanstieg auf und überschreitet mit einem Temperaturhub von  $\Delta T_1 = 140 \text{ }^\circ\text{C}$  die Anforderungen,

welche einen maximalen Hub von  $\Delta T < 130 \text{ }^\circ\text{C}$  fordern ( $1 \cdot 10^6$  Schaltzyklen,  $< 1\text{ppm}$  Fehler). Die Transistoren 3 und 4 erzielen mit  $\Delta T_{3,4} = 108 \text{ }^\circ\text{C}$  den geringsten Temperaturanstieg und erfüllen somit sogar die in Tabelle 4.2 angegebene Spezifikation für  $1 \cdot 10^7$  Schaltzyklen. Die Transistoren 2 und 5 erfüllen mit  $\Delta T_2 = 115 \text{ }^\circ\text{C}$  und  $\Delta T_5 = 120 \text{ }^\circ\text{C}$  ebenfalls die geforderte Spezifikation.

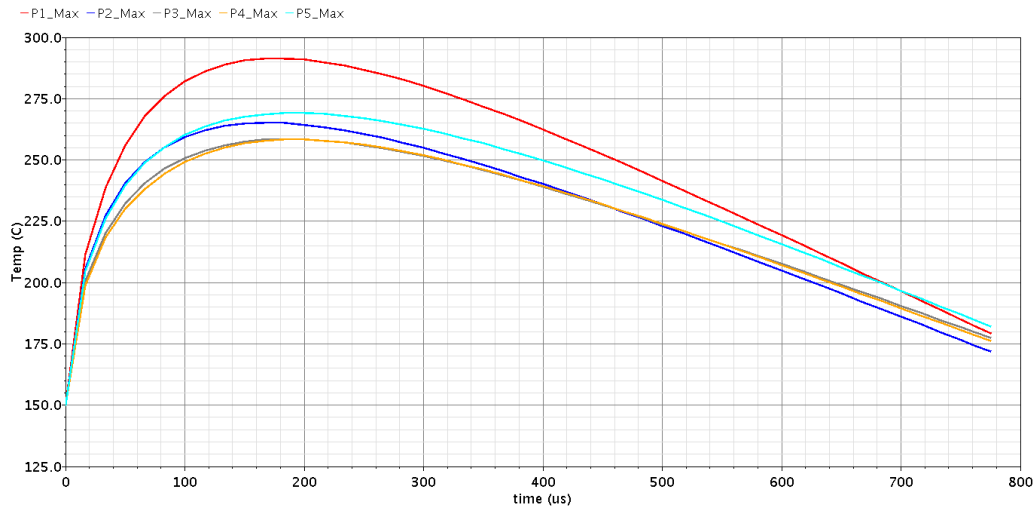


Abbildung 4.9: Temperaturverläufe *repetitive clamping* Puls

Vergleicht man die Simulationsergebnisse in bezug auf die benötigte Fläche, schneidet die Variante 2 bei weiten am besten ab. Diese scheidet jedoch aufgrund der schlechten Realisierbarkeit bei der Umsetzung des Gesamtlayouts, in dem eine möglichst kompakte Endform angestrebt wird um leichter in verschiedenen Projekten integrieren zu werden, aus. Vergleicht man Variante 4 mit Variante 3 kann durch Verwenden inaktiver Zellen der Flächenaufwand bei gleichbleibenden Temperaturverhalten um rund 10 % verringert werden. Da Variante 4 aber ebenfalls aufgrund der etwas länglicheren Form nicht im Layout verwirklicht werden kann, wurde für die Realisierung des Leistungstransistors die Variante 5 gewählt, welche einen guten Kompromiss aus Temperaturverhalten und Fläche darstellt.

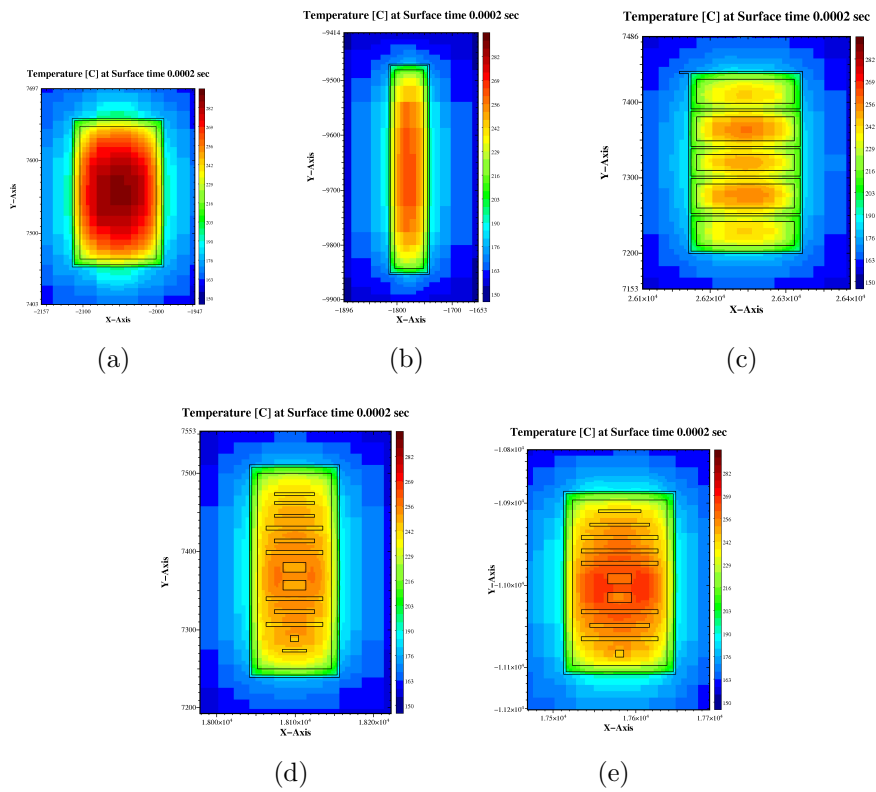


Abbildung 4.10: *Repetitive clamping* Temperaturverteilung DMOS



## 5 ESD

Der Flächenaufwand einer bestehenden Schaltung steigt oft enorm an, muss man für diese eine entsprechende ESD Festigkeit erfüllen. Durch genaue Analyse der gesamten Schaltung in Bezug auf die auftretenden Ströme und Spannungen und durch Wahl einer geeigneten Schutzbeschaltung kann hier die benötigte Fläche auf ein Minimum reduziert werden.

Das in dieser Arbeit behandelte LSS Modul wird für Anwendungen mit ausschließlich on-board Verbindungen entwickelt und muss diesbezüglich auch nur Standard ESD und EMV Festigkeit aufweisen. Da der Ausgangs-Pin des Moduls mittels on-board Verbindung mit einem lokalen Relais verbunden ist, entfallen spezielle EMI, ISO und ESD Gun Anforderungen.

Der Ausgangs-Pin „XLO“ des Moduls muss somit eine vorgeschriebene ESD Festigkeit von 4 kV HBM, bezogen auf den Standard EIA/JESD 22-A114B, aufweisen. Da dieser Pin direkt mit dem Drain-Pin des Leistungstransistors verbunden ist fokussieren sich nachfolgende Betrachtungen auf den Schutz dieses Bauteils gegenüber der geforderten HBM-Festigkeit.

### 5.1 ESD Fenster

Die in dieser Technologie zur Verfügung stehenden nLDMOS Transistoren besitzen verschiedene Durchbruchsspannungen. Nach Überschreiten dieser Spannung kommt es zum Ansprechen des parasitären Bipolartransistors. Wird der resultierende hohe Strom nicht auf einen bestimmten Wert beschränkt, kommt es zur Zerstörung des Bauteils. Eine geeignete Schutzschaltung muss vor Erreichen der Durchbruchsspannung des Bauteils ansprechen damit dieses geschützt wird. Die Durchbruchsspannung stellt die obere Grenze für die Dimensionierung der entsprechenden Schutzschaltungen dar. Weiters darf die gewählte Schutzschaltung die Funktion des Moduls während des typischen Arbeitsbereichs nicht beeinflussen, wodurch eine untere Grenze für die Dimensionierung entsteht.

Die beiden Fälle spannen einen Bereich auf, in dem der ESD Schutz ansprechen muss. Dieser Bereich wird auch als ESD Fenster bezeichnet. Je nach Größe des Fensters

ergeben sich entsprechende Probleme bei der Realisierung des gewünschten Schutzes.

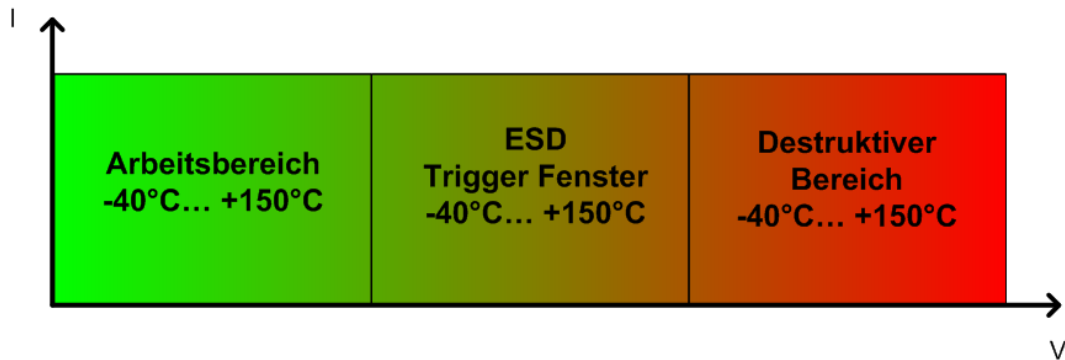


Abbildung 5.1: ESD Fenster

## 5.2 Schutzkonzepte

Zur Realisierung des ESD Schutzes werden von der verwendeten BCD Technologie eigene ESD Bauteile zur Verfügung gestellt. Spezielle ESD Dioden weisen das selbe Verhalten wie typische Zener-Dioden auf, sind aber für sehr schnelle Pulse angepasst um im ESD Fall die Spannung zu begrenzen. In folgender Tabelle sind die zur Verfügung stehenden ESD Dioden aufgelistet.

Bauteilbezeichnung	Durchbruchsspannung [V]
s9e25k2	34,1
s9e25k4	33,6
s9e25k8	33,2
s9e25gX	33,2
s9e45k2	54,1
s9e45k4	54,2
s9e45k8	54,1
s9e45gX	54,1

Tabelle 5.1: ESD Dioden SPT9

Neben der Bauteilbezeichnung sind in dieser Tabelle auch die dazugehörige Durchbruchsspannung angeführt.

Um eine gewünschte ESD-Festigkeit zu erzielen kann auf eine dieser Dioden zurückgegriffen werden. Bei Auftreten eines ESD-Pulses bricht diese durch und übernimmt den gesamten ESD Strom.

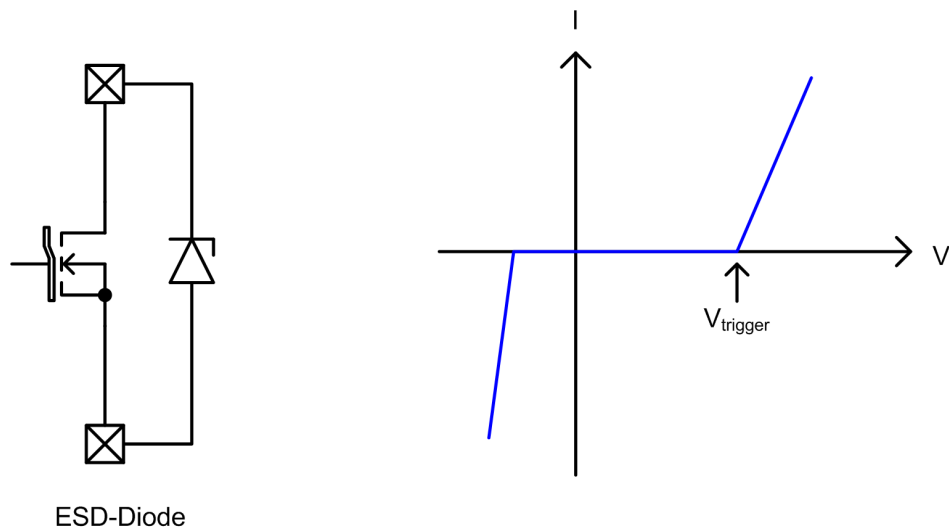
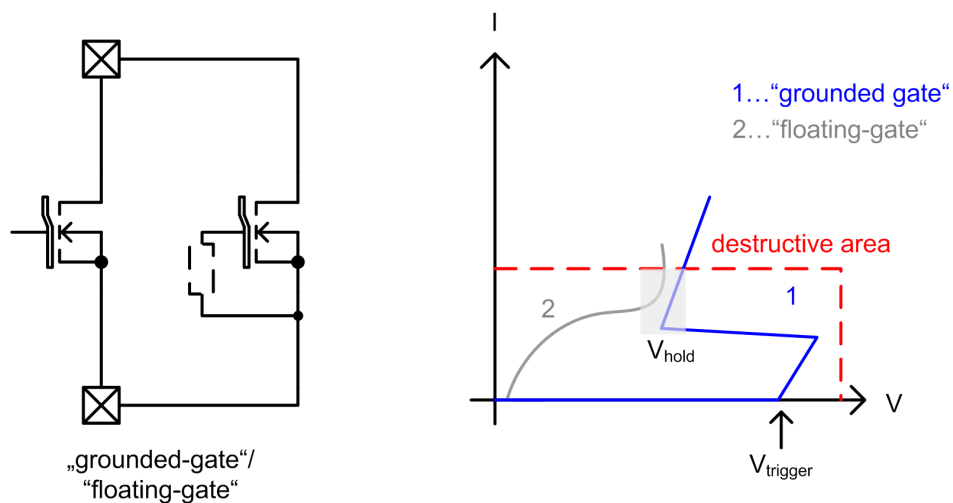


Abbildung 5.2: Konzept ESD Diode

Eine weitere Möglichkeit zur Realisierung der ESD Festigkeit stellt die Verwendung selbstschützender Bauteile dar. Hierbei wird während des ESD-Pulses der parasitäre Bipolartransistor leitend und übernimmt nach Überschreiten der Triggerspannung den auftretenden ESD Strom.

Abbildung 5.3: Konzept *self protection*

Es gibt zwei mögliche Realisierungen, eine, bei der das Gate des Transistors auf Masse geklemmt wird, der sogenannten *grounded gate* Schaltung und eine, bei der sich das Gate auf einem Potential ungleich Masse befindet, der sogenannten *floating gate* Schaltung.

Während sich bei der *grounded gate* Schaltung erst nach Überschreiten der Triggerspannung ein Stromfluss ausbildet kommt es bei der zweiten Variante schon vorher

zum Einschalten des Transistors. Grund dafür ist die ins Gate überkoppelnde Spannung. Der resultierende Stromfluss wird durch das Ansprechen des Bipolartransistors unterstützt.

Um nach dem Ansprechen der Schutzschaltung den gewünschten Strom ohne resultierende Fehlfunktion abführen zu können muss der jeweilige Transistor mit einer dementsprechenden Zellenanzahl dimensioniert werden. Die benötigte Zellenanzahl ist vom verwendeten Transistortyp abhängig. Wird ein lateraler p-Kanal DMOS (pLDMOS) verwendet, beträgt der maximale Rückwärtsstrom bei einer Gate-Source Spannung von 0 V gleich 2 mA/Zelle. Für eine gewünschte ESD-Festigkeit von 4 kV werden 1400 Zellen benötigt. Der nLDMOS hat für die gleichen Bedingungen einen maximalen Rückwärtsstrom von 0,5 mA/Zelle wodurch sich die Zellenanzahl vervierfacht.

Verwendet man das *active clamping* Prinzip, ist es möglich, das Ansprechen der Schutzstruktur mit entsprechender Schaltung zu modellieren. Hierbei kommt es nach dem Überschreiten der Triggerspannung nicht zu einem Ansprechen des parasitären Bipolartransistors sondern der in Abbildung 5.4 ersichtlichen Triggerschaltung. Diese lädt das Gate des Transistors auf eine definierte Spannung, welche für die Abführung des ESD-Stromes benötigt wird. Nach Bedarf kann mit entsprechendem Schaltungsaufwand der Triggerschaltung auch ein snap-back Verhalten modelliert werden.

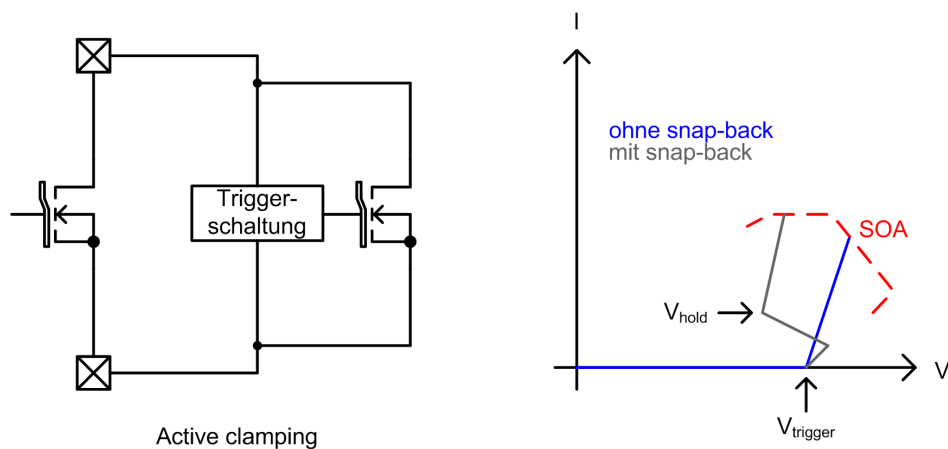


Abbildung 5.4: Konzept *active clamping*

Die einfachste Variante dieses Konzeptes ist in nachfolgender Abbildung 5.5 dargestellt. Durch Kombination verschiedener Zenerdioden in Vorwärts- und Rückwärtsrichtung ( $Z_{D,trigger}$ ) wird die Triggerspannung dimensioniert. Um das Gate vor zu hohen Spannungen zu schützen wird mit einer bestimmten Anzahl an Zenerdioden  $Z_{D,GSn}$  eine entsprechende Klemmspannung definiert. Durch Parallelschalten der Dioden kann der Innenwiderstand nach dem Durchbrechen und damit der zusätzliche Spannungshub verringert werden. Der Widerstand  $R_{GS}$  dient einerseits dazu die Spannung, welche für  $V < V_{trigger}$  durch kapazitive Kopplung auf das Gate eingestreut wird, abzuleiten und andererseits während des Ansprechens der Triggerschaltung das Gate auf das gewünschte



Potential zu heben.

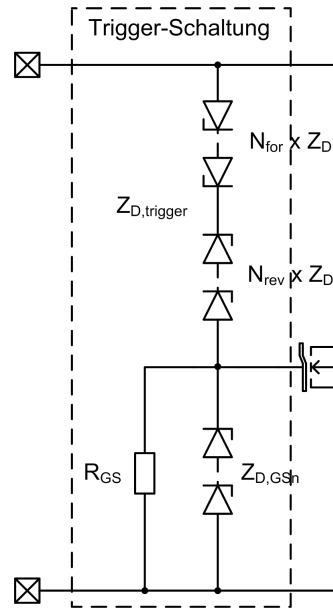


Abbildung 5.5: *Active clamping* Variante

## 5.3 Realisierung

Das für die Dimensionierung und Wahl der geeigneten Schutzstruktur ausschlaggebende ESD Fenster definiert sich einerseits durch die Durchbruchspannung des verwendeten Leistungstransistors, welche bei diesem Typ nominell bei 73 V liegt und andererseits durch den in der Spezifikation charakterisierten maximalen Arbeitsbereich. Dieser wird durch den Belastungsfall *load dump* repräsentiert. Damit ergibt sich ein ESD Fenster mit einer Breite von 25 V (40 V bis 65 V), in welchem die Schutzschaltung ansprechen muss.

Um bei der Realisierung des klassischen ESD Konzeptes (ESD Diode) die Anforderungen des gegebenen ESD Fensters zu erfüllen muss das Modell e45 (4 kV) verwendet werden.

Verwendet man das Konzept eines selbstschützenden Transistors als Schutzstruktur, werden unter Annahme eines *grounded gate* pLDMOS 1400 Zellen benötigt.

Das *active clamping* Konzept benötigt für die Umsetzung der geforderten ESD Festigkeit 6 Zenerdioden in Rückwärts- und eine Zenerdiode in Vorwärtsrichtung, welche die Klemmspannung definieren ( $Z_{D,trigger}$ ). Um den Innenwiderstand der Dioden zu verringern, werden diesen 6 weitere parallel geschaltet. Während dem ESD Puls muss das

Gate des Transistors voll aufgesteuert werden. Durch 2 Zenerdioden ( $Z_{D,GSn}$ ) wird die Gatespannung auf 16 V geklemmt. Der Transistor selbst kann unter der Annahme einer 16 V Ansteuerung einen Strom von 4 mA/Zelle abführen. Für den auftretenden ESD-Strom von 2,7 A ergibt sich eine Zellenanzahl von 675.

Den meisten Flächenaufwand benötigt das Platzieren einer ESD-Diode. Verwendet man das *active clamping* Konzept lässt sich die Fläche im Bezug auf diese um 45 % verringern.

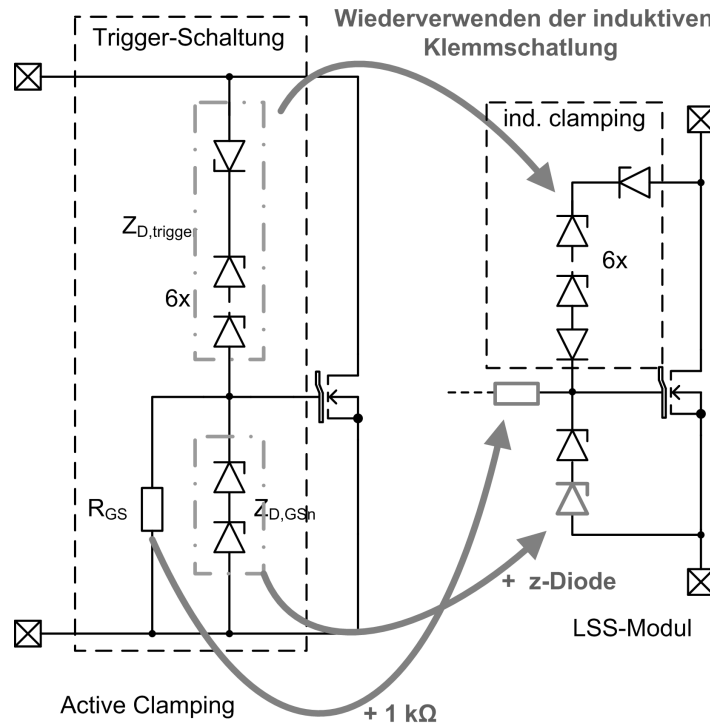


Abbildung 5.6: Realisierung des *active clamping* Konzeptes

Bei der Umsetzung der Schutzstruktur für das entwickelte Modul wurde der Ansatz des *active Clamping* verwendet und der benötigte Flächenaufwand weiter optimiert. Durch Verwenden der bereits für die induktive Klemme benötigten Zenerdiodenkette und des bereits vorhandenen Leistungstransistors konnte durch Hinzufügen der Zenerdiode zur Klemmung des Gates auf 16 V und des  $1\text{ k}\Omega$  Widerstandes in den Entladepfad die ESD Festigkeit ohne großen Flächenaufwand in die bestehende Schaltung integriert werden.

Es wurde somit keine zusätzliche Schutzschaltung an das bestehende Modul gehängt sondern die bereits vorhandenen funktionalen Blöcke des Low Side Schalters dazu verwendet bzw. modifiziert um die ESD-Festigkeit zu erreichen. Der durch die zusätzliche Zenerdiode und den Entladewiderstand entstehende Flächenaufwand ist mit  $279,64\text{ }\mu\text{m}^2$  vernachlässigbar klein.

# 6 Simulationen und Messungen

Für die in den vorangegangenen Kapiteln besprochenen und im Modul umgesetzten Konzepte sollen nun die Simulations- sowie Messergebnisse veranschaulicht und diskutiert werden.

## 6.1 Simulationsergebnisse

Um ein robustes Design und damit eine hohe Ausbeute zu garantieren muss die entwickelte Schaltung nach Variation aller herstellungsprozess- und designspezifischen Parameter in den vorgegebenen Grenzen arbeiten. Die auf den Herstellungsprozess bezogenen Parameterstreuungen können in lokalen und globalen Mismatch eingeteilt werden.

Unter lokalem Mismatch versteht man hierbei die Ungleichheit zweier identisch gelayouteter Bauteile. Zurückzuführen sind diese Ungleichheiten auf Inhomogenitäten während des Herstellungsprozesses.

Unter globalem Mismatch versteht man die sich aufgrund von Instabilitäten einzelner Prozessschritte resultierenden Abweichungen eines bestimmten Bauteils. Dieser beinhaltet alle Streuungen, welche auf

- verschiedene Wafer/Lose
- Tausch des Equipments
- verschiedene Fabrikstandorte

zurückzuführen sind.

Für die in der entwickelten Schaltung verwendeten Bauteile existieren verschiedene *process corner* Modelle, welche sich auf gemessene Daten stützen und die oben erwähnten Streuungen modellieren.

Um die entwickelte Schaltung auf deren Robustheit diesbezüglich zu untersuchen stellt die Entwicklungsumgebung eine Monte Carlo- und Corner-Analyse zur Verfügung.

Abbildung 6.1 zeigt den simulierten Widerstandswert  $R_{DSon}$  des Leistungstransistors über einen Temperaturbereich von  $-40\text{ }^{\circ}\text{C}$  bis  $175\text{ }^{\circ}\text{C}$  mit Variation der Transistormodelle *nom*, *slow* und *fast* und der 5 V Versorgungsspannung von 4,5 und 5,5 V.

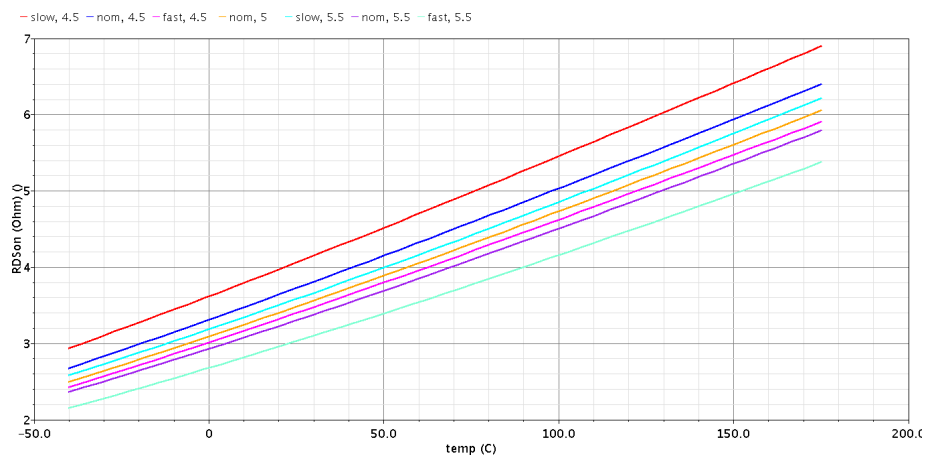


Abbildung 6.1:  $R_{DSon}$  über Temperatur,  $I_{DS}=100\text{ mA}$

Um das zeitliche Verhalten des Moduls zu analysieren wurden die verwendeten Bauteile über alle *process corner* Modelle, sowie die designspezifischen Parameter variiert. Den größten Einfluss auf das zeitliche Verhalten des Moduls hat die Variation des *bias* Stromes, da die Gateladeströme, welche die Schaltzeiten bestimmen (Definition Schaltzeiten Tabelle 2.1), direkt von diesem abgeleitet werden.

	Min	Typ	Max	
5 V Versorgungsspannung	4,5	5	5,5	[V]
1,5 V Versorgungsspannung	1,3	1,5	1,6	[V]
<i>bias</i> Strom	8	10	12	[ $\mu\text{A}$ ]
Frequenz	16	20	24	[MHz]
Duty Cycle	40	50	60	[%]

Tabelle 6.1: Designspezifische Parameter

<i>slow-mode</i>	Min	Typ	Max	Spez.
	[ $\mu\text{s}$ ]	[ $\mu\text{s}$ ]	[ $\mu\text{s}$ ]	[ $\mu\text{s}$ ]
<i>delay-time</i> Einschalten	2,303	6,154	8,257	50
<i>delay-time</i> Ausschalten	4,368	11,17	16,3	50
<i>fall-time</i> Einschalten	10,25	12,75	18,02	150
<i>rise-time</i> Ausschalten	9,819	13,04	16,71	150

Tabelle 6.2: Corner Analyse Schaltzeiten *slow-mode* ( $V_s=13,5\text{ V}$ )

<b><i>pwm-mode</i></b>	<b>Min</b> [ns]	<b>Typ</b> [ns]	<b>Max</b> [ns]	<b>Spez.</b> [ns]
<i>delay-time</i> Einschalten	41,58	42,18	125,9	250
<i>delay-time</i> Ausschalten	270,2	413,8	647,3	1250
<i>fall-time</i> Einschalten	205,9	258,1	331,4	1250
<i>rise-time</i> Ausschalten	213,5	261,1	337,1	1250

Tabelle 6.3: Corner Analyse Schaltzeiten *pwm-mode* ( $V_s=13,5$  V)

Die Gauss-Verteilung der Schaltzeiten kann durch eine Monte Carlo Analyse ermittelt werden, wobei hier über Prozess (globaler Mismatch) und Mismatch (lokaler Mismatch) Parameter variiert wird. Weiters werden für die Monte Carlo Analyse die *worst case*-Designcorners verwendet.

<b><i>slow-mode</i></b>	<b>Mittelwert</b> [ $\mu$ s]	<b>Standardabweichung</b> [ $\mu$ s]
<i>delay-time</i> Einschalten	7,149	1,083
<i>delay-time</i> Ausschalten	14,7	1,161
<i>fall-time</i> Einschalten	17,84	1,185
<i>rise-time</i> Ausschalten	17,05	0,264

Tabelle 6.4: Monte Carlo Analyse Schaltzeiten *slow-mode* ( $V_s=13,5$  V)

<b><i>pwm-mode</i></b>	<b>Mittelwert</b> [ns]	<b>Standardabweichung</b> [ns]
<i>delay-time</i> Einschalten	121,6	4,234
<i>delay-time</i> Ausschalten	601,123	13,06
<i>fall-time</i> Einschalten	327,2	6,085
<i>rise-time</i> Ausschalten	321,9	5,695

Tabelle 6.5: Monte Carlo Analyse Schaltzeiten *pwm-mode* ( $V_s=13,5$  V)

Zur Genauigkeitsanalyse der Stromlimitierung wurde das LSS-Modul im *pwm-mode* betrieben, da dieser den kritischeren der beiden zur Verfügung stehenden Modi darstellt. Abbildung 6.2 zeigt das aktiv werden der Limitierung nach dem Auftreten eines Kurzschlusses im eingeschalteten Zustand. Nach Erkennen der Überstrombedingung wird das Gate des Transistors mit einem konstanten Strom entladen bis der Limitierungswert erreicht wird, um welchen der Laststrom aufgrund der 2-Punkt-Regelung dann togtelt.

Den größten Einfluss auf den Limitierungswert hat, wie auch bei den Schaltzeiten, die Variation des Versorgungsstromes  $I_{bias}$ . Durch die integrierte Trimm-schaltung ist es möglich diesen immer auf den geforderten Wert zu setzen.

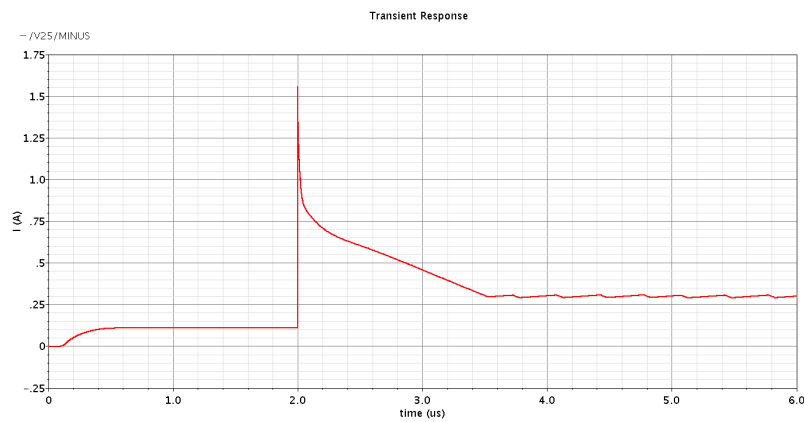


Abbildung 6.2: Einschalten in Kurzschluss 2-Punkt-Regelung

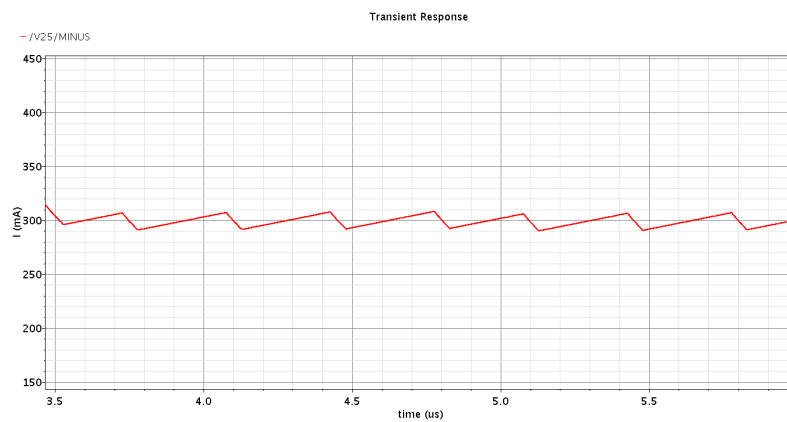


Abbildung 6.3: Ripple des Limitierungsstromes  $I_{lim}$

Um die geforderte Spezifikation zu erfüllen muss nur noch die maximale Auslenkung um diesen Punkt untersucht werden. Diese ergibt sich mittels Corner-Analyse unter Berücksichtigung der designspezifischen Parameter zu:

	Min [mA]	Typ [mA]	Max [mA]
Ripple <i>peak to peak</i>	6,656	18,21	33,46

Tabelle 6.6: Ripple *peak to peak* des Limitierungsstromes

Für die Monte Carlo Analyse wurden diejenigen designspezifischen Parameter gewählt, welche zur größtmöglichen Auslenkung führen. Das Ergebnis dieser Analyse ist in Tabelle 6.7 dargestellt.

Mit Hilfe der integrierten Trimmerschaltung kann eine Genauigkeit von  $\pm 6\%$  erzielt werden.

<b>Process &amp; Mismatch</b>	<b>Mittelwert [mA]</b>	<b>Standardabweichung [mA]</b>
Ripple <i>peak to peak</i>	31,98	0,939
$I_{lim,max}$	316,3	4,07
$I_{lim,min}$	284,3	4,07
<b>Mismatch only</b>		
Ripple <i>textit</i> peak to peak	31,97	0,981
$I_{lim,max}$	316,7	3,82
$I_{lim,min}$	284,7	3,67
<b>Process only</b>		
Ripple <i>textit</i> peak to peak	32,12	0,364
$I_{lim,max}$	316,5	1,9
$I_{lim,min}$	284,4	1,89

Tabelle 6.7: Monte Carlo Analyse Ripple *peak to peak* des Limitierungsstromes

Bei der linearen Regelung wird nach Auftreten des Kurzschlusses im eingeschalteten Zustand der Limitierungswert viel schneller erreicht, da der Verstärker hier den Entladetransistor voll aufsteuert und das Gate des Leistungstransistors mit einem höheren Strom entladen wird. Eine typische Kurve des Laststroms ist in folgender Abbildung 6.4 zu sehen.

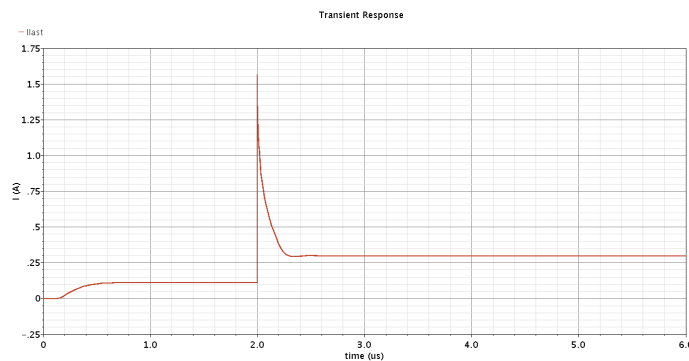


Abbildung 6.4: Einschalten in Kurzschluss lineare Regelung

Da auch hier mit Hilfe der integrierten Trimm-schaltung der Referenzstrom immer auf den geforderten Wert eingestellt werden kann wird für die anschließenden Analysen die Referenzstromquelle gegen eine ideale Stromquelle, die immer den geforderten Strom liefert, ersetzt.

Die Monte Carlo Analyse wurde mit folgenden designspezifischen Parametern durchgeführt. Weiters wurde die Temperatur über  $-40^\circ$ ,  $27^\circ$ ,  $180^\circ\text{C}$  variiert.

	<b>Min</b> [mA]	<b>Typ</b> [mA]	<b>Max</b> [mA]
$I_{lim}$	277,2	299,1	310

Tabelle 6.8: Corner Analyse Limitierungsstrom

	<b>-40°C</b>	<b>SA</b> [mA]	<b>27°C</b>	<b>SA</b> [mA]	<b>180°C</b>	<b>SA</b> [mA]
	<b>Mittelwert</b> [mA]		<b>Mittelwert</b> [mA]		<b>Mittelwert</b> [mA]	
$I_{lim}$ Process& Mismatch	304,4	10,64	300,9	10,67	294,5	11,83
$I_{lim}$ Mismatch only	303,4	10,21	300,4	10,48	295,8	11,18
$I_{lim}$ Process only	304,2	1,7	300,5	1,5	295,9	1,27

Tabelle 6.9: Monte Carlo Analyse Limitierungsstrom (lineare Regelung); SA...Standardabweichung

Die eingesetzte Trimmschaltung bietet genug *margin* um den in obiger Tabelle ersichtlichen Bereich, welcher knapp außerhalb der Spezifikation liegt, zusätzlich zu trimmen. Dies resultiert in einer endgültigen Genauigkeit der Schaltung von 4,5 %, welche vom Temperaturgang, dem kleinsten Trimschritt und der Batteriespannung bestimmt ist.

Betrachtet man die Ergebnisse der Monte Carlo Analysen der linearen Regelung und der 2-Punkt-Regelung wird ersichtlich, dass der Einfluss des Mismatch und somit der Offsetspannung durch Verwenden der *switched capacitor* Schaltung stark reduziert wird.

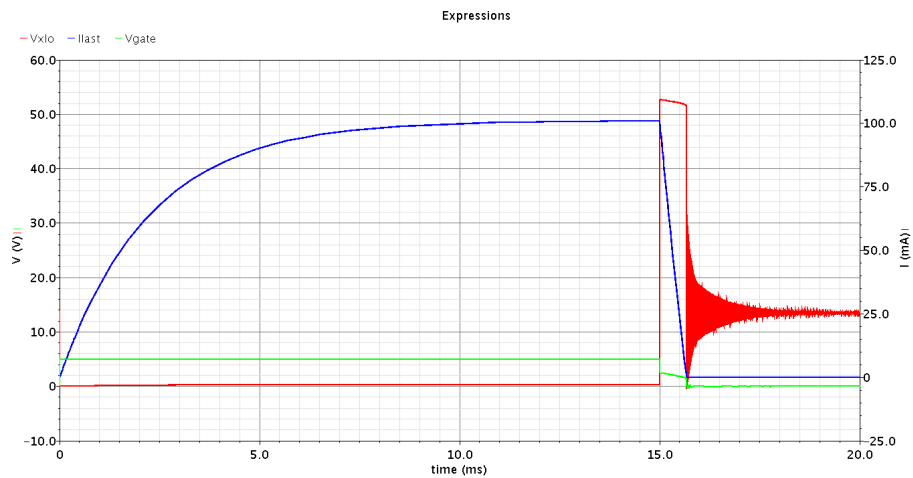
Während dem Abschalten der induktiven Last kommt es zum Ansprechen der integrierten Klemmschaltung (Abbildung 6.5). Die Höhe der Klemmspannung ergibt sich durch die Anzahl der verwendeten Zenerdioden und der zum Zeitpunkt des Ansprechens der Z-Diodenkette vorhandenen  $V_{GS}$  zu typischerweise 54,4 V.

Die *corner* Analyse ergibt unter Variation des *bias* Stromes und der 5 V Versorgungsspannung:

	<b>Min</b> [V]	<b>Typ</b> [V]	<b>Max</b> [V]
$V_{klemm}$	49,8	54,4	60,1

Tabelle 6.10: Corner Analyse Klemmspannung



Abbildung 6.5: Signalverlauf *inductive clamping*

Um den geforderten HBM ESD-Puls zu generieren wurde das in Abbildung 6.6 ersichtliche HBM-Schaltungsmodell verwendet. Mit  $R_{HBM}=1500\ \Omega$  und  $C_{HBM}=100\ \text{pF}$  repräsentiert dieses Modell den JEDEC STANDARD JESD22-A114.  $L_{PAR}$  ( $8\ \mu\text{H}$ ) dient zur Modellierung der parasitären Streuinduktivität und  $C_{PAR}$  ( $28,6\ \text{pF}$ ) stellt die parasitäre Kapazität des Testboards dar.

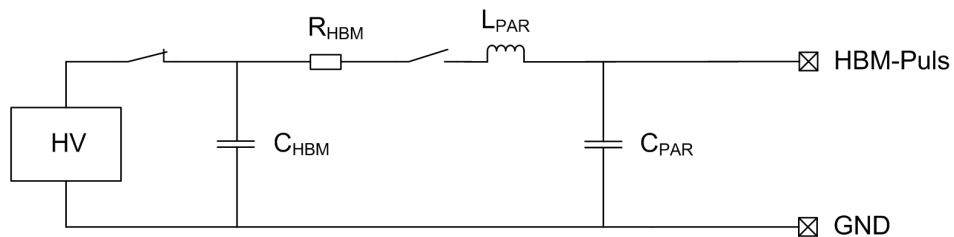


Abbildung 6.6: ESD HBM Schaltungsmodell

Die Ergebnisse der Simulation stimmen aufgrund schlecht modellierter Bauteile nicht mit den auf realen Messungen beruhenden Erwartungen überein und werden deshalb hier nicht näher behandelt. Eine genaue Charakterisierung der Schutzschaltung erfolgt im Labor, somit wird hier auf die Messergebnisse verwiesen.

## 6.2 Messungen

Die zwei Varianten des LSS-Moduls wurden im Zuge eines Testchips gefertigt und im Labor vermessen. Die Labormessungen wurden mit dem Package CPGA144 durchgeführt. Die Pins XLO und GND des Moduls sind direkt auf Testchip-Pins herausgeführt. Das On-Signal kann über den Kontrollbus direkt gesteuert werden. Die restlichen Logiksignale wie power down, slow/pwm mode, toggle usw. werden via SPI gesetzt.

Für die Messungen des CPGA Packages steht ein Testboard zur Verfügung. Dieses verbindet die Testchip-Pins mit den am Rand des Boards befindlichen Steckplätzen.

Im Labor wurden 9 Testchips vermessen, 5 weitere wurden mittels automatisierter Testmethoden analysiert.

Für die  $R_{DSon}$  Messung wurde die 5 V Versorgungsspannung zw. 4,5 V und 5,5 V, die 1,5 V Versorgungsspannung zw. 1,3 V und 1,6 V variiert und der Wert an fünf Temperaturpunkten ( $-40^{\circ}\text{C}$ ,  $25^{\circ}\text{C}$ ,  $85^{\circ}\text{C}$ ,  $125^{\circ}\text{C}$ ,  $150^{\circ}\text{C}$ ) aufgenommen. Gemessen wurde dieser bei einem typischen Stromfluss von 100 mA durch den DMOS. Die in Abbildung 6.7 ersichtliche Kurve basiert auf den Messwerten und weicht durch einen höheren Widerstandswert vom Simulationsergebnis ab. Der Grund für diese Abweichung sind die zusätzlichen Leitungswiderstände der Bonddrähte und des Testboards.

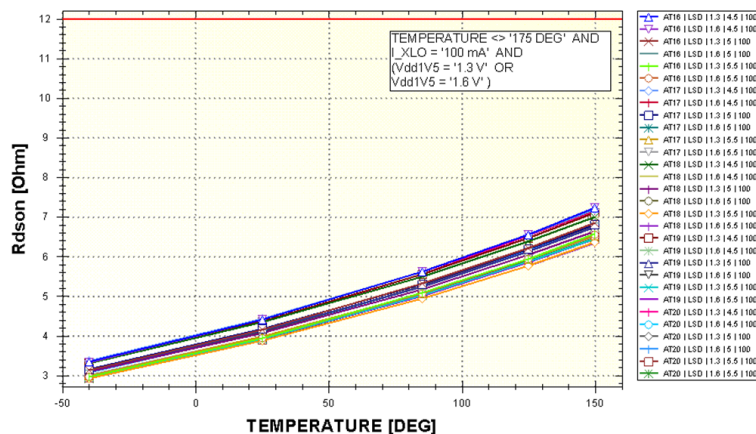


Abbildung 6.7: Charakterisierung  $R_{DSon}$  über Temperatur

Die Messung der Schaltzeiten erfolgte bei einer Spannung  $V_S$  von 13,5 V und einem Lastwiderstand von 1 k $\Omega$ . Die Schaltzeiten wurden gleich wie der  $R_{DSon}$  bei den Temperaturpunkten  $-40^{\circ}\text{C}$ ,  $25^{\circ}\text{C}$ ,  $85^{\circ}\text{C}$ ,  $125^{\circ}\text{C}$  und  $150^{\circ}\text{C}$  aufgenommen. Weiters wurde der Biasstrom für das Modul zwischen dem Idealwert von 10  $\mu\text{A}$  und einem Minimalwert von 8  $\mu\text{A}$  variiert. Das Ergebnis der Messungen ist in Abbildung 6.8 ersichtlich. Die Schaltzeiten liegen alle innerhalb der Spezifikation und stimmen auch mit dem Simulationsergebnis überein.

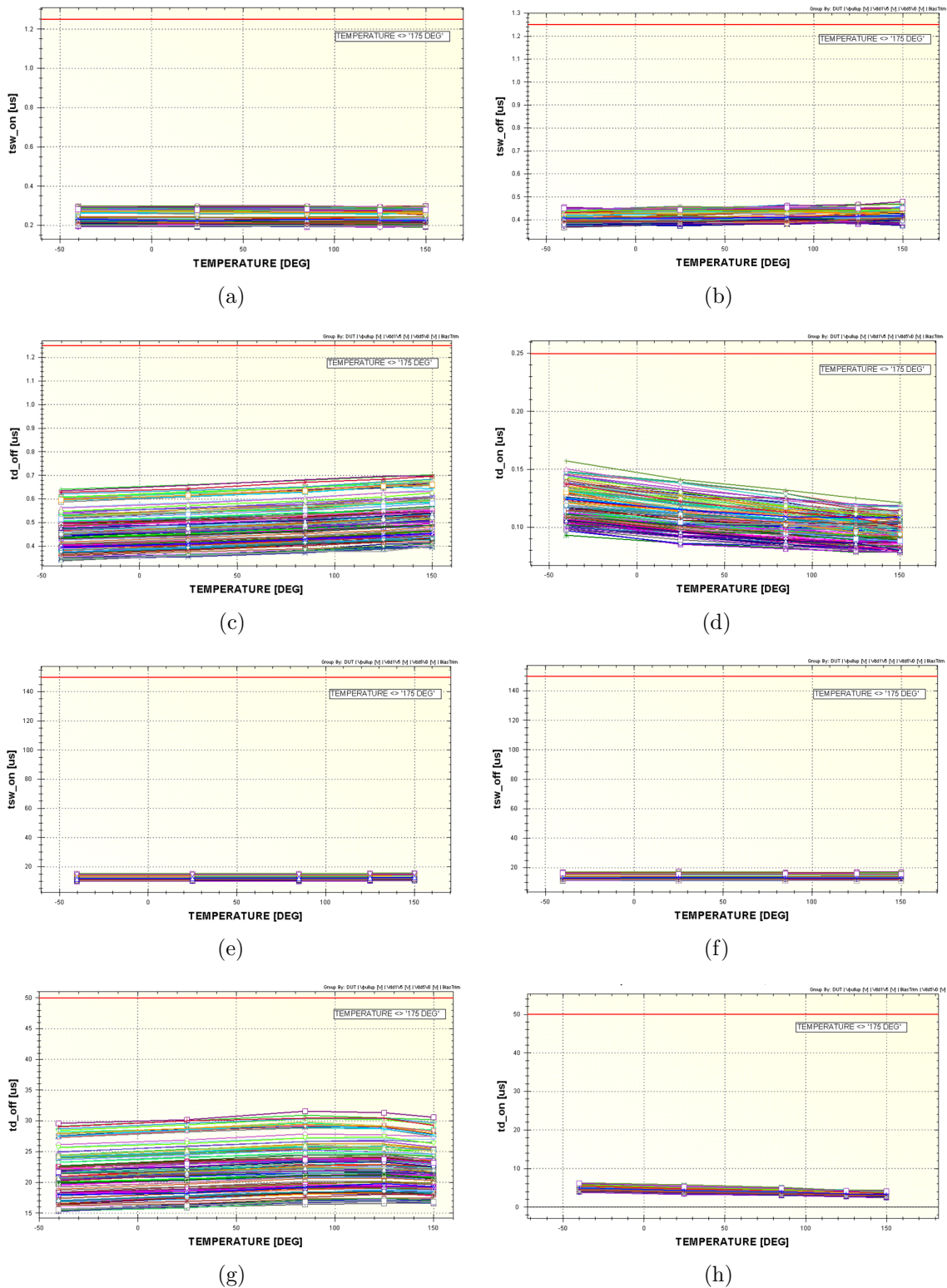


Abbildung 6.8: Schaltzeiten: **pwm:** a) fall time b) rise time c) delay off d) delay on  
**slow:** e) fall time f) rise time g) delay off h) delay on

Bei der Labormessung der Stromlimitierung (2-Punkt-Regelung) konnte ein Verhalten beobachtet werden, welches aus den Simulationsergebnissen nicht ersichtlich ist. Abbildung 6.9 zeigt das typische Verhalten, welches bei allen im Labor vermessenen Samples beobachtet werden konnte. Die erste Abweichung stellt ein anfangs ersichtliches Einschwingverhalten dar. Es lässt sich sehr gut erkennen, dass die ersten Ripple unter der voraussichtlichen Schaltschwelle liegen. Die zweite Abweichung stellt der untypische weitere Signalverlauf dar. Betrachtet man den im Kapitel 6.1 dargestellten Verlauf des Laststromes wird man feststellen, dass der Komparatorausgang pro  $\mu\text{s}$  fünf mal schaltet. Die zeitliche Auflösung in Abbildung 6.9 beträgt  $5 \mu\text{s}$ , somit müsste es in dieser Zeit zu 25 Schaltvorgängen kommen. Dies konnte bei den Labormessungen jedoch nicht beobachtet werden. Der sich einstellende peak-to-peak Wert liegt dadurch außerhalb der  $\pm 10 \%$  der Spezifikation.

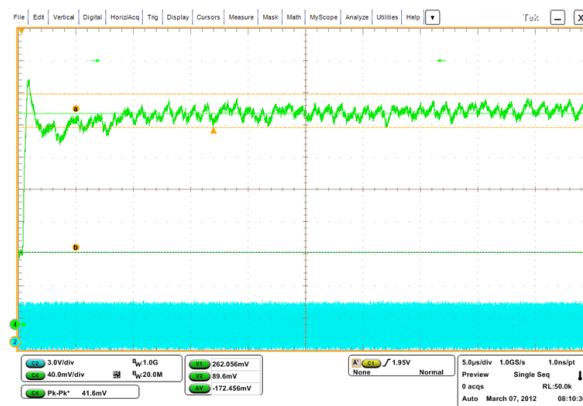


Abbildung 6.9: Stromverlauf während der Limitierung (2-Punkt, Labor)

Das Ergebnis der automatisierten Tests lieferte ein weitaus besseres Ergebnis. Abbildung 6.10 zeigt einen typischen Signalverlauf während aktiver Limitierung.



Abbildung 6.10: Stromverlauf während der Limitierung (2-Punkt, automatisiertes Testverfahren)

Auch bei der linearen Regelung konnte eine Abweichung der Labormessungen zu den Simulationsergebnissen beobachtet werden. Abbildung 6.11 zeigt die Messung des Limitierungsstromes im *pwm-mode* bei einer Spannung von 28 V am XLO Pin. Die Grüne Kurve repräsentiert hierbei den Limitierungsstrom. Nach Erreichen des Limitierungswertes beginnt der Strom mit nahezu konstanter Amplitude und Frequenz zu schwingen.

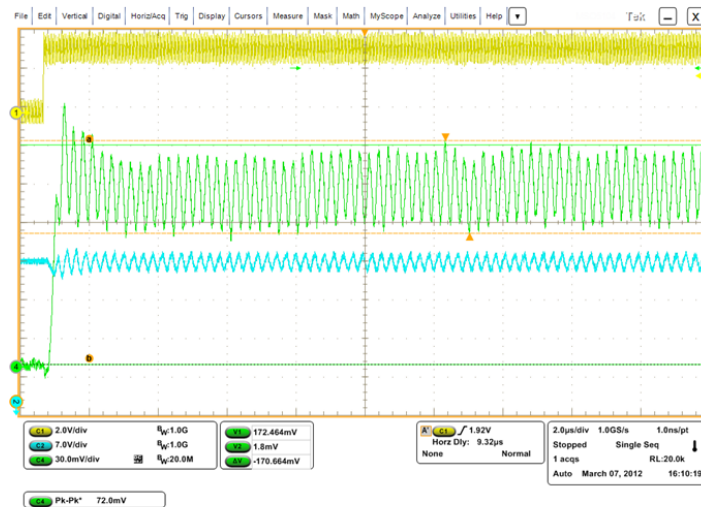


Abbildung 6.11: Stromverlauf während der Limitierung (lineare Regelung, pwm)

Im *slow-mode* weist der resultierende Limitierungsstrom ebenfalls ein von der Simulation abweichendes Verhalten auf.

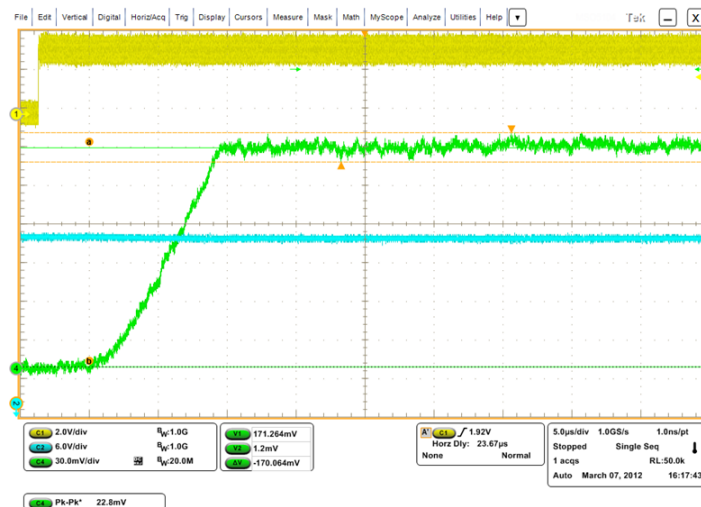


Abbildung 6.12: Stromverlauf während der Limitierung (lineare Regelung, slow)

Die am Tester vermessenen Samples weisen kein Schwingen auf und korrelieren wie auch bei der 2-Punkt-Regelung mit den aus der Simulation bekannten Kurven.

Zur Messung der Übertemperaturabschaltung wurde der LSS so lange in einen Kurzschluss (28 V) eingeschaltet bis der Temperatursensor ansprach. Je nach gewählten Modus konnte somit ein zyklisches Ein- und Ausschalten (*toggle-mode*, Abbildung 6.13) bzw. ein einmaliges Ausschalten (*shutdown-mode*, Abbildung 6.14) des LSS beobachtet werden.

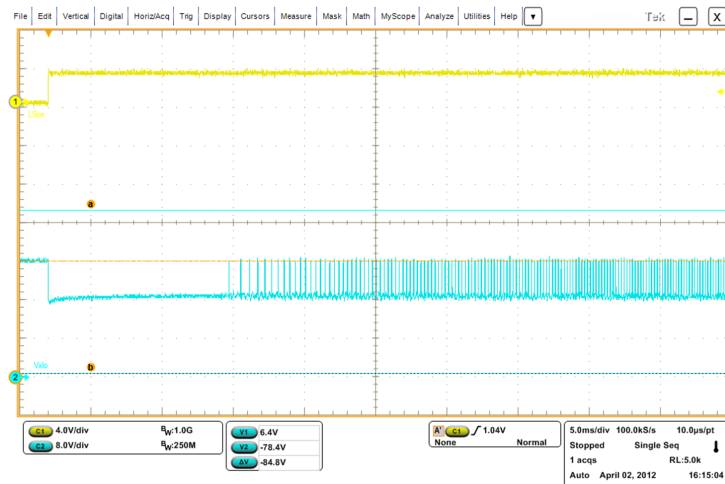


Abbildung 6.13: Übertemperaturverhalten *toggle-mode*

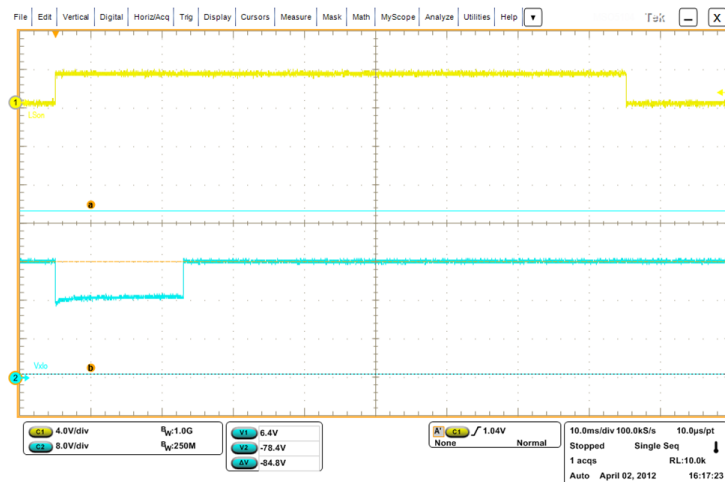


Abbildung 6.14: Übertemperaturverhalten *shutdown-mode*

Bei der Messung des integrierten Clampings konnten nach Ansprechen der Klemmstruktur sehr hohe Spannungsspitzen am XLO Pin festgestellt werden (Abbildung 6.15). Diese Spitzen sind auf das Mikroplasmarauschen der im Durchbruch betriebenen Zenerdioden zurückzuführen. Der für die Diodenkette gewählte Biasstrom um dieses zu unterdrücken, wurde in der Schaltung zu niedrig dimensioniert.

Die ESD-Festigkeit des Moduls wurde mittels TLP (Transmission Line Pulse) Messung untersucht. Hierbei wurde jeweils der XLO Pin gegen die Modulmasse positiv

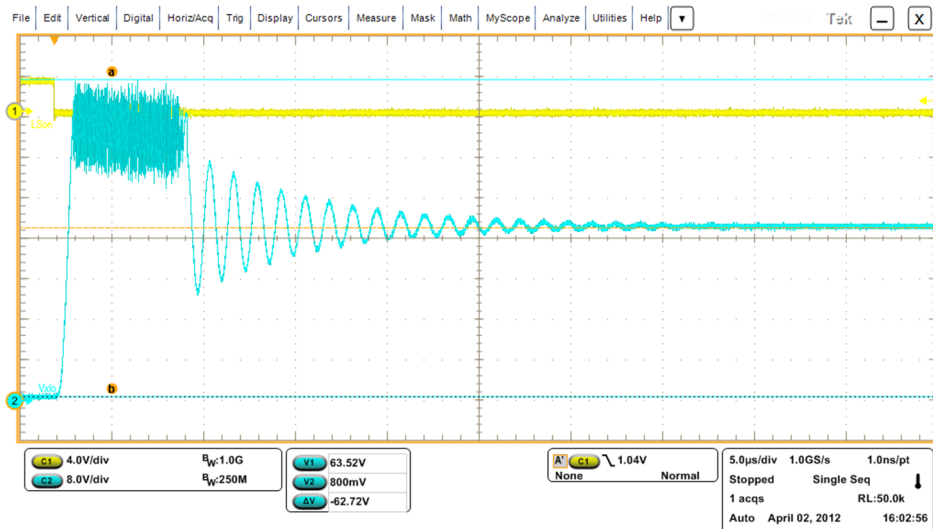


Abbildung 6.15: Spannungsspitzen am Ausgang, verursacht durch Zenerrauschen

und negativ gestresst. In Abbildung 6.16 ist die I/V Kurve des positiven Stresstests dargestellt.

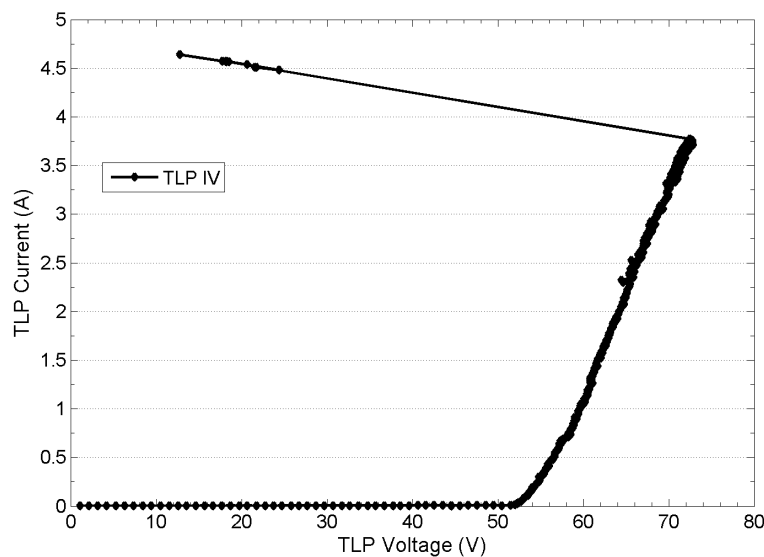


Abbildung 6.16: I/V Kurve TLP Messung

Bis zum Durchbruch (ca. 3,5 A) ist das Modul voll funktionsfähig und der Leistungs- transistor weist keinen erhöhten Leckstrom auf. Bezogen auf einen HBM Puls (0,66 A/kV) erreicht man hier eine Festigkeit von 5,3 kV.





## 7 Vergleich alt/neu

In diesem Kapitel soll das neu entwickelte Modul dem alten gegenübergestellt werden um so einen direkten Vergleich bezüglich der Fläche und Funktionalität zu erlangen. Beiden Modulen, alt und neu, liegen die gleichen Anforderungen zu Grunde. Der einzige Unterschied ist der Überstromschutz, der im neuen Modul in Form einer integrierte Stromlimitierung umgesetzt wurde. Das Vorgängermodul verfügt hier nur über eine Überstromerkennung. Die Interpretation des Signals sowie weitere Verarbeitungsschritte haben extern zu erfolgen.

Anschließend wird auf die Schaltungsblöcke Leistungstransistor, Gate-Treiber, Induktive Klemme, ESD und die Überstromerkennung bzw. Limitierung näher eingegangen.

### 7.1 Leistungstransistor

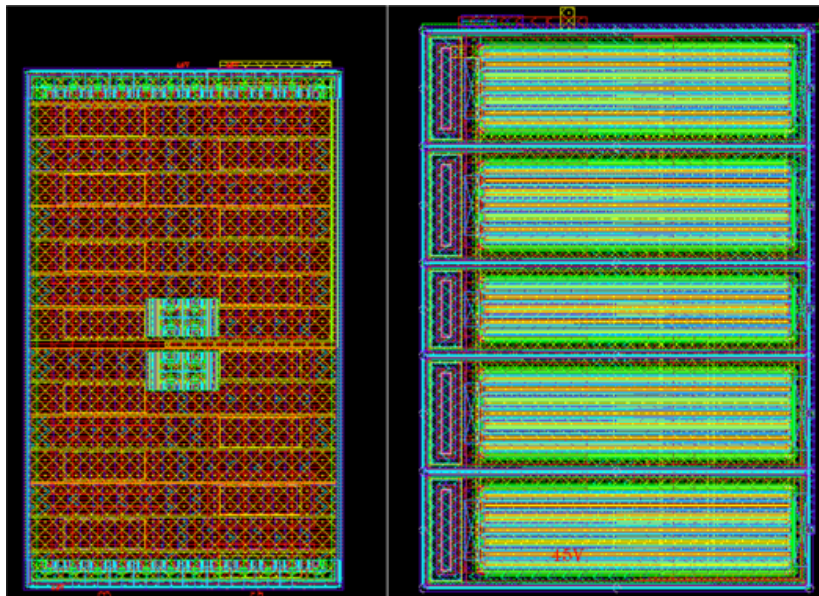


Abbildung 7.1: Vergleich DMOS neu vs alt

Der Leistungstransistor des Vorgängermoduls wurde aufgrund der Temperaturentwick-

lung während den Belastungsfällen *single* und *repetitive clamping* in 5 kleinere Transistoren aufgeteilt. Durch die zusätzlichen Randgebiete (Trenches) erhöht sich der resultierende Flächenbedarf.

Im neuen Modul wurde der DMOS mittels inaktiver Zellen realisiert. Der für die Stromlimitierung benötigte Sense Transistor wurde als Teil des Haupt-DMOS ausgeführt und mittig in dessen Fläche gesetzt. Durch die Verwendung inaktiver Zellen konnte eine effektivere Reduktion der Temperaturentwicklung erzielt werden.

## 7.2 Gate-Treiber

Der Aufbau des Gate-Treibers besteht in beiden Modulen aus den Blöcken slow/pwm-mode Stromquelle, local-biasing, Niedervolt-Schutzschaltung und Gate Lade-/Entlade-Schaltung. Der schaltungstechnische Aufbau dieser Blöcke unterscheidet sich jedoch voneinander.

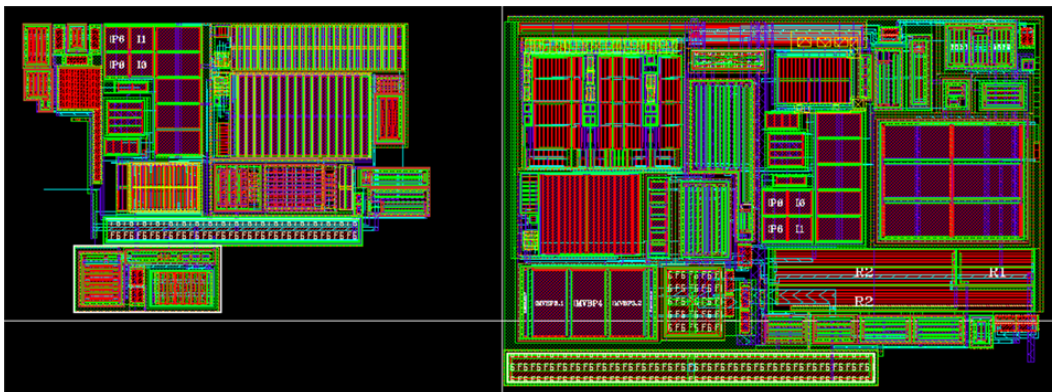


Abbildung 7.2: Vergleich Gate-Treiber neu vs alt

Im alten Modul (Abbildung 7.2 rechts) wurde für den pwm-mode eine Trimm-Möglichkeit implementiert. Weiters erfolgte der Niedervoltschutz nach einem anderen, flächenintensiveren Prinzip. Der PMOS Stromspiegel der Gate Lade-/Entlade-Schaltung besteht aus Mittelvolt-Transistoren, was ein schlechteres Matching und ebenfalls einen höheren Flächenaufwand mit sich bringt.

Durch das Verwenden eines höheren Lade- bzw. Entladestroms im pwm-mode konnte bei der Implementierung des neuen Moduls (Abbildung 7.2 links) die Trimm-schaltung weggelassen werden. Die Niedervoltschutzschaltung wurde neu überarbeitet und der PMOS Spiegel der Gate Lade-/Entlade-Schaltung wurde aus Niedervolt Transistoren mit Mittelvolt-Kaskoden aufgebaut.

## 7.3 induktive Klemmschaltung

Die induktive Klemme wurde in der alten Variante des Moduls (Abbildung 7.3 rechts) durch Verwenden einer 40 V Zenerdiode realisiert. Diese Diode benötigt zur Unterdrückung des Mikroplasma-Rauschens einen Biasstrom von 1 mA.

Die neuentwickelte Variante (Abbildung 7.3 links) besteht aus einer Zenerdioden-Kette, welche die Klemmspannung definiert. Diese Kette benötigt weniger Fläche als die 40 V Diode und der Biasstrom zur Rauschunterdrückung ist um den Faktor 5 kleiner, was in einem geringeren Flächenaufwand des Stromspiegels resultiert.

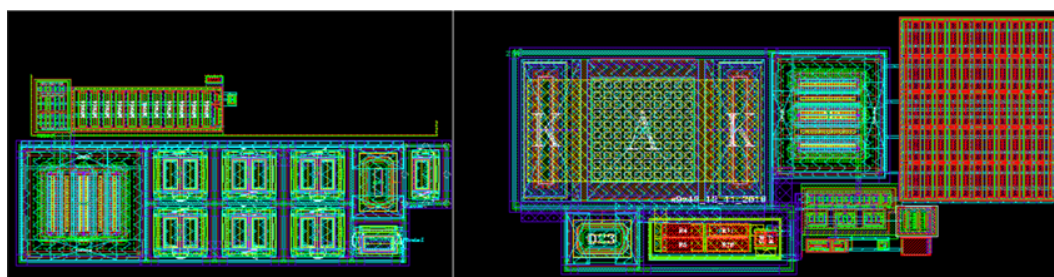


Abbildung 7.3: Vergleich induktive Klemmschaltung neu vs alt

## 7.4 ESD

Das alte Modul greift bei der Realisierung der ESD-Festigkeit auf die Verwendung einer 4 kV ESD Diode zurück (Abbildung 7.4 rechts).

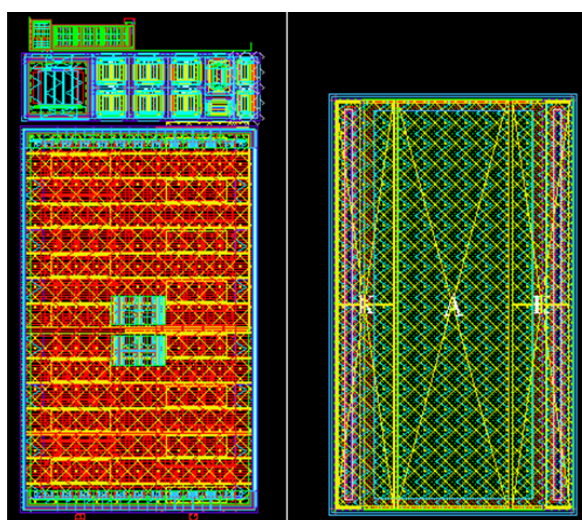


Abbildung 7.4: Vergleich ESD-Schutz neu vs alt

Durch Verwenden des *active clamping* Prinzips und Modifikation bereits bestehender Schaltungsteile kann unter geringem Flächenaufwand die ESD Diode eingespart werden. Abbildung 7.4 links zeigt den Leistungstransistor mit induktiver Klemmschaltung, welche im neuen Modul die Funktion des ESD Schutzes übernehmen.

## 7.5 Überstromlimitierung bzw. -erkennung

Das alte Modul verfügt über eine Überstromerkennung (Abbildung 7.5 rechts). Diese wird durch einen niederohmigen Messwiderstand im Hochstrompfad und einem differentiellen switched-capacitor Verstärker realisiert. Der eingesetzte Verstärker weist aufgrund der Anzahl an verwendeten Kondensatoren eine erhebliche Fläche auf.

Im neu entwickelten Modul wurde eine integrierte Überstromlimitierung (Abbildung 7.5 links) implementiert. Dies erfordert die Verwendung eines Sense Transistors und einer Referenzspannungserzeugung. Die gesamte Regelschleife weist in beiden Fällen der Rückregelung (2-Punkt-Regelung, lineare Regelung) trotz zusätzlicher Funktionalität eine weitaus geringere Fläche auf als der im alten Modul verwendete differentielle switched-capacitor Verstärker.

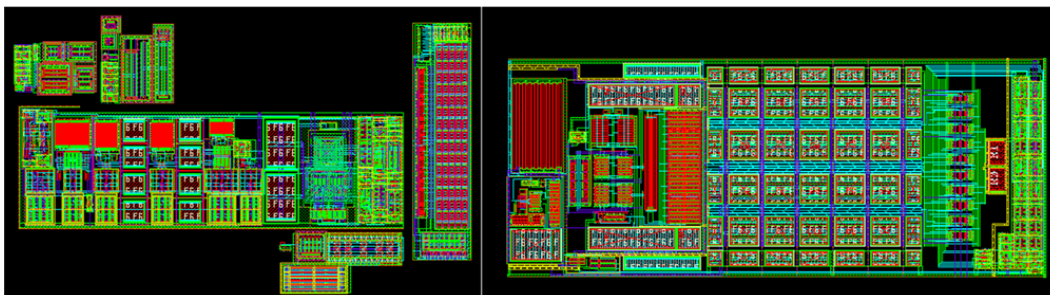


Abbildung 7.5: Vergleich Überstromlimitierung (neu) vs Überstromerkennung (alt)

## 7.6 Erzielte Flächenreduktion

Abbildung 7.6 stellt die beiden Varianten des neu entwickelten Moduls dem alten Modul gegenüber. Die Punkte A und B stellen die Varianten des neuen Moduls dar, wobei Punkt A der Variante mit 2-Punkt-Regelung und Punkt B der Variante mit linearer Regelung entspricht. Das alte Modul wird unter Punkt C dargestellt. Weiters wird in Abbildung 7.6 rechts eine 4 kV ESD Diode dargestellt.

Der Flächenaufwand des Vorgängermoduls beläuft sich mit Berücksichtigung der 4 kV ESD Diode auf  $0,113 \text{ mm}^2$ .

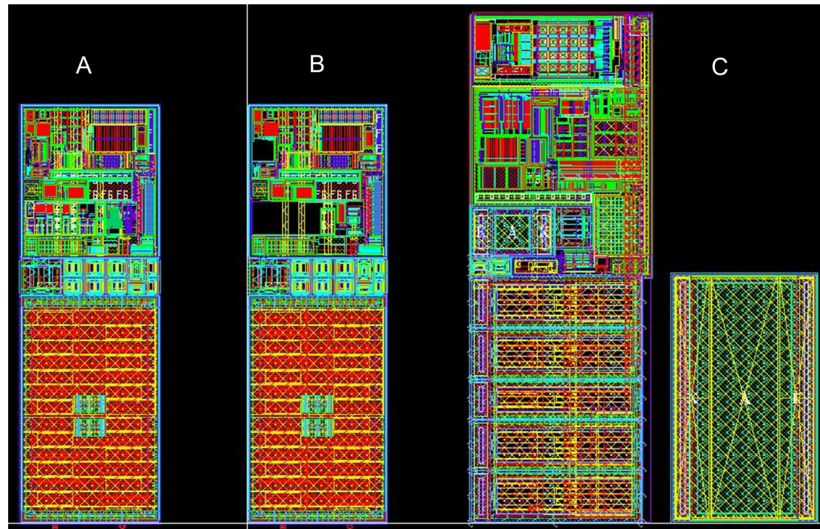


Abbildung 7.6: Vergleich LSS-Modul neu: (A) Variante 2-Punkt-Regelung, (B) Variante lineare Regelung vs alt (C)

Mit dem neu entwickelten Modul konnte eine Fläche von  $0,0525 \text{ mm}^2$  erreicht werden. Der Flächengewinn ergibt sich zu  $0,063 \text{ mm}^2$  was einer Reduktion von 53,4 % entspricht.

	Flächengewinn in %
ESD Konzept	29
DMOS	11
Gate-Treiber	7
induktive Klemmeschaltung	4
Stromlimitierung	2,5

Tabelle 7.1: Überblick Flächengewinn



## 8 Zusammenfassung

Diese Arbeit liefert eine detaillierte Einsicht über die Entwicklung eines flächenoptimierten LSS Moduls mit integrierter Überstromlimitierung für automotiv Anwendungen.

Die aus der Simulation gewonnenen Werte bezüglich der Schaltzeiten sowie des  $R_{DSon}$  erfüllen die vorgegebene Spezifikation. Die integrierte Induktive Klemme wird ab einer Spannung  $V_{XLO}$  von typischerweise 54,4 V aktiv. Durch die Möglichkeit eines Trimmings liegt die Genauigkeit der Stromlimitierung im Falle der 2-Punkt-Regelung bei  $\pm 6\%$ . Mit der Variante der Linearen-Regelung wird eine Genauigkeit von  $\pm 4,5\%$  erzielt.

Die Labormessungen zeigen einen etwas höheren  $R_{DSon}$  Wert als die Simulationsergebnisse was auf den Messaufbau zurückzuführen ist. Die gemessenen Schaltzeiten stimmen mit den simulierten Werten überein und erfüllen somit die Spezifikation. Nach Ansprechen der integrierten Klemmschaltung kommt es zu hohen Spitzen am XLO Pin, was auf das Mikroplasma-Rauschen der in Durchbruch betriebenen Zenerdioden zurückzuführen ist.

Der Stromverlauf während der Limitierung mittels 2-Punkt-Regelung ähnelt bei den im Labor vermessenen Bauteilen nicht dem Simulationsergebnis. Die mittels automatisierter Testmethode vermessenen Bauteile weisen einen Ripple von typ.  $\pm 4\%$  auf und erfüllen mit einer absoluten Genauigkeit von  $\pm 6,5\%$  die geforderte Spezifikation. Auch bei der Modulvariante mit linearer Regelung unterscheidet sich der Stromverlauf während der Limitierung bei den händisch vermessenen Bauteilen gegenüber dem Simulationsergebnis und der mittels Tester vermessenen Bauteile. Während im Labor nach Einschalten in einen Kurzschluss (*pwm-mode*) ein Schwingen mit konstanter Frequenz und Amplitude beobachtet wurde ergaben die Messungen mittels Tester eine Genauigkeit von  $\pm 5\%$ .

Die Trimmung des Limitierungswertes kann durch Setzen der 6 Trimm-Bits über einen Bereich von typischerweise 230 mA bis 470 mA variiert werden.

Mit der umgesetzten ESD Schutzschaltung erreicht das Modul eine HBM ESD-Festigkeit von 5,3 kV.

In nachfolgender Abbildung 8.1 sind die Layouts der beiden Varianten dargestellt. Die

große Fläche im unteren Teil des Layouts stellt den DMOS Transistor dar. In der Mitte dieser Fläche befindet sich der Sense Transistor, welcher für die Stromlimitierung benötigt wird. Direkt über dem DMOS befinden sich die induktive Klemmschaltung, welche auch zur Realisierung des ESD Schutzes verwendet wird. Darüber befindet sich der *switched-capacitor* Komparator bzw. der *folded-cascode* Verstärker mit Kompensationskapazität. Rechts daneben wurde die Referenzstromquelle mit integriertem Trimming platziert. In der linken oberen Ecke befindet sich noch die Übertemperatur- und Überstrom-Logik sowie der Gate-Treiber. Bei der Entwicklung des Layouts wurde zuerst die Variante der 2-Punkt-Regelung umgesetzt (Abbildung 8.1 links). Für die Variante der linearen Regelung (Abbildung 8.1 rechts) wurde dieses Layout adaptiert was aufgrund des kleineren Flächenaufwands zu leeren Stellen führte. Bei Verwendung der linearen Regelung und Optimierung des bestehenden Layouts kann der absolute Flächenaufwand im Bezug auf die erste Variante zusätzlich verringert werden.

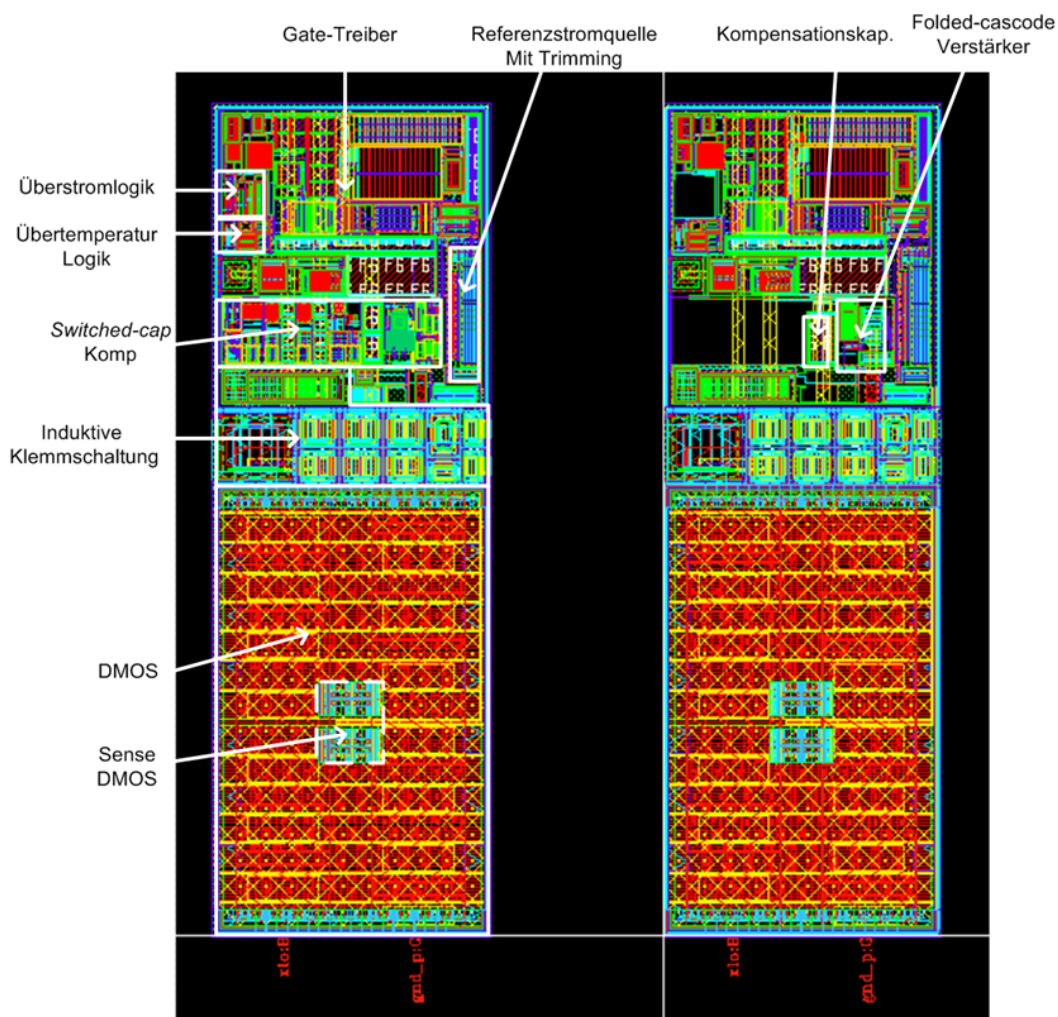


Abbildung 8.1: Layout LSS-Modul links: 2-Punkt-Regelung rechts: lineare Regelung

Vergleicht man den endgültigen Flächenaufwand mit der Fläche des alten Moduls kann-



---

te trotz der Implementierung einer zusätzlichen Funktionalität eine Reduktion der Gesamtfläche von 53,4 % erreicht werden.



## 9 Ausblick

Die durch Labormessungen entdeckten Schwachstellen des entwickelten Moduls werden näher untersucht und kommen nach einem Redesign-Schritt auf den nächsten Test-chip.

Die während dem *clamping* auftretenden Spannungsspitzen am XLO-Pin des Moduls können durch eine Verdoppelung des biasing der Zenerdioden-Kette eliminiert werden. Die Option einer Verdoppelung des *Biasing*-Stroms der Klemmschaltung wurde im ersten Designschritt bereits durch Bereitstellen eines zusätzlichen Stromspiegels im *local-biasing* berücksichtigt. Dieses Problem kann also durch ein einfaches *metal-redesign* gelöst werden.

Durch eine Optimierung des Layouts der Variante mit linearer Regelung kann der Flächenaufwand des Moduls weiter reduziert werden.



# Literaturverzeichnis

- [AA02] AJITH AMERASEKERA, Charvaka D.: *ESD in Silicon Integrated Circuits, 2nd Edition*. John Wiley Sons, Ltd, 2002. – ISBN 0471498718
- [Acr09] ACRES, Geoff: *Design Challenges in Safety-Critical Automotive Environments*. Infineon Technologies AG, 2009
- [AG] AG, Infineon T.: *Bridging Theory into Practice - Fundamentals of Power Semiconductors for Automotive Applications Second Edition (2)*
- [Aue10] AUER, Mario: *Analog Integrated Circuit Design and Simulation I/II, Skriptum*. Institut für Elektronik, TU Graz, 2010
- [Deu07a] DEUTSCHMANN, Bernd: *Charged Device Model CDM – An CDM ESD pulse simulation model for transient ESD analysis, Application Note*. Automotive Power EMC Center, Infineon Technologies AG, 2007
- [Deu07b] DEUTSCHMANN, Bernd: *Human Body Model HBM (100pF/1.5kΩ) – An HBM ESD pulse simulation model for transient ESD analysis, Application Note*. Automotive Power EMC Center, Infineon Technologies AG, 2007
- [Deu07c] DEUTSCHMANN, Bernd: *Machine Model MM (200pF/10Ω) – An MM ESD pulse simulation model for transient ESD analysis, Application Note*. Automotive Power EMC Center, Infineon Technologies AG, 2007
- [Far] FARENC, Charitat G. Dupuy P. Sicard T. Pages I. Rossel P. D.: Clamped Inductive Switching of LDMOST for Smart Power IC's. In: *Proceedings of 1998 International Symposium on Power Semiconductor Devices & ICs, Kyoto*
- [Gie99] GIETLER, Herbert: *Untersuchung von Strommeßkonzepten an integrierten Smart Power Schaltungen*. Österreich, FH Kärnten, Diplomarbeit, August 1999
- [Gla] GLAVANOVICS, Estl H. Bachofner A. M.: *Reliable Smart Power System ICs for Automotive and Industrial Applications – The Infineon Smart Multichannel Switch Family*.

- [Gra07] GRAF, Alfons: *General Requirements for Automotive Semiconductors Ref. 1.0*. Infineon Technologies AG, 2007
- [Hof06] HOFFMANN, Kurt: *Systemintegration*. 2. Auflage. Oldenbourg Verlag, 2006. – ISBN 3-486-57894-2
- [Hor] HORN, Singerl P. W.: Thermally Optimized Demagnetization of Inductive Loads. In: *Solid-State Circuits Conference, 2004. ESSCIRC 2004. Proceeding of the 30th European*
- [Hör09] HÖRMAIER, Klaus: *Automatisierter SOA-Stress und Degradations-Analysator für DMOS Silizium-Leistungstransistoren*. Österreich, TU Graz, Diplomarbeit, Juni 2009
- [Ill05] ILLNIG, Robert: *Messplatz für intelligente Leistungsschalter*. Deutschland, FH Dresden, Diplomarbeit, September 2005
- [Jak07] JAKOBER, Johannes: *Development of an Automated Test System for System-based Smart Power IC Tests*. Österreich, FH Technikum Kärnten, Diplomarbeit, Juni 2007
- [Jan10] JANSCHITZ, Johannes: *Konfigurierbare integrierte digitale Flankenregelung von externen und internen hochvoltfesten MOS-Transistoren in automobilen Applikationen*. Österreich, TU Graz, Diplomarbeit, März 2010
- [JOH97] JOHNS, Ken: David A. ; M. David A. ; MARTIN: *Analog Integrated Circuit Design*. John Wiley & Sons, Inc., 1997. – ISBN 0471144487
- [Kal11] KALT, Andreas: *Einfluss von Deep-Trench-Isolation auf Strom-Sense-Konzepte in lateralen DMOS-Transistoren*. Österreich, TU Graz, Diplomarbeit, März 2011
- [Kor00] KOREIMANN, Hannes: *Rechenzeiteffiziente Verhaltensmodellierung des SMART Power ICs TLE6240 in MAST*. Österreich, TU Graz, Diplomarbeit, April 2000
- [MIT] MITTER, C.S.: Active Inrush Current Limiting Using MOSFETs. In: *Motorola semiconductor Application Note 53*, Nr. AN1542
- [MS10] MARC STRASSER, Mathias S.: *SPT9 thermal DMOS limits guidelines for non-destructive designs: single and repetitive clamp events*. Infineon Technologies AG, 2010
- [Nav10] NAVEEN, Annam: *Characterization and Modeling of snapback ESD protec-*

- tions in Automotive technologies.* Österreich, FH Kärnten, Diplomarbeit, September 2010
- [Raz01] RAZAVI, B.: *Design of Analog CMOS Integrated Circuits*, ser. McGraw-Hill Series in Electrical and Computer Engineering. New York, USA: McGraw-Hill, 2001
- [San03] SANTER, Thomas: *Optimierte Übertemperatur-Schutzkonzepte für automotiv Smart Power ICs.* Österreich, FH Kärnten, Diplomarbeit, Juni 2003
- [San06] SANSEN, W.M.C.: *Analog design essentials.* Springer, 2006. – ISBN 0–387–25746–2
- [Wap07] WAPPIS, Herwig: *Auswirkungen und Einflüsse von automobilen Zuverlässigkeitsanforderungen auf analoge Schaltungskonzepte in hochvoltfähigen Deep–Sub–Micron Technologien.* Österreich, TU Graz, Diplomarbeit, September 2007
- [Zit07] ZITTA, Heinz: *smart power and high voltage, Skriptum.* Infineon Technologies, 2007

