

Diplomarbeit

DA 679

Einfluss von Deep-Trench-Isolation auf Strom-Sense-Konzepte in lateralen DMOS-Transistoren

zur Erlangung des akademischen Grades

Dipl.-Ing.

vorgelegt dem Institut für Elektronik
an der Technischen Universität Graz
(Leiter: Dipl.-Ing. Dr. Wolfgang Pribyl),
durchgeführt bei Infineon Technologies Austria AG, Villach

Andreas Christian Kalt

25. März 2011

Betreuer Infineon Technologies AG:

Dipl.-Ing. Herwig Wappis

Betreuer TU Graz:

Ass.Prof. Dipl.-Ing. Dr. Peter Söser

Einfluss von Deep-Trench-Isolation auf Strom-Sense-Konzepte in lateralen DMOS-Transistoren

Durch die fortschreitende Hochintegration werden neuartige flächenoptimierte Isolationskonzepte zur elektrischen Isolierung von Transistoren verwendet. Wurde dieser Schritt für reine CMOS-Technologien schon vor mehreren Jahren durch die Einführung einer sogenannten *Shallow-Trench-Isolation* gemacht, so ist die produktive Anwendung des Hochvolt-Pendants (*Deep-Trench-Isolation*) noch nicht so lange her. Dementsprechend sind auch die Auswirkungen auf die elektrischen und thermischen Eigenschaften von MOS-Transistoren, die von diesem mechanischen Eingriff in die kristalline Struktur von Silizium sehr groß sein können, noch weitgehend unbekannt.

Ziel dieser Arbeit ist es, anhand von Strom-Sense-Konzepten den Einfluss der vorliegenden *Deep-Trench-Isolation* auf das *Sense*-Verhältnis des Stromes in lateralen DMOS-Transistoren zu untersuchen. Strommessungen über *Sense*-Transistoren bieten sich insbesondere für Untersuchungen dieser Art an, da der proportionale Strom durch diverse Einflussfaktoren, wie zum Beispiel Temperaturgradienten, *Device-Matching*, mechanischen Stress, bestimmt wird. Die Untersuchungsergebnisse, die durch Messungen an Teststrukturen verifiziert werden sollen, sollen dann dazu verwendet werden, ein geeignetes Schaltungskonzept zu erarbeiten, das die Einflussfaktoren möglichst kompensiert.

Die Ergebnisse dieser Arbeit werden beispielsweise direkt in die Entwicklung von Schaltreglern fließen, die aufgrund von Effizienzanforderungen auf Strom-Sense-Konzepte angewiesen sind.

Influence of Deep-Trench-Insulation on current sense concepts in lateral DMOS transistors

Due to the advancing high integration of integrated circuits, new area optimized isolation concepts for the electrical isolation of transistors are being employed. Whereas this step was taken years ago for simple CMOS technologies, where it is referred to as “shallow trench isolation”, the introduction of the analog high voltage equivalent “deep trench isolation” is far more recent. As a consequence, the effects of this isolation technique on the thermal and electrical characteristics of MOS transistors are largely unknown. However, they are potentially significant due to the mechanical intervention in the crystalline structure of the silicon.

The goal of this diploma thesis is to investigate the influence of deep trench isolation on the current sense accuracy in lateral DMOS transistors. Current measurements of this type performed using sense transistors are particularly suitable for this investigation as the proportional current can be affected by various factors, such as temperature gradients, device matching and mechanical stress. The expected results of the investigation, verified by measurements performed on test structures, should be used to develop a circuit concept that successfully compensates for the influencing factors.

The outcomes of this thesis will be used in the development of switched mode power supplies, which require accurate current sense structures to be as efficient as possible.

EIDESSTÄTTLICHE ERKLÄRUNG

Ich erkläre an Eides statt, dass ich die vorliegende Arbeit selbstständig verfasst, andere als die angegebenen Quellen/Hilfsmittel nicht benutzt und die den benutzten Quellen wörtlich und inhaltlich entnommenen Stellen als solche kenntlich gemacht habe.

Graz, am

.....

(Unterschrift)

Englische Fassung:

STATUTORY DECLARATION

I declare that I have authored this thesis independently, that I have not used other than the declared sources / resources and that I have explicitly marked all material which has been quoted either literally or by content from the used sources.

.....
date

.....
(signature)

Danksagungen

Dieses Kapitel ist all denen gewidmet, die zum Erfolg der Diplomarbeit beigetragen, und mich während der gesamten Arbeitszeit tatkräftig unterstützt haben.

Anmerkend sei erwähnt, dass die in den Händen liegende Arbeit, im Laufe meiner Tätigkeit als Diplomand bei Infineon Technologies Austria AG in Villach entstanden ist.

Besonderen Dank möchte ich folgenden Personen aussprechen:

Herwig, meinem Betreuer seitens der Firma, der trotz seines jungen Alters bereits über ein fundiertes Fachwissen verfügt und mich jederzeit großartig unterstützt hat. Sehr interessant und lehrreich für mich waren die Exkurse bei unseren Gesprächen, in denen mir Herwig die *"Links"* zu realen Applikationen erklärte.

Herrn Doktor Peter Söser vom Elektronikinstitut der TU Graz, für seine allzeit unkomplizierte Betreuung und die Unterstützung bei der Korrektur der Arbeit.

Hubert, für deine wertvollen *"Inputs"* in feinstem *"Kärntnerisch"* bei technologischen Fragen.

Stefan, Andi, David und Johannes, vertretend für alle Kollegen der Dienststelle genannt. Danke an euch für das angenehme Arbeitsklima und die bestmögliche Hilfe bei Fragen meinerseits.

Linda für das *"Level-Upgrade"* der englischsprachigen Passagen der Arbeit.

Abschließend danke ich meinen Eltern und Großeltern, für die großartige Unterstützung in meinem bisherigen Lebensweg, seit der ersten Stunde an. Ohne euch würde ich nicht an jener Stelle stehen, an der ich heute angelangt bin.

Inhaltsverzeichnis

Inhaltsverzeichnis	VII
Abbildungsverzeichnis	IX
Tabellenverzeichnis	XI
Abkürzungsverzeichnis	XIII
Formelzeichen und Symbole	XV
1 Einleitung	1
1.1 Motivation	1
1.2 Beispiele	2
1.2.1 Effizienzsteigerung	2
1.2.2 Kundenanforderungen	5
1.2.3 Flächeneinsparung (Überlast-Schutz in linearen Spannungsreglern, Schaltern)	6
1.3 Stresssituationen	7
1.3.1 Regelung	7
1.3.2 Kurzschluss	8
1.3.3 Überlast im eingeschwungenen Zustand (DC)	9
1.4 Deep-Trench-Isolation (DTI)	12
1.5 DMOS	13
1.5.1 n-Kanal DMOS	14
1.5.2 p-Kanal DMOS	15
2 Teststrukturen, Simulationen und Messungen	17
2.1 Teststrukturen	17
2.1.1 nLDMOS	18
2.1.2 pLDMOS	20
2.2 Elektro-thermische Simulationen	23
2.3 Labormessungen	23
2.3.1 Messungen im Ron-Bereich	25
2.3.2 Messungen im Sättigungsbereich	35
2.3.3 Messungen im Zeitbereich	38

3	Elektro-mechanischer Stress	41
3.1	Grundlagen	41
3.1.1	Betrachtungen auf Atomebene	41
3.1.2	Ausdehnung von Materialien	42
3.1.3	Mechanischer Stress	43
3.2	Piezo-MOS-Effekt / STI-Stress	44
3.3	DTI-Stress	47
4	Elektro-thermisches Verhalten	51
4.1	Temperatureffekte in MOS-Transistoren	51
4.1.1	Schwellspannung	51
4.1.2	Mobilität der Ladungsträger	52
4.2	Thermodynamische Betrachtungen	52
4.2.1	Verhalten der Teststrukturen	57
5	Schaltungskonzepte	63
5.1	Diskussion unterschiedlicher Konzepte	64
5.1.1	Messung im Hochstrompfad	64
5.1.2	Messung über <i>Sense</i> -Transistoren	65
5.1.3	Eliminieren der Bauteil-Absolutwerte	67
5.1.4	Digital einstellbarer Referenzstrom zum Vergleich	68
5.1.5	Kompensation des Fehlers aufgrund der Source-Gegenkopplung	69
5.1.6	Strommessung in <i>Highside-Switch</i> -Anwendungen	70
5.1.7	Strommessung in <i>Lowside-Switch</i> -Anwendungen	73
5.1.8	Strommessung ohne <i>Shunt</i> -Widerstände	74
6	Zusammenfassung und Ausblick	77
6.1	Kapitelübersicht	77
6.2	Ergebnisse der Arbeit	78
6.3	Ausblick	80
A	Anhang	81
A.1	Schematics & Layouts	81
	Literaturverzeichnis	87

Abbildungsverzeichnis

1.1	Eine Möglichkeit der Strommessung zur Überstromdetektion	2
1.2	Schaltverluste am Beispiel eines <i>Buck-Konverters</i>	4
1.3	Prinzipschaltbild der Stromregelung	6
1.4	Flächenbedarf Analog- und Digitalteil	6
1.5	Bedeutung der <i>Sense</i> -Genauigkeit	7
1.6	Zündpuls in Airbag Applikationen	8
1.7	Kurzschlussstyp 1 und Kurzschlussstyp 2	9
1.8	Prinzip der Stromfilamentierung	10
1.9	Zusammenhang Stromverstärkung-Kollektorstrom-Temperatur	11
1.10	Isolationsarten	12
1.11	Schnittbild DTI	12
1.12	Schnittbild nLDMOS	13
1.13	nLDMOS	14
1.14	pLDMOS	15
2.1	Beispiel einer <i>Sense</i> -Zelle in horizontaler und in vertikaler Anordnung (nLDMOS)	19
2.2	<i>Sense</i> -Zelle in eigenem <i>Trench</i>	19
2.3	Mikroskopbild nLDMOS	19
2.4	Beispiel einer <i>Sense</i> -Zelle in horizontaler Anordnung und in vertikaler Anordnung (pLDMOS)	21
2.5	<i>Sense</i> -Zelle in eigenem <i>Trench</i>	21
2.6	Mikroskopbild pLDMOS	21
2.7	Teststruktur auf dem Testwafer	22
2.8	Bulk-Source Diodenkennlinie	22
2.9	Eltic: grafische Benutzeroberfläche	24
2.10	Ursprüngliches <i>Sense</i> -Konzept (Beispiel für nLDMOS)	25
2.11	Prinzipschaltbild der Labormessungen im Ron-Bereich (nLDMOS & pLDMOS)	26
2.12	Verlauf vom RDSon (nLDMOS)	27
2.13	Verlauf des <i>Sense</i> -Verhältnisses über den Strom (nLDMOS)	28
2.14	Ungenauigkeiten in der Kanalweite	30
2.15	Randzelleneffekte	32
2.16	Verlauf des <i>Sense</i> -Verhältnisses über den Strom (pLDMOS)	34
2.17	Verlauf des <i>Sense</i> -Verhältnisses über den Strom (nLDMOS)	35

2.18	Prinzipschaltbild der Labormessungen im Sättigungsbereich (nLDMOS & pLDMOS)	36
2.19	Temperaturstabiler Arbeitspunkt	37
2.20	Verlauf des <i>Sense</i> -Verhältnisses über den Strom (pLDMOS)	37
2.21	Prinzipschaltbild der Labormessungen im Zeitbereich (nLDMOS & pLDMOS)	38
2.22	Impedanzverlauf in Abhängigkeit der Frequenz beim Kondensator	39
2.23	Transientes Verhalten (nLDMOS)	40
3.1	Kristallgitterstruktur bei n-Leitung	42
3.2	Kristallgitterstruktur bei p-Leitung	42
3.3	Gliederung der Stresskomponenten	43
3.4	Stresseinwirkungen mit dem Verlauf der Stresskomponente	45
3.5	Einfluss von STI-Stress beim NMOS	46
3.6	Einfluss von STI-Stress beim PMOS	46
3.7	Distanz vom Kanal zur DTI	47
3.8	ELTIC-Simulation der nLDMOS- & pLDMOS-Oberfläche	48
3.9	Verhalten der <i>Trenches</i> im Ron (nLDMOS & pLDMOS)	49
3.10	Verhalten der <i>Trenches</i> in der Sättigung (nLDMOS & pLDMOS)	50
4.1	Aufbau der DTI und Verlauf der Wärmeausbreitung	53
4.2	DTI-Abmessungen und dazugehöriges thermisches Ersatzschaltbild	55
4.3	Zeitliches Verhalten bei Lastsprüngen (nLDMOS)	58
4.4	Einschwingverhalten (nLDMOS)	59
4.5	Elektro-thermische Simulation (nLDMOS)	59
4.6	Zeitliche Verzögerung aufgrund des <i>Trenches</i> (nLDMOS)	60
4.7	3D-Temperaturverlauf (nLDMOS)	61
4.8	Aufheizverhalten (nLDMOS)	62
5.1	Messung im Hochstrompfad	64
5.2	Messung über einen <i>Sense</i> -Transistor	66
5.3	<i>Sense</i> -Konzept ohne Bauteil-Absolutwerte	67
5.4	Digital einstellbarer Referenzstrom zum Vergleich	69
5.5	Kompensation des Fehlers aufgrund der Source-Gegenkopplung	69
5.6	Strommessung in <i>Highside-Switch</i> -Anwendungen	71
5.7	Optimierung hinsichtlich des Offset-Verhaltens	72
5.8	Optimierung hinsichtlich der <i>Chargepump</i> -Größe	72
5.9	Strommessung in <i>Lowside-Switch</i> -Anwendungen	73
5.10	Messung im Sourcepfad	74
5.11	Messung im Drainpfad	75
A.1	Schematic (nLDMOS)	82
A.2	Schematic (pLDMOS)	83
A.3	Layout (nLDMOS)	84
A.4	Layout (pLDMOS)	85

Tabellenverzeichnis

2.1	Vergleich der Strukturen im Ron (nLDMOS)	29
2.2	Vergleich der Strukturen im Ron (pLDMOS)	33
3.1	Längenausdehnungskoeffizient α	43
4.1	Wärmeleitfähigkeit λ	53

Abkürzungsverzeichnis

BJT Bipolartransistor; Bipolar Junction Transistor, 10

CMP Chemical Mechanical Polishing, 44

DAC Digital/Analog Converter/Umsetzer, 68

DMOS Leistungstransistor; Double-diffused MOS Transistor, 1, 77

DRAM Dynamischer RAM; Dynamic Random Access Memory, 12

DSM Deep-Sub-Micron, 80

DTI Grabenisolierung; Deep-Trench-Isolation, 11, 77, 78

EMV Elektromagnetische Verträglichkeit, 73

ESR Äquivalenter Serienwiderstand; Equivalent Series Resistance, 3

LVR Linearer Spannungsregler; Linear Voltage Regulator, 2

MPW Multi Project Wafer, 17

nLDMOS n-Kanal DMOS, 2

nMOST n-Kanal MOS-FET, 73

OPA Operationsverstärker; Operational Amplifier, 67, 70

PCB Leiterplatte; Printed Circuit Board, 23

pLDMOS p-Kanal DMOS, 2

pMOST p-Kanal MOS-FET, [70](#)

SC Geschaltene Kapazitäten; Switched Capacitors, [79](#)

SNR Signal-Rausch-Abstand; Signal to Noise Ratio, [69](#)

SPT Smart-Power-Technologie; Smart-Power-Technology, [6](#)

STI Shallow Trench Isolation, [78](#)

Formelzeichen und Symbole

Symbol ¹	Erklärung	Einheit
a	Temperaturleitfähigkeit	$\frac{m^2}{s}$
A	Fläche	m^2
B	Stromverstärkung von Bipolartransistoren	
c	spezifische Wärmekapazität	$\frac{J}{kg \cdot K}$
C'_{ox}	Oxidkapazität pro Fläche	$\frac{F}{m^2}$
C_L	Lastkapazität	F
F	Kraft	N
f_{rel}	relativer Fehler	
I_B	Basis-Strom	A
I_C	Kollektor-Strom	A
I_D	Drain-Strom	A
K	Sense-Verhältnis	
L	Kanallänge	m
l	Länge	m
m	Masse	kg

¹Die verwendeten Konstanten und Symbole wurden an die als sinnvoll befundene Notation von Univ.-Prof. Dr.-Ing. Kurt Hoffmann [Hof06] angepasst

Symbol ¹	Erklärung	Einheit
q	Elementarladung	As
\vec{q}	Wärmestromdichte	$\frac{W}{m^2}$
\dot{Q}	Wärmestrom	W
R_{on}	Widerstand eines eingeschalteten MOST	Ω
R_{th}	Wärmewiderstand	$\frac{K}{W}$
s	Weglänge	m
t	Zeit	s
T	Temperatur	$K, (^\circ C)$
U_B	Batteriespannung	V
$U_{B_{np}}$	Durchbruchspannung eines pn-Übergangs (Sperrr.)	V
U_{dd}	positive Versorgungsspannung	V
U_{DS}	Drain-Source-Spannung	V
$U_{DS,sat}$	Drain-Source-Sättigungsspannung	V
U_{GO}	Overdrive-Spannung	V
U_{GS}	Gate-Source-Spannung	V
U_{pn}	Spannung am pn-Übergang	V
U_{t_n}	Einsatzspannung eines n-Kanal MOST	V
U_{t_p}	Einsatzspannung eines p-Kanal MOST	V
W	Kanalweite	m
α	Längenausdehnungskoeffizient	$\frac{1}{K}$
α_t	Temperaturkoeffizient der Einsatzspannung	
β_n	Transistorverstärkungsfaktor n-Kanal	$\frac{A}{V^2}$
β_T	Temperaturexponent der Mobilität	
λ	Kanallängenmodulationsfaktor	$\frac{1}{V}$
λ	Wärmeleitfähigkeit	$\frac{W}{m \cdot K}$
μ	Ladungsträgermobilität	$\frac{cm^2}{Vs}$
ρ	Dichte	$\frac{kg}{m^3}$
σ	Stresstensor	
τ	mittlere Stoßzeit	s

Allgemeine Bezeichnungen¹

ϕ ... Spannungen im Halbleiter, durch physikalische Konstanten gegeben [V]

U ... Spannungen, außen sichtbar [V]

I ... Ströme [A]

E ... elektrische Feldstärken [$\frac{V}{m}$]

W ... Energien

Q ... Ladungen

C ... Kapazitäten

P ... Leistungen

Physikalische Konstanten¹

Konstante	Bedeutung	Zahlenwert
k	Boltzmann-Konstante	$1,38 \cdot 10^{-23} \frac{W_s}{K}$
q	Elementarladung	$1,602 \cdot 10^{-19} As$

Kennwerte von Halbleitern bei Raumtemperatur (300K)¹

Bezeichnung	Si	Einheit
Mobilität der Elektronen μ_n	1450	$\frac{cm^2}{Vs}$
Mobilität der Löcher μ_p	450	$\frac{cm^2}{Vs}$

1 Einleitung

1.1 Motivation

Ziel und gleichzeitig Motivation dieser Diplomarbeit ist es Strom-Sense-Konzepte für laterale Leistungstransistoren (**DMOS**) zu finden, die unter Berücksichtigung von diversen physikalischen Effekten möglichst genaue Ergebnisse liefern. Die im Laufe der Arbeit erarbeiteten Resultate sollen dem Schaltungsdesigner, aber auch in weiterer Instanz dem Layouter helfen, das bestmögliche Konzept schnell und sicher anzuwenden. Tieferreichende Untersuchungen dieser Thematik haben bis dato noch nicht stattgefunden, obwohl diese essentiell für die Performance diverser Schaltungen ist. Für die Genauigkeit und somit Erfüllung der Spezifikation ausschlaggebend waren bisher vor allem Erfahrung und gute Technologiekenntnisse der Designer und Layouter. In den meisten Fällen mussten Schaltungskonzepte im Rahmen von Testchips auf ihr reales Verhalten hin überprüft werden. Dies verlangsamte den Entwicklungsprozess und bedeutete damit Mehrkosten.

Die im Folgenden angeführten Punkte sind ausschlaggebend, warum bei der Wahl der *Sense*-Konzepte besonders Acht gegeben werden muss:

- Effizienzsteigerung (z.B.: Schaltregler)
- Kundenanforderungen (z.B.: an Sensor-Interfaces und Stromregler)
- Flächeneinsparung (z.B.: Überlast-Schutz in linearen Spannungsreglern)

Die Thematik der Effizienz und damit der Kosten ist auch im Bereich der integrierten Schaltungen das wesentlichste Element um wettbewerbsfähig zu bleiben. Obwohl der Stromverbrauch in diesen im Vergleich zu Schaltungen auf Systemebene meist sehr gering ist, wird neben innovativen Funktionen immer mehr auf niedrigen Stromverbrauch Wert gelegt. Denn die Anzahl der ICs in den Fahrzeugen ist ständig im Wachstum begriffen und helfen damit die Sicherheit, den Komfort aber auch die Umweltverträglichkeit weiter zu steigern. Gerade deshalb ist die Optimierung der (Leistungs-) *Performance* jedes einzelnen Bauteils essentiell.

1.2 Beispiele

1.2.1 Effizienzsteigerung

Schaltregler, auch DC/DC-Konverter mit den Realisierungen als *Buck*, *Boost* oder *Buck-Boost* genannt, sind heutzutage eine unverzichtbare Variante Gleichspannungen umzusetzen. Der treibende Faktor für die Entwicklung dieser waren Anforderungen an die Effizienz und damit die Wirtschaftlichkeit. Lineare Spannungsregler (*LVR*) weisen im Vergleich zu Schaltreglern einen geringen Wirkungsgrad auf, da die Differenzspannung (*dropout voltage*) zwischen Eingang und Ausgang, die der Regler zum Arbeiten benötigt, lediglich in Wärme umgewandelt wird. Das Wärmeproblem bringt die fortschreitende Verkleinerung der Gehäuse mit sich, welche die Wärmeabgabe der Leistungsbau- teile an die Umwelt zunehmend erschwert. Mit *LVRs* ist deshalb nur ein relativ kleiner Wirkungsgrad von max. 50 % zu erreichen. Mit getakteten Reglern ist eine Steigerung des Wirkungsgrades auf über 90 % (theoretisch 100 %) möglich.

Das Prinzipschaltbild eines *Buck*-Konverters (Abwärtswandler) sei in Abbildung 1.1 angeführt.

Der *Highside-Switch* wird durch einen p-Kanal DMOS (*pLDMOS*) und der *Lowside-Switch* durch einen n-Kanal DMOS (*nLDMOS*) realisiert. Anstatt des nLDMOS würde der Einsatz einer simplen Diode ausreichen, jedoch wäre der Wirkungsgrad aufgrund der Verlustleistung in der Diode geringer. Die komplementäre Ansteuerung der Transistoren erfolgt mittels Gate-Treibern, angesteuert mit einem Regler. Der Regelalgorithmus kann dabei analog oder digital sein. Mit zuschreitender Miniaturisierung werden immer mehr digitale Algorithmen eingesetzt, da beispielsweise eine Änderung der Regelparameter unkompliziert erfolgen kann. Auch der Flächenbedarf sinkt deutlich (*Shrink*-Faktor).

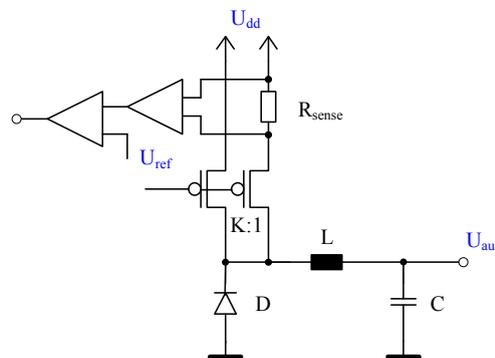


Abbildung 1.1: Eine Möglichkeit der Strommessung zur Überstromdetektion

Bei Schaltreglern ist die Strommessung für die prinzipielle Funktion nicht erforderlich, da der Ausgangsstrom bzw. die Ausgangsspannung als Stellgröße für den Regler dient. Dennoch wird der Strom mittels eines Sensepfades gemessen. Der Grund ist dabei folgender: Induktivitäten und Kapazitäten sind aufgrund ihrer Größe schwer integrierbar, deshalb werden sie außerhalb des ICs auf der Platine als diskrete Bauteile ausgeführt. Diese Tatsache macht das Herausführen von internen Schaltungsknoten an externe Pins notwendig. Im Fehlerfall kann an diesen Pins ein Kurzschluss gegen die Versorgungsspannung oder Masse auftreten. Ein großer Strom und damit in erster Instanz die Erwärmung des Bauteils wäre die Folge. Ein zu lange andauernder Kurzschluss würde die Zerstörung des Bauteils bedeuten. Die automotiven Standards verlangen deshalb geeignete Schutzmaßnahmen. Eine vorgeschriebene Variante ist die Überstromabschaltung (*Overcurrent-Protection*). Fließt ein unerwartet hoher Strom für eine zu lange Zeit, wird dieser detektiert und führt zur Abschaltung des Devices. Die Schwierigkeit dabei ist, dass der Kurzschluss nicht in jedem Fall niederohmig (Strom ist maximal) sein muss. Hochohmige Kurzschlüsse haben kleinere Ströme zur Folge.

Vor- und Nachteile der Struktur in Abbildung 1.1:

Vorteile:

- Beinahe verlustlose Messung des Stroms aufgrund des großen Verhältnisses zwischen Zellenanzahl von Haupttransistor und *Sense*-Transistor (typisch: $100 \leq K \leq 10000$)
- Es wird kein *Sense*-Widerstand im Hochstrompfad benötigt

Nachteile:

- Schlechtes *Matching* bei großen *Sense*-Verhältnissen
- Systematischer Fehler aufgrund der *Sense*-Spannung

Die entstehenden Verluste teilen sich dabei in statische und dynamische Verluste (Schaltverluste) auf.

Statische Verluste

Die statischen Verluste werden durch die ohmschen Elemente in der Schaltung bestimmt. Diese setzen sich aus folgenden Komponenten zusammen: Widerstand der Leitungen zwischen den Bauteilen, Widerstand der Bonddrähte und Pins, äquivalenter Serienwiderstand (**ESR**) von Kapazitäten, resistiver Anteil vom Blindwiderstand der Induktivitäten und der R_{ON} der Transistoren.

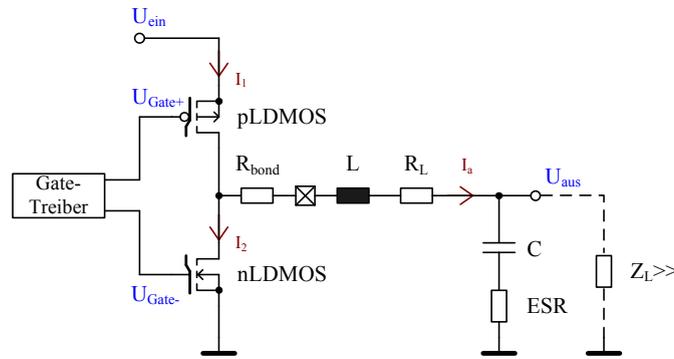


Abbildung 1.2: Schaltverluste am Beispiel eines *Buck-Konverters*

Da die resistiven Elemente fester Bestandteil einer Schaltung sind und den Wirkungsgrad negativ beeinflussen ist es notwendig ein Strom-Sense-Konzept auszuwählen, welches die Beeinflussung so niedrig wie möglich hält.

Berechnung der stat. Verlustleistung:

$$P_{stat} = \underbrace{I_1^2 \cdot R_{ONp}}_{P_1} + \underbrace{I_a^2 \cdot (R_{bond} + R_L)}_{P_2} + \underbrace{U_{DSn} \cdot I_2}_{P_3} + \underbrace{I_a^2 \cdot R_{ESR}}_{P_4} \quad (1.1)$$

Die Formel für die Berechnung der Leistung setzt sich aus vier Einzeltermen zusammen. Der erste Term P_1 entsteht durch die Verlustleistung im pLDMOS. P_2 ist die im Bonddraht R_{bond} und im parasitären Widerstand R_L der Induktivität L umgesetzte Leistung. Die Drain-Source-Spannung U_{DSn} verursacht gemeinsam mit dem Strom I_2 den dritten Term P_3 der gesamten statischen Verlustleistung. Schlussendlich kommt mit dem ESR der Kapazität C der vierte Teil dazu.

Dynamische Verluste

Die dynamischen Verluste sind frequenzabhängig und entstehen durch das Schalten der Transistoren. Beispielsweise sind Umladeverluste der Gates und Verluste durch parasitäre Elemente wie Induktivitäten und Kapazitäten darin inkludiert.

1.2.2 Kundenanforderungen

Ausschlaggebend für den Start eines neuen Projektes ist in vielen Fällen ein Kundenauftrag. Dabei wird die Entwicklung einer integrierten Schaltung in Auftrag gegeben, welche eine bestimmte Funktion erfüllen soll. Die Genauigkeit und damit der Aufwand für die Konstruktion der Schaltung, wird also durch Kundenanforderungen bestimmt. Das Verhalten und die Grenzwerte nach außen hin werden gemeinsam mit dem Kunden in der Spezifikation vereinbart. Die Umsetzung der geforderten Funktionen sind jedoch meistens der entwickelnden Firma überlassen und basiert auf deren Know-How. Gerade im automotiven Bereich sind die Grenzwerte besonders eng geschnürt, um unter allen Bedingungen hundertprozentige Funktionalität und damit Sicherheit zu gewährleisten.

Folgend seien zwei Beispiele angeführt, in denen es um das genaue Einhalten von Anforderungen hinsichtlich der *Sense*-Thematik geht:

Sensor-Interface

Ein Sensor-Interface stellt die Schnittstelle zwischen dem IC und den an diesen angeschlossene externe Sensoren dar. Bei den Sensoren geht dabei der Trend hin zu sogenannten "*Smart*-Sensoren". Diese Kategorie von Sensoren beinhalten nicht nur den Messfühler, sondern zusätzlich Schaltungen zur Signalkonditionierung und der digitalen Kommunikation mit der Außenwelt. Um den erwähnten Kommunikationsprotokollen zu genügen, müssen sich die Spannungspegel an der Schnittstelle in den vereinbarten Grenzen bewegen. Daher muss der Sensorstrom geregelt werden (siehe Abbildung 1.3(a)).

Stromregelung

Im Gegensatz zum Sensor-Interface befindet sich anstatt des Sensors beispielsweise eine pyrotechnische Zündpille (*Squib*) für einen Airbag an den Anschlüssen des ICs (Abbildung 1.3(b)). Um ein einwandfreies Auslösen des Airbags zu gewährleisten muss der Strom durch die Zündladung konstant gehalten werden (Ein Zündpuls ist in Abbildung 1.6 zu sehen). Dies erfordert ein geeignetes Strom-Sense-Konzept für die Stromregelung.

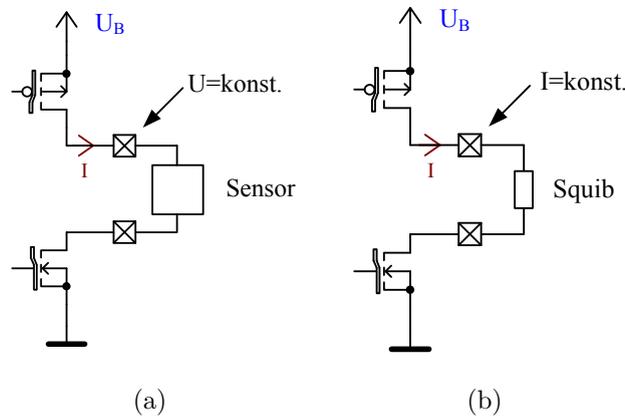


Abbildung 1.3: (a) Prinzip eines Sensor-Interfaces (b) Anwendungsfall für eine Stromregelung

1.2.3 Flächeneinsparung (Überlast-Schutz in linearen Spannungsreglern, Schaltern)

Wie schon einleitend erwähnt, ist der Flächenbedarf in Integrierten Schaltungen ein wesentlicher Faktor für die Effizienz. Die Entwicklung von neuen Technologien reduzierte die Chipfläche sukzessiv. Bei der Betrachtung von in Smart-Power-Technologie (SPT) gefertigten Schaltungen (Abbildung 1.4), erkennt man die Größenunterschiede sofort. Der Leistungsteil nimmt in etwa 60 %, der Logikteil 40 % der Chipfläche in Anspruch.

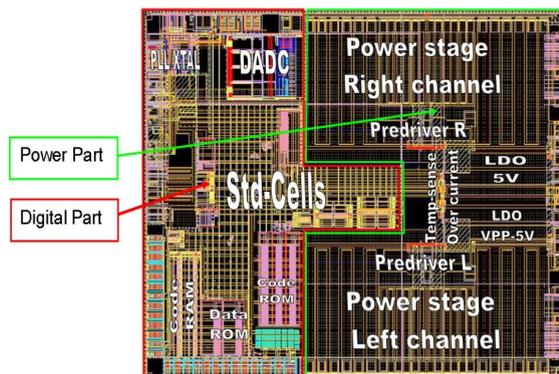


Abbildung 1.4: Flächenbedarf Analog- und Digitalteil

Ein kurzes Rechenbeispiel um die Thematik zu veranschaulichen:

Abbildung 1.5 zeigt einen nLDMOS als *Lowside-Switch*, welcher im Kurzschlussfall an Batteriespannung hängt. Diese schwankt im KFZ mit 12 Volt Bordnetz von 6 V bis

18 V. Im normalen Betriebsfall sind bis zu 18 Volt Klemmenspannung möglich. Im Fehlerfall (z.B.: *load dump*) können bis 40 Volt auftreten. Beispielsweise ist die Stromlimitierung für einen Strom von 1 A ausgelegt. Die Drain-Source-Spannung, welche am Transistor abfällt, beträgt damit 18 Volt.

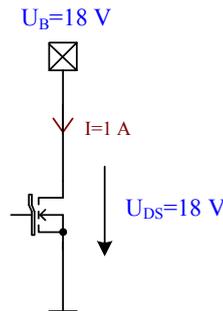


Abbildung 1.5: Bedeutung der *Sense*-Genauigkeit

Die Leistung ergibt sich zu:

$$P = U_{DS} \cdot I = 18 \text{ V} \cdot 1 \text{ A} = 18 \text{ W} \quad (1.2)$$

Das Device kann somit für eine maximale Leistung von 18 W ausgelegt werden. Befindet sich aber in der Strommessung eine Unsicherheit, so muss das Bauteil vor Überbelastung geschützt werden. Dies erfolgt in Form von zusätzlicher Chipfläche. Bei einer Messungenauigkeit von beispielsweise 20 % sinkt der Strom auf 0,8 A bzw. steigt auf 1,2 A. Der Anstieg des Stromes hat eine größere Verlustleistung von 21,6 W zur Folge. Je genauer also das Strom-Sense-Konzept, desto kleiner der zusätzliche Flächenaufwand!

1.3 Stresssituationen

In diesem Abschnitt werden in der Praxis auftretende Situationen betrachtet, bei denen ein Strom durch den Transistor fließt, welcher zu einer Erwärmung dessen und damit zu thermischem Stress führt. Das Verhalten wird dabei für normale Anwendungsfälle wie zum Beispiel die Stromregelung aber auch Fehlerfälle (Kurzschlüsse) dokumentiert.

1.3.1 Regelung

Eine Regelung kommt dann zum Einsatz, wenn die Signalform bestimmten Anforderungen genügen muss. Die im Transistor umgesetzte Leistung ist gemäß den Formeln

von der Spannung, dem Strom aber auch der Zeit abhängig.

$$P = \frac{1}{T} \int_{t_0}^{t_0+T} u(t) \cdot i(t) dt \quad (1.3)$$

Als Beispiel einer automotiven Applikation sei der Zündpuls für einen Airbag dargestellt (Abbildung 1.6).

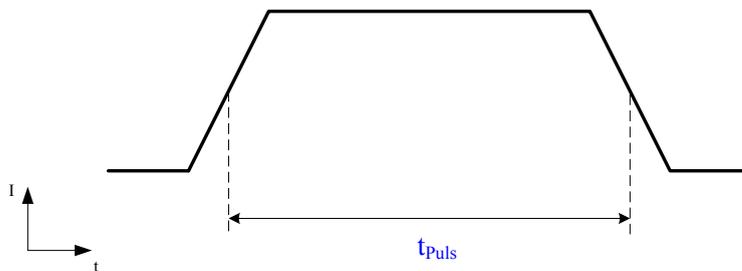


Abbildung 1.6: Zündpuls in Airbag Applikationen

Die Leistung steigt dabei in einer Zeit von circa $20 \mu s$ auf einen bestimmten DC-Wert (i.A. 2 A) an. In dieser Zeit beginnt sich die Chipoberfläche aufzuheizen bis die maximale Temperatur erreicht ist. Am Ende des Zündpulses beginnt der Abkühlungsvorgang. Die erreichbare Temperatur hängt von mehreren Faktoren ab. Hauptsächlich ausschlaggebend sind aber die elektrische Leistung und die thermische Kapazität der verwendeten Materialien. Kühlelemente in Form von Kupfer-Metallisierung, Bonddrähte, Gehäuse, usw. beeinflussen das Wärmeabfuhrverhalten.

1.3.2 Kurzschluss

Im Kurzschlussfall existiert eine leitende Verbindung zwischen dem externen Pin und einer Versorgungsleitung. Dies kann entweder die Batteriespannung (*Lowside-Switch*) oder Masse (*Highside-Switch*) sein. Die Auswirkungen sind ein rapider Anstieg des Stromes durch den Transistor und damit die Gefahr der Fehlfunktion/Zerstörung. Dabei wird zwischen zwei Kurzschlussfällen unterschieden:

- Kurzschluss Typ 1:
Dieser KS-Fall kann als der Häufigste angesehen werden. Der DMOS wird dabei auf einen bereits bestehenden Kurzschluss eingeschalten. Dabei fließt unverzögert der maximale Strom, da das Gate komplett ungeladen ist.

- Kurzschluss Typ 2:

Der Kurzschluss tritt hier im eingeschalteten Zustand auf. Das heißt, es fließt bereits ein Strom durch das Device. Sobald ein zu hoher Strom (*Overcurrent*) diagnostiziert wird, muss der Transistor abgeschaltet werden. Da die Gatekapazität voll geladen ist, kann dieser Vorgang nicht verzögerungsfrei erfolgen. Das Entladen der Gatekapazität dauert im Regelfall einige Mikrosekunden. Deshalb ist der Kurzschluss Typ 2 kritischer als der Typ 1.

Anmerkend zu Abbildung 1.7(b) kann gesagt werden, dass das Einschwingen auf den höheren Kurzschlussstrom in der Realität sanfter erfolgt, da Leitungsinduktivitäten und Kapazitäten die Anstiegsgeschwindigkeit limitieren.

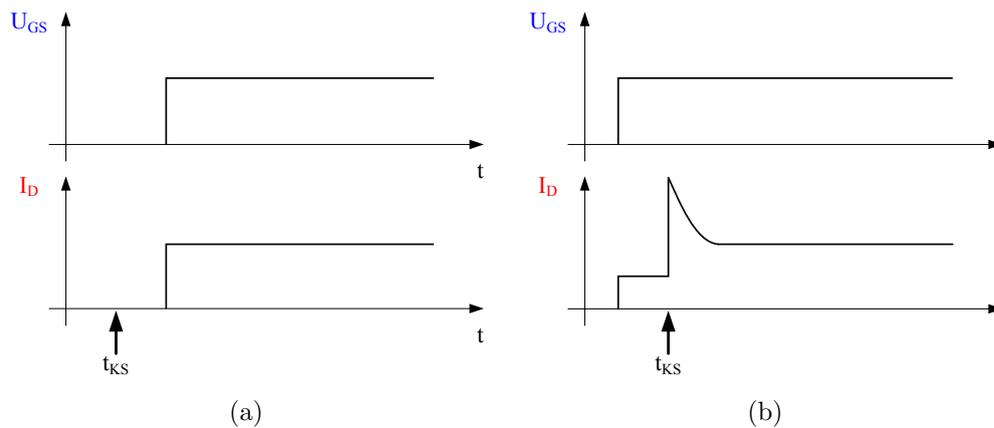


Abbildung 1.7: Kurzschluss Typ 1 (a), Kurzschluss Typ 2 (b)

1.3.3 Überlast im eingeschwungenen Zustand (DC)

Die große Gefahr bei allen Fehlerfällen ist, dass nicht rechtzeitig darauf reagiert wird. Das heißt, dass die Abschaltung des Bauteils zu spät erfolgt. Das Device kann in dieser Zeit Schaden nehmen bzw. in weiterer Folge zerstört werden. Im Idealzustand ist die Stromdichte in allen Zellen des DMOS-Transistors ausgewogen. Beginnen sich jedoch Teile partiell zu erwärmen, so entsteht in den Zellen sogenannte Stromfilamentierung. Die betroffenen Zellen übernehmen dabei von den benachbarten Zellen immer mehr Strom bis hin zu deren thermischer Zerstörung.

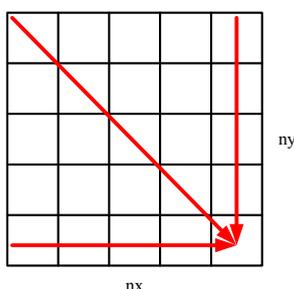


Abbildung 1.8: Prinzip der Stromfilamentierung

Die fundamentale Frage warum eine DMOS-Zelle mehr Strom übernimmt, sei beispielsweise an einem nLDMOS erläutert:

Grundlegendes Element für die Betrachtungen ist der parasitäre npn-Transistor (T_1) beim nLDMOS, welcher sich zwischen der *Drain-Extension* (Kollektor des Bipolartransistors (BJT)) und dem Source-Anschluss (Emitter des BJTs) befindet (siehe Abbildung 1.13). Die Basis entspricht dem niedrig dotierten Bulk-Gebiet.

Der npn-Transistor kann durch einen Spannungsabfall am Basiswiderstand R_1 und den dadurch resultierenden Stromfluss in die Basis eingeschalten werden. Da die elektrische Feldstärke in jenem Punkt, wo Drain und Bulk zusammentreffen sehr groß ist, kommt es zur Generierung von "heißen" Ladungsträgern (sogenannte *hot carriers*) aufgrund von Stoßionisierung. Die Elektronen werden dabei vom Drain abgesaugt, die Löcher wandern jedoch langsam zum Bulkanschluss, da dieser ein p-Gebiet darstellt. Genau dieser Löcherstrom verursacht den Spannungsabfall am Basiswiderstand des Bipolartransistors.

Der Parameter der Stromverstärkung B (Gleichung 1.4) in Bipolartransistoren ist der Proportionalitätsfaktor zwischen Kollektor- und Basisstrom und ist zudem noch temperaturabhängig.

$$B = \frac{I_C}{I_B} \quad (1.4)$$

Je größer also der Basisstrom I_B , desto größer auch der resultierende Kollektorstrom I_C . Die Zunahme erfolgt nur bis zu einem gewissen Wert von I_C , danach nimmt B wieder ab (siehe Abbildung 1.9).

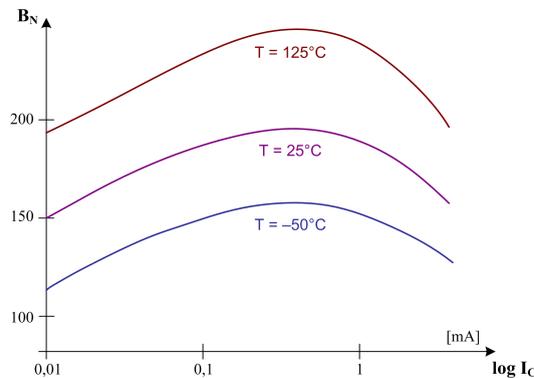


Abbildung 1.9: Zusammenhang Stromverstärkung-Kollektorstrom-Temperatur [Hof06]

Erhöht man nun zusätzlich die Temperatur, so verschiebt sich die Kennlinie nach oben. Das bedeutet, die Stromverstärkung steigt bei höheren Temperaturen und löst einen weiteren Anstieg des Stromes aus. Der Vorgang wird als thermische Mitkopplung bezeichnet und bewirkt in letzter Instanz die thermische Zerstörung des Bauelementes, wenn nicht rechtzeitig eingegriffen wird. Im Extremfall können aufgrund des hohen Stromes die Bonddrähte schmelzen. Da bei einer Temperatur von zirka $180\text{ }^{\circ}\text{C}$ das Lötzinn zu schmelzen beginnt, besteht auch die Gefahr des selbstständigen Auslöten von Bauteilen auf der Platine.

Die unten angeführten Gegebenheiten begünstigen den Effekt der Stromfilamentierung:

- Die betroffene DMOS-Zelle liegt am Rande des Chips, was niedrige Zuleitungswiderstände mit sich bringt.
- Die Stromverstärkung B ist ein über die Chipfläche stark gestreuter Parameter. Weist diese an einem bestimmten Ort zufällig eine Erhöhung auf, dann ist diese Zelle anfälliger für eine möglich auftretende Stromfilamentierung.
- Die Transistormitte liegt temperaturmäßig gesehen am heißesten Punkt und begünstigt den Effekt der Stromfilamentierung.

Bei einem in der Praxis angewendeten Prinzip wird die Transistorfläche in kleinere Einzeltransistoren unterteilt. Diese Vorgehensweise hat den Vorteil, dass in Gebieten, in denen eine starke Erwärmung zu beobachten ist, der betroffene Teil rechtzeitig abgeschaltet werden kann. Dadurch kann der Transistor vor Zerstörung geschützt werden.

1.4 Deep-Trench-Isolation (DTI)

Bei der Deep-Trench-Isolation (DTI) (dt. Tiefe-Graben-Isolierung) handelt es sich um eine Isolationsart, wie sie beispielsweise in *Smart-Power*-Technologien eingesetzt wird.

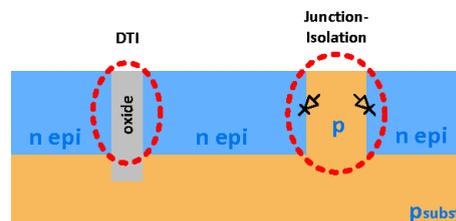


Abbildung 1.10: Isolationsarten

Abbildung 1.10 zeigt den Unterschied zu einer klassischen *Junction-Isolation*. Bei dieser werden die Epitaxie-Gebiete (n-epi) durch eine p-dotierte Sperrschicht elektrisch voneinander isoliert. Damit die Isolationsart überhaupt funktioniert, müssen die p-Gebiete auf dem niedrigsten Potential, beispielsweise Masse (GND), liegen. Nur so kann sichergestellt werden, dass die Dioden sperren. Der Nachteil ist, dass das in die n-epi eingeätzte p-Gebiet viel Platz benötigt. In Datenspeichereanwendungen, wie zum Beispiel beim dynamischen RAM (DRAM) ist man getrieben, die Packungsdichte so groß wie möglich zu gestalten. So kam es zur Entwicklung der DTI. Anstatt der p-Gebiete wird ein Graben geätzt, in welchem Siliziumdioxid an den Wänden abgeschieden wird. Um gleichzeitig das p-Substrat kontaktieren zu können, wird der Trench innen mit (p+)-dotiertem Polysilizium aufgefüllt (Abbildung 1.11). Die Isolationsfähigkeit kann durch die Dicke des abgeschiedenen Siliziumdioxids variiert werden.

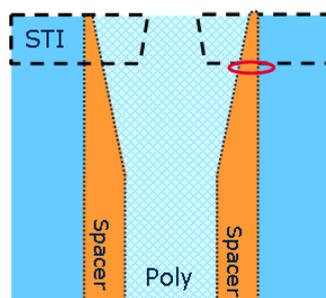


Abbildung 1.11: Schnittbild DTI

Siliziumdioxid hat andere mechanische Eigenschaften als mono- und polykristallines Silizium. Dies bedeutet für den Halbleiter, besonders unter Temperatureinflüssen, auf jeden Fall Stress. Um die Stressauswirkungen geht es in den Kapiteln 3 und 4.

1.5 DMOS

Im folgenden Kapitel werden Eigenschaften und Verhalten des DMOS-Transistors behandelt, welcher das wesentliche Bauteil ist, an dem im Rahmen der Diplomarbeit Untersuchungen vorgenommen werden.

Die Forderung nach gut skalierbaren Hochvolttransistoren in MOS-Technologie führte zur Entwicklung des DMOS. Dieser Transistortyp ist geeignet um im Gegensatz zu herkömmlichen MOS-Schaltern große Spannungen und Ströme zu verarbeiten.

Die Bauformen unterscheiden sich je nach Dotierung und Aufbau in:

- n-Kanal DMOS
- p-Kanal DMOS

und jeweils in laterale und vertikale Bauformen (bezüglich des Stromflusses).

Den lateralen Realisierungen liegen folgende Eigenschaften zugrunde: [Jan10]

- $R_{ON} \cdot A$ gut
- Schnelle Anstiegs- und Abfallzeiten (großes $\frac{dU}{dt}$)
- Skalierbar über die Spannungsklasse

In weiterer Folge werden ausschließlich laterale DMOS-Transistoren in n- und p-Kanalausführung besprochen, da nur diese im verwendeten SPT-Prozess Anwendung finden.

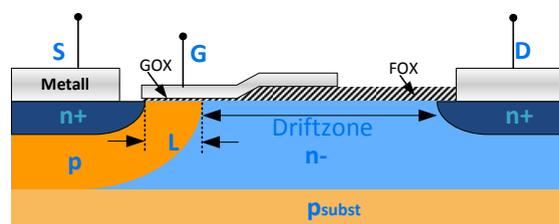


Abbildung 1.12: Schnittbild nLDMOS [Jan10]

3 und 4 detailliert erklärt. Die mit STI (*Shallow Trench Isolation*) bezeichneten Gebiete stellen elektrisch eine Isolierung dar, die durch Ätzzvorgänge und anschließendes Auffüllen mit Siliziumdioxid hergestellt wird. Sie hat den Vorteil, dass im Vergleich zur Isolation durch das FOX (*Field Oxide*) erheblich Platz eingespart werden kann. Wie die STI, hat auch die DTI Einfluss auf den mechanischen Aufbau des Transistors. [Wap07]

1.5.2 p-Kanal DMOS

Bei diesem Transistortyp spielt die laterale Bauform einen weiteren wesentlichen Vorteil aus. Und zwar ist die Realisierung eines p-Kanal-DMOS erst bei Übergang auf diese Bauform möglich, da bei vertikalen Typen das Drain-/ Source-Gebiet durch die n-dotierte Epitaxie bestimmt wird. Durch Vertauschen der Spannungen können dieselben Betrachtungen wie für den n-Kanal Typ angewendet werden. Da im Allgemeinen die Beweglichkeit von Elektronen um den Faktor 2-3 mal höher ist als die von Löchern, ist auch die Kenngröße $R_{ON} \cdot A$ beim p-Typ größer. [Wap07]

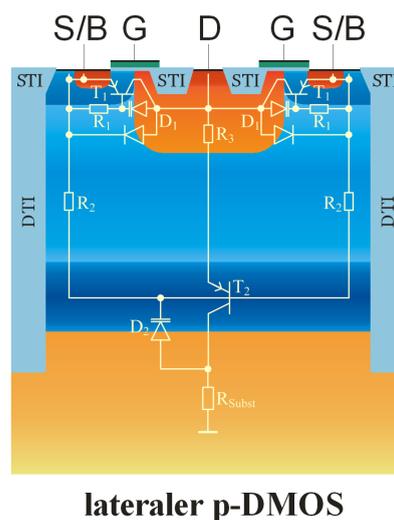


Abbildung 1.14: pLDMOS [Wap07]

Analog zum nLDMOS zeigen die orangenen Flächen in Abbildung 1.14 p-dotierte Gebiete, blaue n-dotierte Gebiete.

2 Teststrukturen, Simulationen und Messungen

2.1 Teststrukturen

Um aussagekräftige Ergebnisse bezüglich der optimalen Lage von *Sense*-Zellen im DMOS zu erhalten ist es unumgänglich, dies an einem realen Device zu untersuchen. Deshalb wurden jeweils für n- und p- -Kanal Typ geeignete Teststrukturen entwickelt. Die Fertigung erfolgt im Rahmen eines Testchips auf einem Multi Project Wafer (MPW), das Testen selbst mittels Laborboard bzw. auf dem Spitzenmessplatz. Die L-förmigen Umrisse der Transistoren sind absichtlich gewählt, da diese Formen in ähnlicher Weise in realen Anwendungen zu finden sind. Die stufige Form erzeugt zudem Ecken und Kanten, die sich zum Studieren von Feldverläufen besonders eignen. *Sense*-Zellen sind daher an verschiedenen interessanten Stellen in unterschiedlichen Varianten ausgeführt:

- Vertikale Anordnung
- Horizontale Anordnung
- Platzierung in einem eigenen *Trench*

Die vertikale Anordnung bietet gegenüber der horizontalen den Vorteil, dass die einzelnen Zellen leichter zu platzieren sind, aber auch dass der Widerstand im R_{ON} -Zustand in Bezug auf die Fläche optimiert ist. Der Einfluss des *Trenches* bedeutet für die Kristallstruktur auf jeden Fall Stress, die Auswirkungen sind nach den Messungen und Simulationen in Kapitel 3 und Kapitel 4 zu sehen.

Insgesamt wurden beim nLDMOS und beim pLDMOS jeweils neun *Sense*-Zellen in den unterschiedlichen Anordnungen platziert. Das *Sense*-Verhältnis K zwischen Haupt- und Sensetransistor liegt circa bei Faktor 1000. Ein gängiger Wert also, wie er in der Praxis Anwendung finden könnte.

2.1.1 nLDMOS

Die Kenngröße $R_{ON} \cdot W$ hat beim nLDMOS einen Wert von $12,3 \text{ k}\Omega \cdot \mu\text{m}$. Der größte Widerstand tritt dabei bei Hochtemperatur, also $150 \text{ }^\circ\text{C}$ auf. Mittels eines Temperaturkoeffizienten von $0,47 \text{ } \%/K$ folgt daraus ein $R_{ON} \cdot W$ von $19,6 \text{ k}\Omega \cdot \mu\text{m}$.

Der gewünschte On-Widerstand ergibt eine Kanalweite von:

$$W_{\text{haupt}} = \frac{19,6 \text{ k}\Omega \cdot \mu\text{m}}{405 \text{ m}\Omega} = 48,47 \text{ mm}$$

Um ein *Sense*-Verhältnis von ca. $K=1000$ zu erhalten, müssen die einzelnen Strukturen entsprechend skaliert werden. Dabei ergaben sich folgende Werte:

MN2, MN6 (eigener *Trench*):

$$W_{\text{sense}} = 12,3 \text{ }\mu\text{m} \cdot 4 = 49,2 \text{ }\mu\text{m} \Rightarrow K = \frac{48,47 \text{ mm}}{49,2 \text{ }\mu\text{m}} = 985$$

MN3 (horizontal): $W_{\text{sense}} = 4,1 \text{ }\mu\text{m} \cdot 12 = 49,2 \text{ }\mu\text{m} \Rightarrow K = 985$

MN1,4,5,7,8,9 (vertikal): $W_{\text{sense}} = 12,3 \text{ }\mu\text{m} \cdot 4 = 49,2 \text{ }\mu\text{m} \Rightarrow K = 985$

Die Fläche des nLDMOS am Testchip wurde mit $0,3 \text{ mm}^2$ festgelegt. Dadurch ändern sich die Kanalweite und das *Sense*-Verhältnis zu:

$$K = \frac{W_{\text{haupt}}}{W_{\text{sense}}} = \frac{62,2 \text{ mm}}{49,2 \text{ }\mu\text{m}} = 1264$$

Eine Schaltungssimulation über die Stromaufteilung zwischen Haupt- & *Sense*-Transistor zeigte, dass die Transistormodelle verglichen mit den Labormessungen (Kapitel 2.3) große Abweichungen aufweisen. Die Ursache liegt in der Exaktheit der Modelle. Das Erstellen von der Realität entsprechenden Modellen, ist im Allgemeinen eine sehr komplexe Aufgabe, da die Halbleiterfertigung teils großen Parameterstreuungen unterliegt. Werden die Bauteile physikalisch verändert um einen Transistorparameter zu verbessern, so resultiert dies meistens in Form von Verschlechterungen anderer Transistoreigenschaften.

Das komplette Layout des n-Kanal DMOS ist in Anhang A des Dokuments zu finden. Es enthält auch die Beschriftung für die Zuordnung der Pads.

Abbildung 2.3 zeigt ein Bild des nLDMOS, welches mit einem optischen Mikroskop am Spitzenmessplatz aufgenommen wurde.

Die aktive Transistorfläche (L-Form) ist von Pads, welche die Verbindung nach außen hin über Bonddrähte gewährleisten, umgeben. Die obere große *Power*-Kupfer-Platte

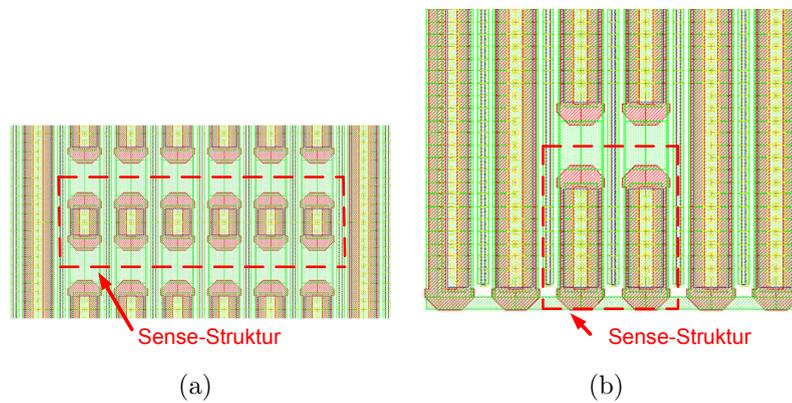


Abbildung 2.1: Beispiel einer *Sense-Zelle* in (a) horizontaler und in (b) vertikaler Anordnung (nLDMOS)

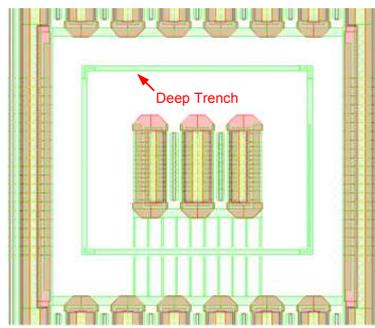


Abbildung 2.2: *Sense-Zelle* in eigenem *Trench*

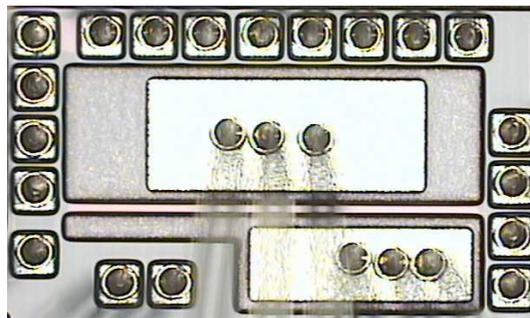


Abbildung 2.3: Mikroskopbild nLDMOS

kontaktiert die Drainanschlüsse des Transistors. Die darunterliegende kleine Fläche stellt den Sourcekontakt dar. Dadurch ist eine niederohmige Kontaktierung gewährleistet. Um die Kontaktierung mittels Bonddrähten zu ermöglichen, ist die Passivierungsschicht an den betreffenden Stellen ausgenommen.

2.1.2 pLDMOS

Die Kenngröße $R_{ON} \cdot W$ hat beim pLDMOS einen Wert von $40,12 \text{ k}\Omega \cdot \mu\text{m}$. Der größte Widerstand tritt dabei bei Hochtemperatur, also $150 \text{ }^\circ\text{C}$ auf. Mittels eines Temperaturkoeffizienten von $0,52 \text{ } \%/K$ folgt daraus ein R_{ON} von $66,2 \text{ k}\Omega \cdot \mu\text{m}$.

Der gewünschte On-Widerstand ergibt eine Kanalweite von:

$$W_{\text{haupt}} = \frac{66,2 \text{ k}\Omega \cdot \mu\text{m}}{800 \text{ m}\Omega} = 82,5 \text{ mm}$$

MP2,MP8 (eigener *Trench*):

$$W = 18,86 \mu\text{m} \cdot 4 = 75,44 \mu\text{m} \Rightarrow K = \frac{82,5 \text{ mm}}{75,44 \mu\text{m}} = 1094,16$$

$$\text{MP3 (horizontal): } W = 4,1 \mu\text{m} \cdot 20 = 82 \mu\text{m} \Rightarrow K = \frac{82,5 \text{ mm}}{82 \mu\text{m}} = 1006,1$$

$$\text{MP1,5,6,7,9,10 (vertikal): } W = 38,54 \mu\text{m} \cdot 2 = 77,08 \mu\text{m}$$

$$\Rightarrow K = \frac{82,5 \text{ mm}}{77,08 \mu\text{m}} = 1070,32$$

MP4: Nicht ausgeführt.

Die Fläche des pLDMOS am Testchip wurde mit $0,35 \text{ mm}^2$ festgelegt. Dadurch ändern sich die Kanalweite und die *Sense*-Verhältnisse zu:

$$\text{MP2,MP8 (eigener } Trench): K = \frac{78,4 \text{ mm}}{75,44 \mu\text{m}} = 1039$$

$$\text{MP3 (horizontal): } K = \frac{78,4 \text{ mm}}{82 \mu\text{m}} = 956$$

$$\text{MP1,5,6,7,9,10 (vertikal): } K = \frac{78,4 \text{ mm}}{77,08 \mu\text{m}} = 1017$$

Analog zur nLDMOS-Teststruktur ist auch der pLDMOS von Modellungenauigkeiten betroffen.

Das komplette Layout des p-Kanal DMOS ist in Anhang A des Dokuments zu finden. Es enthält auch die Beschriftung für die Zuordnung der Pads.

Abbildung 2.6 zeigt ein Bild des pLDMOS, welches am Spitzenmessplatz unter dem Mikroskop aufgenommen wurde. Hier repräsentiert die obere Metallisierungsfläche den Drainanschluss des Transistors, die untere Fläche den Sourceanschluss.

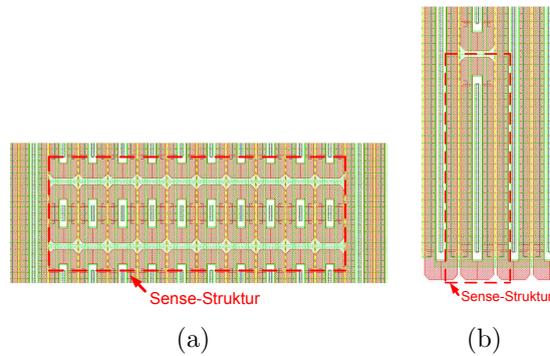


Abbildung 2.4: Beispiel einer *Sense-Zelle* in (a) horizontaler und in (b) vertikaler Anordnung (pLDMOS)

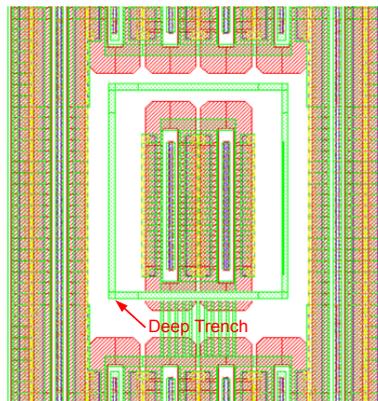


Abbildung 2.5: *Sense-Zelle* in eigenem *Trench*

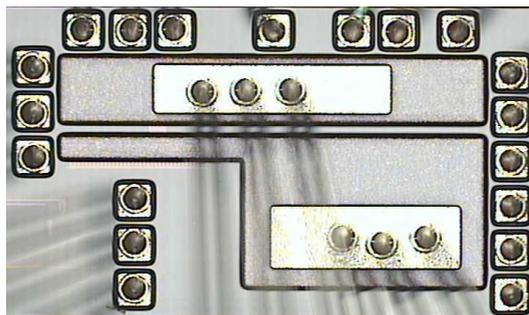


Abbildung 2.6: Mikroskopbild pLDMOS

Als zusätzliche Teststruktur (MP4) war ursprünglich ein pLDMOS vorgesehen, bei dem Bulk und Source nicht durch Silizid miteinander verbunden, und damit kurzgeschlossen sind. Ein solches Device wurde auf einem Testwafer im Vorhinein an einem Spitzenmessplatz vermessen (Abbildung 2.7).

Die Auswertung der Messergebnisse (Bulk-Source-Diodenkennlinien) brachte die Erkenntnis, dass die Durchbruchspannung U_{Bnp} nicht mehr eindeutig definiert ist. Der

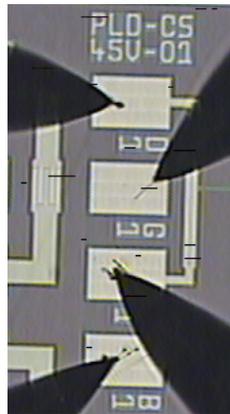


Abbildung 2.7: Teststruktur auf dem Testwafer

Grund ist jener, dass infolge der zwei benachbarten hochdotierten Gebiete der Zener-effekt zu stark interferiert und somit keine Isolation zwischen Bulk und Source gegeben ist (Abbildung 2.8).

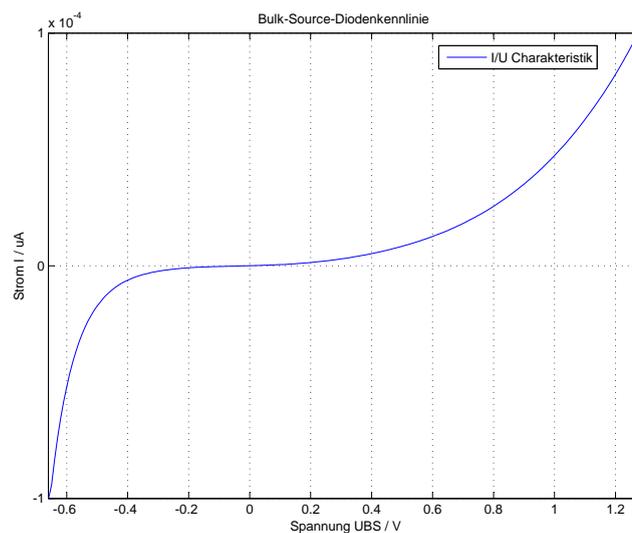


Abbildung 2.8: Bulk-Source Diodenkennlinie bei Raumtemperatur

Die bereits erwähnte Dotierung bewirkt also eine Verschmälerung der Raumladungszone. Dadurch wird die Wegstrecke minimal und der Lawineneffekt (*Avalanche*-Effekt) nicht mehr ausgelöst. Die Tatsache, dass trotzdem ein Durchbruch stattfindet basiert auf einem der Wahrscheinlichkeitstheorie zuzuordnenden Effekt, genannt Tunneleffekt. Die Elektronen gelangen dabei vom Valenz- ins Leitungsband, indem sie die Potentialbarriere "durchtunneln".

2.2 Elektro-thermische Simulationen

Sinn und Zweck der thermischen Simulationen ist die Bestätigung bzw. Widerlegung der aufgestellten Hypothesen aber auch um Übereinstimmungen mit den Messergebnissen zu finden. Die zur Verfügung stehende Software (Benutzeroberfläche zu sehen in Abbildung 2.9) erlaubt es Temperaturverläufe in Halbleiterbauteilen nachzustellen. Dies ist für DC- und Transientensimulationen möglich. Die Darstellung kann einerseits in Form von 2D- aber auch 3D-Plots oder Temperatur-/Zeitdiagrammen erfolgen.

Grundlegend für eine Simulation ist die Extraktion der DMOS-Fläche aus dem fertigen Layout. Das *Power-Metal* (Kupfer) wirkt dabei als Kühlfläche und beeinflusst das Temperaturverhalten. Zusätzlich können Wärmeübergänge einerseits über die Bonddrähte und andererseits den Montagekleber, das *Leadframe* und das *Package* bis hin zur Leiterplatte (PCB) modelliert werden.

Simulationsarten:

- DC-Simulation
Diese Simulationsart erlaubt es eine konstante Verlustleistung einzustellen. Eine Angabe der Drain-Source-Spannung kann optional erfolgen. Die Ergebnisse beschreiben die statischen Verhältnisse am Chip.
- Transientensimulation
Hier ist eine Variation der Leistung über die Zeit möglich. Damit kann das Aufwärm- und Abkühlverhalten des *Chips* evaluiert werden. Eine Angabe der Drain-Source-Spannung ist ebenfalls möglich.

2.3 Labormessungen

Die Labormessungen bieten nur beschränkte Möglichkeiten um die Simulationen und aufgestellten Hypothesen zu verifizieren. Die beste Möglichkeit die genaueste Teststruktur zu finden ist, Vergleiche zwischen den unterschiedlichen *Sense*-Strömen und dem Strom durch den Haupt-Transistor anzustellen. Die beste *Sense*-Struktur ist dann gefunden, wenn die Abweichung zu diesem Strom bei Berücksichtigung des *Sense*-Verhältnisses am geringsten ist. Dabei ist es notwendig Messungen im R_{on} -Bereich, aber auch in der Sättigung durchzuführen, da manche Effekte nur in einem der Arbeitsbereiche sichtbar werden. Die Beobachtung des Verhaltens bei diversen Temperaturen und transienten Vorgängen bei unterschiedlichen Leistungen ist ebenfalls möglich.

2 Teststrukturen, Simulationen und Messungen

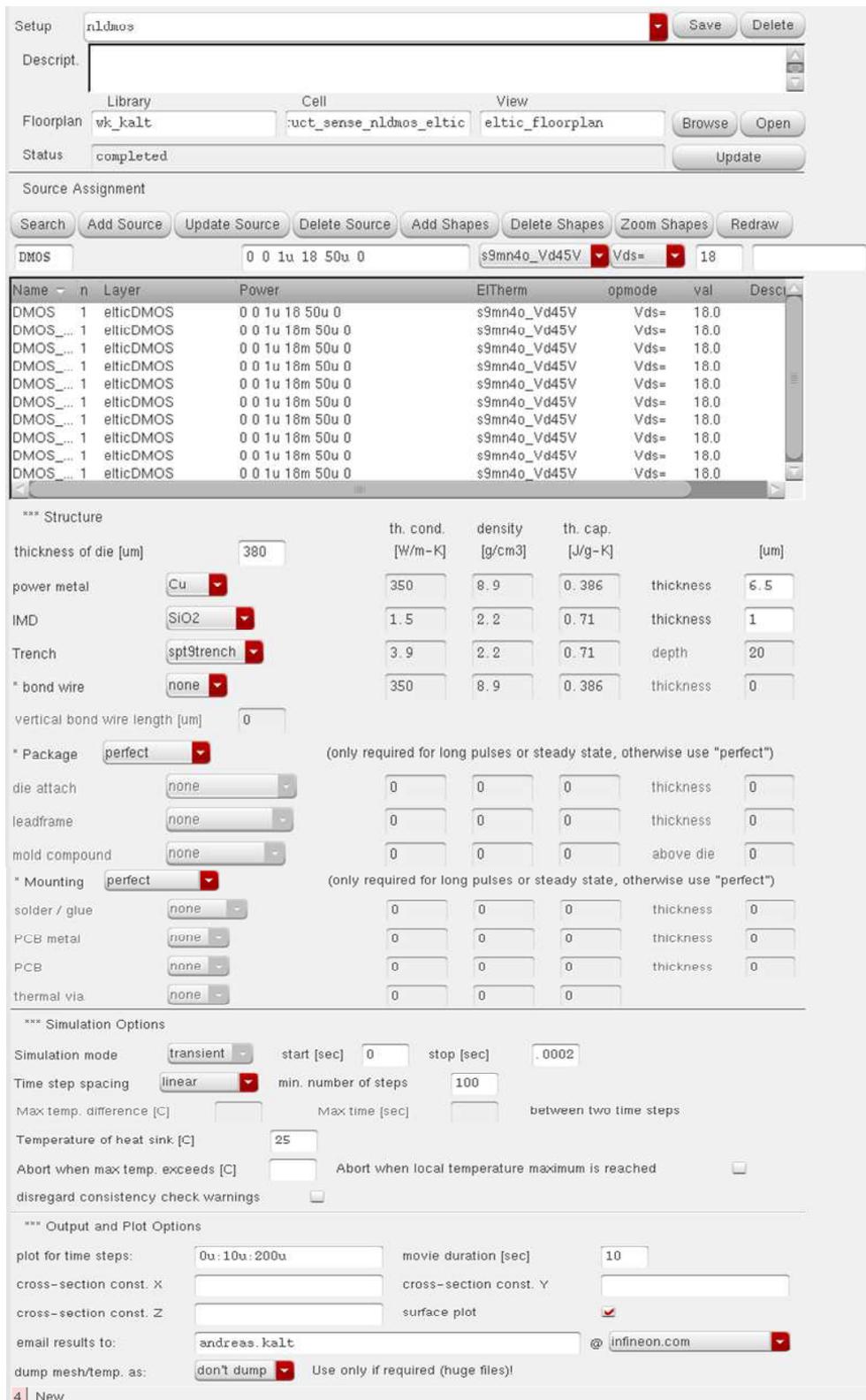


Abbildung 2.9: Eltic: grafische Benutzeroberfläche

Um aussagekräftige Ergebnisse erhalten zu können, wurden jeweils von nLDMOS und pLDMOS mehrere *Chips* vermessen. Dabei wurde bei allen *Devices* dasselbe Verhalten beobachtet.

2.3.1 Messungen im Ron-Bereich

Der DMOS-Transistor weist im Ron-Bereich ein lineares Strom-Spannungs-Verhalten auf. Wenn beispielsweise ein DCDC-Wandler im normalen Regelbetrieb arbeitet, befindet sich der Schalttransistor im Ron-Bereich. Laut Definition ist der Spannungsabfall über dem Transistor gering, das heißt, die resultierende Verlustleistung ist dementsprechend klein. Das bedeutet, dass die Wärmeentwicklung nur gering ist.

Das ursprüngliche *Sense*-Konzept, welches intuitiv ausprobiert wurde um das Verhalten im Ron-Bereich zu beobachten, ist in Abbildung 2.10 zu sehen.

Der Transistor MN0 stellt den Haupt-DMOS, MN(1..9) eine der neun *Sense*-Zellen dar. Das Zellenverhältnis zwischen diesen beiden ist zirka auf den Faktor 1000 fixiert. Die genauen Berechnungen der Verhältnisse sind in Kapitel 2 zu finden. In den Sourcepfaden der Transistoren sind Stromquellen geschaltet, mit welchen die jeweiligen Ströme in den Pfaden eingestellt werden. Durch Übergang bei den Messungen auf das *Force-Sense*-Prinzip (Kelvin-Pads), lassen sich Messungenauigkeiten aufgrund von Leitungswiderständen (Leiterbahnen, Bonddrähte, u.a.) ausschließen. Der Arbeitsbereich, in dem sich der Transistor befindet, wird durch die Drain-Source-Spannung U_{DS} und die Gate-Source-Spannung U_{GS} bestimmt.

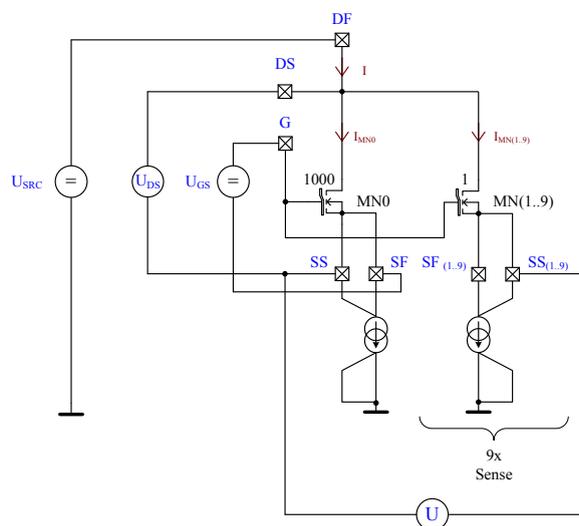


Abbildung 2.10: Ursprüngliches *Sense*-Konzept (Beispiel für nLDMOS)

Da die Anzahl der Kanäle bei den verwendeten Parameter-Analysern limitiert ist, musste die Messung der *Sense*-Strukturen in zwei Hälften gesplittet werden. Diese Tatsache machte das in Abbildung 2.10 gezeigte Messprinzip unbrauchbar. Grund ist jener, dass die Gates aller Transistorzellen miteinander verbunden sind. Im Augenblick der Messung kommt es in den unbetroffenen Strukturen trotzdem zu einem Stromfluss aufgrund der Pull-Down-Struktur der Eingänge des Parameteranalyzers. Diese Tatsache erhöht die Gesamtstromaufnahme und bewirkt eine Verfälschung des Messergebnisses.

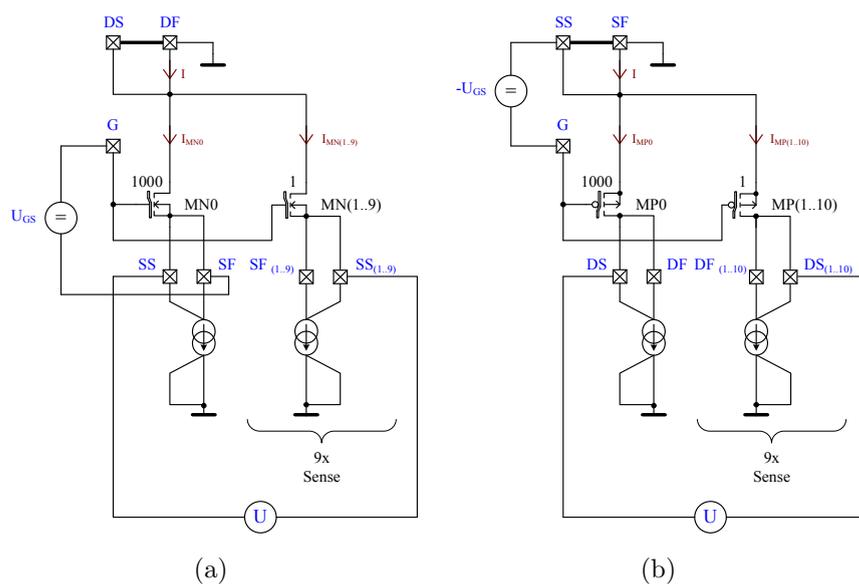


Abbildung 2.11: Prinzipschaltbild der Labormessungen im Ron-Bereich (a) nLDMOS, (b) pLDMOS

Abhilfe bringt der Übergang auf ein neues *Sense*-Konzept, wie in Abbildung 2.11 dargestellt.

Der Hauptunterschied ist, dass der Drainanschluss der Transistoren auf Massepotential liegt und dadurch bei auf Massepotential liegenden Messkanälen des Parameter-Analyzers, kein Stromfluss entstehen kann.

Im Sourcepfad des Haupt-DMOS wird mittels eines Source-Meters ein Strom von beispielsweise einem Ampere so präzise wie möglich eingepreßt. Der im Verhältnis um das 1000-fache kleinere *Sense*-Strom, also 1 mA, wird um seinen Nominalwert entsprechend vergrößert und verkleinert bis die Spannungsabfälle über den Stromquellen übereinstimmen. Tritt dieser Fall ein, dann ist der korrespondierende Stromwert gefunden.

nLDMOS

Der folgende Abschnitt beinhaltet die Schlussfolgerungen, welche aus den Messergebnissen abgeleitet wurden.

Einleitend dazu sei das Verhalten des On-Widerstandes ($R_{DS_{on}}$) in Abhängigkeit von der Drain-Source-Spannung gezeigt (Abbildung 2.12).

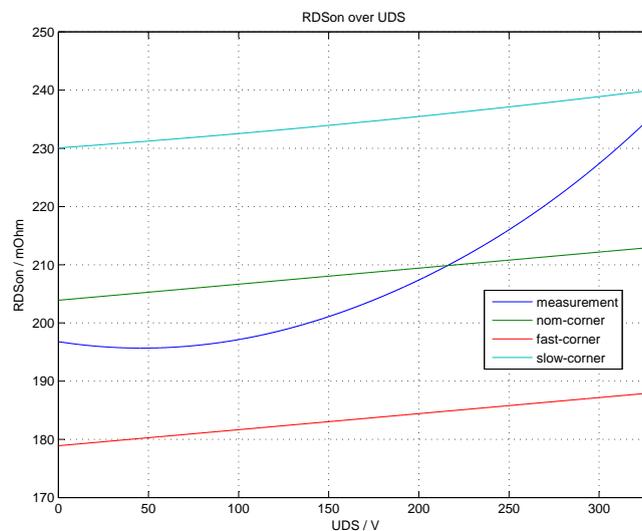


Abbildung 2.12: Verlauf vom R_{DSon} (nLDMOS)

Im Plot 2.12 sind neben dem Messergebnis auch die Ergebnisse der R_{DSon} -Simulationen in allen Eckpunkten (*Corner-Analyse*) dargestellt. Die Kurvenverläufe zeigen bei niedriger als auch bei höherer Temperatur als die Raumtemperatur ähnliches Verhalten, mit der Abweichung, dass der Widerstandswert andere Zahlenwerte annimmt. Die Transistormodelle stimmen bei diesen Temperaturen nicht mehr gut mit der Realität überein. Der elektrische Widerstand verhält sich folgend:

- Bei $-40\text{ }^{\circ}\text{C}$ sinkt der elektrische Widerstand, aufgrund der höheren Mobilität.
- Bei $125\text{ }^{\circ}\text{C}$ steigt der elektrische Widerstand, aufgrund der niedrigeren Mobilität.

Genauer zum Temperaturverhalten von MOS-Transistoren kann in Kapitel 4.1.2 nachgelesen werden.

Abbildung 2.13 zeigt den Verlauf des *Sense*-Verhältnisses über den Strom durch das Bauteil bei verschiedenen Temperaturen für den nLDMOS. Deutlich zu erkennen ist,

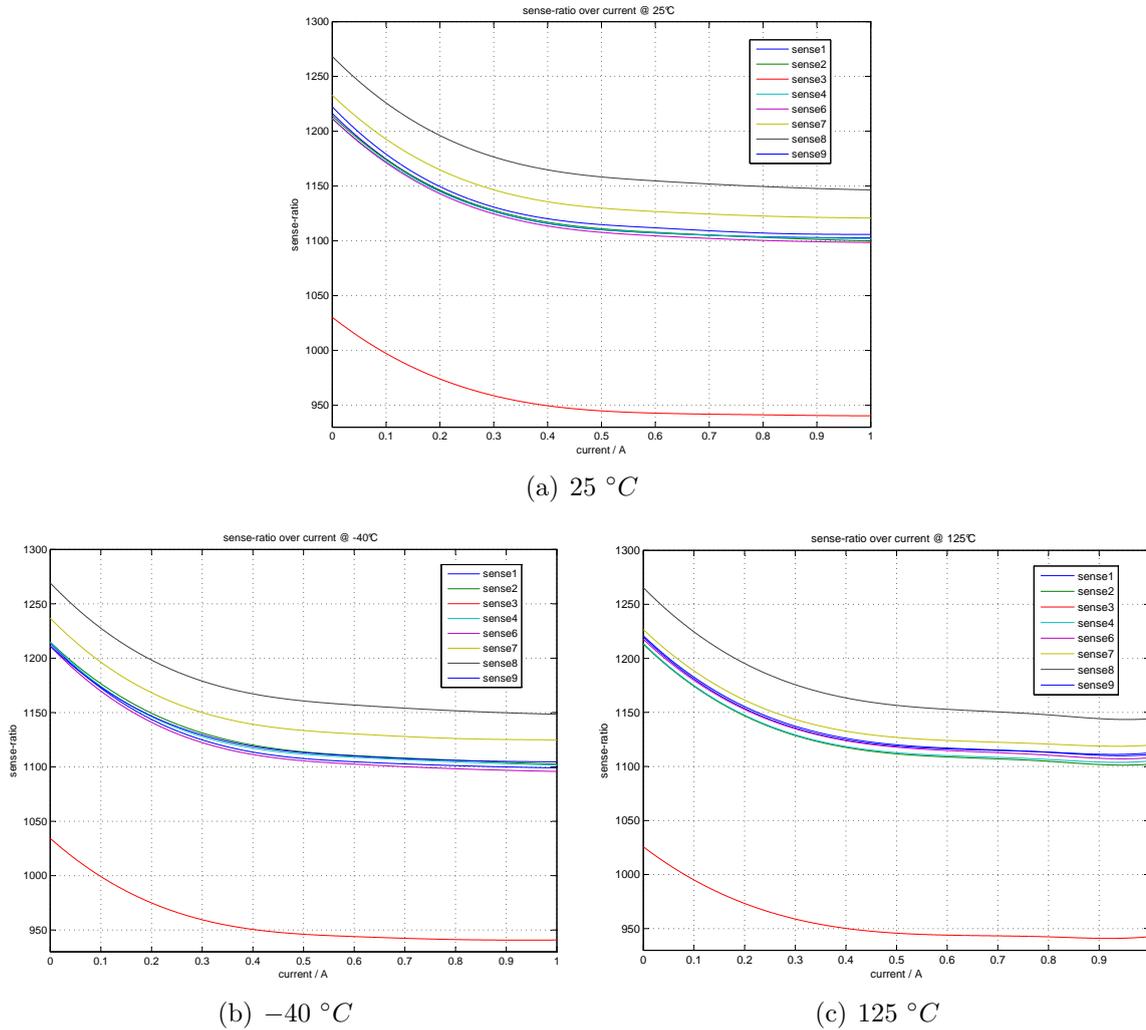


Abbildung 2.13: Verlauf des *Sense*-Verhältnisses über den Strom (bei verschiedenen Temperaturen) (nLDMOS)

dass der K_{ilis} -Faktor (Gleichung 2.1) nahezu temperaturunempfindlich ist und bei größeren Strömen nahezu konstante Werte annimmt. Dieser Bereich ist also für lineare Strommessungen sehr günstig.

$$k_{ilis} = \frac{I_{load}}{I_{sense}} \quad (2.1)$$

$$f_{rel} = \frac{x_a - x_w}{x_w} \cdot 100 \% \quad (2.2)$$

f_{rel}	relativer Fehler
x_a	angezeigter Wert
x_w	wahrer Wert

Bezüglich der Genauigkeit von *Sense*-Strukturen sind teilweise große Unterschiede zu erkennen. Tabelle 2.1 gibt Aufschluss über die relativen Fehler der einzelnen Strukturen jeweils bei kleinen und großen Strömen. Die Messergebnisse bei kleinen Strömen müssen für direkte Vergleiche herangezogen werden, da die *Sense*-Strukturen nur minimalen Temperatureinflüssen und damit Verfälschungen unterliegen.

Struktur	f_{rel} (25 °C)		f_{rel} (-40 °C)		f_{rel} (125 °C)	
	I <	I >	I <	I >	I <	I >
#	%	%	%	%	%	%
1	9,4	12,8	9,5	13	8,7	12
2	9,3	13	9,1	12,8	9,3	12,8
3	23	25,6	22,9	25,6	23	25,4
4	9,4	12,8	9,3	12,8	9,2	12,6
6	9,6	13,1	9,7	13,3	8,8	12,3
7	7,8	11,3	7,6	11	8,1	11,4
8	5,4	9,4	5,2	9,3	5,4	9,2
9	9,1	12,5	9,3	12,6	8,6	12,1

Tabelle 2.1: Vergleich der Strukturen im Ron (nLDMOS)

Die Referenz der Strukturnummer zur Position im Transistor ist Abbildung A.3 oder Abbildung 3.8(a) zu entnehmen.

Auf den ersten Blick fallen die Strukturen 3,7 und 8 auf, da sie sich von den anderen besonders unterscheiden. Die vertikalen Strukturen 1,4,7,8,9 besitzen durchschnittlich einen Fehler von 8 Prozent. Ein Wert, der in der Praxis für exakte Strommessungen bereits ein Problem darstellt. Ursache für die großen Abweichungen sind die Ungenauigkeiten der Randabschlüsse von vertikalen (und damit in multiplizierter Form auch horizontalen) *Sense*-Zellen. Daraus resultieren die beobachteten Stromänderungen und damit verbunden ungenauere *Sense*-Verhältnisse (Näheres in Abschnitt 2.3.1). Die Randabschlüsse der *Sense*-Zellen innerhalb von *Trenches* zeigen diese Unschärfen nur minimal, haben aber erhebliche Nachteile in Hinsicht auf Stresseffekte im Silizium (Näheres in Kapitel 3). *Sense*-Struktur Nummer 8 liegt in der linken unteren Ecke des Transistors und damit temperaturmäßig gesehen an einem Punkt mit großer Differenz zur durchschnittlichen Temperatur. Zusätzlich unterliegt diese Struktur an der unteren Kante Stresseinflüssen. *Sense*-Struktur Nummer 7 liegt an der inneren Ecke des Transistors ziemlich ungünstig. Laut Tabelle 2.1 ist *sense7* wie auch *sense8* sogar mit einem

$$W = 2 \cdot n_x \cdot [n_y \cdot (l_B + l_S) + (l_B + 2l_S + 2l_{BS})] = 49,2 \mu m \quad (2.3)$$

$$\text{mit } n_x = 2, n_y = 5$$

l_B	Kontaktlänge Bulkgebiet
l_S	Kontaktlänge Sourcegebiet
l_{BS}	Kontaktlänge Bulk-Sourcegebiet

Die Kanalweite des Haupttransistors MN0 beträgt im Layout gemessen $62194,5 \mu m$. Das ergibt ein *Sense*-Verhältnis von:

$$K = \frac{62194,5 \mu m}{49,2 \mu m} = 1264,12$$

Die Messungen lieferten jedoch durchschnittlich Verhältnisse von $K=1150$. Das entspricht einer Differenz von 114, in Prozenten ausgedrückt ca. 10 %.

$$K = \left(\frac{1264,12}{1150} - 1 \right) \cdot 100\% = 9,9\%$$

Unter der Annahme, dass sich der Haupttransistor nicht ändert, muss sich der *Sense*-Transistor um 10 % vergrößern, um das neue, kleinere Verhältnis von $K=1150$ zu erreichen.

$$W_{\text{sense}_{\text{neu}}} = 49,2 \mu m \cdot 1,1 = 54,12 \mu m$$

Die neue Kanalweite des *Sense*-Transistors muss demnach gesamt um $54,12 \mu m - 49,2 \mu m = 4,92 \mu m$ größer als ursprünglich sein. Dies entspricht pro Randabschluss einer Verlängerung von $4,92 \mu m / 4 = 1,23 \mu m$ und resultiert in einem neuen *Sense*-Verhältnis von:

$$K = \frac{62194,5 \mu m}{54,12 \mu m} = 1149,2$$

Wie eingehend der Untersuchungen bereits erwähnt, bewegen sich die Unschärfen in der Fertigung bei Lithografieprozessen im Nanometer-Bereich. Der große Unterschied zwischen realem und idealem Verhalten muss also einen anderen Grund haben.

Aufmerksames studieren der Randstrukturen unter Berücksichtigung des elektrischen Verhaltens lieferte schlussendlich die Lösung. Die Randabschlüsse von vertikalen und horizontalen (also nicht vom Haupt-DMOS und den *Trench-Sense*-Strukturen) *Sense*-Strukturen sind in einer Art gestaltet, sodass der Stromfluss zwischen Drain und Source nicht nur in den "geregelten Bahnen" möglich ist. Die dazwischenliegenden Halbleiterschichten ermöglichen demnach zusätzliche Ausbreitungswege für den Strom (siehe Abbildung 2.15).

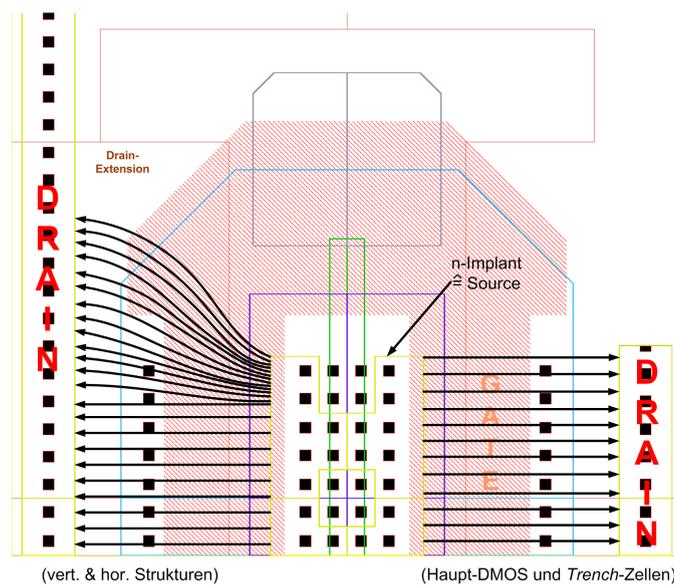


Abbildung 2.15: Randzelleneffekte

Die zum Drain hinreichende *Drainextension* führt den Elektronenstrom, in physikalischer Stromrichtung gesehen, vom Source/Bulk-Gebiet zum Drainanschluss hin. In Abbildung 2.15 sind die Unterschiede zwischen den unterschiedlichen Sensezellentypen deutlich zu erkennen. Der Drainstreifen endet bei den Randzellen des Haupt-DMOS und den *Trench*-Zellen fast zugleich mit dem Sourcegebiet. Ein Entstehen der Ungenauigkeiten im *Sense*-Verhältnis ist damit unterbunden.

Eine gängige Methode, die Ungenauigkeiten im *Sense*-Verhältnis auszugleichen, ist das Trimmen des Referenzstroms. In Kapitel 5 wird ein solches Konzept vorgestellt.

pLDMOS

Nach den Auswertungen der Messergebnisse für den nLDMOS können Parallelen zum pLDMOS gezogen werden.

Abbildung 2.16 zeigt den Verlauf des *Sense*-Verhältnisses über den Strom bei verschiedenen Temperaturen (pLDMOS).

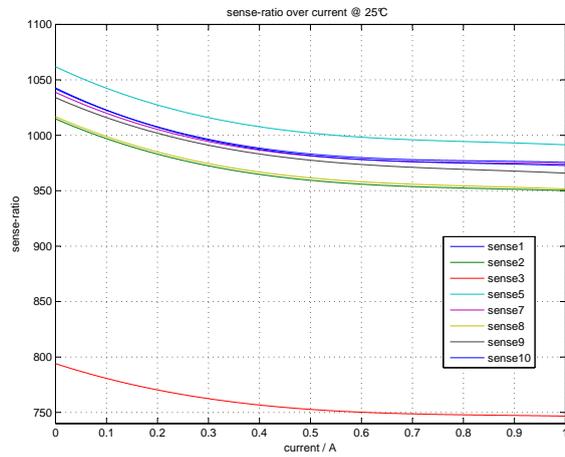
Generell gesehen sind die relativen Fehler im besten Fall um den Faktor 3 kleiner, als beim nLDMOS. Ursache sind ein anderer Transistoraufbau und damit eine andere Art von Randabschlüssen in den Kanälen. Tabelle 2.2 gibt eine Fehler-Aufschlüsselung. Vergleicht man die horizontale *Sense*-Zelle, so hat sie einen ähnlich großen Fehler im K_{iis} -Faktor wie die n-Variante. Auch Strukturen, die in temperaturmäßig ungünstigen Punkten liegen, liefern ebenfalls schlechte Ergebnisse. Die *Trench*-Strukturen (*sense2* und *sense8*) weichen im Gegenteil zu jenen beim nLDMOS vom optimalen Verhalten ab. Ursache sind Stresseffekte, die in Kapitel 3 genauer erläutert werden.

Die dem Bild 2.16 zugrundeliegenden Zahlenwerte sind in Tabelle 2.2 zu finden.

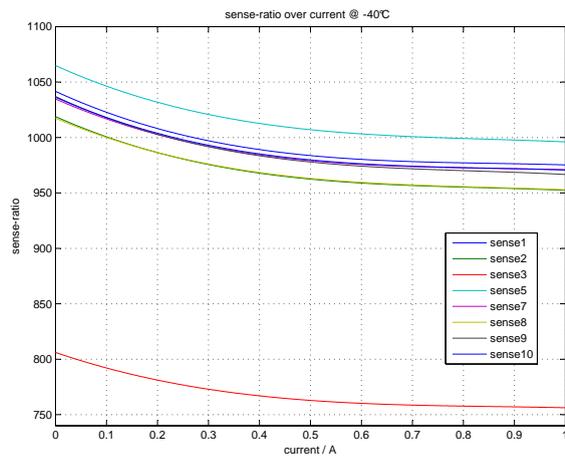
Struktur	$f_{rel} (25\text{ }^{\circ}\text{C})$		$f_{rel} (-40\text{ }^{\circ}\text{C})$		$f_{rel} (125\text{ }^{\circ}\text{C})$	
	I <	I >	I <	I >	I <	I >
#	%	%	%	%	%	%
1	2	4,1	2	4,1	2	3,9
2	6,4	8,6	6,1	8,3	7,1	9
3	20,2	21,9	19,2	20,9	21,1	23
5	0,1	2,5	0,4	2,1	1	3,2
7	2,2	4,2	2,5	4,5	2,1	4
8	6,2	8,4	6,1	8,3	6,6	8,6
9	2,6	5	2,5	5	2,5	5,1
10	2,1	4,4	2,4	4,6	1,6	3,8

Tabelle 2.2: Vergleich der Strukturen im Ron (pLDMOS)

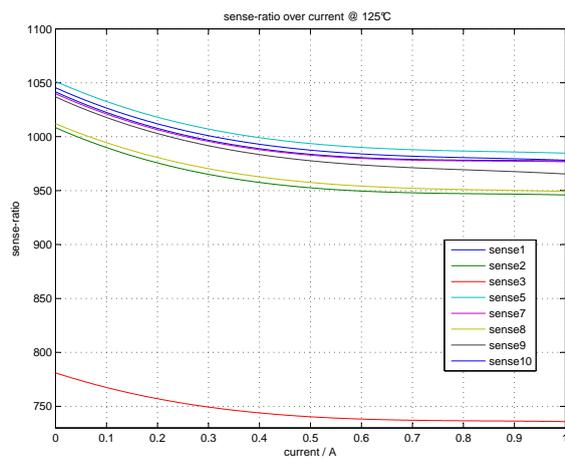
Die Referenz der Strukturnummer zur Position im Transistor ist Abbildung A.4 oder Abbildung 3.8(b) zu entnehmen.



(a) 25 °C



(b) -40 °C



(c) 125 °C

Abbildung 2.16: Verlauf des *Sense*-Verhältnisses über den Strom (bei verschiedenen Temperaturen) (pLDMOS)

2.3.2 Messungen im Sättigungsbereich

Da wie bereits erwähnt die produzierte Verlustleistung im R_{on} -Bereich sehr gering ist, wurden auch Messungen im Sättigungsbereich durchgeführt. Damit sich der Transistor garantiert in Sättigung befindet, wurde er als Diode geschaltet. Dies entspricht zwar nicht den realen Anwendungsfällen, doch zu Untersuchungszwecken ist diese Konfiguration optimal.

Allgemein zu sagen ist, dass die Ergebnisse der Messungen im Sättigungsbereich aufgrund der höheren Verlustleistung aussagekräftiger sind, d.h. das elektro-thermische Verhalten deutlich sichtbar wird.

Die Methode den DMOS in Sättigung zu betreiben, indem Drain-Source-Spannung und Gate-Source-Spannung definitionsgemäß eingestellt werden, ist nicht ideal, da sich die Einsatzspannung U_t mit einem Temperaturkoeffizienten von $2 \text{ mV}/^\circ\text{K}$ (von Gateoxid-dicke abhängig) ändert. Dadurch geht der Transistor in einen anderen Arbeitspunkt über.

$$U_{GO} = U_{GS} - U_t \quad (U_{GS} = \text{konst.}, U_t = f(\text{Temp.}) = \text{var.})$$

$$U_{GO} > U_{GS} - U_t \quad (\text{Sat.})$$

$$U_{GO} < U_{GS} - U_t \quad (R_{on})$$

Die Messergebnisse für die nLDMOS-Teststruktur sind in Abbildung 2.17 zu sehen.

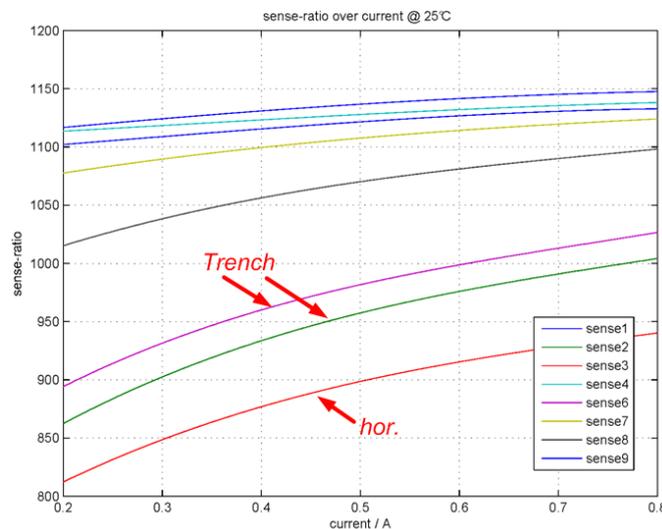


Abbildung 2.17: Verlauf des *Sense*-Verhältnisses über den Strom (nLDMOS)

Das Prinzipschaltbild für Messungen im Sättigungsbereich zeigt Abbildung 2.18.

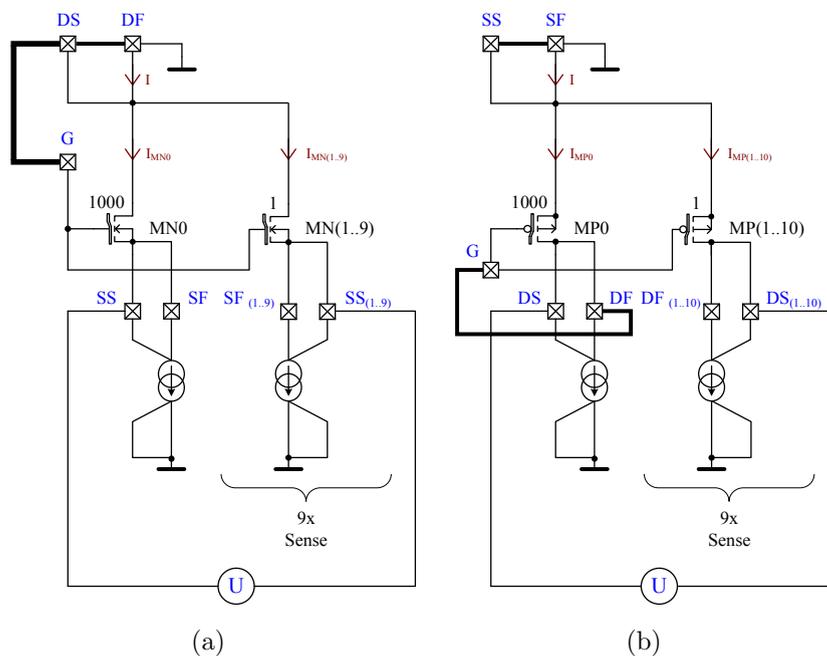


Abbildung 2.18: Prinzipschaltbild der Labormessungen im Sättigungsbereich (a) nLD-MOS, (b) pLDMOS

In Abbildung 2.17 ist in Analogie zum Ron-Bereich wieder das *Sense*-Verhältnis über den Strom aufgetragen (bei allen drei Temperaturen). Als bemerkenswerter Unterschied ist die deutliche Verschlechterung der *Trench-Sense*-Strukturen *sense2* & *sense6* zu nennen. Der relative Fehler beträgt nunmehr 20 % bei großen Strömen. Näheres ist in Kapitel 3.3 nachzulesen. Die Strukturen *sense3* und *sense8* zeigen ähnliches Fehlerverhalten wie im Ron-Bereich. Alle vertikalen Strukturen *sense1,4,7,8,9* sind minimal besser.

Besonders auffällig ist der andere Kurvenverlauf. Nämlich in der Form, dass das *Sense*-Verhältnis bei steigendem Strom größer wird. Grund ist, dass der Transistor als Diode und damit in Sättigung ($U_{GS} = U_{t_n} \approx 2 \text{ V}$) betrieben wird. Eine Simulation ergab, dass sich der Arbeitspunkt des DMOS links des temperaturstabilen Punkts (ca. $U_{GS} = 3 \text{ V}$ in Abbildung 2.19) liegt. Die Folge ist ein Anstieg des Stromes bei Erhöhung der Temperatur und ein Anstieg des $K_{i_{lis}}$ -Faktors (Gleichung 2.1), weil I steigt.

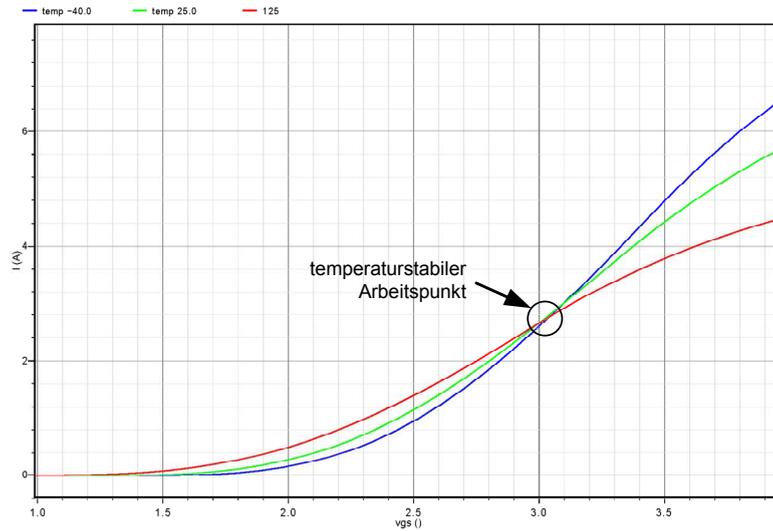
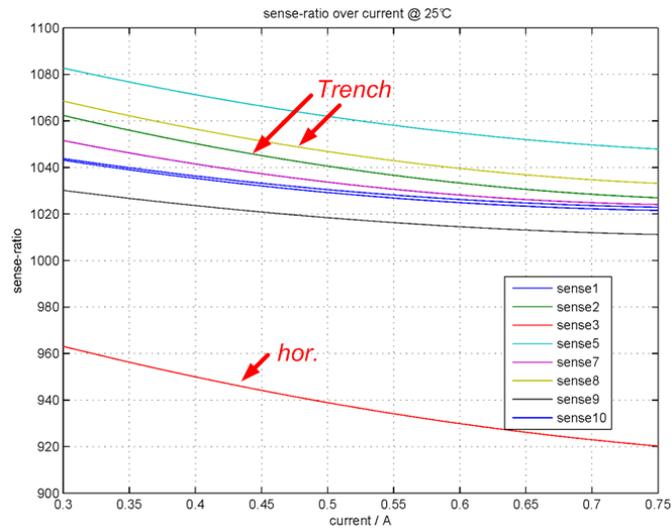


Abbildung 2.19: Temperaturstabiler Arbeitspunkt

Abbildung 2.20: Verlauf des *Sense*-Verhältnisses über den Strom (pLDMOS)

Die ausgewerteten Ergebnisse für die pLDMOS-Teststruktur versprechen in Hinsicht auf die *Trench*-Strukturen ein ausgezeichnetes Verhalten, verlangen aber nach einer Diskussion:

Laut der Gleichung für den K_{ilis} -Faktor (Gleichung 2.1), müsste das *Sense*-Verhältnis bei DTI-Stress für den pLDMOS sinken. In Abbildung 2.20 ist allerdings das Gegenteil

zu erkennen. Die Ursache sind die analog zum nLDMOS dominierenden Temperatureffekte. Die mechanischen Stresseffekte sind deshalb im Sättigungsbereich vergleichsweise unbedeutend.

Die besten Resultate für vereinzelte Teststrukturen belaufen sich teilweise auf Fehlerwerte unter einem Prozent! Besonders die *Trench*-Strukturen liefern jedoch nur scheinbar, verglichen mit dem nLDMOS, gute Werte.

2.3.3 Messungen im Zeitbereich

Die transienten Untersuchungen haben den Zweck die Einflüsse der *Deep-Trench-Isolation* auf das thermische Einschwingverhalten zu zeigen. Die Graben-Isolation stellt nämlich eine thermische Barriere dar, wie in Kapitel 4 ausführlich beschrieben wird. Die *Sense*-Strukturen reagieren deshalb im Vergleich zum Haupt-Transistor auf eine Stromänderung zeitlich verzögert. Eine Stromänderung kann am besten durch Lastsprünge (*loadjumps*) nachgestellt werden. Dabei ändert sich der Strom durch den Transistor in kurzer Zeit um einen großen Wert.

Prinzipschaltbild für Messungen im Zeitbereich: (Abbildung 2.21)

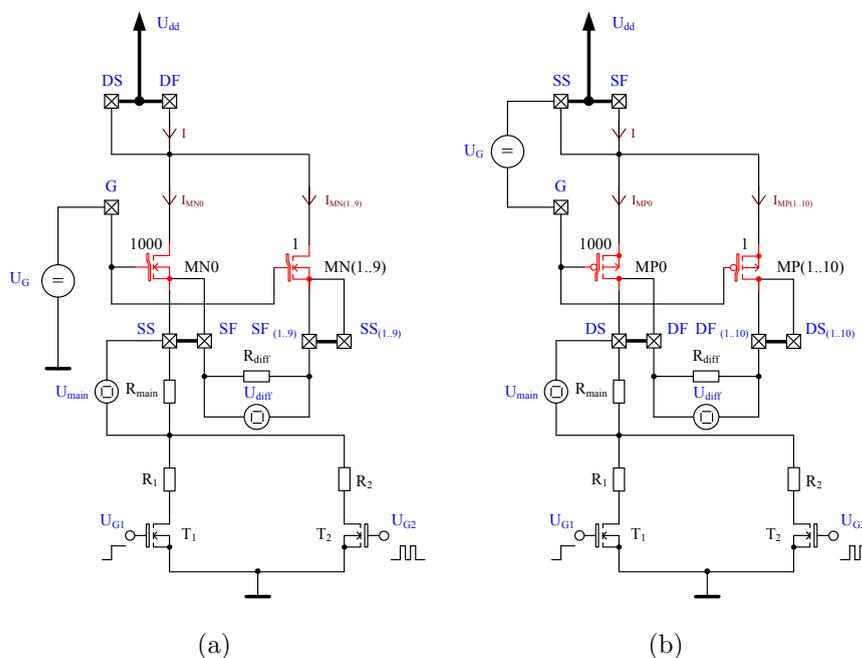


Abbildung 2.21: Prinzipschaltbild der Labormessungen im Zeitbereich (a) nLDMOS, (b) pLDMOS

Abbildung 2.21 zeigt den prinzipiellen Messaufbau. Die Transistoren T_1 und T_2 im Sourcepfad der Teststruktur ermöglichen das Um- oder Zuschalten zwischen zwei Strompfaden.

Ist T_1 eingeschaltet, dann fließt in diesem Zweig ein durch R_1 skaliertes kleiner Strom. Der Schalter T_2 wird mit einem Takt angesteuert. Während der Ein-Phase von T_2 fließt ein entsprechend größerer Strom durch die Teststruktur, da $R_2 \ll R_1$.

Unter Zuhilfenahme von *differential probes* für das Oszilloskop, werden die Spannungsabfälle über den Widerständen R_{main} und R_{diff} gemessen. Jede der Sense-Strukturen liefert einen anderen zeitlichen aber auch betragsmäßigen Verlauf von U_{diff} , welcher jeweils mit der Spannung U_{main} verglichen wird.

Die große Herausforderung an den Messaufbau ist, die parasitären Elemente so klein wie möglich zu halten. Die parasitären Induktivitäten limitieren die Anstiegsgeschwindigkeit des Stromes in solch einem hohen Ausmaß, dass aus den Messergebnissen keine Folgerungen abgeleitet werden können. Deshalb wurde beim Aufbau besonders auf kurze Leitungen geachtet. Zusätzlich mussten parallel zur Versorgungsspannung Kapazitäten verschiedener Größen platziert werden. Die steilen Flanken im Nanosekunden-Bereich bedeuten nämlich im Bildbereich hohe Frequenzen. Desto größer also eine Kapazität, umso früher geht diese frequenzmäßig betrachtet zu induktivem Verhalten über (Abbildung 2.22) und wirkt dem gewünschten Effekt damit entgegen! Eine Staffelung der Kapazitätswerte stellt die stützende Wirkung für die Versorgung über einen großen Frequenzbereich sicher.

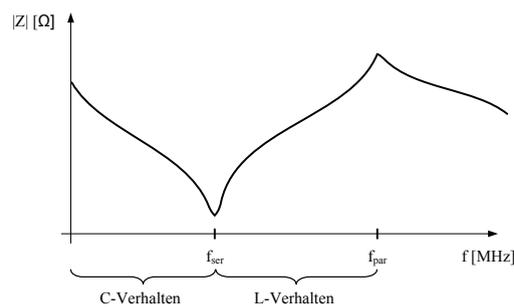


Abbildung 2.22: Impedanzverlauf in Abhängigkeit der Frequenz beim Kondensator [Win08]

Das transiente Verhalten einer beliebigen *Sense*-Struktur ist in Abbildung 2.23 dargestellt.

Der Strom durch den *Sense*-Transistor folgt jenem durch den Haupt-Transistor mit einer gewissen Latenz. Die anfänglich große Anstiegsgeschwindigkeit des Hauptstromes nimmt mit zunehmendem Erreichen des Endwertes ab, da die Energiespeicher erschöpft und zu langsam sind. Damit ist das Limit des Messaufbaus erreicht. In realen Applikationen ist die Anstiegsgeschwindigkeit ebenfalls durch parasitäre Elemente begrenzt.

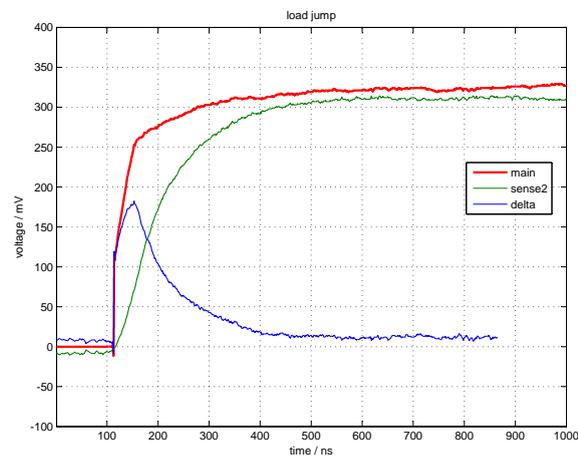


Abbildung 2.23: Transientes Verhalten (nLDMOS)

Um aussagekräftige Beurteilungen vornehmen zu können wann ein Strom eingeschwungen ist, ist die Berechnung der Differenz von Haupt- und *Sense*-Strom hilfreich.

Die *Trench*-Strukturen zeigen dabei unerwartet annähernd identische Einstellzeiten wie die übrigen *Sense*-Strukturen. Das thermische Verhalten der *Deep-Trench-Isolation*, wird in Kapitel 4.2 ausführlich behandelt.

3 Elektro-mechanischer Stress

Unter elektro-mechanischem Stress versteht man die Auswirkungen mechanischer Beeinflussungen, auf das elektrische Verhalten von Bauteilen. Zwei wesentliche Ursachen für die Erzeugung von Stress sind die in CMOS-Technologien eingesetzte STI und dessen Hochvolt-Pendant, die DTI. Allgemein wird der in MOS-Transistoren auftretende Stress durch den Piezo-MOS Effekt beschrieben.

3.1 Grundlagen

3.1.1 Betrachtungen auf Atomebene

Das Ausgangsmaterial Silizium (4-wertig) hat eine halbleitende Eigenschaft. Das heißt, seine Leitfähigkeit ist temperaturabhängig. Im absoluten Temperaturnullpunkt (0 °K) ist das Material ein Isolator, bei Hochtemperatur ein Leiter. Ursache ist die kovalente Bindung, in der die Siliziumatome miteinander stehen. Durch den sogenannten Dotierungsvorgang werden gezielt Verunreinigungen vorgenommen und damit das elektrische Verhalten des Materials beeinflusst. Je nachdem welche Charakteristik erwünscht ist, erfolgt dies durch:

- 5-wertige Donatoren (z.B.: Phosphor) – „Elektronenleitung“, n-Leitung
- 3-wertige Akzeptoren (z.B.: Bor) – „Löcherleitung“, p-Leitung

n-Leitung

Die Siliziumatome bilden untereinander eine fixe Bindung in Form eines Kristallgitters. Durch das Einbringen eines Phosphoratoms existiert ein überflüssiges Elektron im Gitter und es wird ins Leitungsband abgegeben. Im Bändermodell entspricht das einer Anhebung vom Donatorniveau W_D ins Leitungsband W_L . Die dafür erforderliche Energie ist sehr gering und beträgt nur 0,05 eV (Elektronenvolt). [Hof06]

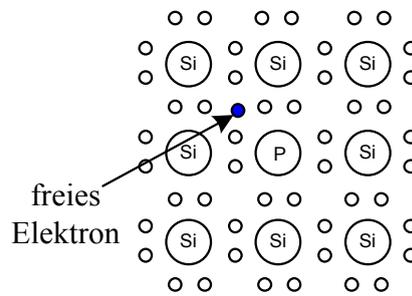


Abbildung 3.1: Kristallgitterstruktur bei n-Leitung [Hil04]

p-Leitung

Hier werden Bor-Atome ins Kristallgitter eingebaut. Aufgrund der 3-Valenzigkeit entsteht eine Defektelektronen- bzw. Löcherleitung. Der Ladungstransport findet dabei invers zur n-Leitung statt. Im Bändermodell entspricht das einem Übergang vom Akzeptorniveau W_A ins Valenzband W_V . [Hof06]

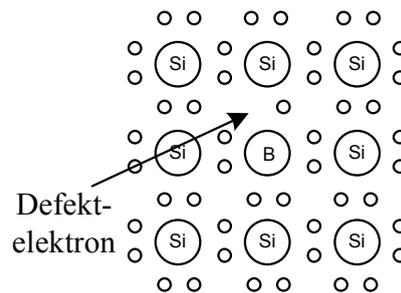


Abbildung 3.2: Kristallgitterstruktur bei p-Leitung [Hil04]

3.1.2 Ausdehnung von Materialien

Die Temperaturabhängigkeit von Festkörpervolumen ist im Allgemeinen nur gering. Da Halbleiter in ihrem Aufbau jedoch hochsensible Gebilde sind, gewinnen die resultierenden Größenänderungen der Materialien an Bedeutung. Die entstehenden Kräfte haben eine Änderung der elektrischen Eigenschaften des Siliziums zur Folge (Kapitel 3.2). Es ist naheliegend, dass sich die verschiedenen Materialien aufgrund ihres inneren Aufbaus in ihren Ausdehnungskoeffizienten unterscheiden.

Tabelle 3.1 gibt Aufschluss über die in Halbleitern häufig verwendeten Materialien und deren Ausdehnungskoeffizienten:

Material	Längenausdehnungskoeffizient α
	$[10^{-6} \frac{1}{K} / 20 \text{ } ^\circ C]$
<i>Si</i>	2
<i>Ge</i>	6
<i>SiO₂</i>	0,5
<i>Cu</i>	16,5

Tabelle 3.1: Längenausdehnungskoeffizient α [Wik11]

Es ist zu erkennen, dass Silizium einen um den Faktor 4 größeren Längenausdehnungskoeffizienten besitzt, als Siliziumdioxid. Ist eine *Sense*-Struktur nun innerhalb eines "Trenches" angeordnet, so ist sie komplett vom Silizium des Haupttransistors umgeben. Der Haupttransistor übt auf die *Sense*-Zelle kompressiven Stress aus und es kommt in Folge zu Ungenauigkeiten im *Sense*-Verhältnis. Da die *Sense*-Struktur von einem um den Faktor K kleineren Strom durchflossen wird, dehnt sich selbstverständlich auch das Silizium des *Sense*-Transistors aus. Aufgrund der geringen Fläche dessen, ist der Einfluss aber schwächer ausgeprägt.

Der Einfluss von Kupfer, aus welchem alle fünf Metallisierungsebenen bestehen, wurde bereits in der Vergangenheit untersucht. Die Einflüsse sind aber bei MOS-Transistoren eher gering.

3.1.3 Mechanischer Stress

Um den Einfluss von mechanischem Stress in Halbleitern beschreiben zu können, bedarf es der Einführung eines geeigneten Modelles. Da ein Halbleiter ein dreidimensionales Gebilde darstellt, liegt die Einführung eines kartesischen Koordinatensystems nahe (Abbildung 3.3).

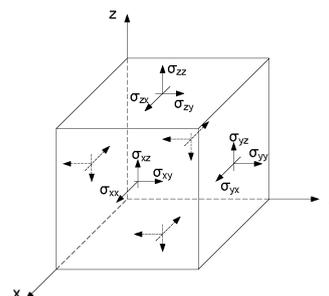


Abbildung 3.3: Gliederung der Stresskomponenten [FM02]

Die richtungsorientierten Stresskomponenten können auch in Matrixform angeschrieben werden.

$$\sigma_{ij} = \begin{bmatrix} \sigma_{xx} & \sigma_{xy} & \sigma_{xz} \\ \sigma_{yx} & \sigma_{yy} & \sigma_{yz} \\ \sigma_{zx} & \sigma_{zy} & \sigma_{zz} \end{bmatrix} \text{ mit } \sigma_{ij} = \frac{\partial F_i}{\partial A_j}$$

Es ist schnell zu erkennen, dass es sich bei σ_{ij} um einen Tensor, den sogenannten Stress-Tensor, handelt. Die Komponenten $\sigma_{xx}, \sigma_{yy}, \sigma_{zz}$ (Diagonalelemente) sind bekannt als normaler Stress. Bei Zugbeanspruchung ist Sigma positiv, bei kompressivem Stress hat Sigma ein negatives Vorzeichen. Alle anderen Elemente in der Matrix werden als Scherspannungen bezeichnet. Die Kräfte wirken dabei parallel zur Oberfläche. [FM02]

3.2 Piezo-MOS-Effekt / STI-Stress

Einleitend zu diesem Kapitel soll aufgezeigt werden, um was es sich beim Piezo-MOS-Effekt handelt, und anhand von STI-Stress erklärt werden, wie er entsteht. Das Verhalten bei n-Kanaltyp und p-Kanaltyp wird dabei unterschieden. Grundsätzlich kann gesagt werden, dass der durch die Isolierung entstehende Stress schon recht lange bekannt ist. Mittlerweile gibt es eine Vielzahl von Stressreduzierungstechniken, die in diversen Publikationen veröffentlicht wurden.

Die Shallow Trench Isolation (STI) besteht aus einem durch anisotropes Ätzen erzeugten Graben, welcher mit Siliziumdioxid aufgefüllt wird. Anschließend wird die Oberfläche mittels Chemical Mechanical Polishing (CMP) planarisiert. Amorphes SiO_2 unterscheidet sich in seiner Struktur von monokristallinem Silizium. Daraus folgt, dass sich bei Erwärmung des Halbleiters durch thermische Belastung die Materialien unterschiedlich ausdehnen. Dies hat mechanischen Stress zur Folge, was eine Beeinflussung der Ladungsträgermobilität μ und damit des Stromes I_D mit sich bringt. Die Einsatzspannung U_t unterliegt dabei ebenfalls einer Verschiebung. Der in den meisten Anwendungen unerwünschte Effekt, kann jedoch in diversen Applikationen zur Verbesserung von Schaltungseigenschaften (z.B.: Geschwindigkeit) verwendet werden.

Der Stress wirkt sich auf den Transistor in drei Dimensionen, also in x-, y- und z-Richtung aus. Dabei ist die x-Richtung als diese in Richtung der Kanallänge definiert, y quer zu dieser und z senkrecht darauf. NMOS und PMOS weisen bei Belastung in y-Richtung identes Verhalten in Form von Verschlechterung der Eigenschaften auf. [TKAS07]

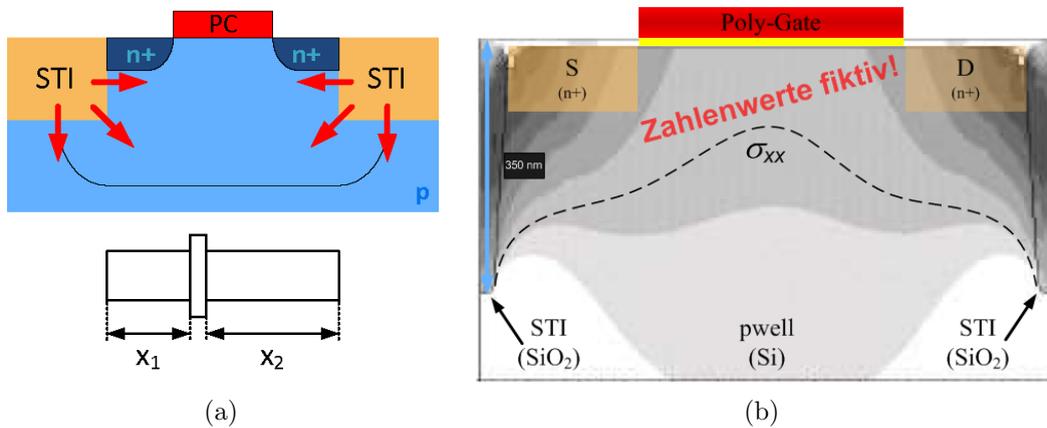


Abbildung 3.4: (a) Stresseinwirkungen, (b) Verlauf der Stresskomponente σ im Halbleiter

Folgende Formeln sind zur Beschreibung der Effekte hilfreich:

$$\text{Drain-Strom (linear): } I_D = \mu \cdot C'_{ox} \frac{W}{L} \cdot \left[(U_{GS} - U_{tn}) \cdot U_{DS} - \frac{U_{DS}^2}{2} \right]$$

$$\text{Drain-Strom (Sättigung): } I_D = \frac{\mu \cdot C'_{ox}}{2} \frac{W}{L} \cdot (U_{GS} - U_{tn})^2 \cdot (1 + \lambda U_{DS})$$

$$\text{Ladungsträgermobilität: } \mu = \frac{q \cdot \tau}{m}$$

τ	mittlere Stoßzeit
m	Masse
q	Ladung

Bei Stress in x-Richtung unterscheidet man das Verhalten für NMOS und PMOS:

NMOS

In Abbildung 3.5 ist die Ladungsträgermobilität in Abhängigkeit vom STI-Stress dargestellt. Ist der Stress am größten, was bei kurzen Abständen (x_1 und x_2 in Abbildung 3.4(a)) zum Kanal hin eintritt, so ist demzufolge die Degradierung der Mobilität am größten. Der kompressive Stress führt zu einer Erhöhung der effektiven Elektronenmasse. Damit sinkt die Mobilität und der Strom.

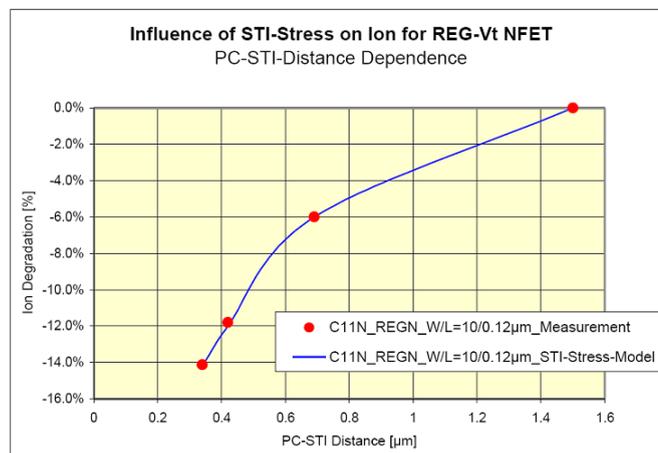


Abbildung 3.5: Einfluss von STI-Stress beim NMOS

PMOS

Beim PMOS weisen die Stressauswirkungen genau umgekehrtes Verhalten auf (Abbildung 3.6). Höherer Stress führt zu einer Erniedrigung der effektiven Löchermasse. Desto kleiner der Abstand der STI zum Kanal hin, umso größer ist der Mobilitätsanstieg. Die Atome rücken dabei näher aneinander, der Übergang wird somit erleichtert. Folgen sind eine Erhöhung der Mobilität und damit ein Anstieg des Stromes.

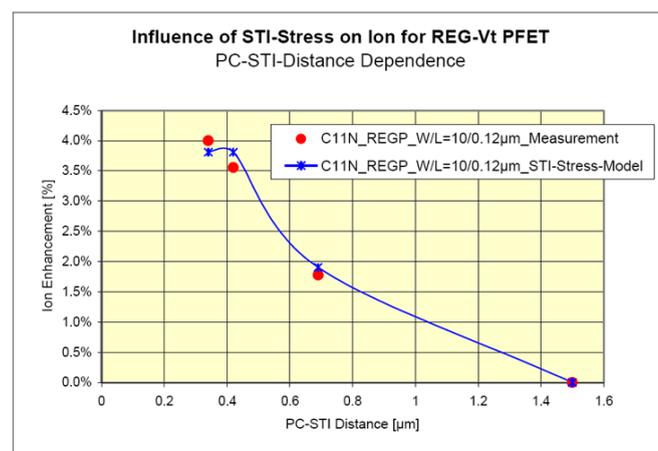


Abbildung 3.6: Einfluss von STI-Stress beim PMOS

3.3 DTI-Stress

In Kapitel 1.4 wurde der Aufbau und die Funktion der DTI bereits erklärt. Auch, dass bei Übergang auf diese Isolationsart Stresseffekte in Kauf genommen werden müssen. Prinzipiell gelten für die Hochvolt-Variante der *Trench*-Isolation dieselben Gesetze wie die in Kapitel 3.2 bereits für das Niedervolt-Pendant (STI) erklärten.

Dieses Kapitel behandelt nun rein die Auswirkungen von mechanischem Stress auf das Transistorverhalten. Besonders zu beachten ist, dass die Ergebnisse der Labormessungen von mehreren Effekten beeinflusst werden. Daher ist bei der Ableitung von Schlussfolgerungen besonders auf die Filterung hinsichtlich der mechanischen Stresseinflüsse zu achten.

Damit also die ebenfalls auftretenden Temperatureffekte weitgehendst ausgeblendet werden, müssen die Teststrukturen in einem Arbeitsbereich betrieben werden, in dem nur eine minimale Erwärmung stattfindet. Besonders geeignet für diese Art von Untersuchungen ist der Ron-Bereich. In ihm kann praktisch die gesamte Transistoroberfläche als isotherm angesehen werden. Die in Abbildung 3.8 dargestellten thermische Simulation bestätigt die Aussage. Die Temperatur über der gesamten DMOS-Fläche beträgt einheitlich 25 °C.

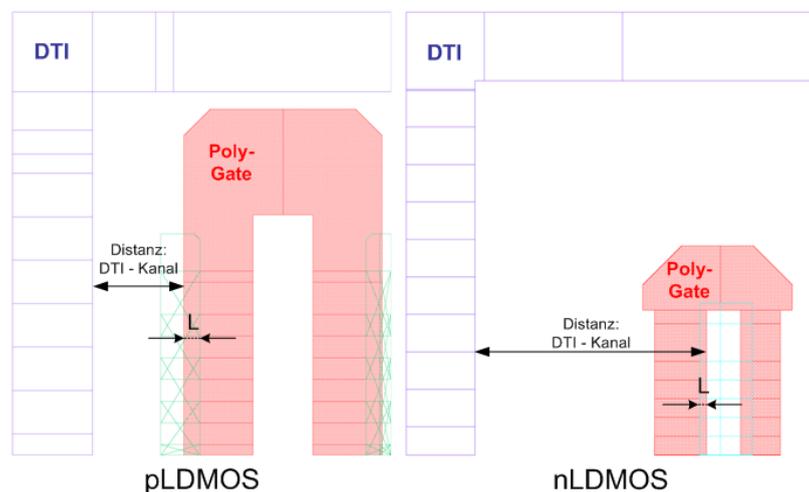
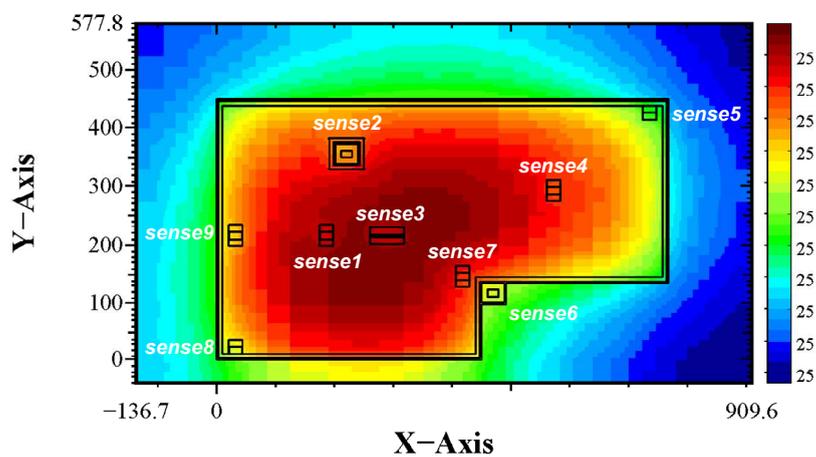


Abbildung 3.7: Distanz vom Kanal zur DTI

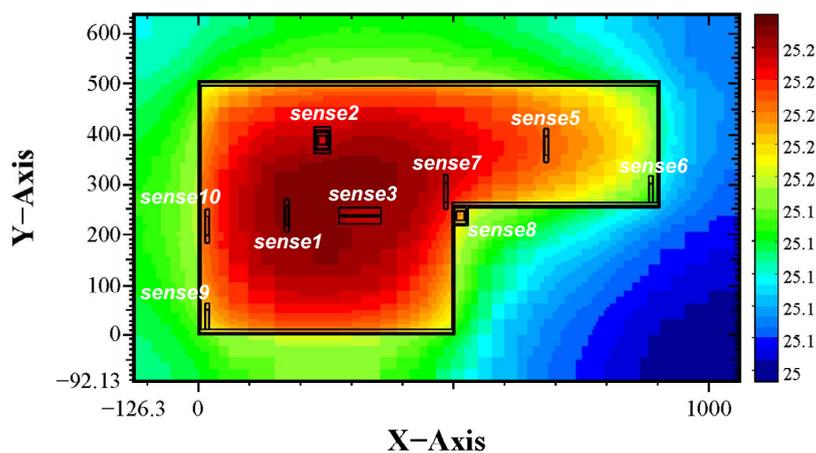
Das Interesse bei den DTI-Stress-Untersuchungen liegt, wie schon erwähnt, bei den *Sense*-Strukturen, die von einem *Trench* umgeben sind.

Bei der nLDMOS-Teststruktur sind dies *sense2* (innen) und *sense6* (außen).

Bei der pLDMOS-Teststruktur sind dies *sense2* (innen) und *sense8* (außen).



(a)



(b)

Abbildung 3.8: ELTIC-Simulation der (a) nLDMOS-Oberfläche, (b) pLDMOS-Oberfläche

Wenn man nun das Verhalten der optimalsten Sense-Strukturen von nLDMOS (Abbildung 3.9(a)) und pLDMOS (Abbildung 3.9(b)) vergleicht, erkennt man, dass hinsichtlich des *Trench*-Einflusses Unterschiede vorliegen. Während sich beim n-Kanal-Typ die *Trench*-Strukturen nur unwesentlich von den Restlichen unterscheiden, sind die Unterschiede beim p-Kanal-Typ deutlich erkennbar - und zwar in einem kleineren *Sense*-Verhältnis.

Die Ergebnisse beruhen auf folgenden Tatsachen:

1. Der Abstand vom Kanal des Transistors zur DTI ist beim pLDMOS um den Faktor $(11,65 \mu\text{m} / 3,42 \mu\text{m} = 3,4)$ kleiner, als beim nLDMOS (Bei *Trench*-Zellen.). Das bedeutet, dass der pLDMOS deutlich von Stress-Einflüssen betroffen ist, während diese beim nLDMOS nur marginal sind. Veranschaulicht ist dies in Abbildung 3.7.

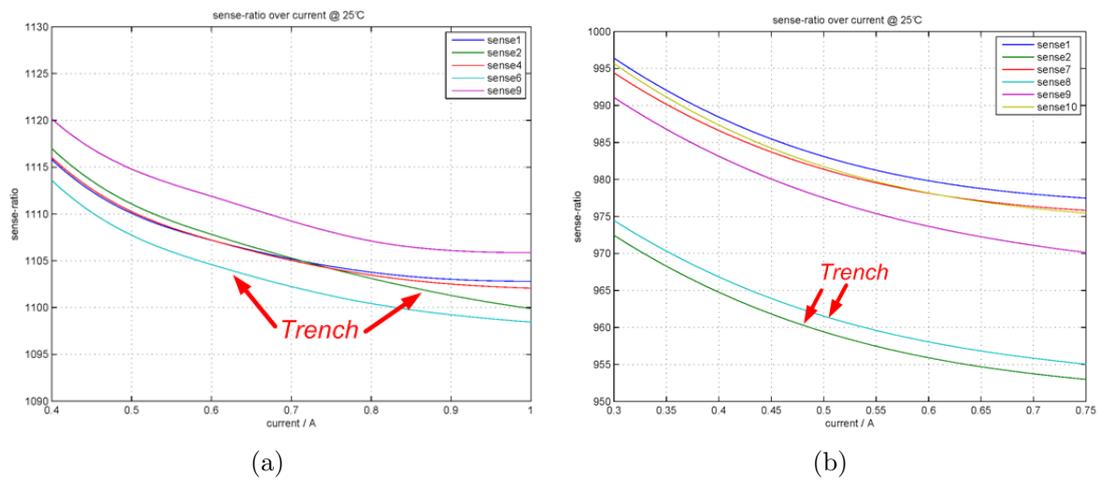


Abbildung 3.9: Verhalten der *Trenches* im Ron-Bereich (a) nLDMOS, (b) pLDMOS

2. Der Verkleinerung des *Sense*-Verhältnisses beim pLDMOS liegt eine Vergrößerung des *Sense*-Stromes aufgrund von Stresseinwirkungen (Verkleinerung der effektiven Löchermasse) zu Grunde.

Die auftretenden Effekte korrelieren dabei mit dem in Kapitel 3.2 beschriebenen PiezomOS-Effekt.

Ob die in der aktiven DMOS-Fläche liegende Struktur (*sense2* bei n- und p-Typ) besser oder schlechter als jene in der inneren Ecke (*sense6* bei n-Typ, *sense8* bei p-Typ) liegende ist, wird rein durch die Temperaturverteilung bestimmt. Laut den Messergebnissen ist beim nLDMOS die *Sense*-Struktur 2 und beim pLDMOS die *Sense*-Struktur 8 die bessere Wahl, falls eine Strommessung über *Sense*-Zellen in separaten *Trenches* erwünscht ist. Generell ist aber die Verwendung von solchen *Sense*-Typen beim pLDMOS nicht zu empfehlen, da bereits im Ron-Bereich ein großer *Mismatch* auftritt.

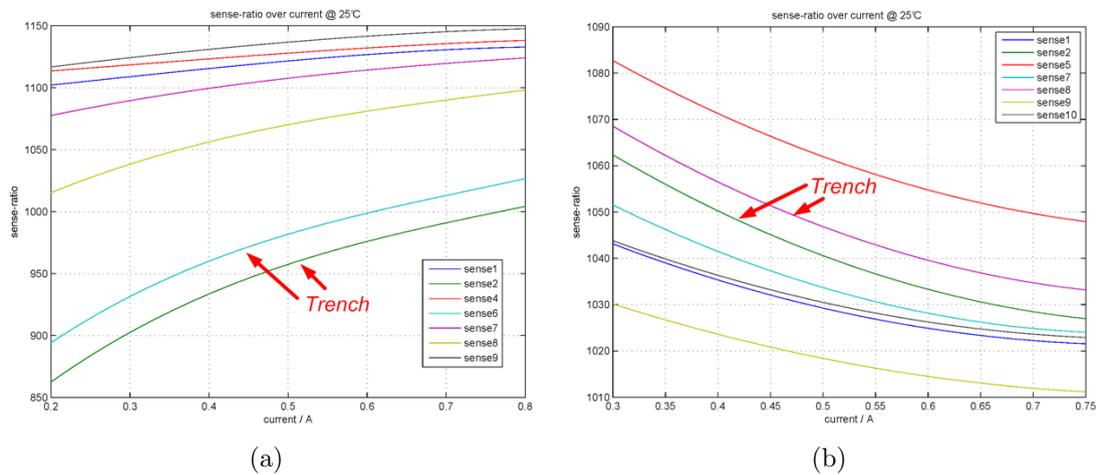


Abbildung 3.10: Verhalten der *Trenches* in der Sättigung (a) nLDMOS, (b) pLDMOS

Da der Drain-Source-Spannungsabfall U_{DS} im Sättigungsbereich laut Definition im Vergleich zum Ron-Bereich sehr groß ist, spielt die im Transistor produzierte Verlustleistung eine nicht mehr vernachlässigbare Rolle.

Wo beim nLDMOS bei kleinen Drain-Source-Spannungen noch kein *Trench*-Einfluss zu erkennen war, sind die Auswirkungen nun deutlich sichtbar. Ebenso ist beim pLDMOS eine weitere Verschlechterung des Verhaltens eingetreten.

Bei den Vergleichen zu beachten ist, dass die *Sense*-Strukturen beim pLDMOS mit unterschiedlichen Kanalweiten gestaltet sind (nachzulesen in Abschnitt 2.1.2)! Eine ausführliche Diskussion der Kurvenverläufe wurde bereits in Kapitel 2.3.2 ange stellt.

4 Elektro-thermisches Verhalten

Unter elektro-thermischem Stress versteht man die Auswirkungen von Temperaturänderungen auf elektrische Eigenschaften von Schaltungen. Diese Form von Stress beeinflusst also die Stromaufteilung zwischen Haupt- und *Sense*-Transistor und damit die Genauigkeit der Messung. Die drei Hypothesen, um deren Bestätigung es in diesem Kapitel geht, sind:

1. Die Temperaturänderungen beeinflussen die Messgenauigkeit.
2. Die Platzierung von *Sense*-Zellen außerhalb des *Trenches* beeinflusst die Messgenauigkeit.
3. Die Lage der *Sense*-Zellen innerhalb des Haupttransistors ist ausschlaggebend für die Messgenauigkeit.

Zum besseren Verständnis ist die Kenntnis folgender elektro-thermischer Grundlagen von Vorteil:

4.1 Temperatureffekte in MOS-Transistoren

Bei MOS-Transistoren dominieren zwei Effekte und zwar jener der Schwellspannung (Einsatzspannung U_t) und der Mobilität der Ladungsträger.

4.1.1 Schwellspannung

Die Schwellspannung unterliegt aufgrund von Temperatureinflüssen recht großen Schwankungen. Der Zusammenhang ist dabei ein annähernd linearer und lässt sich mit folgender Formel beschreiben:

$$U_t(T) = U_t(T_0) + \alpha_t \cdot (T - T_0) \quad (4.1)$$

$$|\alpha| = 1 \text{ mV} \dots 2 \text{ mV}$$

Eine Vergrößerung der Temperatur bringt also eine Verringerung der Schwellspannung mit sich. Zusätzlich ausschlaggebend für die Größe der Auswirkungen sind die Transistordimensionen und die Dotierungsdichte. Transistoren in DSM-Technologien unterliegen kleineren Schwankungen des Temperaturkoeffizienten ($|\alpha| < 1 \text{ mV}$). Eine höhere Dotierung bringt ebenfalls eine Verbesserung und damit eine geringere Abnahme der Schwellspannung mit sich. [Aue10]

4.1.2 Mobilität der Ladungsträger

Die Mobilität der Ladungsträger gehorcht näherungsweise folgendem Verhalten:

$$\mu(T) = \mu(T_0) \cdot \left(\frac{T}{T_0}\right)^{-\beta_T} \quad (4.2)$$

Das heißt, bei fallender Temperatur steigt die Mobilität der Ladungsträger an. Es zeigt sich, dass die beiden Effekte gegenläufig sind. Die Dominanz eines Effektes ist also durch die Gate-Source-Spannung U_{GS} bestimmt. Eine kleine U_{GS} bewirkt einen stärkeren Einfluss der Schwellspannung, eine große Gate-Source-Spannung hingegen führt zu einer Dominanz des Effekts der Ladungsträgermobilität. [Aue10]

4.2 Thermodynamische Betrachtungen

Das Temperaturverhalten in Halbleitermaterialien gehorcht den Gesetzen der Thermodynamik. Allgemein kann bei der Wärmeübertragung prinzipiell zwischen drei Formen unterschieden werden:

- Wärmeleitung
- Konvektiver Wärmeübergang

- Wärmestrahlung

In Halbleitern kommt dabei nur die Wärmeleitung zur Wirkung, welche den Transport in ruhender Materie durch molekulare Wechselwirkungen beschreibt. [LJT08]

Wie gut sich Wärme in Materialien ausbreitet, wird durch die physikalische Größe der Wärmeleitfähigkeit λ beschrieben. Das dominierende Material in der heutigen Halbleitertechnik ist Silizium (Si). Siliziumdioxid (SiO_2) eignet sich aufgrund seiner dielektrischen Eigenschaften hervorragend als Isolator. Die Wärmeleitfähigkeit von SiO_2 liegt dabei zirka zwei Zehnerpotenzen unter jener von Silizium.

Eine Übersicht der Koeffizienten sei in Tabelle 4.1 gegeben:

Material	Wärmeleitfähigkeit λ
	$\left[\frac{W}{m \cdot K}\right]$
Si	148
SiO_2	1,2...1,4

Tabelle 4.1: Wärmeleitfähigkeit λ [Wik11]

Beim Zusammenführen beider Materialien, wie es beispielsweise bei der Realisierung von Deep-Trench-Isolationen vorkommt, wird die Beeinflussung sichtbar. Das Silizium innerhalb der Trench-Strukturen folgt Temperaturänderungen mit einer gewissen Latenz, da SiO_2 ein hervorragender Isolator ist. Die Verzögerung rührt aus der vergrößerten Weglänge her. Dies sei schematisch in Abbildung 4.1(b) dargestellt.

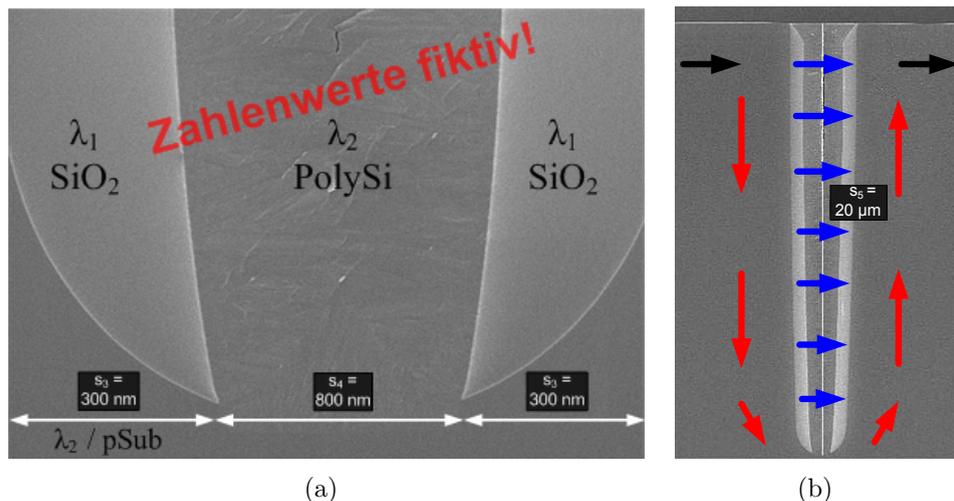


Abbildung 4.1: (a) DTI Aufbau (b) Wärmeausbreitung

Der schwarze Pfeil zeigt die Richtung an, in der sich die Wärme ausbreiten soll. Allgemein breitet sich Wärme von Orten höherer zu Orten niedriger Temperatur aus. Die

blaue Variante demonstriert eine Ausbreitung durch den Trench hindurch, der rote Weg beschreibt den Weg um den Trench herum.

Aufgrund der Tatsache, dass Siliziumdioxid den Temperaturübergang erschwert, wird angenommen, dass sich die Wärme hauptsächlich entlang des geätzten Grabens in die Tiefe des Substrats ausbreitet und nur kaum durch den Trench hindurch. Grund ist der geringere Wärmewiderstand R_{th} für diesen Ausbreitungsweg.

Basis der folgenden Betrachtungen ist das Fourier'sche Gesetz. Dieses besagt, dass die Wärmestromdichte \vec{q} proportional dem negativen Temperaturgradienten ist.

$$\vec{q} = -\lambda \text{ grad}T \quad \text{Fourier'sches Gesetz}$$

$$R_{th} = \frac{1}{\lambda} \cdot \frac{s}{A} \quad \text{Wärmewiderstand} \left[\frac{K}{W} \right]$$

Dabei repräsentiert die Variable s die jeweilige Weglänge des Ausbreitungsweges. Die Variable A entspricht der Fläche.

Für erste grundlegende Veranschaulichungen sind stationäre, also zeitunabhängige, Betrachtungen vollkommen ausreichend. Die Fourier-DGL vereinfacht sich dadurch zu einer Laplace'schen DGL der Form:

$$0 = \Delta T \quad (4.3)$$

Wird die Laplace-Gleichung 4.3 nur in einer Dimension gelöst, so vereinfacht sie sich zu folgendem Ausdruck:

$$\frac{d^2T}{dx^2} = 0 \quad (4.4)$$

Nach der Integration der DGL und dem Einsetzen der Randbedingungen erhält man für die Temperatur abhängig vom Weg x folgenden Ausdruck:

$$T(x) = T_1 + \frac{x}{s} \cdot (T_2 - T_1) \quad (4.5)$$

Nun kann unter Anwendung der Fourier'schen Beziehung die Größe des Wärmestroms \dot{Q} mit der Einheit Watt eingeführt werden:

$$\dot{Q} = \lambda \cdot \frac{A}{s} \cdot (T_2 - T_1) \quad (4.6)$$

Hier kommt die Analogie zum Ohm'schen Gesetz der Elektrotechnik zum Tragen:

$$\dot{Q} = \frac{(T_2 - T_1)}{R_{th}} \text{ mit } R_{th} = \frac{1}{\lambda} \cdot \frac{s}{A} \quad (4.7)$$

Der Ausdruck $(T_2 - T_1)$ entspricht der Potentialdifferenz, ist also mit der elektrischen Spannung vergleichbar.

Mit den erarbeiteten Formeln können nun die zwei unterschiedlichen Ausbreitungswege der Temperatur miteinander verglichen werden:

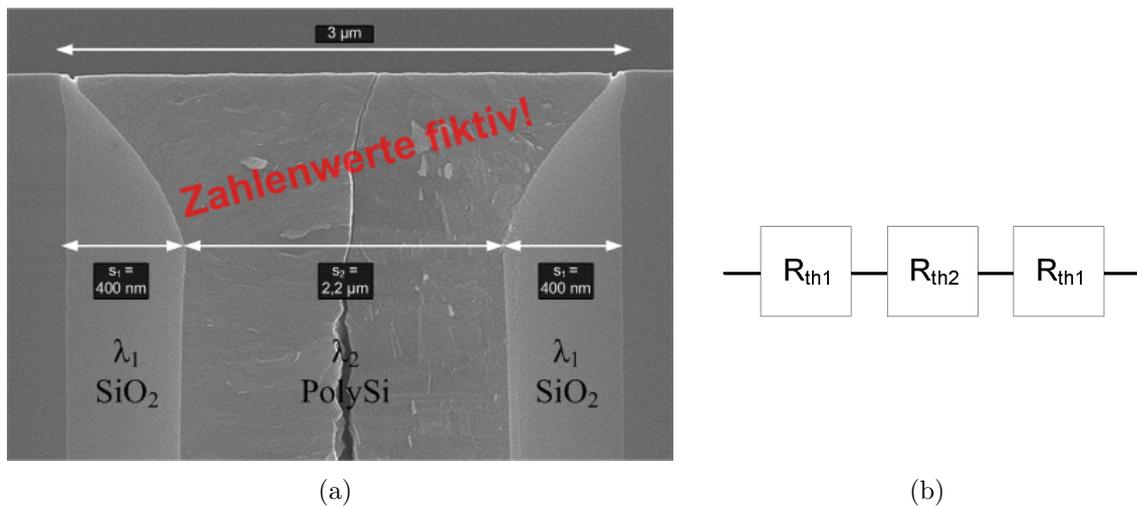


Abbildung 4.2: (a) Abmessungen DTI (b) Thermisches Ersatzschaltbild

Temperaturausbreitung durch den Trench hindurch: (Blauer Weg in Abbildung 4.1(b))

Der thermische Widerstand ist mit den in Abbildung 4.2(a) gegebenen Abmessungen berechnet. Er setzt sich aus drei unterschiedlichen Übergängen zusammen (Abbildung 4.2(b)).

$$\begin{aligned} R_{th} &= 2 \cdot \left(\frac{1}{\lambda_1} \cdot \frac{s_1}{A} \right) + \left(\frac{1}{\lambda_2} \cdot \frac{s_2}{A} \right) = \\ &= 2 \cdot \left(\frac{1}{1,2} \cdot 0,3 \right) + \left(\frac{1}{148} \cdot 2,2 \right) = 0,68 \frac{K}{W} \end{aligned} \quad (4.8)$$

Temperaturausbreitung um den Trench herum: (Roter Weg in Abbildung 4.1(b))

Der thermische Widerstand ist mit den in Abbildung 4.1(a) und 4.1(b) gegebenen Abmessungen berechnet. Für den gesamten Ausbreitungsweg gilt dieselbe Wärmeleitfähigkeit λ_2 .

$$\begin{aligned}
 R_{th} &= 2 \cdot \left(\frac{1}{\lambda_2} \cdot \frac{s_5}{A} \right) + \left(\frac{1}{\lambda_2} \cdot \frac{s_3 + s_4 + s_3}{A} \right) = & (4.9) \\
 &= 2 \cdot \left(\frac{1}{148} \cdot 20 \right) + \left(\frac{1}{148} \cdot 1,4 \right) = 0,28 \frac{K}{W}
 \end{aligned}$$

Der Wärmewiderstand für die Ausbreitung um den Trench herum ist damit um den Faktor $x = 2,43$ (Formel 4.10) kleiner als jener für den anderen Ausbreitungsweg. Zur Berechnung wurde die Fläche A als $1 \mu m^2$ festgelegt. Der Wärmewiderstand R_{th} ist somit als Widerstand pro Flächeneinheit zu sehen.

$$x = \frac{0,68 \frac{K}{W}}{0,28 \frac{K}{W}} = 2,43 \quad (4.10)$$

Die Annahme, dass der Deep Trench die Temperaturausbreitung erschwert ist somit bestätigt. In der Realität ist die Differenz zwischen den beiden Wärmewiderständen noch größer, da die Epitaxie, der Buried Layer und das p-Substrat ein wesentlich größeres Volumen für die Wärmeleitung zur Verfügung stellen als die DTI.

Geht man nun von stationären Betrachtungen auf nichtstationäre über, so besteht neben der Wegabhängigkeit auch eine zeitliche Abhängigkeit der Temperatur.

Unter Berücksichtigung aller dreier Dimensionen (x,y,z) ergibt sich folgende Gleichung:

$$\frac{\partial T}{\partial t} = a \left(\frac{\partial^2 T}{\partial x^2} + \frac{\partial^2 T}{\partial y^2} + \frac{\partial^2 T}{\partial z^2} \right) \quad (4.11)$$

$$a = \frac{\lambda}{c \cdot \rho}$$

λ	Temperaturleitfähigkeit $\left[\frac{m^2}{s} \right]$
c	spezifische Wärmekapazität
ρ	Dichte

Eine Lösung der Fourier'schen Differentialgleichung 4.11 ist dabei in vielen Fällen nur mehr durch eine numerische Approximation möglich (beispielsweise über die Methode der Finiten Elemente mittels Rechnerprogrammen). Als Ergebnis erhält man eine räumliche Temperaturverteilung.

4.2.1 Verhalten der Teststrukturen

Im Folgenden geht es um die Überprüfung der aufgestellten Hypothesen (Kapitel 4) unter Zuhilfenahme der Labormessungen und elektro-thermischen Simulationen.

Die im vorangehenden Kapitel 4.2 angestellten Berechnungen können ebenfalls als Referenzwerte für die Teststrukturen herangezogen werden.

Überprüfung der Hypothesen

Die Hypothesen besagen im Allgemeinen, dass die Temperaturänderungen die Messgenauigkeit beeinflussen. Im elektro-thermischen Kontext ist damit die Reaktionsgeschwindigkeit der *Sense*-Strukturen auf Stromänderungen im Haupttransistor gemeint. Desto weiter also eine *Sense*-Struktur vom Transistormittelpunkt (heißeste Stelle) entfernt ist, desto größer ist die Temperaturdifferenz. Die *Deep-Trench*-Isolierung unterstützt den Effekt zusätzlich.

Das in Kapitel 2.3.3 beschriebene Messverfahren lieferte Ergebnisse, die nun zur Überprüfung der Hypothesen herangezogen werden. Vermessen, und in Abbildung 4.3 dargestellt, wurden nur *Sense*-Strukturen, die an interessanten Stellen liegen.

In Abbildung 4.3 auf der x-Achse aufgetragen ist die Zeit, auf der y-Achse der Spannungsabfall über den *Shunt*-Widerständen R_{main} und R_{diff} . Damit ist der Strom proportional dem Spannungsabfall über den Transistoren. Zu sehen ist die Messschaltung in Abbildung 2.21. Die Kurvenverläufe wurden ebenfalls bereits in Abschnitt 2.3.3 diskutiert.

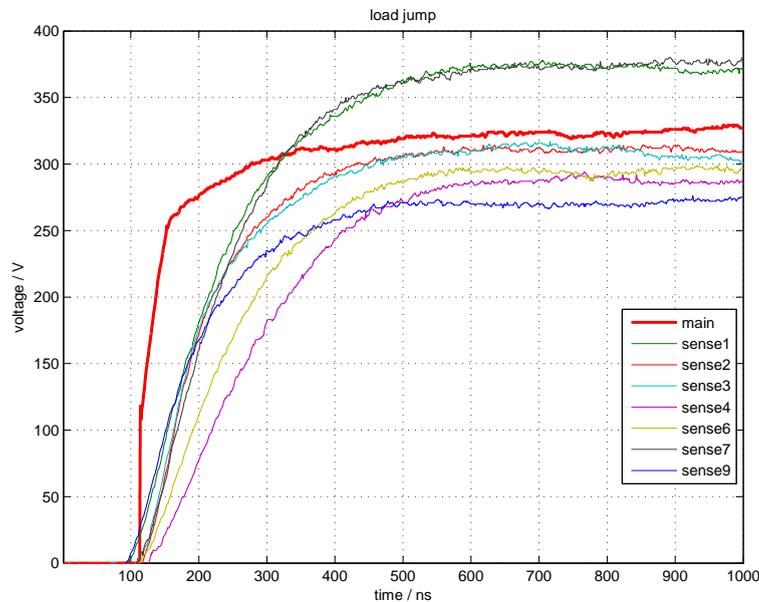


Abbildung 4.3: Zeitliches Verhalten bei Lastsprüngen (nLDMOS)

In diesem Kapitel ist der Fokus lediglich auf das thermische Verhalten gelegt. Sehr schön zu erkennen ist, dass die einzelnen *Sense*-Strukturen in ähnlichen Zeiten den eingeschwingenen Zustand erreichen. Der betragsmäßige Offset rührt von unterschiedlichen *Sense*-Verhältnissen her. Er ist aber bei dieser Art von Untersuchungen nicht von Interesse.

Die genauen Verläufe sind in Abbildung 4.4 in Form von Delta-Funktionen (Differenz zwischen U_{main} und jeweiliger Differenzspannung $U_{diff\ 1,2,3,4,6,7,9}$) dargestellt. Nach einer Zeit von circa 500 ns ist der Wert des *Sense*-Stromes repräsentativ für jenen im Haupttransistor.

Überraschend ist, dass sich die *Trench*-Strukturen (*sense2* und *sense6*) nicht schlechter als alle üblichen *Sense*-Strukturen verhalten. Die zweifelsohne vorhandene zeitliche Verzögerung durch den *Trench* ist nur bei Zeiten im niedrigen Nanometer-Bereich wirksam. Für Investigationen in diesen Zeitbereichen ist der verwendete Messaufbau jedoch ungeeignet.

Da ein Anstieg des Stromes eine Erwärmung der Transistoren bedeutet, kann direkt auf das Temperaturverhalten in den Teststrukturen geschlossen werden. Eine durchgeführte elektro-thermische Simulation gibt Aufschluss über die Richtigkeit der Messergebnisse und liefert je nach Wahl der Modelle die Temperaturverläufe im DMOS

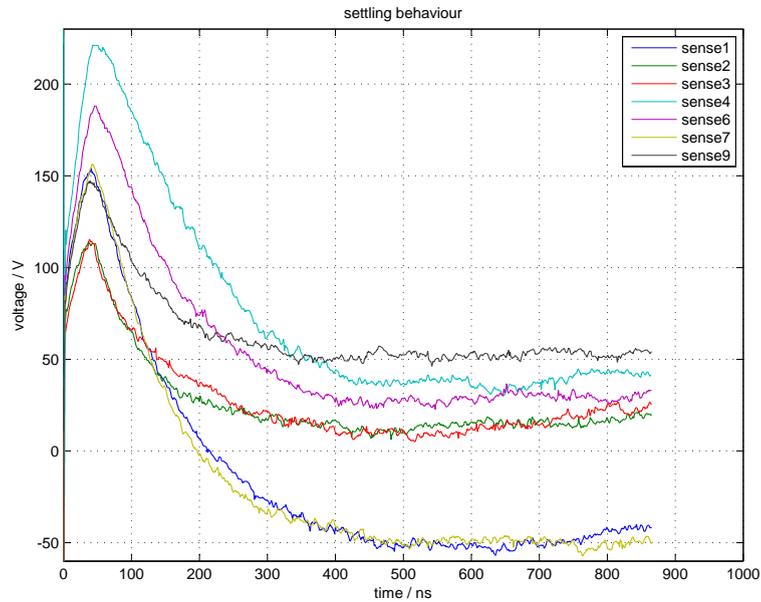


Abbildung 4.4: Einschwingverhalten (nLDMOS)

(Abbildung 4.5). Vergleicht man die Reaktionsgeschwindigkeit der *Sense*-Strukturen zwischen Messung und Simulation, so sind abhängig von der Lage keine Unterschiede bezüglich der Reihung erkennbar. Die Simulation stimmt also mit der Messung überein. Bei einem Sprung des Stromes von null Ampere auf ein Ampere dauert es fünf Millisekunden, bis annähernd statische Temperaturverhältnisse an der Chipoberfläche herrschen.

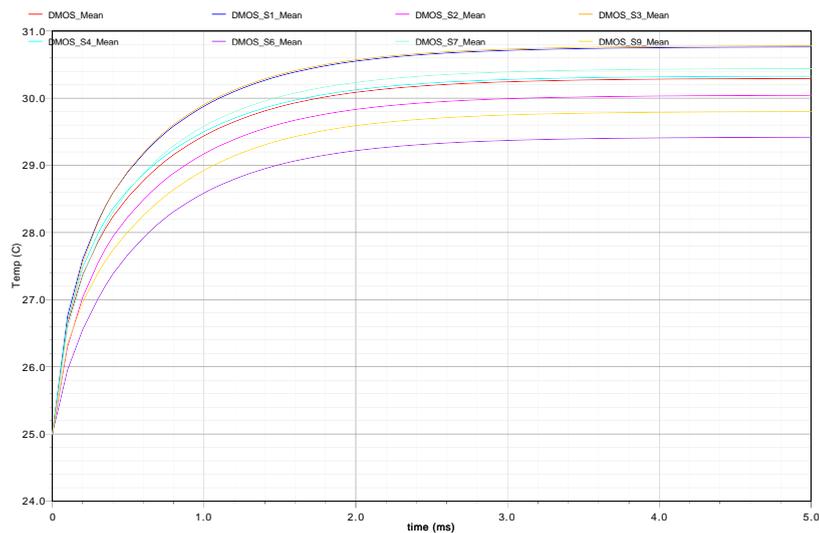


Abbildung 4.5: Elektro-thermische Simulation (nLDMOS)

Die Struktur *sense1* erreicht laut der Simulation sogar schneller den Endwert, da sie im Vergleich zur mittleren Temperatur des Haupt-DMOS, an einer heißeren Stelle platziert ist. Struktur *sense7* hingegen, liegt an der inneren Ecke an einer Stelle, welche genau der mittleren Temperatur des Haupt-DMOS entspricht. Daher sind die Anstiegs- geschwindigkeiten identisch. Die *Trench*-Strukturen (*sense2* und *sense6*), im besonderen aber *sense6*, besitzen temperaturmäßig gesehen einen deutlichen Offset zum Haupt- Transistor. Ursache sind die thermischen Eigenschaften der DTI (Kapitel 4.2) und klarerweise die größere Entfernung von *sense6* zum Transistormittelpunkt. Der in Gleichung 4.10 berechnete Faktor von 2,43, welcher eine Verlangsamung der Wärmeausbrei- tung aufgrund der DTI beschreibt, kann mittels der angestellten Simulation ebenfalls verifiziert werden. Natürlich gilt der Zahlenwert nur als grobe Abschätzung, und ist bei der vorliegenden Teststruktur lediglich für die Beziehung zwischen Haupt-Transistor und *Sense*-Struktur *sense2* gültig. Die Struktur *sense6* weist aufgrund der größeren Entfernung einen größeren Offset auf.

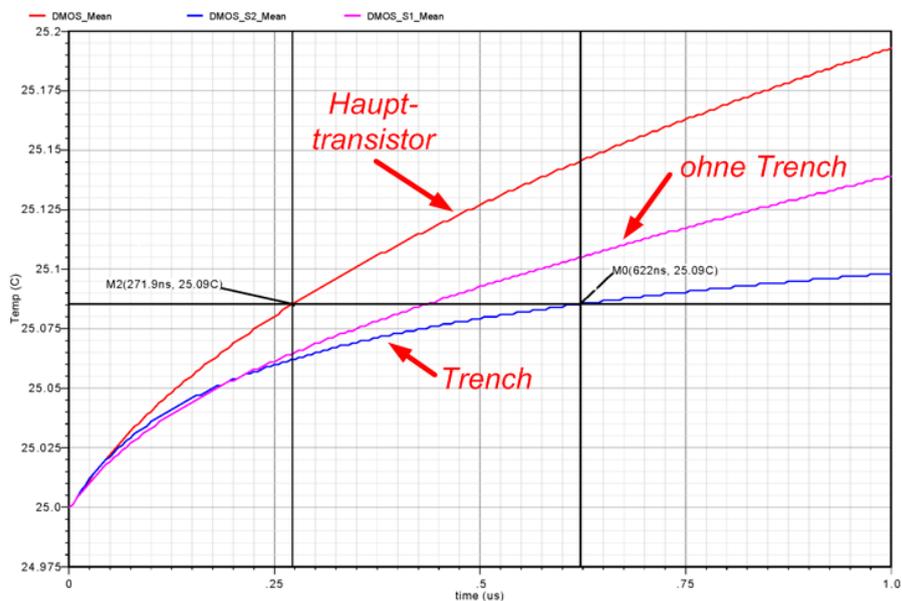


Abbildung 4.6: Zeitliche Verzögerung aufgrund des *Trenches* (nLDMOS)

Berechnung der zeitlichen Verzögerung aus den Messergebnissen:

$$t_{diff} = 622 \text{ ns} - 272 \text{ ns} = 350 \text{ ns}$$

$$x = \frac{622 \text{ ns}}{272 \text{ ns}} = 2,28$$

Der aus der Simulation erhaltene stimmt mit dem berechneten Faktor gut überein!

Zum besseren Verständnis ist in Abbildung 4.7 der dreidimensionale Temperaturverlauf im DMOS (Ansicht von unten) dargestellt. Die isolierenden Eigenschaften vom *Trench* sind eindeutig erkennbar. Die Temperatur innerhalb der *Sense*-Struktur *sense2* ist niedriger, als bei *Sense*-Strukturen, die in keinem eigenen *Trench* liegen.

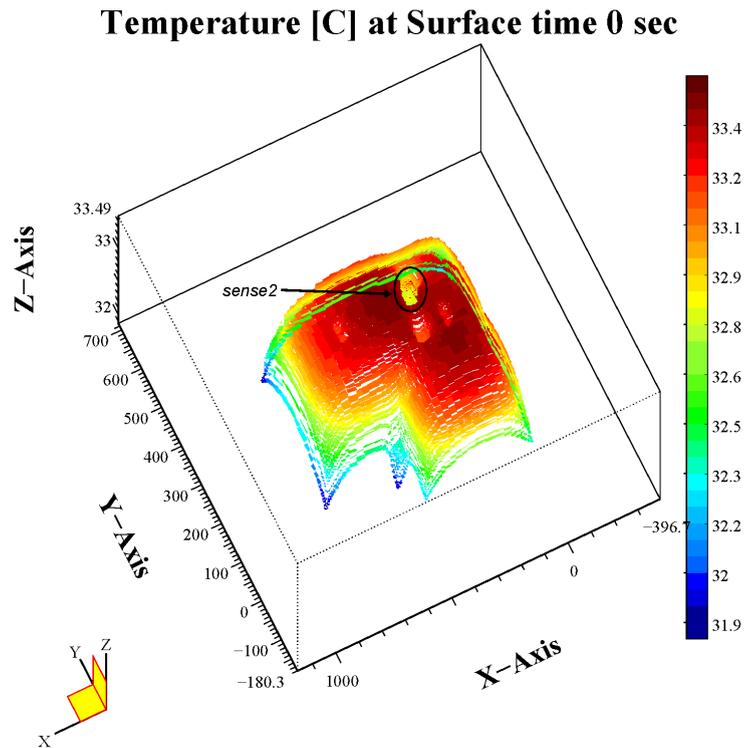


Abbildung 4.7: 3D-Temperaturverlauf (nLDMOS)

Abschließend zu diesem Kapitel wird der Aufheizvorgang eines nLDMOS in Form von Bildern zu verschiedenen Zeitpunkten gezeigt (Abbildung 4.8). Das Temperaturverhalten repräsentiert die Verhältnisse im *Chip* bei einem angelegten Strom-Sprung von einem Ampere im Haupt-Transistor und einem Milliampere (Faktor 1000:1) in den *Sense*-Transistoren. Die in Unterbild 4.8(b) auftretende lokale Temperaturerhöhung in Form eines horizontalen Streifens, stammt von der an dieser Stelle fehlenden *Power*-Kupfer Metallisierung. Das Wärmeabgabevermögen ist nur zu Beginn der Aufheizphase an dieser Stelle vermindert. Besonders die *Trench*-Strukturen haben zu diesem Zeitpunkt temperaturmäßig gesehen noch einen kleineren Wert.

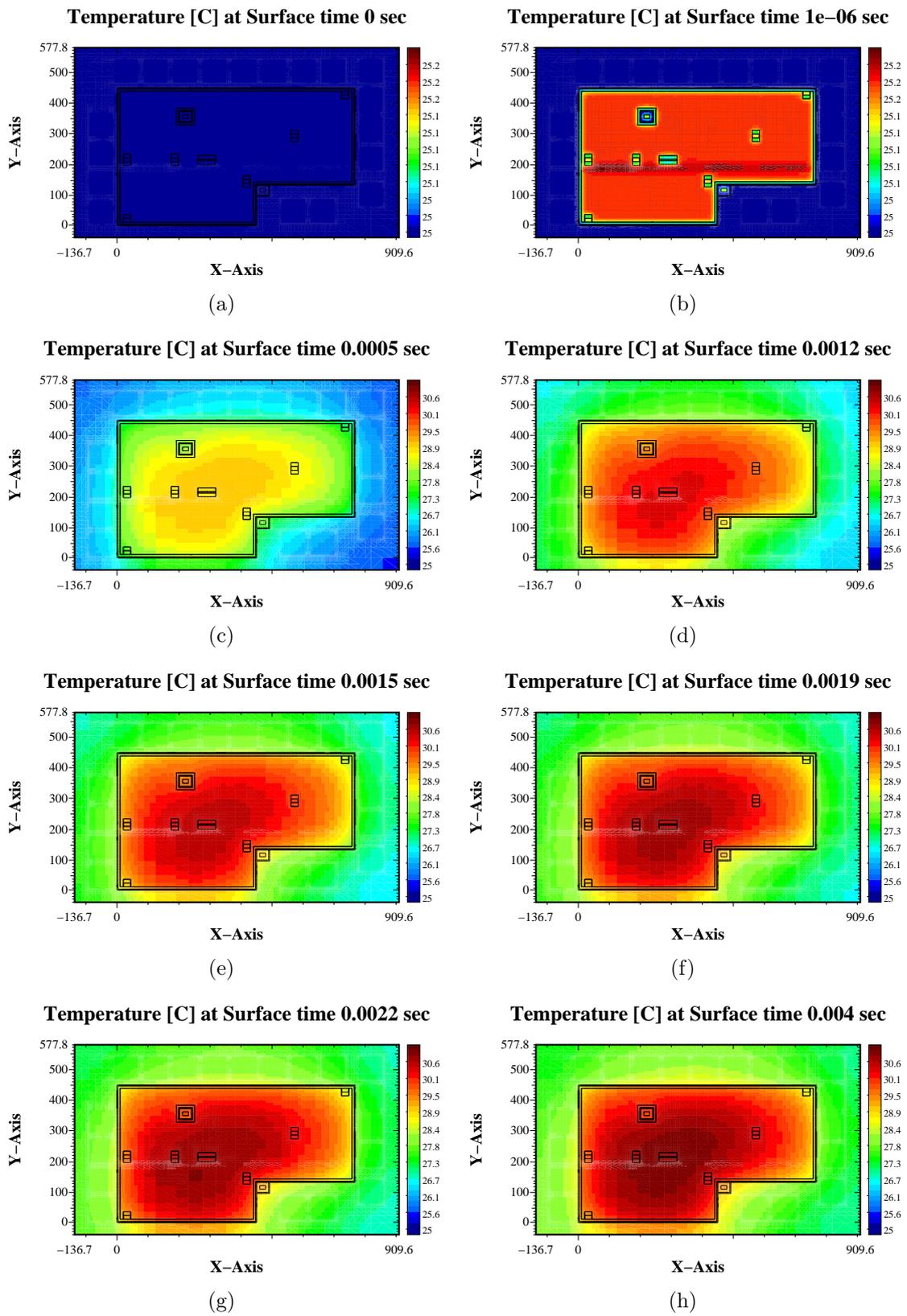


Abbildung 4.8: Aufheizverhalten (nLDMOS)

5 Schaltungskonzepte

In diesem Kapitel werden unterschiedliche Methoden zur Strommessung in DMOS-Transistoren vorgestellt und deren jeweiligen Vor- und Nachteile diskutiert.

Einleitend zu sagen ist, dass ein Schaltungskonzept nur dann zu akkuraten Ergebnissen führt, wenn die zugrunde liegende *Sense*-Zelle ein genaues Abbild des Stroms im Haupttransistor liefert. Liegen bereits dort Ungenauigkeiten, beispielsweise bedingt durch Stresseffekte vor, dann bringt ein noch so genaues Strom-Sense-Konzept keine Verbesserung. Um Auswahlkriterien für die optimale Lage der *Sense*-Zellen geht es in den vorangehenden Kapiteln dieser Arbeit.

Die im weiteren Verlauf vorgestellten Schaltungen beziehen sich auf nLDMOS-Transistoren. Für pLDMOS-Transistoren gelten natürlich analoge Konzepte.

Anforderungen an ein Konzept:

Prinzipiell geht es bei den Anforderungen darum, ein möglichst genaues Abbild des Stroms im Haupt-Transistor zu erhalten.

Das bedeutet, möglichst keine Abweichungen

- im Betrag
- und in der Zeitdomäne.

Erreicht werden kann dies nur unter Berücksichtigung folgender Faktoren:

- Idealerweise keine Beeinflussung der Verhältnisse im Haupt-& *Sense*-Pfad durch Messsignalaufnehmer (bspw. Widerstände)
- Vergleich des Messwerts mit einer Referenzgröße (im besten Fall mit einem hochgenauen Referenzstrom)
- Offsetfreier Vergleich des Messwerts mit der Referenzgröße durch geeignete Komparatoren
- Eliminierung von Prozessschwankungen - keine Absolutwerte (bspw. bei Widerständen)

5.1 Diskussion unterschiedlicher Konzepte

Generell ist bei den *Sense*-Konzepten auch eine Messung im Drain-Pfad möglich. Beim nLDMOS wird das Drain-Gebiet jedoch durch die n-Epitaxie repräsentiert, welches für alle Transistorzellen innerhalb eines *Trenches* gemeinsam ist. Ist eine solche Art der Messung gewünscht, muss also der *Sense*-Transistor in einem eigenen *Trench* liegen, sodass der Drainanschluss frei verschaltbar ist. Der Übergang auf derartige Methoden bringt jedoch nicht zu vernachlässigende Stresseffekte.

5.1.1 Messung im Hochstrompfad

Diese Methode stellt die auf den ersten Blick naheliegendste dar. Wenn direkt im Hochstrompfad gemessen wird, so ist der *Sense*-Transistor überflüssig. Da aber durch den Haupt-DMOS ein großer Strom (im Fehlerfall ein noch größerer) fließt, muss der Widerstand R_{sense} , welcher das Strom- in ein Spannungssignal transformiert, geeigneter Bauart und Größe sein. Die Integration hochvoltfähiger, und damit großer Bauteile, ist naturgemäß komplizierter und teurer als jene von Niedervoltbauteilen.

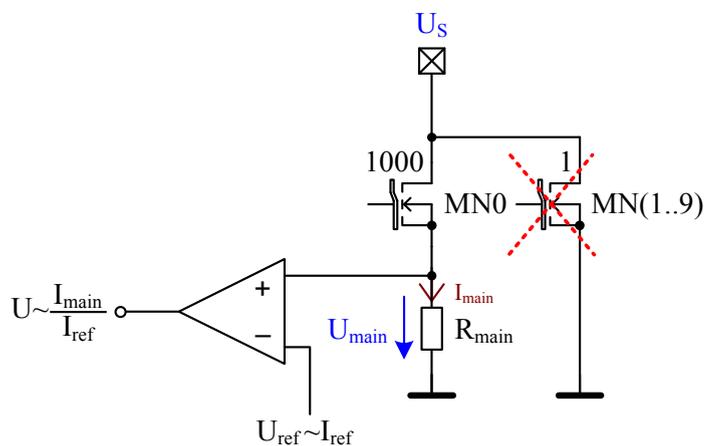


Abbildung 5.1: Messung im Hochstrompfad

$$I_{main} = \frac{U_{DS}}{R_{on}}$$

Beim Erreichen der Komparatorschwelle gilt:

$$U_{ref} = U_{main} = I_{main} \cdot R_{main}$$

Eine Schwankung des Widerstandswerts, von typisch bis zu $\pm 20\%$ (bei Poly- Widerständen), resultiert direkt in einem Fehler der *Sense*-Spannung:

$$U_{main} = I_{main} \cdot \Delta R_{main}$$

Vorteil:

- *Sense*-Transistor wird nicht benötigt (einfach)

Nachteile:

- Ungenauigkeiten des Widerstandswerts R_{main} gehen direkt in das Ergebnis ein (Absolutwert)
- Effektiver Ron schlechter
- Große, integrierte Widerstände sind teuer

5.1.2 Messung über Sense-Transistoren

Damit wirklich genaue und effiziente Strommessungen ermöglicht werden, ist ein Übergang auf Messungen mittels *Sense*-Transistoren unerlässlich. Vorteilhaft ist der fehlende Widerstand im Sourcepfad des Haupttransistors. Bei dieser Variante (Abbildung 5.2) befindet sich der Widerstand im Source-Pfad des *Sense*-Transistors, was wiederum einen *Mismatch* der Sourcepotentiale mit sich bringt ($U_{GS1} \neq U_{GS2}$).

Die Spannung U_{sense} wird mittels eines Komparators mit einer fixen Referenzspannung (z.B.: Bandgap-Spannung) verglichen. Deshalb gehen die Widerstandstoleranzen analog zum ersten Konzept direkt in das Ergebnis ein. Auch die unterschiedliche Stromaufteilung ist zu beachten.

$$M_I : \quad U_{GS1} = U_{GS2} + U_{R_{sense}} \quad (5.1)$$

$$I_D = \mu \cdot C'_{ox} \frac{W}{L} \cdot \left[(U_{GS} - U_{tn}) \cdot U_{DS} - \frac{U_{DS}^2}{2} \right] \quad (5.2)$$

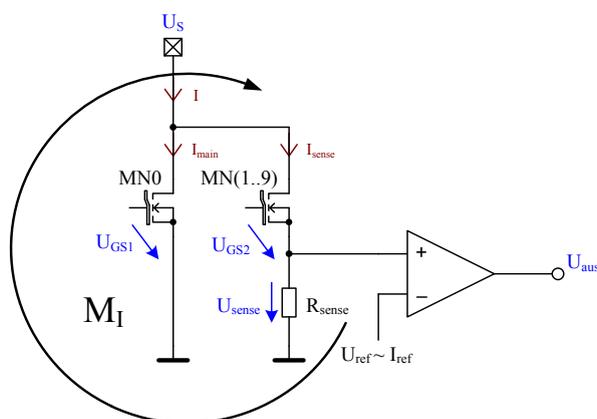


Abbildung 5.2: Messung über einen *Sense*-Transistor

aus Gleichung 5.2 folgt: $U_{GS} = \frac{I}{\beta \cdot U_{DS}} + U_t + \frac{U_{DS}}{2}$

Anschließendes Einsetzen in Gleichung 5.1 liefert:

$$\frac{I_{main}}{\beta_1 \cdot U_{DS1}} + U_{t1} + \frac{U_{DS1}}{2} = \frac{I_{sense}}{\beta_2 \cdot U_{DS2}} + U_{t2} + \frac{U_{DS2}}{2} + R_{sense} \cdot I_{sense}$$

mit : $U_{t1} = U_{t2}$

$$\frac{I_{main}}{\beta_1 \cdot U_{DS1}} + \frac{U_{DS1}}{2} - \frac{U_{DS2}}{2} = \frac{I_{sense}}{\beta_2 \cdot U_{DS2}} + R_{sense} \cdot I_{sense}$$

$$\frac{I_{main}}{\beta_1 \cdot U_{DS1}} + \frac{1}{2} \cdot (U_{DS1} - U_{DS2}) = I_{sense} \cdot \left(\frac{1}{\beta_2 \cdot U_{DS2}} + R_{sense} \right)$$

Wenn die Bedingung $U_{DS} \ll U_{GO}$ gilt, kann folgende Annahme getroffen werden:

$$U_{DS1} = U_{DS2}$$

Die Gleichung vereinfacht sich damit zu:

$$\frac{I_{main}}{\beta_1 \cdot U_{DS1}} = I_{sense} \cdot \left(\frac{1}{\beta_2 \cdot U_{DS2}} + R_{sense} \right)$$

$$\Rightarrow \frac{I_{sense}}{I_{main}} = K = \frac{\beta_2}{\beta_1} \cdot \frac{U_{DS2}}{U_{DS1}} \cdot \frac{1}{(1 + \beta_2 \cdot U_{DS2} \cdot R_{sense})} \quad (5.3)$$

$$= \frac{\beta_2}{\beta_1} \cdot \frac{U_{DS_2}}{U_{DS_1}} \cdot \frac{1}{(1 + \beta_2 \cdot (U_{DS_1} - I_{sense} \cdot R_{sense}) \cdot R_{sense})}$$

Laut Gleichung 5.3 hängt das *Sense*-Verhältnis K vom *Sense*-Widerstand R_{sense} und vom *Sense*-Strom I_{sense} ab. Der toleranzbehaftete Widerstandswert von R_{sense} geht also direkt in das *Sense*-Verhältnis ein und bewirkt dadurch eine Verfälschung dessen.

5.1.3 Eliminieren der Bauteil-Absolutwerte

Diese Variante nutzt einen Strom (I_{ref}) als Referenzgröße. Der Referenzstrom fließt durch den Transistor MN_{ref} und den Widerstand R_{ref} . Der resultierende Spannungsabfall an R_{ref} wird über den Operationsverstärker (OPA) A_1 mit der *Sense*-Spannung U_{sense} ausgeregelt. Der Stromkomparator vergleicht den Strom durch den Transistor MN_{ref} mit dem Referenzstrom I_{ref} . Der Schaltungsknoten ①, und damit das Ausgangssignal U_{aus} , bewegt sich potentialmäßig gesehen auf und ab. Das Ausgangssignal kann somit einfach digital verarbeitet werden.

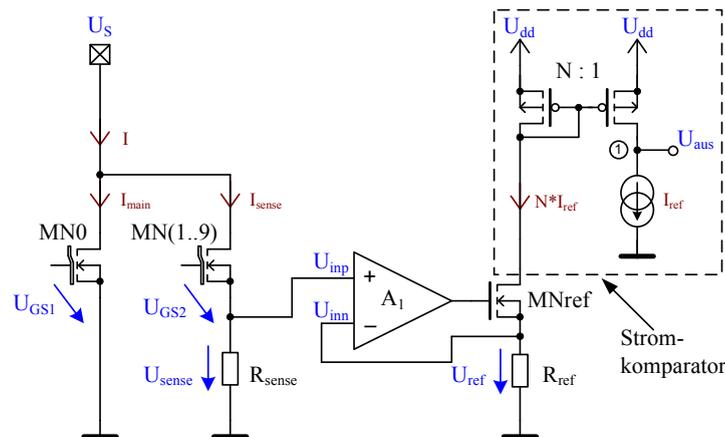


Abbildung 5.3: *Sense*-Konzept ohne Bauteil-Absolutwerte

Beim Erreichen der Komparatorschwelle (A_1 ohne Offset) gilt:

$$U_{sense} = U_{ref}$$

$$U_{sense} = I_{sense} \cdot R_{sense}$$

$$U_{ref} = N \cdot I_{ref} \cdot R_{ref}$$

$$\Rightarrow \frac{I_{sense}}{I_{ref}} = \frac{N \cdot R_{ref}}{R_{sense}}$$

Damit ist belegt, dass sich das Verhältnis $\frac{I_{sense}}{I_{ref}}$ nicht ändert, wenn R_{ref} und R_{sense} ein gutes *Matching* besitzen.

Vorteil:

- Nur *Matching* von R_{sense} und R_{ref} wichtig

Nachteile:

- Offset durch OPA A_1
- Sourcepotentiale unterschiedlich
- Aufwand

5.1.4 Digital einstellbarer Referenzstrom zum Vergleich

Eine weitere Variante, die mithilfe digitaler Schaltungstechnik einfach zu realisieren ist, wird in Abbildung 5.4 dargestellt. Der mit einer Genauigkeit vom n-bit über einen Digital/Analog Umsetzer (DAC) einstellbare Strom I_{ref} , erzeugt am Widerstand R_{ref} einen Spannungsabfall. Der Wert von I_{ref} wird demnach solange nachgeführt, bis die Spannungsabfälle U_{ref} und U_{sense} identisch sind. Besonders praktisch ist die Tatsache, dass die Strominformation bereits digital vorhanden ist. Eine Weiterverarbeitung der Information beispielsweise zu Diagnosezwecken gestaltet sich als besonders einfach. Nachteilig bleibt die Source-Degenerierung in Folge R_{sense} .

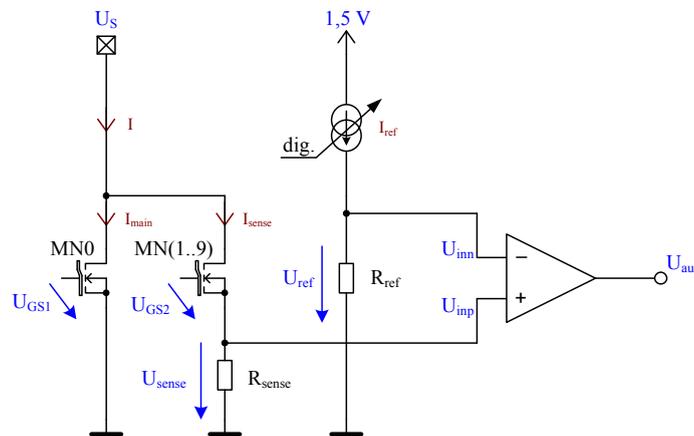


Abbildung 5.4: Digital einstellbarer Referenzstrom zum Vergleich

5.1.5 Kompensation des Fehlers aufgrund der Source-Gegenkopplung

Das in Abbildung 5.5 dargestellte *Sense*-Konzept beseitigt einen wesentlichen Nachteil der zuvor vorgestellten Konzepte. Und zwar verfälscht der Widerstand R_{sense} dort die Stromaufteilung zwischen Haupt- & *Sense*-Transistor. Die Spannung U_{DS2} entspricht demnach nicht der Spannung U_{DS1} , außer R_{sense} ist klein genug. Ein kleiner R_{sense} resultiert allerdings in einer kleinen Komparator-Eingangsspannung U_{inp} und verschlechtert wiederum den Signal-Rausch-Abstand (SNR) dessen.

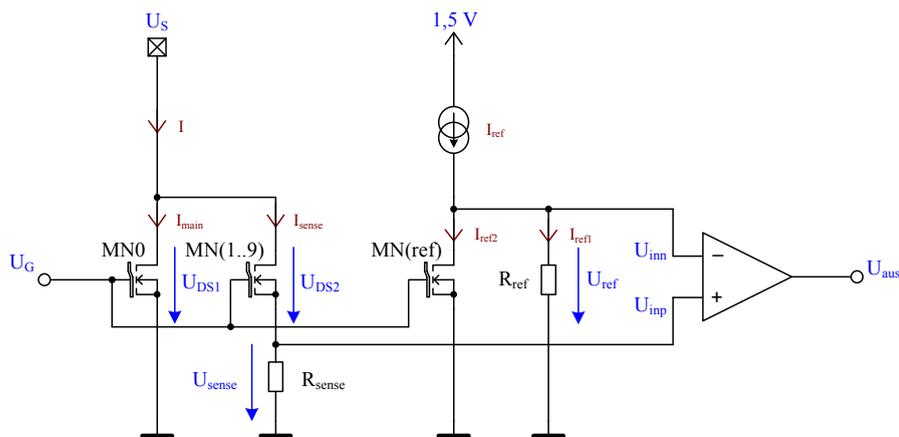


Abbildung 5.5: Kompensation des Fehlers aufgrund der Source-Gegenkopplung

Im vorliegenden Konzept (Abbildung 5.5) wird der Einfluss des Widerstands R_{sense} gut kompensiert, wenn folgenden Bedingung eingehalten wird:

$$\frac{R_{ref}}{R_{sense}} = \frac{Ron(MNref)}{Ron(MN(1..9))}$$

Zur Herleitung der Übertragungsfunktion bedarf es mehrerer Definitionen:

$$R_{on1} = Ron \text{ von } MN0, \quad R_{on2} = Ron \text{ von } MN(1..9), \quad R_{on3} = Ron \text{ von } MN(ref)$$

$$R_{par} = \frac{R_{on3} \cdot R_{ref}}{R_{on3} + R_{ref}}$$

$$K = \frac{I_{sense}}{I_{main}} \Rightarrow I_{sense} = I_{main} \cdot K$$

$$K = \frac{\beta_2}{\beta_1} \cdot \frac{U_{DS2}}{U_{DS1}} \cdot \frac{1}{(1 + \beta_2 \cdot U_{DS2} \cdot R_{sense})} \quad (\text{Gleichung 5.3})$$

$$U_{in_n} = I_{ref} \cdot R_{par}$$

$$U_{in_p} = I_{sense} \cdot R_{sense}$$

Bei Erreichen der Schaltschwelle des Komparators gilt:

$$U_{in_n} = U_{in_p}$$

$$I_{ref} \cdot R_{par} = I_{sense} \cdot R_{sense}$$

$$I_{ref} \cdot R_{par} = I_{main} \cdot K \cdot R_{sense}$$

$$\Rightarrow \frac{I_{ref}}{I_{main}} = K \cdot \frac{R_{sense}}{R_{par}} = K \cdot \frac{R_{sense} \cdot (R_{on3} + R_{ref})}{R_{on3} \cdot R_{ref}}$$

5.1.6 Strommessung in Highside-Switch-Anwendungen

In Abbildung 5.6 ist ein Konzept dargestellt, welches zur Strommessung in *Highside-Switch*-Anwendungen verwendet werden kann. Mit dem OPA A_1 erfolgt ein Vergleich der Source-Potentiale und ein Ausregeln derer mittels des p-Kanal MOS-FET (pMOST) MP1. Damit ist der *Mismatch* zwischen den Drain-Source-Spannungen U_{DS1} und U_{DS2} beseitigt.

Auffallend ist, dass das Bezugspotential im *Sense*- und Referenzstrompfad negativ ist. Dies ist nur erforderlich, um bei *Lowside*-Schaltern einen ausreichenden Spannungsabfall an den Widerständen zu erreichen. Die negative Spannung U_{CP} kann beispielsweise durch eine *Chargepump* erzeugt werden. Da die *Chargepump* zwei Ströme *sinken* muss, wird diese bei einem ungünstigen Verhältnis von R_{sense} zu R_{ref} , flächenmäßig recht groß.

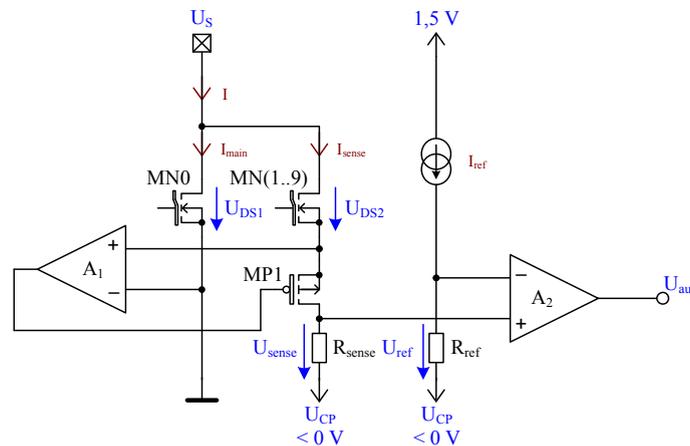


Abbildung 5.6: Strommessung in *Highside-Switch*-Anwendungen

Verbesserungen hinsichtlich der Genauigkeit bringt das in Abbildung 5.7 gezeigte Konzept. Verantwortlich ist der Komparator A_2 , aufgrund des differentiellen Aufbaus und der Offsetkompensation. Mithilfe eines nicht-überlappenden Takts werden die Schalter in zwei Phasen (ϕ_1 & ϕ_2) gesteuert. In der mit ϕ_1 bezeichneten Phase (Schalter geschlossen), werden die Spannungen U_{sense} und U_{ref} in den Kapazitäten C gespeichert. In der darauffolgenden Phase ϕ_2 sind die mit ϕ_1 angesteuerten Schalter wieder geöffnet, die mit ϕ_2 angesteuerten jedoch geschlossen. Dadurch werden die Eingangsspannungen vertauscht gesampelt und der Offset kürzt sich aus dem Ergebnis heraus. Wichtig für die Genauigkeit ist das kapazitive *Matching* der Kondensatoren, welches ohnehin wesentlich besser als resistives *Matching* ist.

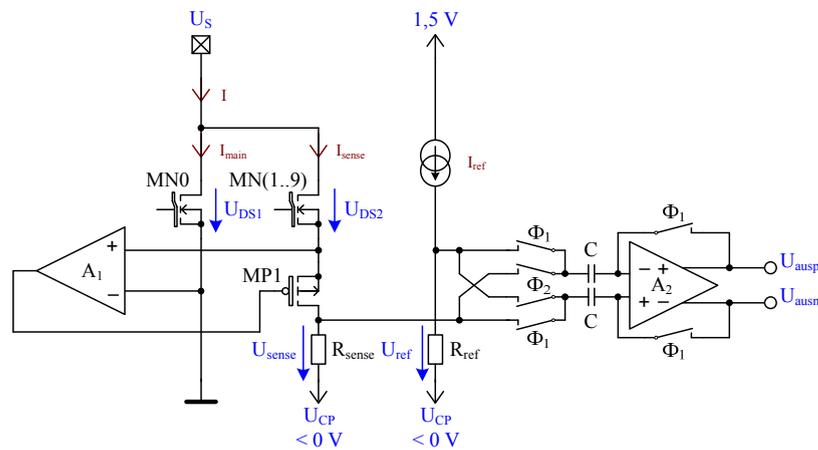


Abbildung 5.7: Optimierung hinsichtlich des Offset-Verhaltens

Bleibt noch die ungünstige Eigenschaft der *Chargepump* hinsichtlich des Flächenbedarfs. Wenn allerdings lediglich der *Sense*-Widerstand ein negatives Bezugspotential benötigt, dann könnte die *Chargepump* kleiner sein. Abbildung 5.8 stellt ein solches Konzept vor. Hier wird im Gegenteil zum in Abbildung 5.7 dargestellten Konzept, in den Kapazitäten C , die Differenz zwischen *Sense*-Spannung U_{sense} und Referenzspannung U_{ref} gespeichert..

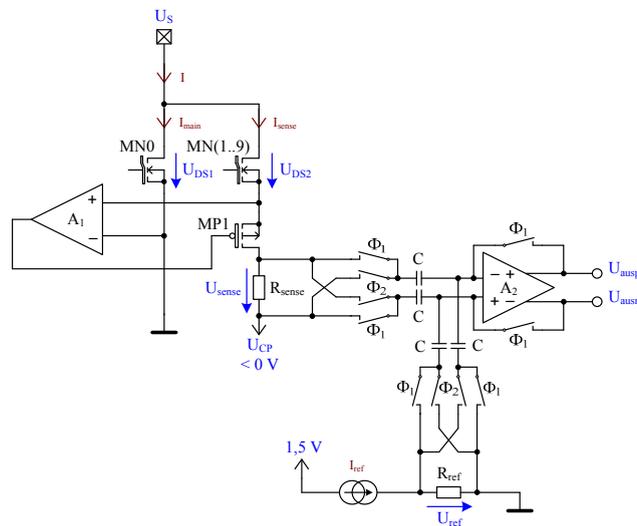


Abbildung 5.8: Optimierung hinsichtlich der *Chargepump*-Größe

Erwähnenswert ist, dass manche Applikationen keine negative *Chargepump*-Spannung benötigen. Bei *Buck*-Konvertern beispielsweise, wird während des Freilaufens gemessen. In diesem Zustand geht das Drain unter Masse, wodurch ein Stromfluss zustande kommt und der Spannungsabfall am *Sense*-Widerstand gemessen werden kann.

Vorteile:

- differentieller Aufbau
- Offset-Kompensation

Nachteil:

- Analoge Regelschleifen (A_1 und $MP1$) sind besonders auf Störungen (Stichwort: Elektromagnetische Verträglichkeit (EMV)) empfindlich
- Takt notwendig

5.1.7 Strommessung in Lowside-Switch-Anwendungen

Zur Erklärung eines *Sense*-Konzepts, welches beispielsweise für *Lowside-Switch*-Anwendungen geeignet ist, dient Abbildung 5.9. Mittels dem Regler A_1 und dem n-Kanal MOS-FET (nMOST) $MNreg$, werden die Drain-Potentiale des Haupt- und *Sense*-Transistors durch Strom-Rückkopplung gesucht. Der Komparator A_2 vergleicht die Referenzspannung (bspw. $U_{dd}/2$) mit dem Potential am hochohmigen Schaltungsknoten ① und liefert das Ausgangssignal.

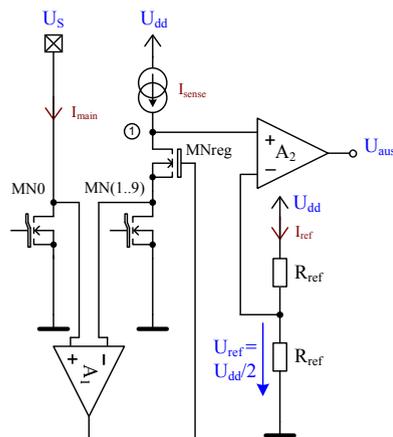


Abbildung 5.9: Strommessung in *Lowside-Switch*-Anwendungen

Vorteil:

- kein *Mismatch* der Drain-Source-Spannungen

Nachteile:

- Komparator muss über HV-Eingänge verfügen (schlecht bezüglich dem Offset-Verhalten und der Fläche)
- Instabilität durch Regelschleife (A_1 und $MNreg$) möglich
- Drain von Haupt- und *Sense*-Transistor getrennt \Rightarrow Stress
- stör anfällig

5.1.8 Strommessung ohne Shunt-Widerstände

Eine wesentliche Verbesserung des in Abbildung 5.8 dargestellten Konzepts, zeigt Abbildung 5.10. Vorteilhaft ist, dass keine störungsanfällige, analoge Regelschleife vorhanden ist. Die Erzeugung des Referenzstroms erfolgt über zwei Drei-Wannen-Transistoren. Dieser Transistortyp erlaubt es, das Sourcepotential negativer als das Massepotential auszulegen. Somit ist die Erzeugung eines ausreichenden Spannungsabfalls für den invertierenden Komparatoreingang gegeben. Die Messung im Sourcepfad ist günstig, da die ins Drain eingekoppelten Störungen, durch die DMOS-Transistoren gedämpft werden.

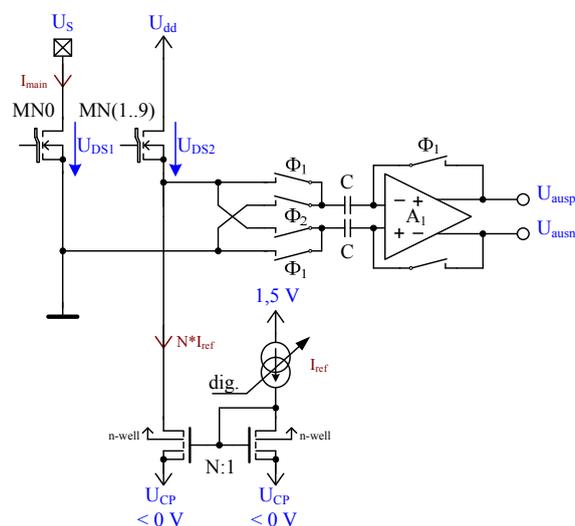


Abbildung 5.10: Messung im Sourcepfad

Das im Folgenden (Abbildung 5.11) vorgestellte *Sense*-Konzept stellt eine weitere Variante dar, welche ohne zusätzliche Widerstände auskommt. Mittels eines Komparators werden die beiden Drain-Source-Spannungen, und damit der dazugehörige R_{DSon} , miteinander verglichen. Die Schaltung in der *Blackbox* "HV \rightarrow NV" dient zur Umsetzung der Spannung vom Hochvolt- in den Niedervoltbereich.

Die großen Vorteile des Konzepts liegen einerseits in der Eignung für HV-Anwendungen und andererseits im Wegfallen der Source-Gegenkopplung. Der Komparator kann in Niedervolt-Bauweise ausgeführt sein, was in guten Eigenschaften bezüglich der Offsetspannung resultiert. Nachteilig ist, dass Störungen im Drainpfad direkt gemessen werden, bei einer Messung im Sourcepfad werden die Störungen durch die Transistoren gedämpft. Weiters nachteilig ist, dass der *Sense*-Transistor in einem eigenen *Trench* liegen muss (wegen dem separierten Drain von MN(1..9)).

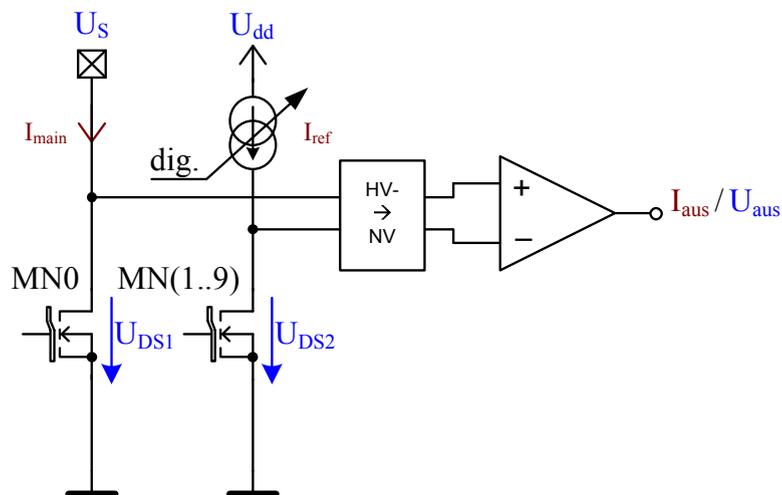


Abbildung 5.11: Messung im Drainpfad

6 Zusammenfassung und Ausblick

6.1 Kapitelübersicht

Kapitel 1 beschreibt einleitend die Motivation, die ausschlaggebend für die Durchführung der Diplomarbeit waren. Ebenfalls werden Praxisbeispiele erwähnt und Stresssituationen erläutert, bei denen akkurate Strommessungen erforderlich sind. Abschließend werden die **DMOS** Transistoren besprochen, welche die grundlegenden Bauteile für die Untersuchungen in der Arbeit darstellen.

Kapitel 2 erklärt am Beginn den Aufbau und die Ausführung der Teststrukturen am Testchip. Weiters beinhaltet das Kapitel die Ergebnisse der Labormessungen und die dazugehörigen Datenauswertungen.

Kapitel 3 beschäftigt sich mit den mechanischen Stresseffekten in Halbleitern. Angefangen bei den Grundlagen, die zum Verständnis der Materie essentiell sind, bis hin zu den Auswirkungen von **DTI**-Stress.

Kapitel 4 behandelt die Auswirkungen von Temperaturänderungen auf die elektrischen Eigenschaften von Bauteilen. Einleitend werden grundlegende Temperatureffekte in Halbleitern und thermodynamische Vorgänge besprochen. Eine Diskussion der Messergebnisse mit elektro-thermischem Fokus rundet das Kapitel ab.

Kapitel 5 stellt unterschiedliche Schaltungskonzepte zur Strommessung in **DMOS**-Transistoren vor. Dabei werden jeweils mögliche Anwendungsfälle erläutert und die damit verbundenen Vor- und Nachteile diskutiert.

6.2 Ergebnisse der Arbeit

Ziel dieser Arbeit war es, den Einfluss von Deep-Trench-Isolationen auf Strom-Sense-Konzepte in lateralen DMOS-Transistoren zu untersuchen. Die Idee zum Thema entstand aus dem Umstand, dass diesbezüglich noch keine tieferreichenden Untersuchungen stattgefunden haben. Ungenauigkeiten machten sich in der Vergangenheit erst auf gefertigten Schaltungen bemerkbar und mussten nach statistischen Auswertungen der Messergebnisse durch Methoden wie *Trimming* und *Metal-Options* in weiteren Iterationen beseitigt werden. Andere Transistorgeometrien und Platzierungen von *Sense*-Zellen brachten folglich beim nächsten Produkt erneut Unsicherheitsfaktoren mit ins Spiel. Die vorliegende Arbeit liefert also den Schaltungsentwicklern und den Layoutern wichtige Informationen, um unnötige Iterationen bei der Realisierung von Strom-Sense-Konzepten zu vermeiden. Der Arbeitsaufwand und die damit verbundenen Kosten können damit in Zukunft minimiert werden.

Die erstellten Teststrukturen (für nLDMOS und pLDMOS) wurden im Labor vermessen und die Ergebnisse anschließend auf Korrelationen mit den Simulationen untersucht. Dabei lieferten die Messungen unterschiedliche Resultate bezüglich der Genauigkeit für die Arbeitsbereiche der Transistoren (Ron-Bereich, Sättigungsbereich). Das bedeutet, dass Stresseffekte nicht in jeder Applikation (bspw. Schaltregler) zu tragen kommen. Generell zu sagen ist, dass der pLDMOS bereits im Ron-Bereich von mechanischen Stresseinflüssen affektiert ist, da der Abstand vom Kanal zur DTI-Kante wesentlich geringer ist, als beim nLDMOS. Eine Vergrößerung des Abstands brächte Nachteile hinsichtlich der aktiven Transistorfläche mit sich.

Eine Betrachtung des Verhaltens für höhere Verlustleistung zeigte, dass die Temperatureffekte immer mehr an Einfluss gewinnen. Je nach Arbeitsbereich des Transistors überwiegt der Effekt der Schwellspannung U_t oder jener der Ladungsträgermobilität μ . Besondere Beachtung verlangt also die Steuerspannung des Transistors. Befindet sich der DMOS links vom temperaturstabilen Arbeitspunkt, was durch eine Simulation ermittelt werden kann, dann kommt es zu einer thermischen Mitkopplung. Das bedeutet, eine Temperaturerhöhung resultiert in einem weiteren Anstieg des Stroms.

Bei den Untersuchungen bezüglich elektro-mechanischem Stress, konnten die Analogien zwischen der Niedervolt-Variante STI-Stress und der Hochvolt-Variante DTI-Stress ausgenutzt werden. Die Einflüsse der Shallow Trench Isolation (STI) auf die Genauigkeit von Schaltungen sind bereits seit den 90er-Jahren des 20. Jahrhunderts bekannt [CBC⁺06] und werden in diverser Fachliteratur und in vielen *Papers* ausführlich behandelt. Da die DTI deutlich größere Abmessungen hat und für andere Spannungsklassen gebaut ist, sind nur grundlegende physikalische Beziehungen identisch. Der DTI-Stress ist bereits bei kleinen Verlustleistungen stark vom Abstand des Kanals zur DTI-Kante bestimmt.

Bei den Betrachtungen hinsichtlich des elektro-thermischen Verhaltens geht es hauptsächlich um die isolierenden Eigenschaften von *Trenches*. Kurz gesagt, breitet sich die Wärme in mono- und polykristallinem Silizium (*Si*) schneller aus als in Siliziumdioxid (*SiO₂*), aus dem unter anderem ein *Trench* besteht. Das heißt, der Wärmewiderstand R_{th} variiert für die einzelnen *Sense*-Strukturen aufgrund der unterschiedlichen Weglänge zum Transistormittelpunkt und den verschiedenen Materialien entlang des Ausbreitungsweges. Dieser Tatsache entnimmt man, dass eine *Sense*-Zelle in einem separaten *Trench* auf Stromänderungen zeitlich verzögert reagiert. Die Verzögerungen der Sprungantwort bewegen sich allerdings in der Größenordnung kleiner 100 ns. Die parasitären Eigenschaften des mehrmals optimierten Messaufbaus ließen keine Messungen unter diesen Zeitwerten zu.

Die erarbeiteten Schaltungskonzepte geben dem *Designer* einen schnellen Überblick über mögliche Konzepte der Strommessung. Durch die Diskussion bezüglich der Vorteile und Nachteile kann schnell eine Filterung hinsichtlich der an das Konzept gestellten Anforderungen vorgenommen werden.

Der Beginn des Kapitels behandelt intuitive Konzepte, die zwar in ihrem Aufbau einfach sind, aber Einbußen hinsichtlich der Genauigkeit mit sich bringen. Beispielsweise dafür sei die Source-Gegenkopplung erwähnt, welche die Stromaufteilung zwischen Haupt- und *Sense*-Transistor beeinflusst, und damit das *Sense*-Verhältnis verfälscht.

Wird der Drain-Source-Spannungsabfall direkt detektiert, so fällt der *Sense*-Widerstand, und damit eine Fehlerquelle, weg. Allerdings muss dann die Spannung am Drain abgegriffen werden, wodurch alle dort auftretenden Störungen mitdetektiert werden.

Auch das Verwenden von Bauteil-Absolutwerten geht direkt in das Ergebnis der Übertragungsfunktion ein. Abhilfe bringen Konzepte, bei denen Bauteilwerte miteinander in einer relativen Beziehung stehen.

Eine Separierung der Drain- (beim nLDMOS) und Sourceanschlüsse (beim pLDMOS) von Haupt- und *Sense*-Transistor, bringt Nachteile hinsichtlich der Stresseffekte und damit der Genauigkeit.

Offsetfreie, und damit genaue, Vergleiche der *Sense*-Spannung mit einer Referenz, resultieren in höherem schaltungstechnischem Aufwand (Switched Capacitor (SC) - Schaltungen).

6.3 Ausblick

Die im Rahmen der Diplomarbeit erarbeiteten Themen, beleuchten ein bis dato für diese Deep-Sub-Micron Technologie (DSM) noch nicht untersuchtes Gebiet. Somit stellt dieses Dokument eine Sammlung von notwendigem Grundwissen dar, welches als Basis für weitere Untersuchungen, aber vor allem zum Bauen von Schaltungen, herangezogen werden kann.

Device-technisch wäre eine Reduktion von Stressauswirkungen (vor allem beim pLDMOS), als auch eine Verbesserung hinsichtlich der Randeffekte beim nLDMOS erstrebenswert. Die einfachste Vorgehensweise, um die Auswirkungen vom mechanischem Stress zu reduzieren, ist es, den *Deep-Trench* weit genug vom Kanal zu platzieren. Zukünftige Untersuchungen an Teststrukturen mit unterschiedlichen Kanal-*Trench*-Abständen würden Grenzwerte liefern, ab denen Stresseffekte beachtet werden müssen.

Der reale Aufbau eines interessanten *Sense*-Konzepts auf Silizium-Ebene würde Messergebnisse liefern, die mit Simulationen auf Korrelationen hin untersucht werden könnten.

Detaillierte Untersuchungen von durch das *Power*-Kupfer induzierten Stresseffekten, könnten generell für die verwendete Technologie interessant sein.

A Anhang

A.1 Schematics & Layouts

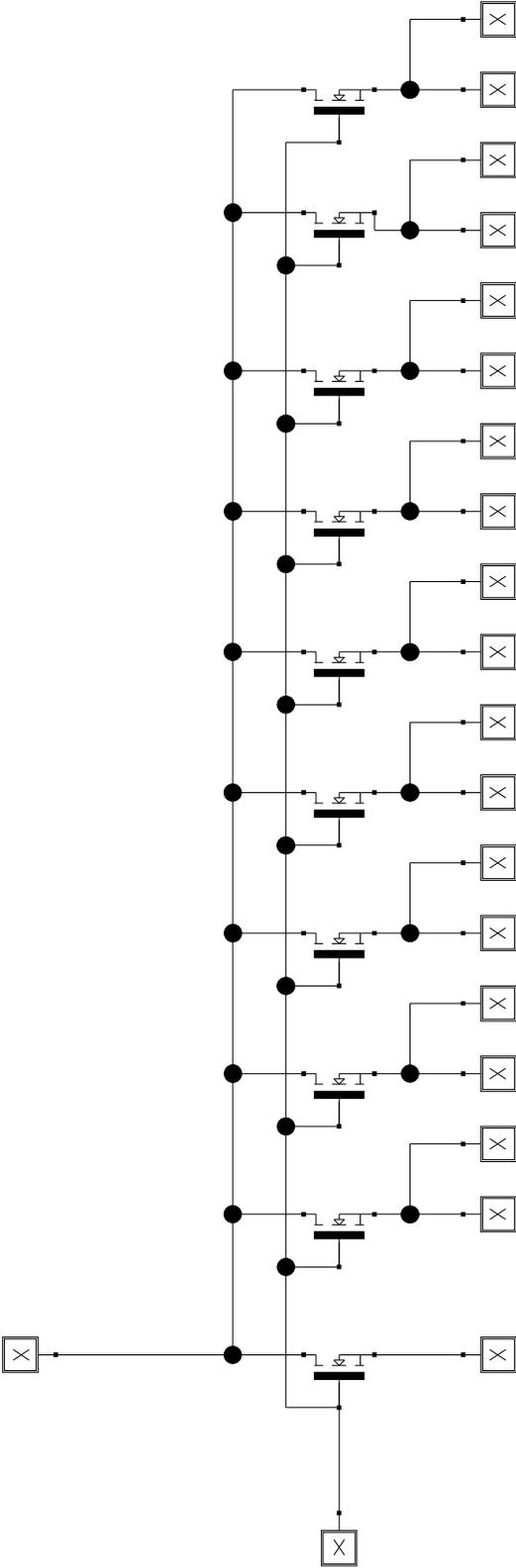


Abbildung A.1: Schematic (nLDMOS)

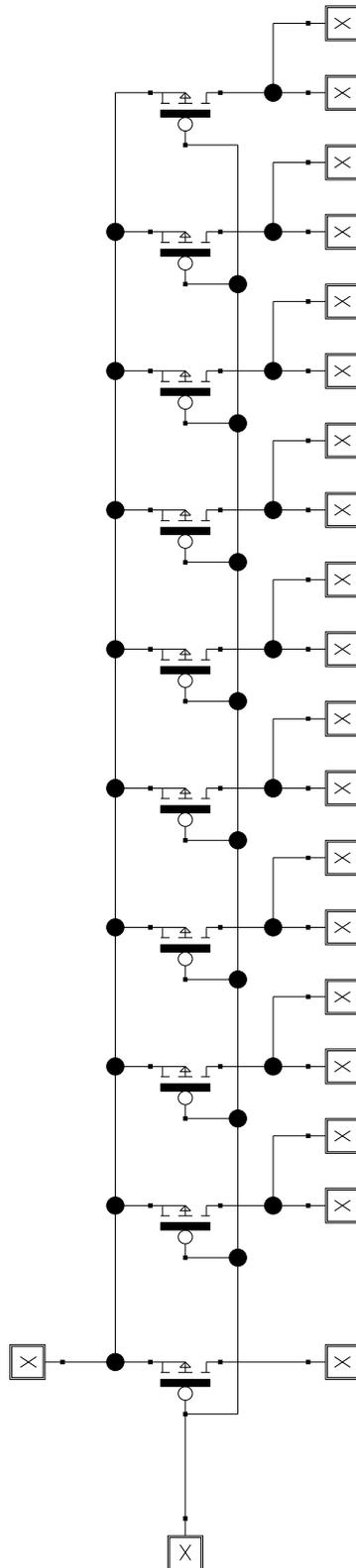


Abbildung A.2: Schematic (pLDMOS)

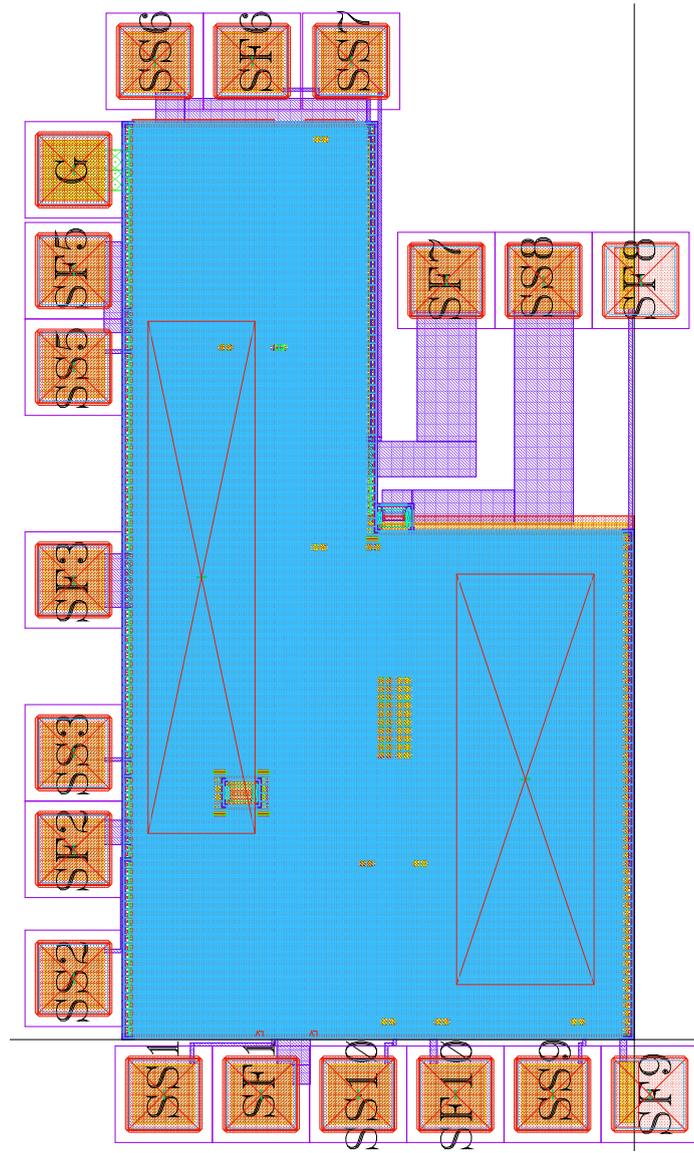


Abbildung A.4: Layout (pLDMOS)

Literaturverzeichnis

- [Aue10] AUER, Mario: *Analog Integrated Circuit Design and Simulation I/II, Skriptum*. Institut für Elektronik, TU Graz, 2010
- [CBC⁺06] CHIDAMBARAM, PR ; BOWEN, C. ; CHAKRAVARTHI, S. ; MACHALA, C. ; WISE, R.: Fundamentals of silicon material properties for successful exploitation of strain engineering in modern CMOS manufacturing. In: *Electron Devices, IEEE Transactions on* 53 (2006), Nr. 5, S. 944–964. – ISSN 0018–9383
- [FM02] FRUETT, F. ; MEIJER, G.C.M.: *The piezjunction effect in silicon integrated circuits and sensors*. Kluwer Academic Pub, 2002. – ISBN 1402070535
- [Hil04] HILLERINGMANN, Ulrich: *Silizium-Halbleitertechnologie*. 4. Auflage. B.G. Teubner Verlag, 2004. – ISBN 3–519–30149–0
- [Hof06] HOFFMANN, Kurt: *Systemintegration*. 2. Auflage. Oldenbourg Verlag, 2006. – ISBN 3–486–57894–2
- [Jan10] JANSCHITZ, Johannes: *Konfigurierbare integrierte digitale Flankenregelung von externen und internen hochvoltfesten MOS-Transistoren in automobilen Applikationen*. Österreich, TU Graz, Diplomarbeit, März 2010
- [LJT08] LANGEHEINECKE, K. ; JANY, P. ; THIELEKE, G.: *Thermodynamik für Ingenieure: ein Lehr-und Arbeitsbuch für das Studium*. Springer, 2008
- [Raz01] RAZAVI, B.: *Design of Analog CMOS Integrated Circuits, ser. McGraw-Hill Series in Electrical and Computer Engineering*. New York, USA: McGraw-Hill, 2001
- [Sö05] SÖSER, Peter: *Integrierte Schaltungen, Skriptum*. Institut für Elektronik, TU Graz, 2005
- [SMs06] SANSEN, W.M.C. ; MYLIBRARY, Ltd ; SERVICE), SpringerLink (.: *Analog design essentials*. Springer, 2006. – ISBN 0387257462

- [Thu05] THUSELT, F.: *Physik der Halbleiterbauelemente*. Springer, 2005. – ISBN 3540223169
- [TKAS07] TAN, P.B.Y. ; KORDESCH, A.V. ; AHMAD, W.R.W. ; SIDEK, O.: Measuring STI Stress Effect on CMOS Transistor by Stepping through the Channel Width. In: *RF and Microwave Conference, 2006. RFM 2006. International IEEE*, 2007. – ISBN 0780397452, S. 174–176
- [Wap07] WAPPIS, Herwig: *Auswirkungen und Einflüsse von automobilen Zuverlässigkeitsanforderungen auf analoge Schaltungskonzepte in hochvoltfähigen Deep-Sub-Micron Technologien*. Österreich, TU Graz, Diplomarbeit, September 2007
- [Wik11] WIKIMEDIA FOUNDATION INC. (Hrsg.): *Wikipedia - die freie Enzyklopädie*. Version: 2011. <http://de.wikipedia.org>
- [Win08] WINKLER, Gunter: *Elektromagnetische Verträglichkeit, Skriptum*. Institut für Elektronik, TU Graz, 2008