

Masterarbeit

MA650

# Machbarkeit, Entwurf und Verifikation von integrierten Sensoren

Martin Wiessflecker

---

Institut für Elektronik

Technische Universität Graz

Vorstand: Univ.-Prof. Dipl.-Ing. Dr.techn. Wolfgang Pribyl

Begutachter: Ass. Prof. Dipl.-Ing. Dr. Peter Söser



unterstützt durch Infineon Technologies Austria AG

Graz, im Februar 2010



Never stop thinking

Diese Masterarbeit wurde unterstützt von  
Infineon Technologies Austria AG  
Development Center Graz  
Abteilung Contactless and RF Exploration  
Leitung Dipl.-Ing. Gerald Holweg  
technischer Betreuer Dipl.-Ing. Günter Hofer

## Abstract

Temperature sensors have a wide variety of applications. Integrated on a chip, they can be produced very cheap due to the fact that no additional external components are needed.

In this work a temperature sensor circuit is presented. It works with switched capacitors and thereby achieves a high accuracy without the need of trimming while containing a low power budget and small area consumption.

A short introduction chapter informs the reader about temperature behavior on semiconductor junctions, followed by a chapter showing the two most commonly known basic circuits for generating a temperature independent voltage, which is always needed as a reference for measuring the temperature.

Chapter 4 introduces the principle of a switched cap bandgap circuit. Next, the implementation is explained in all details, succeeded by simulation results and their interpretation. Chapter 7 illustrates the precautions done in the layout to minimize influences due to the process variations. The measurement results of the manufactured chips are shown and discussed in the next chapter, which is completed with an extensive comparison between the two standard bandgap circuits and this switched cap implementation. Because a digital output value of the temperature is needed, an analog to digital converter is implemented and connected with the temperature sensor as shown in chapter 10.

Concluding possible enhancements and improvements, advantages and disadvantages of the presented implementations are discussed.

## Kurzfassung

Temperatursensoren haben eine Vielzahl von Anwendungsmöglichkeiten. Integriert in einem Chip können sie sehr kostengünstig hergestellt werden, da keine weiteren externen Komponenten benötigt werden.

In dieser Arbeit wird ein Temperatursensor vorgestellt, welcher mit geschalteten Kapazitäten arbeitet und dadurch eine hohe Genauigkeit erreicht, ohne dass die Schaltung getrimmt werden muss. Dabei sind der Stromverbrauch und der Platzbedarf gering.

Ein kurzes, einführendes Grundlagenkapitel soll über das Temperaturverhalten von Halbleiterübergängen informieren. Anschließend werden die zwei bekanntesten Grundschaltungen zur Erzeugung einer temperaturunabhängigen Spannung vorgestellt, welche als Referenzspannung immer für eine Temperaturmessung benötigt wird. Kapitel 4 stellt das Prinzip einer Switched-Cap-Bandgap-Schaltung vor. Im folgenden Kapitel wird die realisierte Implementierung in allen Details erläutert. Es folgen Simulationsergebnisse und deren Interpretation. Kapitel 7 geht auf die layouttechnischen Maßnahmen ein, welche Prozesseinflüsse verringern. Die Messergebnisse der produzierten Chips werden in Kapitel 8 gezeigt und besprochen, gefolgt von einem ausführlichen Vergleich der zwei Standard-Bandgaps zu dieser Implementierung. Da ein digitaler Temperaturwert ermittelt werden soll, wurde, wie in Kapitel 10 gezeigt, ein Analog-zu-Digital-Umsetzer implementiert und mit dem Temperatursensor verbunden.

Zum Abschluss werden mögliche Erweiterungen, Verbesserungen, sowie Vor- und Nachteile des vorgestellten Konzeptes erläutert.

*I hereby certify that the work presented in this thesis is my own and that work performed by others is appropriately cited.*

*Ich versichere hiermit, diese Arbeit selbständig verfasst, andere als die angegebenen Quellen und Hilfsmittel nicht benutzt, und mich auch sonst keiner unerlaubten Hilfsmittel bedient zu haben.*

---

Martin Wiessflecker

## Danksagung

Am Ende meines Masterstudiums der Elektrotechnik mit der Vertiefungsrichtung Mikroelektronik und Schaltungstechnik an der Technischen Universität Graz entstand diese Arbeit in Zusammenarbeit mit der Firma Infineon Technologies AG.

Danken möchte ich insbesondere meinen Eltern, die es geschafft haben, mich schon in jungen Jahren für die Elektronik zu begeistern, was in mir den Wunsch festigte, mit diesem Studium zu beginnen.

Für das Korrekturlesen danke ich ganz besonders meinem älteren Bruder, der trotz ständiger Zeitnot diese Arbeit gerne auf sich nahm.

Mein Dank für fachliche Hilfestellung gilt besonders meinem Betreuer Günter Hofer und den beiden Bürokollegen Stefan Gruber und Hannes Reinisch. Herrn Gerald Holweg möchte ich dafür danken, zusammen mit Herrn Prof. Wolfgang Pribyl einen reibungslosen Ablauf der Arbeit in wirtschaftlich schwierigen Zeiten ermöglicht zu haben.

Gedankt sei ebenfalls meinem Betreuer am Institut für Elektronik, Herrn Prof. Peter Söser.

---

Martin Wiessflecker

# Inhaltsverzeichnis

<b>1</b>	<b>Motivation</b>	<b>1</b>
1.1	Motivation . . . . .	1
<b>2</b>	<b>Grundlagen</b>	<b>2</b>
2.1	Prinzip der Temperaturkompensation . . . . .	2
2.2	Dioden im CMOS-Prozess . . . . .	2
2.3	Temperaturverhalten einer Diode . . . . .	3
<b>3</b>	<b>Standard-Bandgap</b>	<b>6</b>
3.1	Standard-Bandgap-Schaltung . . . . .	6
3.2	Low-Voltage-Bandgap-Schaltung . . . . .	9
<b>4</b>	<b>Switched-Cap-Bandgap</b>	<b>12</b>
4.1	Grundprinzip . . . . .	12
4.2	Parasitäre Effekte . . . . .	15
4.3	Erzeugung einer temperaturabhängigen Spannung . . . . .	17
<b>5</b>	<b>Implementierung</b>	<b>19</b>
5.1	Übersicht . . . . .	19
5.2	Biasstrom Erzeugung mit PTAT Zelle . . . . .	19
5.3	Start-Up . . . . .	22
5.4	Geschaltete Diode . . . . .	22
5.5	Geschaltete Kapazitäten . . . . .	23
5.6	Timing-Einheit . . . . .	24
5.7	Ausgangspuffer . . . . .	26
5.8	Trimbare Version . . . . .	27
<b>6</b>	<b>Simulationsergebnisse</b>	<b>30</b>
6.1	Transiente Simulation . . . . .	30
6.2	Temperaturabhängigkeit . . . . .	32
6.3	Versorgungsspannungsabhängigkeit . . . . .	34
6.4	Monte-Carlo-Simulation . . . . .	35
6.5	Corner-Simulation . . . . .	35
6.6	Ausgangstreiber . . . . .	35

<b>7</b>	<b>Layout</b>	<b>39</b>
7.1	Kapazitätsarray . . . . .	39
7.2	Testchip . . . . .	39
<b>8</b>	<b>Messergebnisse</b>	<b>42</b>
8.1	Messaufbau . . . . .	42
8.2	Zeitverhalten . . . . .	42
8.3	Temperaturabhängigkeit . . . . .	45
8.4	Versorgungsspannungsabhängigkeit . . . . .	46
8.5	Frequenzabhängigkeit . . . . .	46
8.6	Streuung . . . . .	49
8.7	Störanfälligkeit . . . . .	50
8.8	Rauschen . . . . .	51
<b>9</b>	<b>Vergleich der Konzepte</b>	<b>53</b>
9.1	Einleitung Konzeptvergleich . . . . .	53
9.2	Flächenbedarf . . . . .	53
9.3	Stromverbrauch . . . . .	54
9.4	Statistische Analyse . . . . .	55
9.5	Überblick . . . . .	57
<b>10</b>	<b>Systembetrachtung</b>	<b>59</b>
10.1	Analog-zu-Digital-Umsetzer . . . . .	59
10.2	Offset-Modus . . . . .	63
10.3	Komparator . . . . .	64
10.4	Messsystem . . . . .	64
10.5	Simulation der ADU . . . . .	64
10.6	Layout . . . . .	68
<b>11</b>	<b>Schlussbemerkung und Ausblick</b>	<b>69</b>
<b>A</b>	<b>Layoutplots</b>	<b>70</b>
	<b>Literaturverzeichnis</b>	<b>75</b>

# Abbildungsverzeichnis

2.1	Querschnitt eines vertikalen pnp-Transistors . . . . .	2
2.2	Diodenspannung und Temperaturkoeffizient einer Diode im C11n Prozess . . . . .	5
3.1	Prinzipschaltbild einer Standard-Bandgap-Schaltung . . . . .	7
3.2	Schaltung zum Messen der Übertragungskennlinie zweier Dioden . . . . .	7
3.3	Übertragungskennlinie von Q1 und Q2 . . . . .	8
3.4	Spannungsverlauf einer Standard-Bandgap-Schaltung über die Temperatur . . . . .	10
3.5	Prinzipschaltbild einer Low-Voltage-Bandgap-Schaltung . . . . .	11
4.1	Prinzipschaltbild einer Switched-Cap-Bandgap-Schaltung [5][11] . . . . .	13
4.2	Vorlade-Phase . . . . .	13
4.3	Ladungsumverteilung . . . . .	14
4.4	Kapazitiver Spannungsteiler . . . . .	15
4.5	Parasitäre Kapazitäten . . . . .	16
4.6	Prinzipschaltbild zur Erzeugung einer Temperaturspannung . . . . .	18
5.1	Implementierte Schaltung im Überblick . . . . .	20
5.2	Bias-Zelle . . . . .	21
5.3	Schaltbild der Timing-Einheit . . . . .	24
5.4	Schaltbild des Ausgangstreibers . . . . .	28
6.1	Transiente Simulation . . . . .	31
6.2	Temperaturverhalten der Referenzspannung . . . . .	32
6.3	Temperaturverhalten der Temperaturspannung . . . . .	33
6.4	Temperaturkoeffizient der Temperaturspannung . . . . .	33
6.5	Stromverbrauch über die Temperatur . . . . .	34
6.6	Versorgungsspannungsabhängigkeit . . . . .	35
6.7	Monte-Carlo-Simulation $V_{ref}$ . . . . .	36
6.8	Monte-Carlo-Simulation $V_{ptat}$ . . . . .	36
6.9	Spannungsbereich des OPAs . . . . .	37
6.10	Bodeplot des Ausgangsverstärkers . . . . .	38
7.1	Querschnitt durch das Kapazitätsarray . . . . .	40

7.2	Aufsicht auf das Kapazitätsarray . . . . .	40
8.1	Zeitlicher Verlauf der Referenzspannung bei Raumtemperatur während des Startups . . . . .	43
8.2	Referenzspannung des Testchips 1 im Vergleich zum simulierten Verlauf über die Temperatur . . . . .	44
8.3	Temperaturspannung des Testchips 1 im Vergleich zum simulierten Verlauf über die Temperatur . . . . .	45
8.4	Referenzspannung des Testchips 1 im Vergleich zum simulierten Verlauf über die Versorgungsspannung . . . . .	46
8.5	Stromverbrauch des Testchips 1 im Vergleich zum simulierten Verlauf über die Versorgungsspannung . . . . .	47
8.6	Abhängigkeit der Referenzspannung von der Taktfrequenz . . . . .	47
8.7	Lage der Referenzspannung aller zehn Testchips . . . . .	48
8.8	Lage der Temperaturspannung aller zehn Testchips . . . . .	49
8.9	Verlauf der Referenzspannung bei Überlagerung der Spannungsversorgung mit einem sinusförmigen Störsignal logarithmisch ansteigender Frequenz .	50
8.10	Verlauf der Referenzspannung bei starker Verstärkung und AC-Kopplung	52
10.1	Prinzipschaltbild des Analog zu Digital Umsetzers . . . . .	60
10.2	Common-Centroid-Layout des Kapazitätsarrays . . . . .	61
10.3	Querschnitt durch das Layout der Kapazitäten . . . . .	62
10.4	Prinzipschaltbild des Analog-zu-Digital-Umsetzers mit parasitären Kapa- zitäten . . . . .	62
10.5	Prinzipschaltbild des Analog-zu-Digital-Umsetzers im Offset-Modus . . .	63
10.6	Komparator . . . . .	65
10.7	Transienter Verlauf des $V_{maj}$ Knoten während einer Umsetzung und einer Eingangsspannung von 200 mV . . . . .	66
10.8	Transienter Verlauf wichtiger Spannungen im Sensorblock . . . . .	67
A.1	Layoutansicht des Bandgap-Testchips . . . . .	70
A.2	Layoutansicht der Bandgap-Schaltung . . . . .	71
A.3	Layoutansicht des 10-Bit-ADUs . . . . .	72
A.4	Layoutansicht des ADUs mit Bandgap-Schaltung, Buffer und Digitalteil .	73
A.5	Layoutansicht des Testchips des Messsystems . . . . .	74

# Symbol- und Abkürzungsverzeichnis

## Abkürzungen

ADU	Analog-Digital-Umsetzer
AND	Und-Gatter
BG	Bandgap
BSIM	Berkeley Short-Channel IGFET Model
CMOS	Complementary Metal Oxid Semiconductor
CTAT	Complementary To Absolute Temperature
DAU	Digital-Analog-Umsetzer
ESD	Electro-Static Discharge
IGFET	Insulated-Gate Field Effect Transistor
LSB	Least Significant Bit
MSB	Most Significant Bit
N.C.	Not Connected
NMOS	N-Type Metal Oxid Semiconductor
NOR	Nicht-Oder-Gatter
OPA	Operational amplifier
OTA	Operational transconductance amplifier
PMOS	P-Type Metal Oxid Semiconductor
pnp	eine Abfolge von Dotierungen bei Bipolartransistoren
PTAT	Proportional To Absolute Temperature
SAR	Sukzessive Approximation Register
SC	Switched Capacitor

## Symbole

$V_{DD}$	höchstes vorkommendes DC-Potential der Schaltung
$V_{ptat}$	temperaturabhängige Spannung
$V_{ref}$	Referenzspannung
$V_T$	Temperaturspannung

# Kapitel 1

## Motivation

### 1.1 Motivation

Es soll eine Schaltung entworfen, simuliert und getestet werden, welche die Temperatur am Chip misst und damit die Temperaturkompensation anderer Schaltungskomponenten, wie z. B. einem Oszillator oder Drucksensor, erlaubt.

Die Schaltung soll im Hinblick auf den Einsatz in Reifendrucksensoren im Automotivbereich entworfen werden und folglich über einen großen Temperaturbereich zuverlässig funktionieren. Der Platzbedarf am Chip soll dabei möglichst gering sein, da die Fläche in der Massenproduktion direkt in die Herstellungskosten eingeht. Da diese Sensoren zukünftig ohne Batterie arbeiten sollen und sie ihre Energie einzig aus einem elektromagnetischen Feld beziehen können, ist die Stromaufnahme von größter Wichtigkeit, da die so zur Verfügung stehenden Ströme sehr klein sind.

Um die Temperatur messen zu können, wird eine Referenzgröße benötigt, welche über alle Einflüsse möglichst konstant sein soll, weiters eine Messgröße, welche ausschließlich und vorzugsweise linear von der Temperatur abhängig ist. Diese analogen Größen sollen mit einem Analog-zu-Digital-Umsetzer zu einem digitalen Messwert umgesetzt werden, welcher leicht digital weiterverarbeitet werden kann.

Dabei soll der gemessene Temperaturwert auch ohne Trimmung des Systems möglichst genau sein, da eine Trimmung in der Produktion zeitaufwändig und damit teuer ist.

# Kapitel 2

## Grundlagen

### 2.1 Prinzip der Temperaturkompensation

Mit den in der Halbleitertechnik verfügbaren Bauteilen ist direkt keine über die Temperatur konstante Spannung erzeugbar, welche als Referenzspannung verwendet werden kann. Daher muss das Prinzip der Temperaturkompensation angewandt werden, welches darauf beruht, zwei Spannungen oder Ströme unterschiedlichen Temperaturverhaltens so miteinander zu addieren, dass eine von der Temperatur unabhängige Spannung entsteht.

Zum Einsatz kommt meistens eine Bandgap-Schaltung, welche eine Ausgangsspannung in der Nähe der Bandlücke der verwendeten Bauelemente bereitstellt. In den üblichen Prozessen bietet sich hier die Siliziumdiode an, welche einen Bandabstand von 1,12 eV bei Raumtemperatur besitzt. [12]

### 2.2 Dioden im CMOS-Prozess

Um in einem CMOS-Prozess, wie dem vorliegenden 130 nm-Prozess, eine Diode zu bekommen, wird ein vertikaler bipolarer *pn*p-Transistor verwendet und dessen Basis-Emitter-Diode ausgenutzt. Dabei steht ein fixes Layout zur Verfügung, welches einen

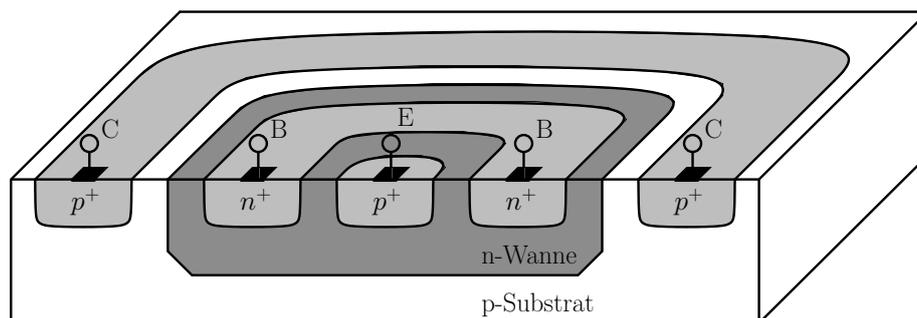


Abbildung 2.1: Querschnitt eines vertikalen pnp-Transistors

ringförmigen Aufbau der Basis und des Kollektors aufweist. Dafür stehen BSIM4 Simulationsmodelle bereit, welche eine gute Übereinstimmung des Verhaltens mit den gefertigten Bauelementen besitzen. Ein Querschnitt ist in Abbildung 2.1 zu sehen.

## 2.3 Temperaturverhalten einer Diode

Die Vorwärtsspannung einer Basis-Emitter-Diode, also eines  $pn$ -Halbleiterübergangs, weist einen negativen Temperaturkoeffizienten auf. Der Strom kann durch Gleichung (2.3.1) beschrieben werden. [10]

$$I_D = I_S \left( e^{V_D/nV_T} - 1 \right) \quad (2.3.1)$$

$I_S$  ist dabei der Sättigungsstrom der Diode,  $V_T$  die Temperaturspannung und  $n$  der Emissionskoeffizient.

$$V_T = \frac{kT}{q} \quad (2.3.2)$$

$$k = 1,38 \cdot 10^{-23} \text{ J/K} \quad (2.3.3)$$

$$q = 1,602 \cdot 10^{-19} \text{ C} \quad (2.3.4)$$

Der Sättigungsstrom ist dabei proportional zu  $\mu k T n_i^2$ , wobei  $\mu$  die Mobilität der Minderheitsladungsträger und  $n_i$  die intrinsische Minderheitsladungsträgerkonzentration ist. Dabei ist  $\mu$  wiederum proportional  $\mu_0 T^m$  mit  $m \approx -3/2$  und  $n_i^2 \propto T^3 e^{-E_g/kT}$ . Für  $E_g$  wird für Silizium 1,12 eV eingesetzt. [9] Fasst man alle vorangehenden Formeln zusammen, erhält man Gleichung (2.3.5), wobei  $b$  ein Proportionalitätsfaktor ist.

$$I_S = b T^{4+m} e^{-E_g/kT} \quad (2.3.5)$$

Wird Gleichung (2.3.1) unter Vernachlässigung des Terms  $-1$  auf  $V_D$  umgeformt, erhält man:

$$V_D = V_T \ln \left( \frac{I_C}{I_S} \right) \quad (2.3.6)$$

Nun kann die Temperaturabhängigkeit der Vorwärtsspannung, unter der Vereinfachung eines konstant gehaltenen Stromes  $I_C$ , berechnet werden, indem die Gleichung (2.3.6) nach  $T$  abgeleitet wird. Man erhält:

$$\frac{\partial V_D}{\partial T} = \frac{\partial V_T}{\partial T} \ln \frac{I_C}{I_S} - \frac{V_T}{I_S} \frac{\partial I_S}{\partial T} \quad (2.3.7)$$

Die einzelnen Ableitungen ergeben sich zu:

$$\frac{\partial I_S}{\partial T} = b(4 + m) T^{3+m} e^{-E_g/kT} + bT^{4+m} e^{-E_g/kT} \frac{E_g}{kT^2} \quad (2.3.8)$$

$$\frac{\partial V_T}{\partial I_S} = \frac{\frac{kT}{q}}{bT^{4+m} e^{-E_g/kT}} \quad (2.3.9)$$

Fügt man die Gleichungen (2.3.8) und (2.3.9) in Gleichung (2.3.7) ein und kürzt, erhält man:

$$\frac{V_T}{I_S} \frac{\partial I_S}{\partial T} = \frac{V_T}{T} (4 + m) + \frac{V_T}{T} \frac{E_g}{kT} \quad (2.3.10)$$

Als Endergebnis ergibt sich die Gleichung (2.3.11).

$$\frac{\partial V_D}{\partial T} = \frac{V_D - V_T (4 + m) - E_g/q}{T} \quad (2.3.11)$$

Es zeigt sich, dass der Temperaturkoeffizient der Diode von der Spannung über der Diode abhängt. Bei gleich bleibender Größe der Diode hat der Strom durch die Diode einen Einfluss, da dieser die Spannung an der Diode bestimmt. In Abbildung 2.2 wird der Temperaturkoeffizient und die Diodenspannung der zur Verfügung stehenden Dioden bei Raumtemperatur und eingepprägtem Strom  $I_D$  in einer Simulation gezeigt.

Vergleicht man die Simulation mit der Berechnung aus Gleichung (2.3.11), ergeben sich leichte Abweichungen, welche auf eine genauere Modellierung der Diode und ihrer Nichtidealitäten zurückzuführen sind.

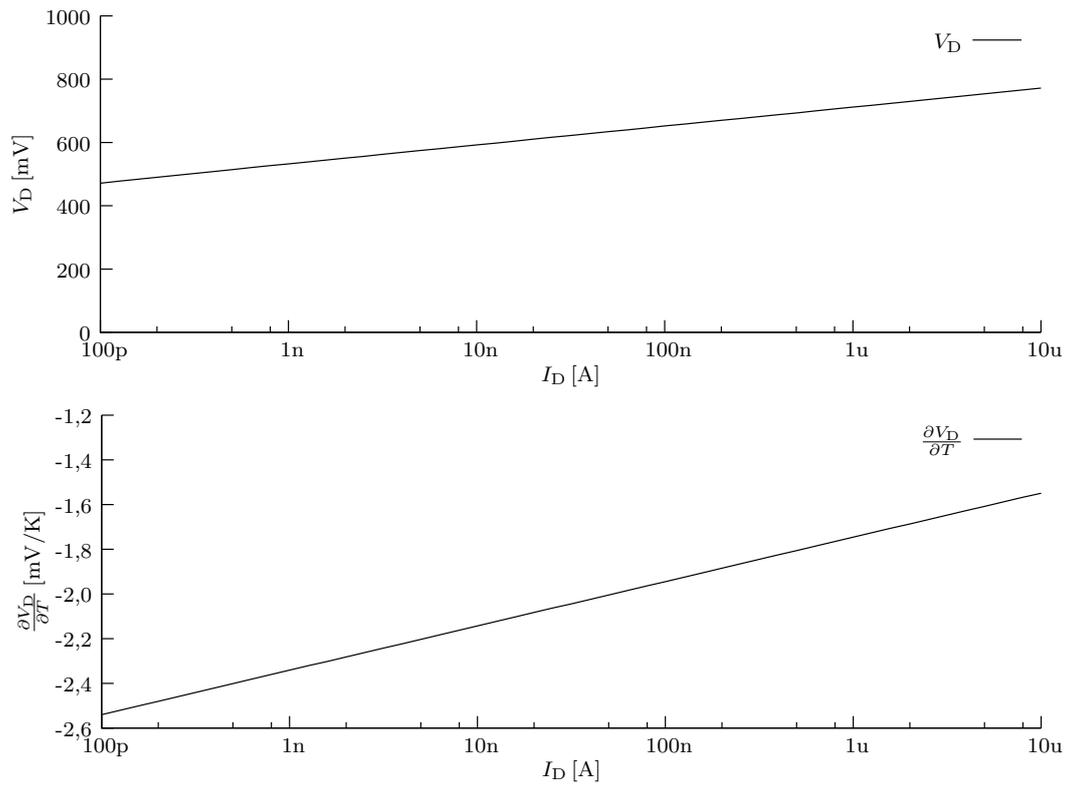


Abbildung 2.2: Diodenspannung und Temperaturkoeffizient einer Diode im C11n Prozess

# Kapitel 3

## Standard-Bandgap

### 3.1 Standard-Bandgap-Schaltung

Eine einfache Bandgap-Schaltung nach [6] wird in Abbildung 3.1 gezeigt. Kern der Schaltung sind zwei Strompfade mit als Dioden betriebenen pnp-Transistoren verschiedener Größe. Dem um den Faktor  $m$  größeren Transistor Q2 ist ein Widerstand in Serie geschaltet. In Abbildung 3.2 wird eine Schaltung zur Messung der Ströme durch zwei solche Strompfade gezeigt. Die entstehenden Stromverläufe, wenn die Spannung an den Pfaden variiert wird, werden in Abbildung 3.3 gezeigt. Dabei schneiden sich die zwei Kurven an genau zwei Punkten. Der erste Schnittpunkt bei Spannung Null, welcher aufgrund des logarithmischen Verlaufs nicht erkennbar ist, ist bei der Bandgap-Schaltung nicht erwünscht und muss durch eine geeignete Startup-Schaltung vermieden werden. Für den zweiten Schnittpunkt gelten folgende Formeln.

$$I_1 = I_2 \quad (3.1.1)$$

$$I_1 > 0 \text{ und } I_2 > 0 \quad (3.1.2)$$

$$V_{\text{pnp1}} = V_{\text{pnp2}} + V_{\text{R1}} \quad (3.1.3)$$

$$I_{\text{S2}} = mI_{\text{S1}} \quad (3.1.4)$$

$$V_{\text{pnp1}} = V_{\text{T}} \cdot \ln \left( \frac{I_1}{I_{\text{S1}}} \right) \quad (3.1.5)$$

$$V_{\text{pnp2}} = V_{\text{T}} \cdot \ln \left( \frac{I_2}{I_{\text{S2}}} \right) \quad (3.1.6)$$

Die Differenz zwischen  $V_{\text{pnp1}}$  und  $V_{\text{pnp2}}$  ergibt sich aus Gleichung (3.1.7) und stellt die Spannung  $V_{\text{R1}}$  dar.

$$V_{\text{R1}} = V_{\text{T}} \cdot \ln \left( \frac{I_1}{I_{\text{S1}}} \right) - V_{\text{T}} \cdot \ln \left( \frac{I_2}{I_{\text{S2}}} \right) \quad (3.1.7)$$

Formt man Gleichung (3.1.7) um, so sieht man, dass die Spannung an  $V_{\text{R1}}$  bei fixem  $m$  nur von der Temperatur abhängt, da sich  $V_{\text{T}}$  verändert.

$$V_{\text{R1}} = V_{\text{T}} \cdot \ln(m) \quad (3.1.8)$$



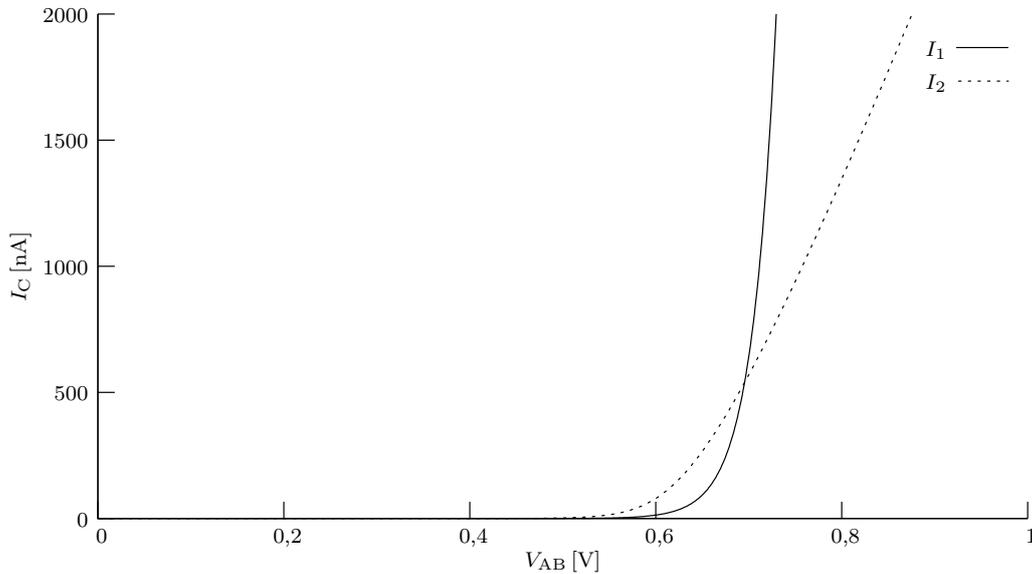


Abbildung 3.3: Übertragungskennlinie von Q1 und Q2

Die Spannung, die über den Widerstand abfällt, ist direkt proportional zum Strom, womit sich für den Strom folgender Zusammenhang ergibt:

$$I_2 = \frac{V_T \cdot \ln(m)}{R_1} \quad (3.1.9)$$

In der in Abbildung 3.1 gezeigten Schaltung sorgen die Transistoren P1 und P2 mit einem Operationsverstärker dafür, dass  $I_1$  gleich  $I_2$  und  $V_A$  gleich  $V_B$  ist. P3 spiegelt den erzeugten PTAT-Strom auf eine weitere Diode Q3 mit einem Widerstand  $R_2$  in Serie aus. Da Q3 gleich dimensioniert ist wie Q1, erzeugt der fließende Strom  $I_3$  den gleichen Spannungsabfall wie  $I_1$  in Q1. Bis zum Referenzspannungsausgang  $V_{\text{ref}}$  fällt weiters eine Spannung über den Widerstand  $R_2$  ab.

$$V_{\text{ref}} = V_{\text{pnp3}} + \frac{R_2}{R_1} V_T \cdot \ln(m) \quad (3.1.10)$$

Dabei sinkt  $V_{\text{pnp3}}$  bei steigender Temperatur.  $V_{\text{pnp3}}$  ist demzufolge eine CTAT-Spannung, während  $V_{R_2}$  steigt und somit eine PTAT-Spannung ist. Wird  $R_2$  nun im richtigen Verhältnis zu  $R_1$  dimensioniert und ist  $m$  größer als eins, heben sich beide Temperaturkoeffizienten auf und am Ausgang entsteht eine temperaturunabhängige Spannung.

In erster Näherung beträgt der Temperaturkoeffizient einer Diode  $\approx -1,95 \text{ mV/K}$  bei  $V_{\text{BE}} \approx 600 \text{ mV}$  und  $T = 300 \text{ K}$ . [9]

Der Temperaturkoeffizient der Temperaturspannung  $V_T$  beträgt  $\approx +0,0861 \text{ mV/K}$ .

$$\frac{1,5}{0,0861} = 22,64 \quad (3.1.11)$$

Wie aus dem Ergebnis in Gleichung (3.1.11) ersichtlich, muss für  $R_2/R_1 \cdot \ln(m)$  ein Faktor 22,64 gewählt werden. Dieser Wert verändert sich für eine reale Schaltung aber noch aufgrund diverser Nichtidealitäten, wie z. B. Temperaturkoeffizienten der Widerstände, parasitärer Innenwiderständen der Dioden und ihrer Nichtidealitätsfaktoren. Auch verändert sich der Wert des Temperaturkoeffizienten der Diode, je nach an der Diode abfallender Spannung recht deutlich, wie in Gleichung (2.3.11) zu sehen. Das bedeutet, der Faktor ist von der Dimensionierung der Ströme durch die Dioden und deren Größe abhängig. Zusätzlich wurde von einem konstanten Strom über die Temperatur durch die Dioden bei der Berechnung des Temperaturkoeffizienten ausgegangen. In der vorliegenden Schaltung ist der Strom aber proportional zur Temperatur, was den endgültigen Wert für die Temperaturstabilität zusätzlich beeinflusst. So steigen die Ströme im Temperaturbereich von  $-40^\circ\text{C}$  bis  $130^\circ\text{C}$  um den Faktor 1,7, was aber nur eine Erhöhung der Diodenspannung, und damit der Ausgangsspannung, von ungefähr 14 mV verursacht.

Wie in Abbildung 3.4 zu sehen, zeigt die erzeugte Ausgangsspannung weiterhin eine geringe Abhängigkeit von der Temperatur. Wie in Abbildung 3.4 zu sehen, zeigt die erzeugte Ausgangsspannung, selbst bei optimaler Trimmung, weiterhin eine geringe Abhängigkeit von der Temperatur. Dies ist darauf zurückzuführen, dass die Schaltung nur eine Temperaturkompensation erster Ordnung bietet, was bedeutet, dass die Änderung des Temperaturkoeffizienten über die Temperatur, wie zu sehen in Gleichung (2.3.11), nicht korrigiert wird. Es gibt Schaltungen, welche auch Fehlerterme höherer Ordnung ausgleichen können, diese sollen aber im Rahmen dieser Arbeit nicht weiter behandelt werden.

## 3.2 Low-Voltage-Bandgap-Schaltung

Die in 3.1 gezeigte Schaltung benötigt eine Versorgungsspannung von mindestens  $V_{\text{ref}}$  und eine Sättigungsspannung für den Stromspiegel. Um mit niedrigeren Spannungen arbeiten zu können, so wie in modernen Prozessen üblich, muss eine andere Topologie verwendet werden. Dazu bietet sich die Schaltung nach [3] an, welche im Gegensatz zur Spannungsaddition bei 3.1 auf dem Prinzip der Stromaddition beruht.

Die Schaltung aus 3.1 wird um zwei Widerstände, welche von den Knoten  $V_A$  und  $V_B$  nach Masse gehen, erweitert und der Ausgangstransistor Q3 dafür weggelassen.  $I_1$  und  $I_2$  ergeben sich nun jeweils aus der Summe der jeweiligen Ströme durch die Dioden Q1 und Q2, plus den beiden gleich großen Widerständen  $R_2$ . Am Ausgang entsteht nun

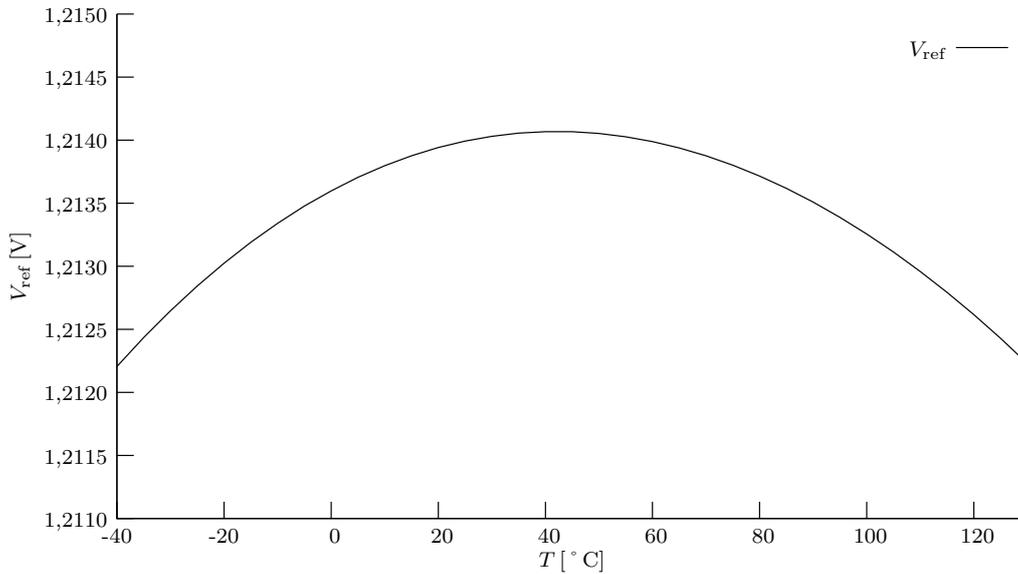


Abbildung 3.4: Spannungsverlauf einer Standard-Bandgap-Schaltung über die Temperatur

ein Spannungsabfall über dem Widerstand  $R_3$ , welcher sich aus den beiden Strömen zusammensetzt. Der Strom durch die Diode Q1 bzw. Q2 erzeugt, unter der Annahme  $R_3$  wäre gleich  $R_2$ , am Ausgang die gleiche Spannung wie jene, die über  $R_1$  abfällt, allerdings gewichtet mit dem Verhältnis  $R_2/R_1$ . Diese stellt eine PTAT-Spannung dar. Der Strom, welcher über  $R_2$  fließt, verursacht an  $R_3$  den selben Spannungsabfall wie an  $R_2$  selbst und ist gleich der Spannung über der Diode Q1. Er stellt dementsprechend eine CTAT-Spannung dar.

Wird das Verhältnis zwischen  $R_2$  und  $R_1$  wieder richtig gewählt, ergibt dies am Ausgang eine über die Temperatur konstante Spannung. Nun kann allerdings  $R_3$  frei gewählt werden, ohne damit die Temperaturabhängigkeit der Ausgangsspannung zu verändern. Dies verändert die absolute Größe der Referenzspannung, welche auf geringere Werte als bei der Schaltung aus Kapitel 3.1 eingestellt werden kann. Damit kann die Betriebsspannung weiter gesenkt werden, und zwar bis auf die Diodenspannung plus einer Sättigungsspannung.

Die Ausgangsspannung ergibt sich nun laut folgender Gleichung:

$$V_{\text{ref}} = \frac{R_3}{R_2} \cdot \left[ V_{\text{pnp1}} + \frac{R_2}{R_1} V_T \cdot \ln(m) \right] \quad (3.2.1)$$

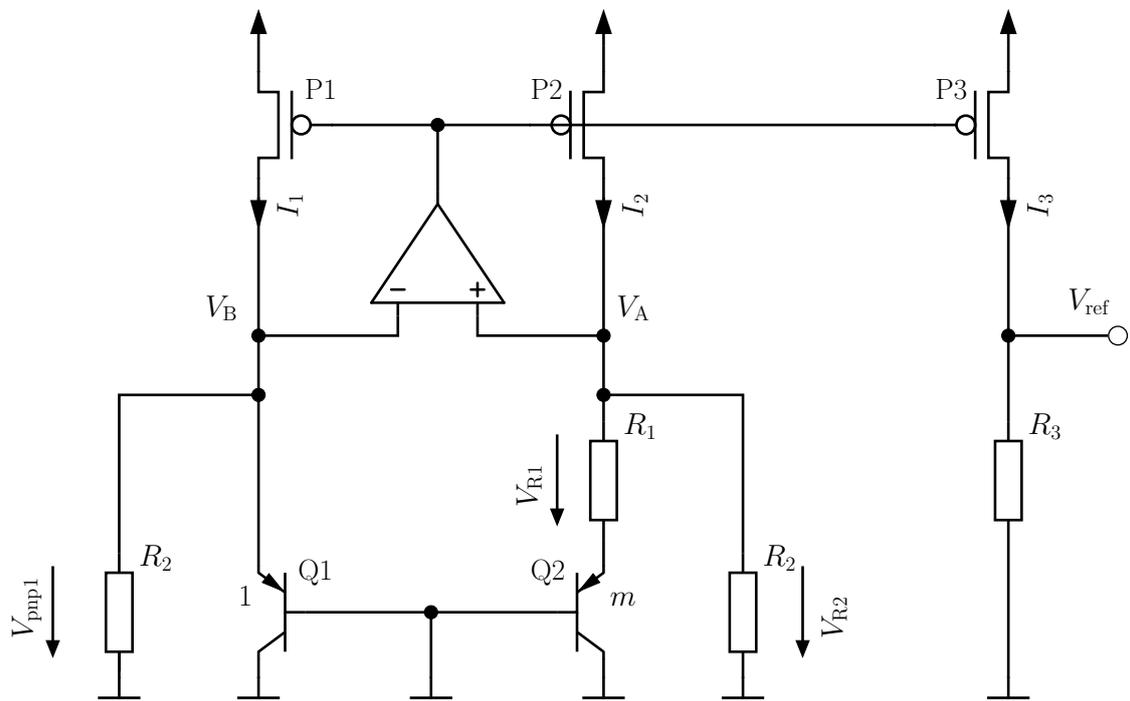


Abbildung 3.5: Prinzipschaltbild einer Low-Voltage-Bandgap-Schaltung

# Kapitel 4

## Switched-Cap-Bandgap

### 4.1 Grundprinzip

Wie in Abbildung 4.1 gezeigt, werden im Gegensatz zu den Schaltungen in Kapitel 3 keine Widerstände benötigt. Um eine Addition von CTAT- und PTAT-Spannung zu erreichen, werden zueinander gewichtete, geschaltete Kapazitäten verwendet.

Im Folgenden wird der Ablauf der drei zeitlichen Phasen im System erläutert, unter der Annahme, der OTA hätte keine Offsetspannung und eine unendlich hohe Leerlaufverstärkung.

In Phase 1 fließt der Strom  $I_1$  durch den als Diode geschalteten Transistor Q1. Am Knoten  $V_{\text{pnp}}$  stellt sich dadurch eine Spannung ein, welche sich durch Gleichung (4.1.1) ergibt und auf den positiven Eingang des OTAs geführt wird und von nun an  $V_{\text{pnp1}}$  genannt wird.

$$V_{\text{pnp1}} = V_T \cdot \ln \left( \frac{I_1}{I_S} \right) \quad (4.1.1)$$

Da der OTA immer versucht die Spannungsdifferenz zwischen seinen beiden Eingängen, welche die Knoten  $V_{\text{pnp}}$  und  $V_{\text{neg}}$  sind, zu Null zu machen, ergibt sich an  $V_{\text{neg}}$  dieselbe Spannung wie an  $V_{\text{pnp}}$ . Weil  $C_2$  überbrückt ist, arbeitet der OTA als Folger. Somit ergibt sich auch am Knoten  $V_{\text{out}}$  dieselbe Spannung wie am Knoten  $V_{\text{pnp}}$ . Der Knoten  $V_1$  wird in Phase 1 gegen Masse gezogen,  $C_3$  und  $C_1$  werden mit der Spannung  $V_{\text{pnp1}}$  aufgeladen,  $C_2$  hingegen vollkommen entladen, wie auch der Abbildung 4.2 zu entnehmen ist.

Beim Wechsel auf Phase 2 wird zuerst die Verbindung vom Knoten  $V_1$  zur Masse und die Überbrückung von  $C_2$  gelöst, die Spannungen an den Knoten  $V_1$  und  $V_{\text{neg}}$  sind in diesem Zustand nur mehr durch die Spannungen über die Kondensatoren bestimmt, welche sich aber in dieser idealisierten Betrachtung mit der Zeit auch nicht ändern. Anschließend werden die Knoten  $V_1$  und  $V_{\text{out}}$  miteinander verbunden, der geladene Kondensator  $C_3$  dadurch mit dem entladenen  $C_2$  parallel geschaltet, wie in Abbildung 4.3 zu sehen.

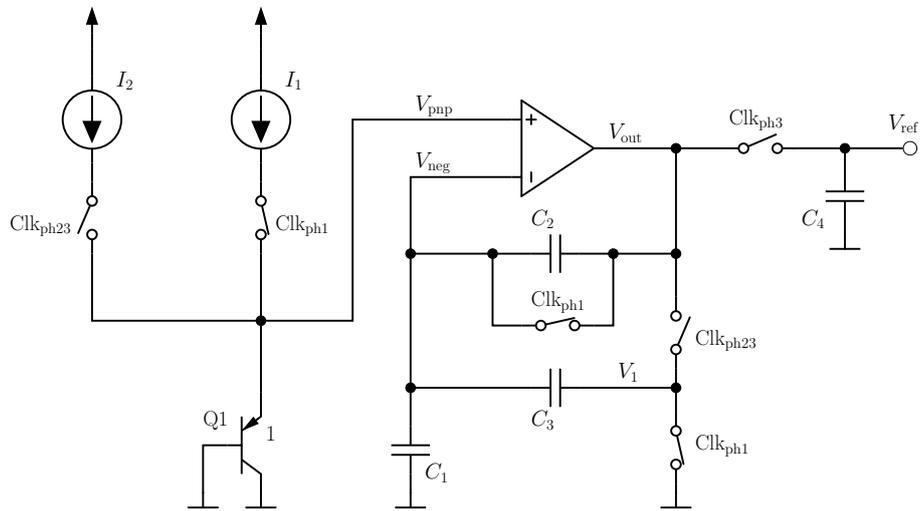


Abbildung 4.1: Prinzipschaltbild einer Switched-Cap-Bandgap-Schaltung [5][11]

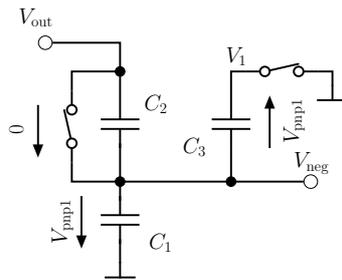


Abbildung 4.2: Vorlade-Phase

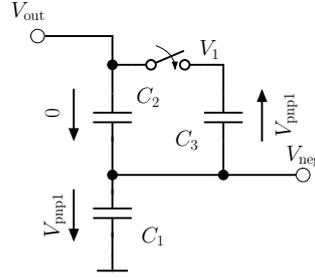


Abbildung 4.3: Ladungsumverteilung

Dadurch verringert sich die Spannung an  $C_3$  laut folgender Formel:

$$V'_{C3} = \frac{C_3}{C_2 + C_3} \cdot V_{C3} \quad (4.1.2)$$

Aufgrund dieses Schaltvorganges verändert sich die Spannung am Knoten  $V_{neg}$  jedoch nicht, lediglich  $V_{out}$  ergibt sich nun aus der Summe der Spannungen über  $C_1$  und  $V'_{C3}$ , da der OTA nun nicht mehr als Folger geschaltet ist. Da die Spannung über  $C_2$  parallel zu  $C_3$  in Zählrichtung aber negativ ist, wird sie von  $V_{neg}$  abgezogen, die Spannung an  $V_{out}$  ist nun durch Gleichung (4.1.3) bzw. (4.1.4) gegeben.

$$V_{out} = V_{pnp1} - V_{pnp1} \cdot \frac{C_3}{C_2 + C_3} \quad (4.1.3)$$

$$V_{out} = V_{pnp1} \cdot \frac{C_2}{C_2 + C_3} \quad (4.1.4)$$

Abschließend wird beim Übergang von Phase 1 auf Phase 2 der Strom durch die Diode von  $I_1$  auf den größeren Strom  $I_2$  umgeschaltet. Die Spannung am Knoten  $V_{pnp}$  steigt daher um einen gewissen Betrag von  $V_{pnp1}$  auf  $V_{pnp2}$ , welchen der OTA auszugleichen versucht. Er erhöht seine Ausgangsspannung  $V_{out}$ , welche über den kapazitiven Spannungsteiler aus den drei Kapazitäten auf den negativen Eingang rückgekoppelt ist. Dies ist in Abbildung 4.4 zu sehen. Die Spannungsdifferenz des Knotens  $V_{pnp}$  zwischen Phase 1 und Phase 2 ergibt sich aus Gleichung (4.1.5).

$$V_{pnp2} - V_{pnp1} = V_T \cdot \ln\left(\frac{I_2}{I_S}\right) - V_T \cdot \ln\left(\frac{I_1}{I_S}\right) \quad (4.1.5)$$

Die Differenz wird mit dem Verhältnis aus Gleichung (4.1.6) multipliziert und auf die Ausgangsspannung des OTAs addiert.

$$A = \frac{C_1 + C_2 + C_3}{C_2 + C_3} \quad (4.1.6)$$

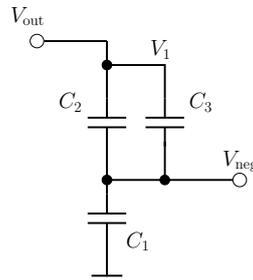


Abbildung 4.4: Kapazitiver Spannungsteiler

Die Spannung am Knoten  $V_{\text{out}}$  ergibt sich nach Gleichung (4.1.7).

$$V_{\text{out}} = \frac{C_2}{C_2 + C_3} \cdot V_{\text{pnp1}} + \frac{C_1 + C_2 + C_3}{C_2 + C_3} \cdot (V_{\text{pnp2}} - V_{\text{pnp1}}) \quad (4.1.7)$$

Die Gleichung (4.1.7) kann in eine leichter lesbare Form umgeformt werden.

$$V_{\text{out}} = \frac{C_2}{C_2 + C_3} \cdot \left[ V_{\text{pnp1}} + \frac{C_1 + C_2 + C_3}{C_2} \cdot \ln\left(\frac{I_2}{I_1}\right) \cdot V_T \right] \quad (4.1.8)$$

Phase 3 dient dem Speichern der Ausgangsspannung des OTAs in einer Kapazität, um eine kontinuierliche Referenzspannung zur Verfügung zu stellen. Wird eine ohmsche Belastung angeschlossen, muss außerdem noch ein Puffer nachgeschaltet werden.

## 4.2 Parasitäre Effekte

Die Genauigkeit der Schaltung wird maßgeblich vom Verhältnis der Kapazitäten zueinander beeinflusst. Da alle Kondensatoren und deren Zuleitungen Kapazitäten zueinander und gegen Masse haben, sollen ihre Auswirkungen auf die Schaltung hier betrachtet werden.

Der sensible Knoten der Schaltung ist  $V_{\text{neg}}$ , an welchem die drei nennenswert großen parasitären Kapazitäten  $C_{11}$ ,  $C_{21}$  und  $C_{31}$  liegen. Diese Kapazitäten wirken bei Schirmung der Kapazitäten gegen Masse und sind somit parallel zu  $C_1$  geschaltet, was laut Formel (4.1.8) zu einer höheren Gewichtung der PTAT-Spannungskomponente führt. Diese Verstimmung muss in der Implementierung berücksichtigt werden. Die parasitäre Kapazität  $C_d$  zwischen den beiden Eingangspins des Operationsverstärkers ist vernachlässigbar, da die beiden Eingänge sich immer auf beinahe derselben Spannung befinden, die Differenzspannung infolgedessen nahe Null ist. Die Eingangskapazität, hervorgerufen durch die Gates der Eingangstransistoren, addiert sich ebenfalls zum Wert von  $C_1$  und ist noch dazu stark nichtlinear und sollte daher minimiert werden. Dies ist leicht möglich,

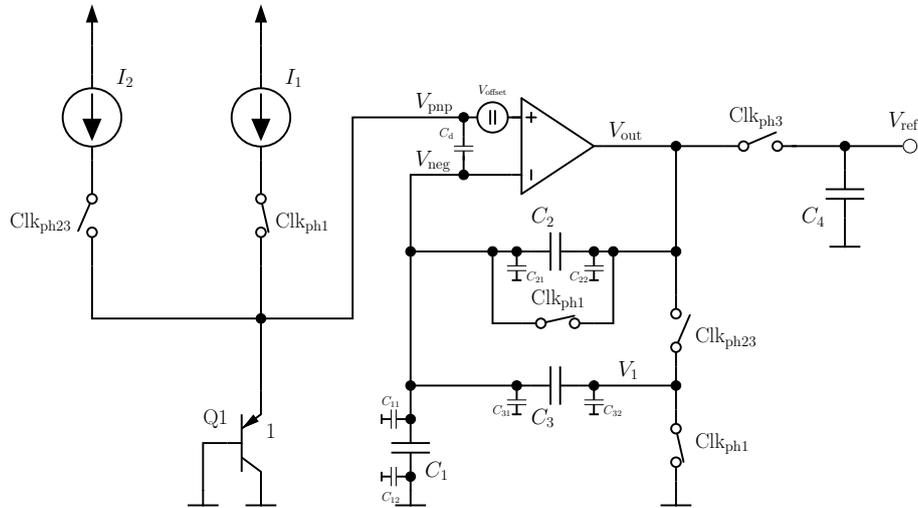


Abbildung 4.5: Parasitäre Kapazitäten

indem bei einem Operationsverstärker mit differentielltem Eingangspaar die Bulkspannung der beiden Eingangstransistoren mit der Gleichtaktspannung an den Eingängen mitgeführt wird. Dies ist machbar indem die Wanne, in der die beiden Transistoren liegen, mit den Sourceanschlüssen verbunden wird.

Die Kapazitäten  $C_{12}$ ,  $C_{22}$  und  $C_{32}$  sind entweder mit Masse oder dem Ausgang des Operationsverstärkers verbunden. Dieser lädt Kapazitäten an seinem Ausgang einfach um, womit diese keinen weiteren Einfluss auf die Trimmung der Schaltung haben. Lediglich auf die Stabilität und Geschwindigkeit der Schaltung durch die zusätzlichen Lasten muss geachtet werden.

Die Offsetspannung des Operationsverstärkers wird mit dem Faktor nach Gleichung (4.2.1) multipliziert, welcher immer kleiner als eins ist, womit der Einfluss auf den Referenzspannungsausgang kleiner wird.

$$\frac{C_2}{C_2 + C_3} \quad (4.2.1)$$

Der Serienwiderstand der Schalter an den Stromquellen kann die Referenzspannung beeinflussen, wenn die Innenwiderstände der beiden Stromquellen nicht unendlich sind. Sie sollten daher möglichst niederohmig gewählt werden, um den Spannungsabfall über den geschlossenen Schalter zu minimieren. Die Serienwiderstände der Schalter an den Kapazitäten haben keinen Einfluss auf den Endwert der Ausgangsspannung, einzig der Einschwingvorgang nach dem Schalten wird länger. Kritischer ist der parallele Wider-

stand, folglich der Leckstrom durch einen geöffneten Schalter. Dieser kann bei langen Zeitkonstanten zwischen den Schaltvorgängen zu einer Entladung der Kondensatoren führen. Dieser Strom sollte daher vor allem bei hohen Temperaturen beobachtet werden.

Beim Schalten gibt es unter der Annahme, dass Transmission-Gates oder Einzeltransistoren als Schalter verwendet werden, eine Ladungsinjektion. Dieser nichtlineare Einfluss muss ebenfalls bedacht und durch geeignete Maßnahmen, wie zum Beispiel Dummy-Transistoren, verringert werden.

### 4.3 Erzeugung einer temperaturabhängigen Spannung

Lässt man  $C_2$  in Schaltung 4.1 weg, entsteht die Schaltung in Abbildung 4.6. In Phase 1 werden die Kondensatoren  $C_1$  und  $C_3$  wie bei der Erzeugung einer Referenzspannung auf die Spannung  $V_{\text{pnp1}}$  aufgeladen.

In Phase 2 wird  $C_3$  von Masse auf den Ausgang des Operationsverstärkers geschaltet, welcher damit auf Spannung Null am Ausgang geht. Es wird demnach kein Anteil von  $V_{\text{pnp1}}$  am Ausgang beibehalten. Wenn anschließend die Spannung am positiven Eingang von  $V_{\text{pnp1}}$  auf  $V_{\text{pnp2}}$  steigt, regelt dies der Verstärker aus, indem er die Ausgangsspannung, welche über den kapazitiven Spannungsteiler aus  $C_1$  und  $C_3$  auf den negativen Eingang rückgekoppelt ist, erhöht. Damit ergibt sich der gleiche Verstärkungsfaktor, der schon in Gleichung (4.1.6) dargestellt ist, nur mit  $C_2$  ist gleich Null. Es entsteht am Ausgang eine zur Temperatur proportionale Spannung.

$$V_{\text{ptat}} = \frac{C_1 + C_3}{C_3} \cdot \ln\left(\frac{I_2}{I_1}\right) \cdot V_T \quad (4.3.1)$$

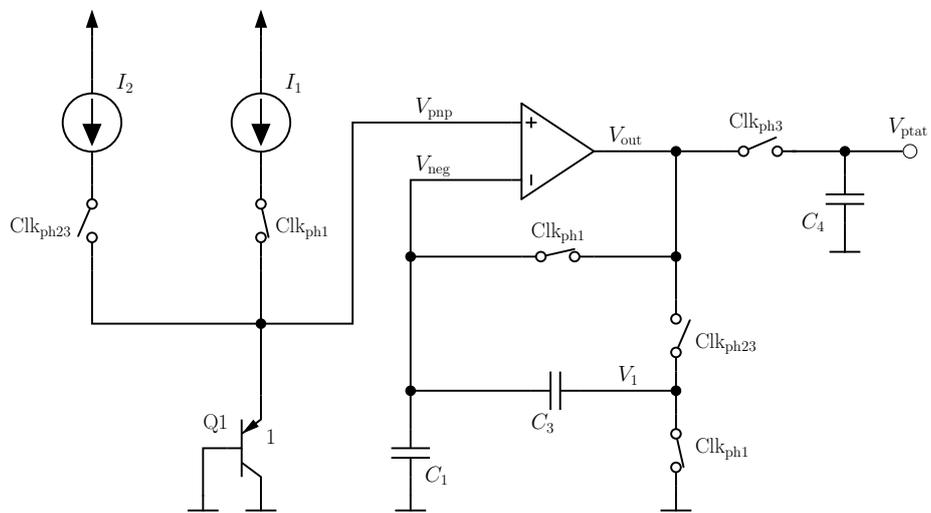


Abbildung 4.6: Prinzipschaltbild zur Erzeugung einer Temperaturspannung

# Kapitel 5

## Implementierung

### 5.1 Übersicht

Die in Abbildung 4.1 gezeigte Schaltung enthält zwei ideale Stromquellen, welche als reale Schaltung am Chip realisiert werden müssen. Außerdem muss der verwendete reale OTA mit einem Biasstrom versorgt werden. Hier sollen die einzelnen Schaltungsblöcke im Detail betrachtet werden.

Die implementierte Schaltung wird in Abbildung 5.1 gezeigt.

### 5.2 Biasstrom Erzeugung mit PTAT Zelle

Die Ströme  $I_1$  und  $I_2$  zur Speisung des Referenztransistors in Abbildung 4.1 sollten über die Temperatur, Betriebsspannung und Prozessschwankungen annähernd konstant sein. Dies ist mit einer Schaltung, welche wie die in Kapitel 3.1 gezeigte Schaltung nur ohne Ausgangstrompfad aufgebaut ist, leicht möglich. Der Ausgangstrompfad wird durch die Pfade für die beiden zu erzeugenden, genau zu einander gewichteten Ströme ersetzt.

Da der absolute Wert der beiden Ströme  $I_1$  und  $I_2$  laut den Gleichungen (4.1.8) und (4.1.1) nur über den Term in Gleichung (5.2.1) in die Ausgangsspannung eingeht, ist dieser aufgrund der Abhängigkeit über den Logarithmus nicht so ausschlaggebend.

$$\Delta V_{\text{out}} = \frac{C_2}{C_2 + C_3} \cdot V_T \cdot \ln \left( \frac{I_1}{I_S} \right) \quad (5.2.1)$$

So ergibt eine angenommene Abweichung der Ströme von  $\pm 10\%$  eine Veränderung der Ausgangsspannung um weniger als  $\pm 0,5\%$ . Die Temperaturabhängigkeit des erzeugten PTAT-Stroms stellt auch kein Problem dar. [9] Es kommt dadurch zu einer kleinen Erhöhung der Spannung über die Diode Q3 bei hohen und einer Verringerung bei tiefen Temperaturen, abgesehen von dem ohnehin vorhandenem Temperaturgang der Diode.

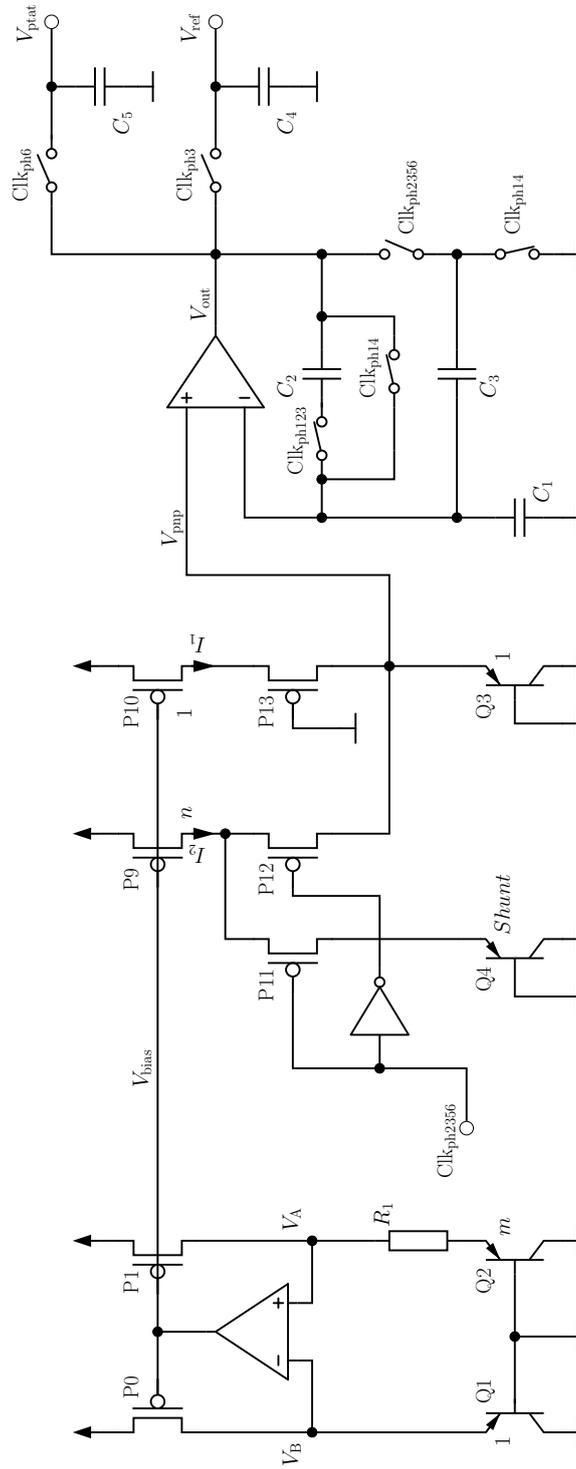


Abbildung 5.1: Implementierte Schaltung im Überblick



Die PMOS-Transistoren P3 und P4 bilden das differentielle Eingangspaar eines Current Mirror OTAs. Es wurde kein OPA verwendet, da die zu treibende Last rein kapazitiv und ein OTA für diesen Einsatzzweck besser geeignet ist. Der Verstärker wird von einem PMOS-Transistor gespeist, welcher den Strom aus der PTAT-Zelle selbst ausspiegelt. Das heißt, das differentielle Eingangspaar des OTAs wird mit einem Viertel des Stroms durch die Dioden gespeist. Ein weiteres Viertel fließt zusammen durch die beiden Stromspiegelpfade, welche die Transistoren N2, N3, P5 und P6 bilden. Gesamt verbraucht der OTA demzufolge nur 22,4 nA bei 27 °C.

### 5.3 Start-Up

Der OTA in Abbildung 5.2 kann beim Anlegen der Versorgungsspannung unter Umständen die Transistoren P0, P1 und P2 nicht einschalten, da er selbst durch P2 versorgt wird. Um diesen Zustand zu vermeiden, ist eine Start-Up-Schaltung nötig, welche die Schaltung zuverlässig unter allen auftretenden Temperaturen und Versorgungsspannungen in den eingeschalteten Zustand bringt.

Implementiert wurde dies mit einem Inverter, welcher durch die Transistoren P8 und N4 gebildet wird. Der Querstrom durch den Inverter wird mit dem sehr langen als Diode geschalteten Transistor P7 begrenzt. Ein Widerstand anstelle von P7 wäre weniger abhängig von der Versorgungsspannung und der Temperatur, aber flächenmäßig um ein Vielfaches größer. Der Ausgang des Inverters steuert den NMOS-Transistor N5 an, welcher im eingeschalteten Zustand den Knoten  $V_{\text{bias}}$  gegen Masse zieht und somit einen Strom in allen Schaltungsteilen initiiert. Der Eingang wird mit der Spannung  $V_A$  oder  $V_B$  verbunden.

Zusätzlich gibt es parallel zu N5 den gesperrten Transistor N6, durch welchen ein geringer Leckstrom nach Masse fließt und den Startup unter gewissen Bedingungen deutlich beschleunigt.

### 5.4 Geschaltete Diode

Der in der Biaszelle erzeugte Strom wird über die Transistoren P9 und P10, zu sehen in Abbildung 5.1, gewichtet ausgespiegelt. Dabei wurde der Strom  $I_1$  mit 16,5 nA bei 27 °C festgelegt. Das Verhältnis  $I_2$  zu  $I_1$  wurde mit zehn gewählt, wobei eine genaue Verhältnisbildung durch die Verwendung von Normalelementen erreicht wird. So besteht P9 aus zwei und P10 aus 20 gleichen Transistoren, welche in Common-Centroid-Layout-Technik auf dem Chip verbaut wurden. Anders als in Kapitel 4 gezeigt, wird nicht zwischen  $I_1$  und  $I_2$  umgeschaltet, sondern  $I_2$  lediglich zu  $I_1$  dazugeschaltet. In den Zyklen, wo nur  $I_1$  durch die Referenzdiode Q3 fließt, wird der Strom  $I_2$  auf einen Shunt-Transistor Q4

umgeleitet, um große Spannungsschwankungen am Stromspiegel zu verhindern und eine kontinuierliche Stromaufnahme der Schaltung zu gewährleisten. Die mit den Transistoren P11, P12 und P13 realisierten Schalter für die Ströme wurden so groß dimensioniert, dass ihr Spannungsabfall keine große Stromänderung an den Stromspiegeltransistoren durch ihren endlichen Innenwiderstand hervorruft. Der ständig eingeschaltete Transistor P13 sorgt für gleiche Bedingungen in beiden Stromzweigen.

## 5.5 Geschaltete Kapazitäten

Als Verstärker wurde aufgrund der rein kapazitiven Last, wie schon in der Biaszelle, ein OTA verbaut, welcher auch von dieser mit einem Biasstrom versorgt wird. Der Strom, den der OTA am Ausgang maximal treiben kann, entscheidet maßgeblich darüber, wie lange die Umladevorgänge der Kapazitäten  $C_1$ ,  $C_2$  und  $C_3$  dauern. Er wurde mit 25 nA bei 27 °C gewählt, was aufgrund der Current-Mirror-Architektur einen gesamten Stromverbrauch des OTAs von 83 nA ergibt.

Die Schalter wurden als Transmission-Gates ausgeführt, wobei bei ihrer Dimensionierung auf einen ausreichend geringen Widerstand im eingeschalteten Zustand geachtet wurde. Auch der Leckstrom ist ein Kriterium, weshalb die Transistoren nicht beliebig weit gebaut werden können, da sich sonst, insbesondere bei hohen Temperaturen, die Kondensatoren entladen würden. Das Verhältnis der Weiten von PMOS zu NMOS wurde so gewählt, dass sich die Ladungsinjektionen beider Transistoren möglichst gut aufheben, was aber nur für einen Arbeitspunkt ideal möglich ist, da die Kapazitäten mit der am Schalter anliegenden Spannung und der Prozessstreuung variieren.

Die Kapazitäten wurden, um ein gutes Matching zu erreichen, mit Normalelementen realisiert, welche wieder mit Common-Centroid-Technik gelayoutet wurden. Auch ein Dummy-Ring um die eigentlichen Kapazitäten wurde zur Minderung von Randeffekten verbaut. Die einzelnen Kapazitäten sind gegen Substrat und an allen vier Rändern nach Masse geschirmt. Um Platz zu sparen, wird die Kapazität zwischen drei Platten auf übereinander liegenden Metallebenen genutzt, wobei der auf parasitäre Kapazitäten sensible Knoten jeweils in der Mitte liegt. Die Zuleitungen zu den Anschlüssen wurden möglichst kurz und flächenmäßig klein gehalten, um möglichst wenig Kapazität zu verursachen.

Die Normalkapazität wurde mit 25 fF gewählt, wobei  $C_2$  und  $C_3$  aus jeweils zwei und  $C_1$  aus sechzehn Elementen besteht. Um den Einfluss der Parasiten nicht zu vernachlässigen, wurden diese extrahiert und bei der simulationstechnischen Trimmung der Schaltung berücksichtigt.

## 5.6 Timing-Einheit

In der realisierten Schaltung gibt es sechs verschiedene Zustände:  $Clk_{ph1}$  bis  $Clk_{ph6}$ . Für die Ablaufsteuerung werden verschiedene Kombinationen dieser Phasen zur Ansteuerung der verwendeten Schalter benötigt, welche mit der in Abbildung 5.3 gezeigten Schaltung erzeugt werden. In den Phasen  $Clk_{ph1}$  bis  $Clk_{ph3}$  wird die Referenzspannung erzeugt, in  $Clk_{ph4}$  bis  $Clk_{ph6}$  die temperaturabhängige Spannung.

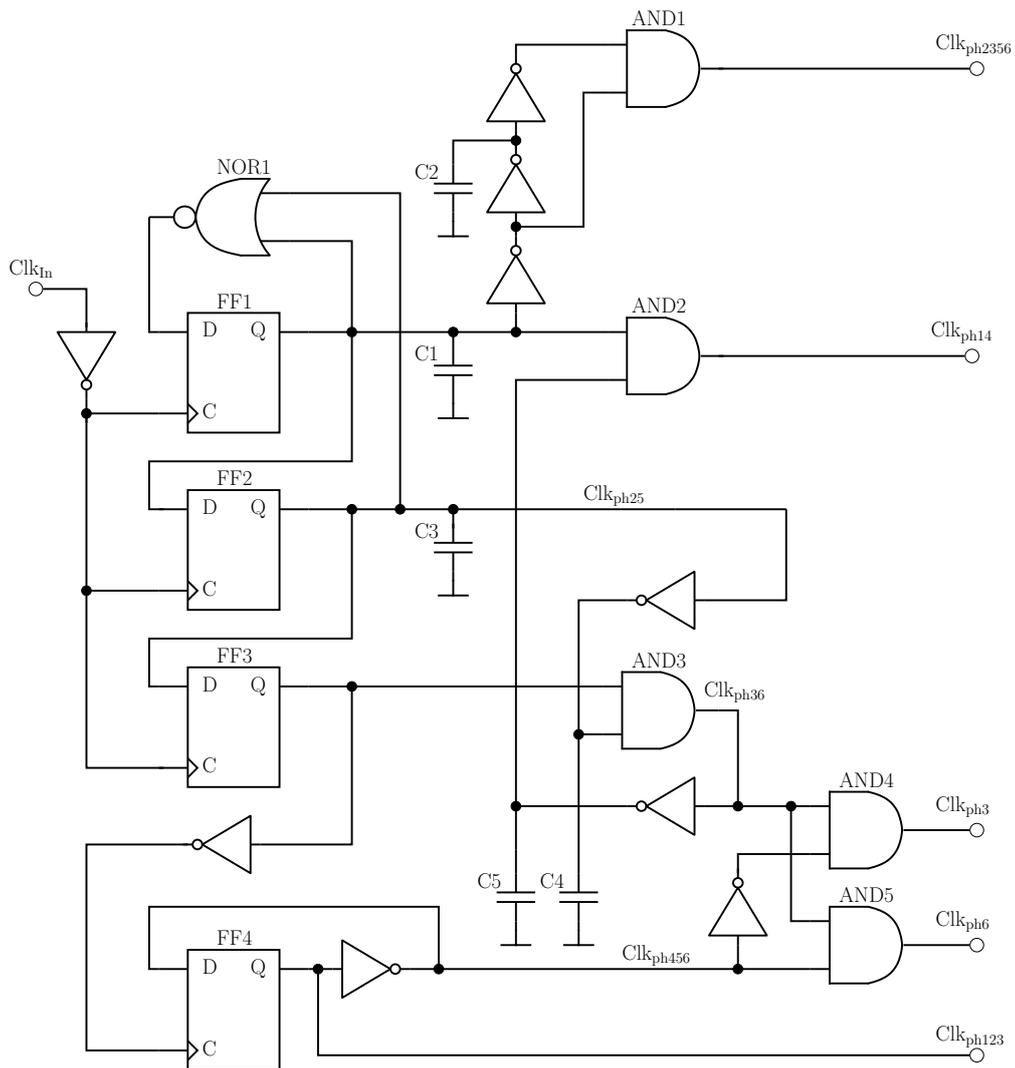


Abbildung 5.3: Schaltbild der Timing-Einheit

Gebraucht wird ein Referenztakt  $Clk_{In}$ , welcher invertiert und auf die drei taktflanken-gesteuerten D-Flipflops FF1, FF2 und FF3 als Takteingang gelegt wird. Der Ausgang von FF1 wird auf den Eingang von FF2 geführt und dessen Ausgang auf den Eingang von FF3. Die drei Flipflops bilden ein Schieberegister. Der Eingang von FF1 wird durch den Ausgang eines NOR-Gatters gebildet, welches als Eingänge die Ausgänge von FF1 und FF2 hat.

Betrachtet man nun diese vier Bauteile isoliert und geht man davon aus, dass beim Start die drei Flipflops eine Null am Ausgang ausgeben, ergibt der Ausgangswert von NOR1 eins. Diese Eins wird mit der nächsten negativen Taktflanke an  $Clk_{In}$  in FF1 übernommen, während FF1 und FF2 eine Null eintakten. Durch die Eins am Ausgang von FF1 ergibt sich der Ausgang von NOR1 nun zu null. Mit der folgenden Flanke wird die Eins an FF1 von FF2 übernommen, FF1 und FF3 takteten eine Null ein. Noch eine Flanke später wird die Eins an FF2 von FF3 eingetaktet. Die Ausgänge von FF1 und FF2 sind nun wieder auf Null, womit der Ausgang von NOR1 wieder auf Eins steht und der Ablauf sich zu wiederholen beginnt.

Die Kondensatoren  $C_1$  und  $C_2$  dienen der Sicherstellung der minimalen Haltezeit der Daten an den Eingängen der Flipflops.

Die Signale dürfen sich zeitlich nicht überlappen, da sich ansonsten die Kapazitäten in der Switched-Cap-Schaltung ungewollt ent- bzw. aufladen würden. Den Ausgängen der Flipflops FF1 und FF3 werden daher die Gatter AND2 und AND3 nachgeschaltet, welche dafür sorgen, dass das aktuelle Signal erst dann auf eins geht, wenn das vorherige sicher schon auf null abgefallen ist. AND1,  $C_2$  und drei Inverter erzeugen das invertierte Signal von  $Clk_{ph14}$ , genannt  $Clk_{ph2356}$ , bei welchem zusätzlich die steigende Flanke leicht verzögert wird.

FF4 wechselt seinen Zustand nach jedem Durchlauf der Eins durch FF1, FF2 und FF3 und stellt somit dar, ob gerade die Referenz- oder Temperaturspannung erzeugt wird. Daraus werden mit  $Clk_{ph36}$  die beiden Signale  $Clk_{ph3}$  und  $Clk_{ph6}$  zum Abspeichern der Referenz- und Temperaturspannung gewonnen.

Die Zustände der Flipflops zu jedem der sechs im System vorkommenden Phasen werden in Tabelle 5.1 dargestellt.

Startet die Schaltung nicht mit Nullen in allen Flipflops, so kann es einige Taktzyklen dauern, bis zum gewollten Ablauf gefunden wird. Es gibt aber keine Kombinationsmöglichkeit, welche in einem anderen Ablauf endet.

Phase	FF1	FF2	FF3	FF4
1	1	0	0	0
2	0	1	0	0
3	0	0	1	0
4	1	0	0	1
5	0	1	0	1
6	0	0	1	1

Tabelle 5.1: Zustände der Flipflops während allen sechs Phasen

## 5.7 Ausgangspuffer

Um die erzeugten Spannungen messen zu können, ohne diese zu stark zu belasten, werden ein oder mehrere Ausgangstreiber benötigt. Dieser soll eine eigene Stromversorgung besitzen, um eine getrennte Stromverbrauchsmessung der eigentlichen Schaltung zu ermöglichen. Weiters soll der Treiber die Spannung möglichst wenig verfälschen, den gesamten auftretenden Spannungsbereich abdecken können, über alle Temperaturen funktionieren und die am Pin angeschlossenen Messgeräte treiben können. Auch ist die Selbsterwärmung des Chips zu bedenken, die der Treiber verursacht. Durch die trotzdem noch sehr geringen Ströme ist aber kein messbarer Einfluss zu erwarten.

Für den gesuchten Treiber eignet sich ein Operationsverstärker als Folger geschaltet, welcher über einen Multiplexer die zwei Spannungen auf einen Ausgangspin legen kann. Um die Offsetspannung des Ausgangstreibers zu eliminieren, wurde ein Operationsverstärker implementiert, bei welchem der positive und negative Eingang getauscht werden können. Somit ist es möglich, am Ausgangspin einmal die zu messende Spannung mit positiver Offsetspannung und einmal mit negativer Offsetspannung zu messen. Dadurch kann diese errechnet und so die nahezu unverfälschte Spannung gemessen werden. Dies hat auch den Vorteil, dass die Temperaturabhängigkeit der Offsetspannung eliminiert werden kann, was bei der Messung des Temperaturgangs der eigentlichen Schaltung wichtig ist. Der Ausgangstreiber wird über einen eigenen Pin mit versorgt, da dieser weit mehr als die eigentliche Schaltung verbraucht und diese getrennt vermessen werden soll.

Um kein Problem mit dem Spannungsbereich zu bekommen, wird die Schaltung mit 3,3 V versorgt. Das Biasing des Treibers wurde von der eigentlichen Schaltung getrennt und möglichst einfach nur mit einem Widerstand realisiert.

Die Schaltung wird in Abbildung 5.4 gezeigt.  $R_1$  wurde mit 300 k $\Omega$  dimensioniert und bewirkt einen Strom von ungefähr 10  $\mu$ A durch den Transistor P0, welcher als Diode geschaltet die Biasspannung der Schaltung erzeugt. Mit P2 wird ein Zehntel des Stroms

Bit	Funktion
0	Ausgangsauswahl Bit 2
1	Ausgangsauswahl Bit 1
2	Ausgangsauswahl Bit 0
3	Shunt Transistor Ein/Aus
4	Trimmung W=600n
5	Trimmung W=700n
6	Trimmung W=800n
7	Trimmung W=900n
8	Trimmung W=700n
9	Trimmung W=500n

Tabelle 5.2: Tabelle der Konfigurationsbits

ausgespiegelt, welcher das differentielle Paar aus P5 und P6 speist. Diese haben als Arbeitswiderstände die beiden Transistoren N6 und N7 als Stromspiegel, wobei über N5 und N4 die Richtung des Spiegels umgeschaltet werden kann. Die Eingänge des differentiellen Paares bilden nicht direkt die Eingänge des Operationsverstärkers, sondern es wird jeweils ein Zweig vorgeschaltet, welcher mit  $5\mu\text{A}$  gespeist wird und die Eingangsspannung über einen Sourcefollower und eine Diode leitet. Damit ist es möglich, mit dem Eingangsspannungsbereich bis nahe zur Masse zu kommen. Die Eingänge des Sourcefolgers können mittels N0 bis N3 umgeschaltet werden.

Über N8 und N9 wird jeweils der gerade als Ausgang betriebene Knoten des OTAs an den Ausgangstransistor geschaltet. Dieser ist mit einer Millerkapazität  $C_1$  kompensiert. Es wurde dabei darauf geachtet, genügend Phasenreserve bei einer kapazitiven Last, die einem Oszilloskoptastkopf entspricht, zu bieten. Es wurde ein eigener Eingangspin vorgesehen, mit dem die aktuelle Richtung der Offsetspannung umgeschaltet werden kann.

## 5.8 Trimmbare Version

Da nicht sichergestellt ist, dass die Ausgangsspannung eines gefertigten Chips mit dem idealen Ausgangswert der Simulation übereinstimmt, wurde am Silizium eine zweite Version implementiert. Diese unterscheidet sich von der ersten dadurch, dass das Verhältnis der Ströme  $I_2$  zu  $I_1$  von außen verstellt werden kann. Weiters ist es möglich, den Stromfluss durch den Shunt-Transistor Q4 zu unterbinden. Um weitere wichtige interne Knoten der Schaltung vermessen zu können, wurde außerdem ein Multiplexer integriert, mit welchem nun sieben interne Spannungen an den Ausgangstreiber gelegt werden können.



Auswahl	Knoten
0	$V_{\text{out}}$
1	Spannung am Referenztransistor $V_{\text{pnp}}$
2	$V_{\text{bias}}$
3	$V_{\text{B}}$
4	Temperaturspannung $V_{\text{ptat}}$
5	N.C.
6	Referenzspannung $V_{\text{ref}}$
7	$V_{\text{A}}$

Tabelle 5.3: Spannungsauswahlmöglichkeiten für den Ausgangstreiber

Die Konfiguration wird mittels eines Takt- und eines Datenpins in ein Schieberegister mit 10 Bit Länge eingetaktet. Die Auflistung der einzelnen Bits kann in Tabelle 5.2 eingesehen werden. Die ersten drei Bits bestimmen laut Tabelle 5.3, welche interne Spannung durch den Multiplexer mit acht Eingängen auf den Ausgangstreiber geschaltet wird. Es folgt ein Bit, mit welchem der Stromfluss durch den Shunt-Transistor Q4 dauerhaft unterbunden werden kann. Dies führt zu einer Stromersparung, dafür aber zu längeren Einschwingvorgängen, da sich die während der stromlosen Phase am Drain des Transistors P9 angesammelte Ladung nach dem erneuten Einschalten von P12 erst abbauen muss.

Mit den verbleibenden sechs Bit kann das Verhältnis von  $I_2$  zu  $I_1$  über die Anzahl der aktivierten Stromspiegeltransistoren eingestellt werden. Das Verhältnis der Ströme der nicht trimmbaren Version liegt bei 10/1, wobei dies mit 20 zu 2 Einheits-Transistoren implementiert wurde. Bei der trimmbaren Version sind nur 18 Stromspiegeltransistoren für  $I_2$  fix verdrahtet. Sechs weitere Transistoren mit leicht unterschiedlichen Weiten können je nach Konfiguration zugeschaltet werden. Die gleiche Einstellung wie bei der fixen Version kann erreicht werden, wenn Bit 5 und 8 gesetzt werden. Die leicht verschiedenen Weiten der zuschaltbaren Transistoren ermöglichen eine genauere Trimmung als durch gleiche Weiten möglich wäre. Da das Stromverhältnis, wie in Formel (4.1.8) gezeigt, über den  $\ln$  in das Ausgangsergebnis eingeht, ist eine sehr genaue Einstellung möglich.

# Kapitel 6

## Simulationsergebnisse

### 6.1 Transiente Simulation

In Abbildung 6.1 ist der Verlauf diverser Spannungen über die Zeit zu sehen. Simuliert wurde die aus dem Layout extrahierte Schaltung mit Spectre<sup>®</sup> bei 27 °C und 1,5 V Versorgungsspannung, welche in den ersten 100  $\mu\text{s}$  von Null hochgefahren wird, um einen realen Startup nachzubilden. Der Digitalteil bekommt die ersten 125  $\mu\text{s}$  ein Resetsignal, um einen kontrollierten Start für die Simulation zu gewährleisten.

In der untersten Kurve ist die Taktversorgung  $Clk_{\text{In}}$  dargestellt. Die Schaltung wird mit einer Taktfrequenz von 40 kHz betrieben, wobei der genaue Wert kaum einen Einfluss auf die Ausgangsspannungen hat. Eingezeichnet wurden ebenfalls die sechs Schaltungszustände, welche sich nach jeder sechsten negativen Taktflanke wiederholen.

Im obersten Plot ist der Verlauf der Referenz- und Temperaturspannung zu sehen. Dabei wird die Ausgangsspeicherkapazität  $C_4$  der Referenzspannung nach dem Ende der zweiten Phase aufgeladen, die Temperaturspannung an  $C_5$  folgt mit dem Ende von Phase 5. Sind die Kapazitäten  $C_4$  und  $C_5$  zu groß, um sie in einem Taktzyklus aufzuladen, erfolgt dies mit der nächsten Speicherphase.

Der mittlere Plot zeigt den Spannungsverlauf  $V_{\text{pnp}}$  am pnp-Transistor Q3 der Schaltung 5.1, sowie die Spannung  $V_{\text{out}}$  am Ausgang des OTAs. In der Taktphase 1 und 4 folgt  $V_{\text{out}}$  der Spannung an der Diode, in Phase 2 und 5 stellt sich am Ausgang die jeweilige Ausgangsspannung ein, welche dann in Phase 3 und 6 auf die Ausgangskapazitäten geladen wird. Die Einbrüche der Spannung  $V_{\text{out}}$  treten nur in den ersten Durchläufen auf, in denen die Kondensatoren  $C_4$  und  $C_5$  noch nicht aufgeladen sind. Wie in Abbildung 6.1 zu erkennen, stehen bei der gewählten Dimensionierung nach nur sechs Taktzyklen, oder 150  $\mu\text{s}$  nach Ende des Resets, die beiden Ausgangsspannungen bereit.

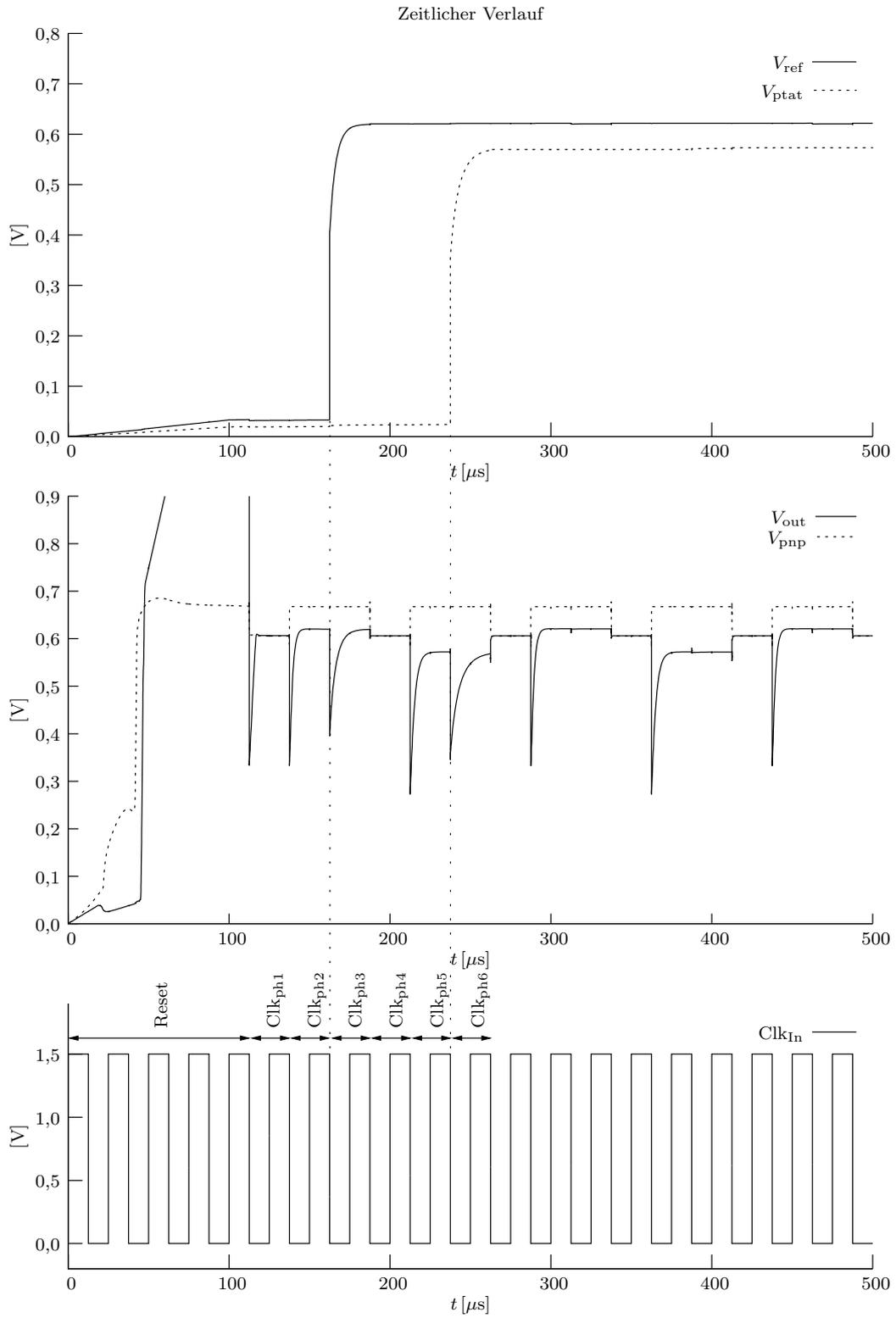


Abbildung 6.1: Transiente Simulation

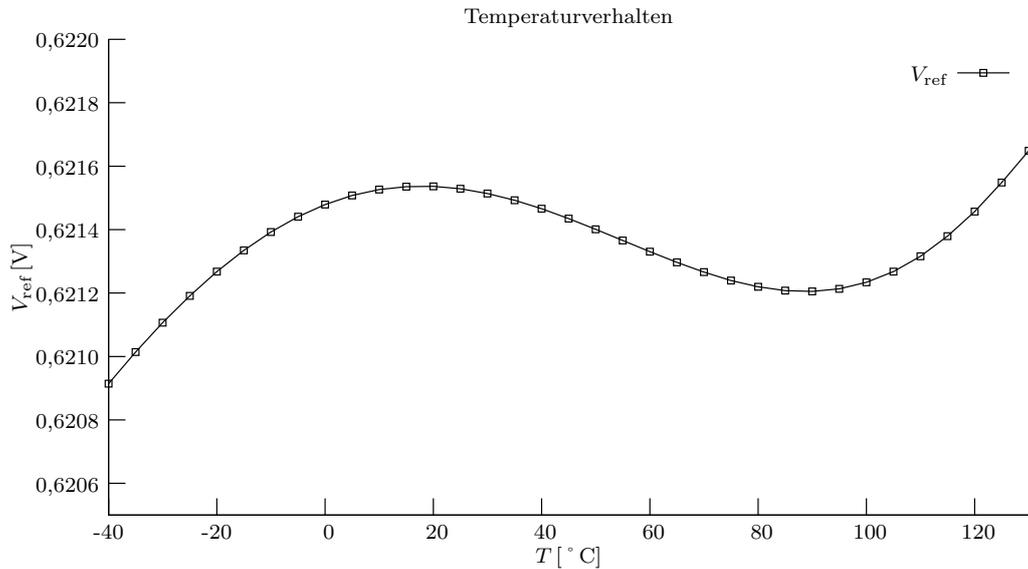


Abbildung 6.2: Temperaturverhalten der Referenzspannung

## 6.2 Temperaturabhängigkeit

Abbildung 6.2 zeigt den Verlauf der Referenzspannung über den Temperaturbereich von  $-40\text{ °C}$  bis  $130\text{ °C}$ . Simuliert wurde mittels transienter Simulationen im Abstand von  $5\text{ °C}$ . Die Schaltung zeigt einen Temperaturgang von nur  $1\text{ mV}$  über den gesamten Bereich. Der Grundverlauf der Spannung verhält sich nicht gleich wie der einer Standard-Bandgap wie in Abbildung 3.4 dargestellt, sondern zeigt einen zusätzlichen Anstieg bei hohen Temperaturen, welcher vom erhöhten Leckstrom durch den Transistor N6 in der Startupschaltung in Abbildung 5.2 verursacht wird. Dieser Strom zieht die Spannung  $V_{bias}$  leicht gegen Masse, was zu einem erhöhten Stromfluss durch die Referenzdiode führt, was laut Gleichung (5.2.1) in das Ausgangsergebnis eingeht.

Die Temperaturspannung wächst mit steigender Temperatur, wie in Abbildung 6.3 gezeigt. Dabei startet sie mit  $462\text{ mV}$  bei  $-40\text{ °C}$  und endet bei  $742\text{ mV}$  bei  $130\text{ °C}$ . Laut Gleichung (4.3.1) sollte die Spannung beim absoluten Nullpunkt der Temperatur zu Null werden. Extrapoliert man die simulierte Kurve, ist dies mit der gegebenen, etwas zu niedrigen Steigung aber nicht der Fall. Dies beruht auf den parasitären Kapazitäten, welche über das ausgeschaltete Transmission Gate in Abbildung 5.1 vorhanden sind.  $C_2$  soll zur Erzeugung der Temperaturspannung vom sensiblen Knoten vollständig abgetrennt werden. Geschieht dies nun über die verbleibende Kapazität nicht vollständig, weist die erzeugte Spannung einen flacheren Verlauf über die Temperatur auf.

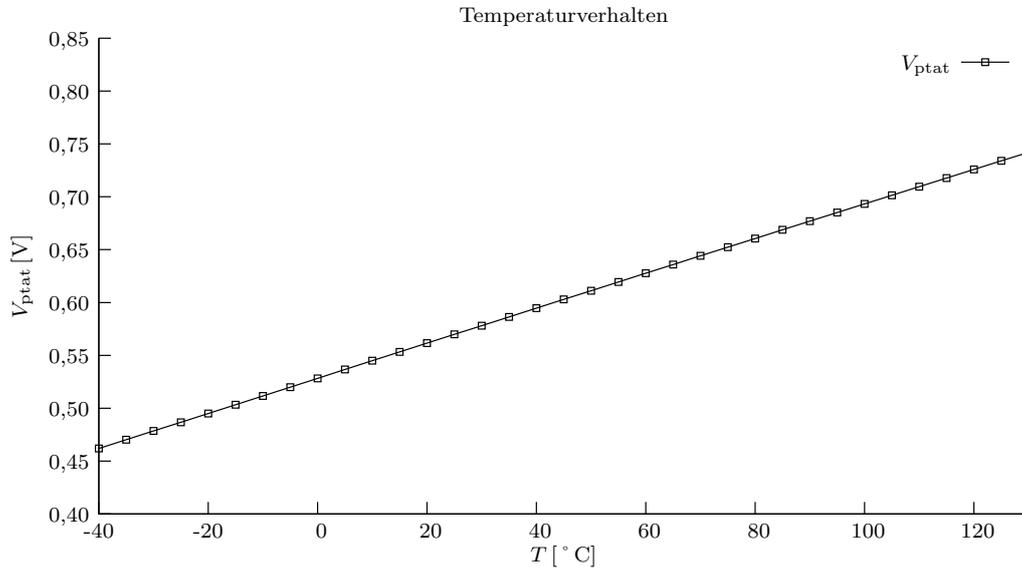


Abbildung 6.3: Temperaturverhalten der Temperaturspannung

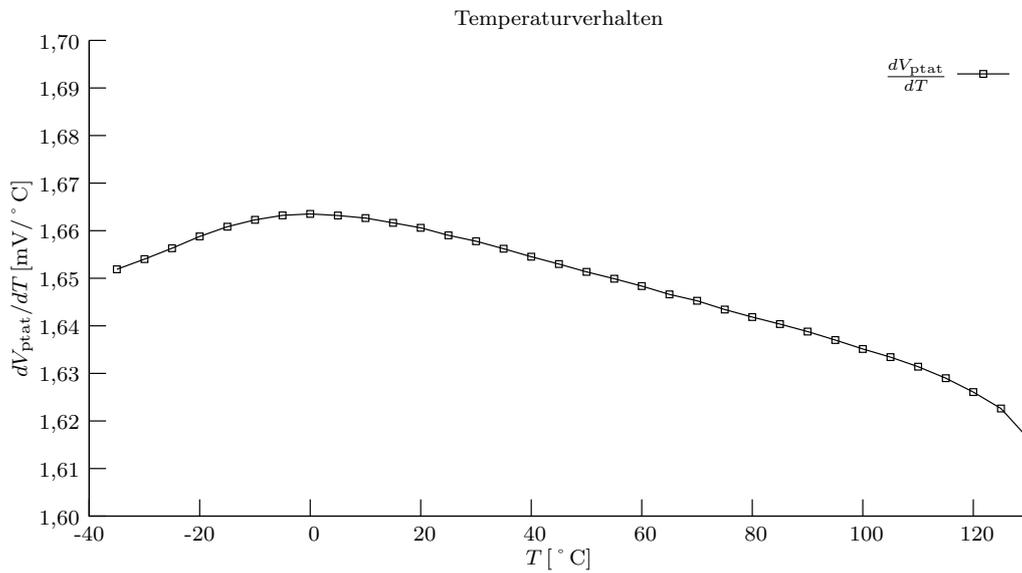


Abbildung 6.4: Temperaturkoeffizient der Temperaturspannung

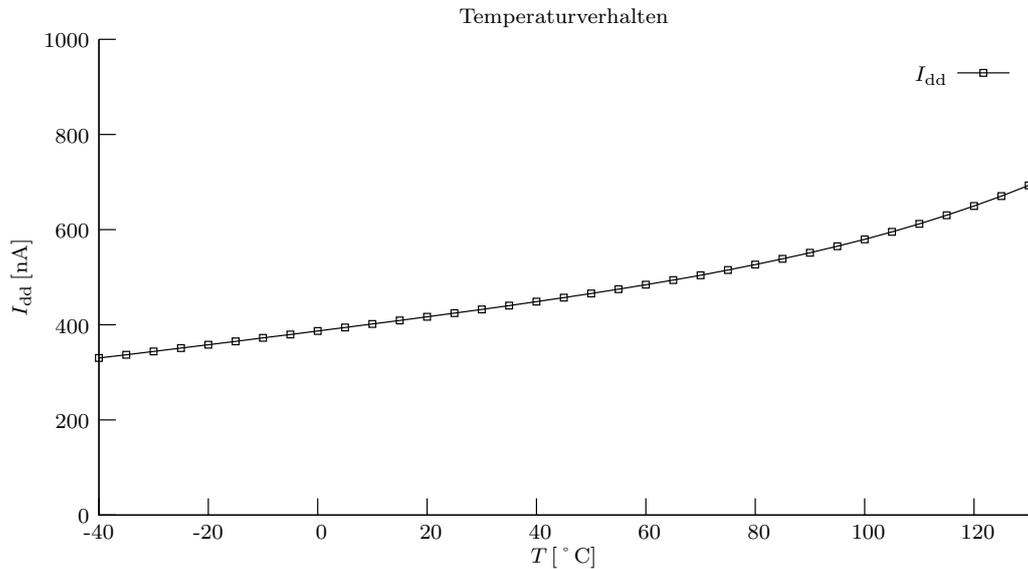


Abbildung 6.5: Stromverbrauch über die Temperatur

In Abbildung 6.4 ist die Ableitung der Temperaturspannung zu sehen. Diese stellt den Temperaturkoeffizienten der Spannung dar. Wie ersichtlich, wächst die Temperaturspannung fast linear mit einer Steigung von ungefähr  $1,65 \text{ mV}/^\circ\text{C}$ .

Da die fließenden Ströme in der Schaltung von der Temperatur abhängig sind, verändert sich auch der Gesamtstromverbrauch mit der Temperatur, wie in Abbildung 6.5 dargestellt. Bei Raumtemperatur wird nur ein Strom von  $430 \text{ nA}$  benötigt. Dabei ist aber kein Oszillator mitgerechnet, welcher aber im System vielleicht sowieso schon vorhanden ist. Ebenso enthält dieser Wert auch keine Ströme die durch Ausgangsbuffer entstehen, welche bei ohmschen Lasten von Nöten sind. Der Strom steigt bis auf den zusätzlichen Anstieg bei hohen Temperaturen durch die Start-Up-Schaltung nahezu linear an.

### 6.3 Versorgungsspannungsabhängigkeit

Die Abhängigkeit der Ausgangsspannungen von der Betriebsspannung sollte möglichst gering sein. Laut Simulationsergebnis kann bei  $27^\circ\text{C}$  die Versorgungsspannung auf nur  $850 \text{ mV}$  abgesenkt werden, ohne dass die Ausgangsspannungen einbrechen. Bei tiefen Temperaturen benötigt die Schaltung etwas mehr Spannung, kommt aber bei  $-40^\circ\text{C}$  noch immer mit nur  $1 \text{ V}$  aus. Die Ausgangsspannungen verändern sich bei  $27^\circ\text{C}$  über den Versorgungsspannungsbereich von  $850 \text{ mV}$  bis  $1,5 \text{ V}$  um weniger als  $1 \text{ mV}$ .

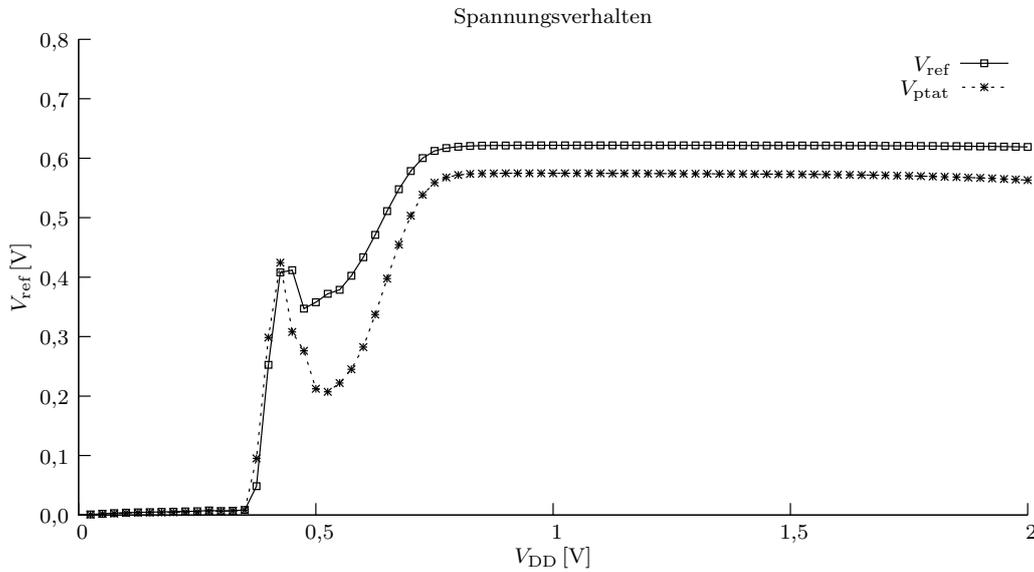


Abbildung 6.6: Versorgungsspannungsabhängigkeit

## 6.4 Monte-Carlo-Simulation

In den Abbildungen 6.7 und 6.8 werden die Schwankungen der Ausgangsspannungen über den Prozess und das Matching gezeigt. Bei  $27^{\circ}C$  ergeben diese laut einer Simulation über 250 Durchläufe eine Normalabweichung von 4,50 mV für  $V_{ref}$  und 3,11 mV für  $V_{ptat}$ . Für eine anschließende Messung der Temperatur mit einem Analog-zu-Digital-Umsetzer mit  $V_{ref}$  als Referenzeingang gilt allerdings der Vorteil, dass Abweichungen der Spannungen tendenziell in dieselbe Richtung gehen, was der Verhältnissbildung und damit dem digitalen Endergebnis zu gute kommt. Dies bedeutet eine höhere Genauigkeit.

## 6.5 Corner-Simulation

In der Corner-Simulation bei  $27^{\circ}C$  schwanken  $V_{ref}$  von 616,7 mV bis 626,5 mV und  $V_{ptat}$  von 570,7 mV bis 573,7 mV.

## 6.6 Ausgangstreiber

Wie in Abbildung 6.9 zu sehen, kann der Ausgangstreiber dem Spannungsbereich folgen, welcher für die Ausgangsspannungen relevant ist. Bei nur ungefähr 40 mV wird der systematische Offset kleiner als 1 mV, was bis zur Spannung von circa 1,3 V so bleibt.

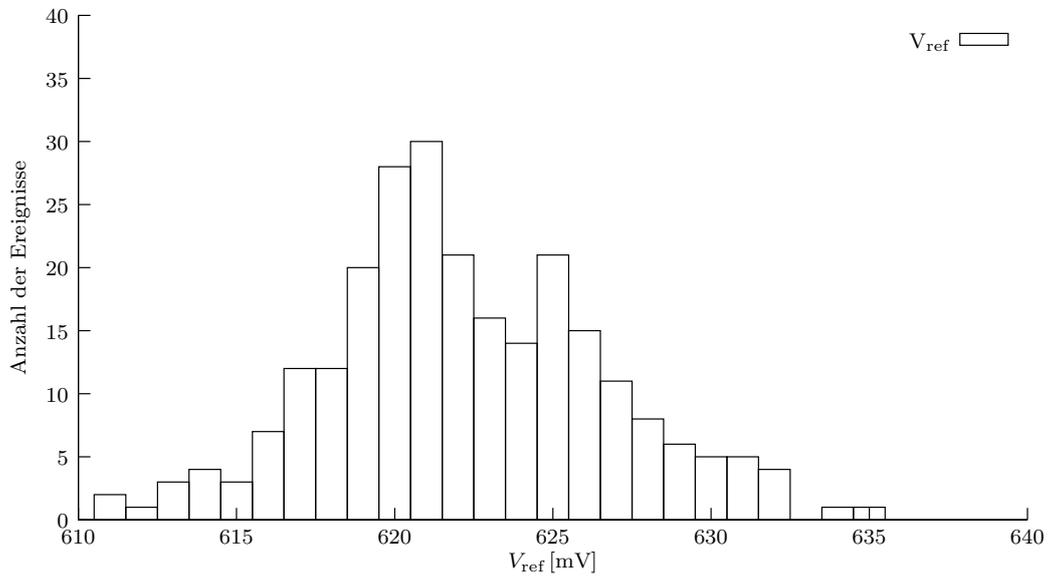


Abbildung 6.7: Monte-Carlo-Simulation  $V_{ref}$

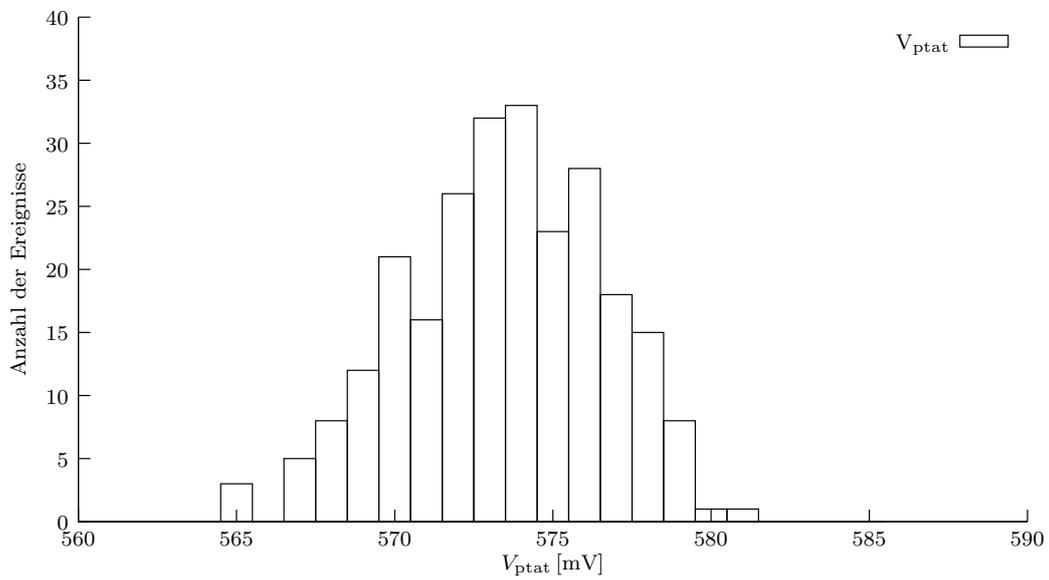


Abbildung 6.8: Monte-Carlo-Simulation  $V_{ptat}$

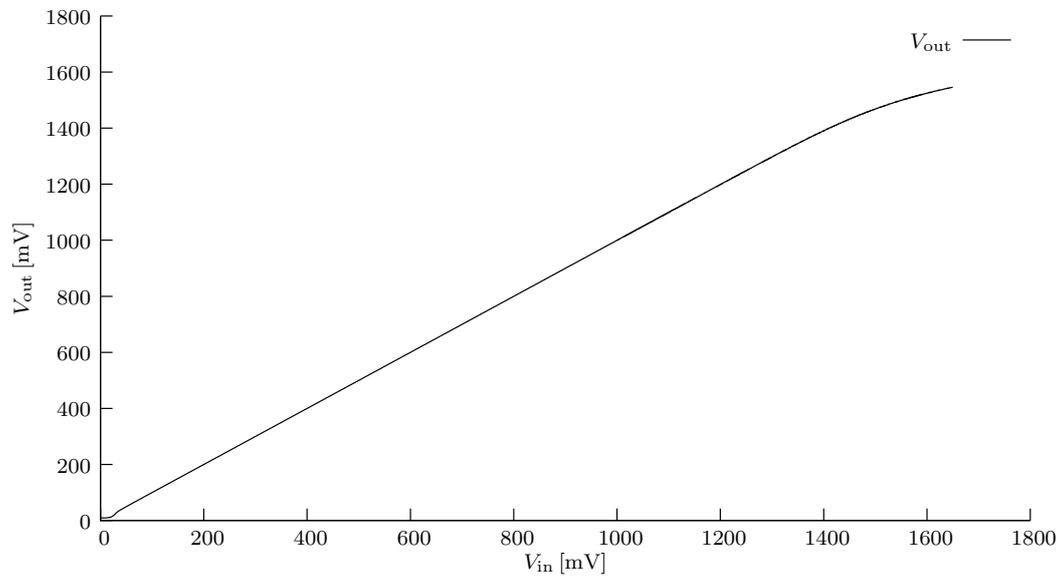


Abbildung 6.9: Spannungsbereich des OPAs

Der Treiber wurde auf eine Belastung mit einem Oszilloskoptastkopf ausgelegt. Wie aus Abbildung 6.10 zu entnehmen, verbleibt bei einer angenommenen kapazitiven Belastung mit 10 pF eine Phasenreserve von  $48^\circ$ . Die Leerlaufverstärkung des OPAs beträgt 93 dB und die Durchtrittsfrequenz beträgt 630 kHz.

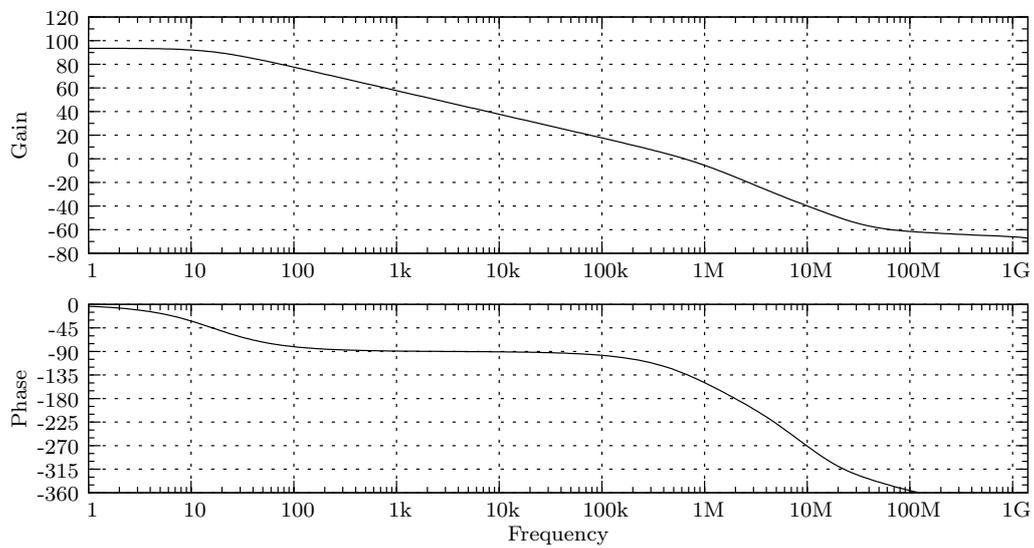


Abbildung 6.10: Bodeplot des Ausgangsverstärkers

# Kapitel 7

## Layout

### 7.1 Kapazitätsarray

Im vorliegenden Infineon-Prozess-C11n gibt es eine Polysiliziumlage, sechs Kupferlagen und eine Aluminiumlage. Wie in Abbildung 7.1 zu sehen, werden für die benötigten Kapazitäten  $C_1$  bis  $C_3$  nur die Kapazitäten zwischen den Metalllagen m1 auf m2 und m2 auf m3 genutzt. Der sensible Knoten der Kapazitäten wird bis auf die Anschlüsse vollkommen vom zweiten Anschlussknoten umgeben, was dessen ungewollte Kapazität gegen andere Knoten auf ein Minimum reduziert. Die einzelnen Kapazitäten sind ihrerseits rundherum von einem Masseschirm umgeben. Die Polysiliziumlage ist mit Masse verbunden und bietet Schutz gegen Substrateinkopplungen. Untereinander verbunden werden die Kapazitäten auf der Metallebene m4 mit möglichst kurzen Leitungen. Die Kapazitäten haben eine rechteckige Grundform und besitzen einen Anschluss an jeder der vier Seiten, was sehr kurze Verbindungswege im Kapazitätsarray ermöglicht. Die zwei Metalllagen mq und mg bleiben ungenutzt, könnten aber für das Routing von Signalen verwendet werden, wobei hier allerdings auf die Kapazitäten zu den Verbindungsleitungen zu achten ist. Das Kapazitätsarray, zu sehen in Abbildung 7.2, besteht aus vier mal sechs Normalkapazitäten, wovon vier Stück nicht benötigt und zur Stabilisierung der Betriebsspannung verwendet werden. Um das Array herum gibt es, um für die Kapazitäten am Rand die selben Bedingungen wie für die in der Mitte zu gewährleisten, einen Dummyring halber Breite, welcher ebenfalls wieder die Betriebsspannung stabilisiert. Die Normalkapazitäten wurden so verschaltet, dass ein Common-Centroid-Layout entsteht. Gradienten des Prozesses werden über den Wafer daher großteils ausgeglichen.

### 7.2 Testchip

Auf der verfügbaren Fläche wurden zwei Systeme untergebracht. Ein System mit fixer Einstellung und ein trimmbares System. Zu jedem System gehört auch ein Ausgangstreiber. Die elf Pins wurden mit ESD-Schutz versehen und verbrauchen mit Abstand den meisten Platz am Testchip.

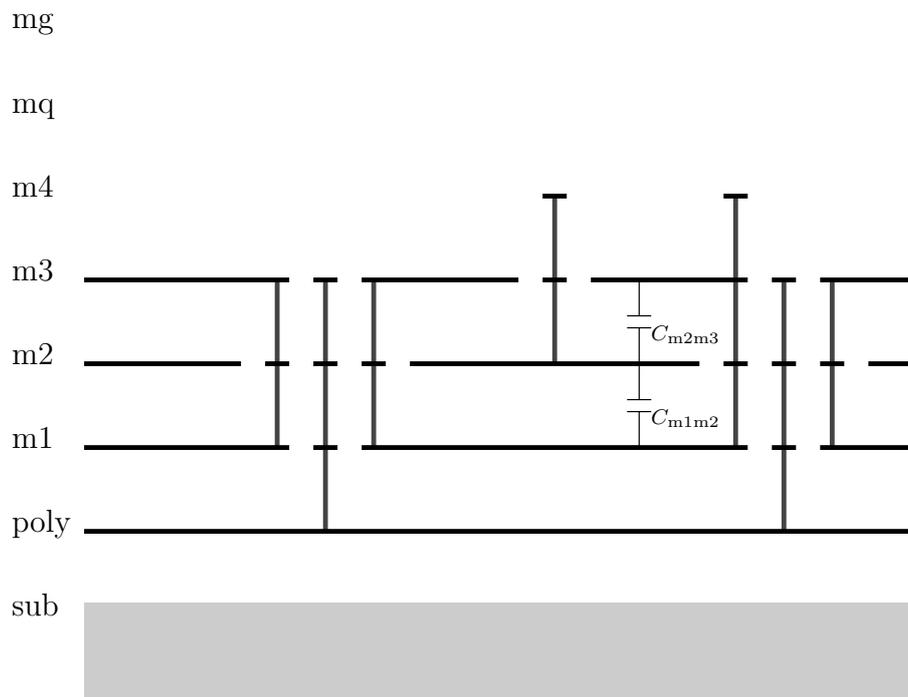


Abbildung 7.1: Querschnitt durch das Kapazitätsarray

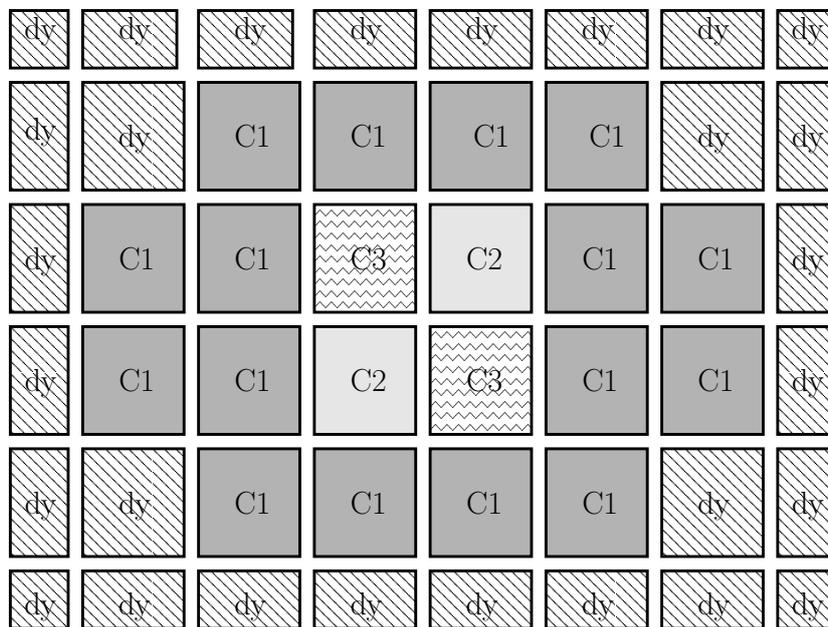


Abbildung 7.2: Aufsicht auf das Kapazitätsarray

Flächen, die ungenutzt blieben, wurden mit Kapazitäten zur Stabilisierung der Betriebsspannung versehen. Dabei wurde allerdings auf MOS-Kapazitäten verzichtet, da diese einen zusätzlichen, nicht erwünschten Leckstrom hervorrufen würden. Das Layout des Testchips ist im Anhang in Abbildung A.1, die Bandgap-Schaltung alleine in Abbildung A.2 zu sehen.

Die Layoutdaten wurden Anfang Juli 2009 der Fabrik in Dresden zur Produktion übergeben.

# Kapitel 8

## Messergebnisse

### 8.1 Messaufbau

Zur Messung der zehn gefertigten und in DIP16-Gehäuse gebondeten Chips, wurde eine kleine Testplatine aufgebaut, auf welcher alle Signale über SMA-Stecker und Stiftleisten leicht zugänglich sind. Der Chip wird in den Nullkraft-Sockel der Platine gesteckt, welcher ein häufiges und schnelles Auswechseln der Chips ermöglicht.

Zur Überprüfung der Ausgangsspannungen im Zeitbereich wurde ein Oszilloskop vom Typ Agilent infiniium DSO90254A bzw. ein LeCroy waveRunner 64Xi mit mehreren Tastköpfen verwendet. Für die Messungen der genauen Werte reicht ein einzelner Messwert nicht aus, weshalb ein HP 3458A Tischmultimeter, welches über viele Messwerte mitteln kann, verwendet wurde. Dabei wurde für jeden zu messenden Wert der Mittelwert aus den zwei Werten mit positivem bzw. negativem Offset des Ausgangstreibers berechnet, wie in Kapitel 5.7 schon beschrieben.

Um die Temperatur einstellen zu können, wurde mit einem Thermo-Stream gearbeitet, welcher das schnelle Anfahren einer eingestellten Temperatur erlaubt, jedoch eine leichte Temperaturschwankung um den Regelpunkt besitzt. Diese ist jedoch durch die Mittelung über viele Messwerte und längere Zeit nicht von Relevanz.

Die Erzeugung des Taktsignals wurde mit einem Agilent 33250A 80 MHz-Arbitrary-Waveform-Generator realisiert, welcher die nahezu stufenlose Einstellung der Taktfrequenz erlaubt.

### 8.2 Zeitverhalten

In Abbildung 8.1 ist der Spannungsverlauf der Referenzspannung beim Einschalten der Betriebsspannung von 0 V auf 1 V bei Raumtemperatur zu sehen. Die 3,3 V Versorgungsspannung des Ausgangstreibers liegt während der gesamten Messdauer an.

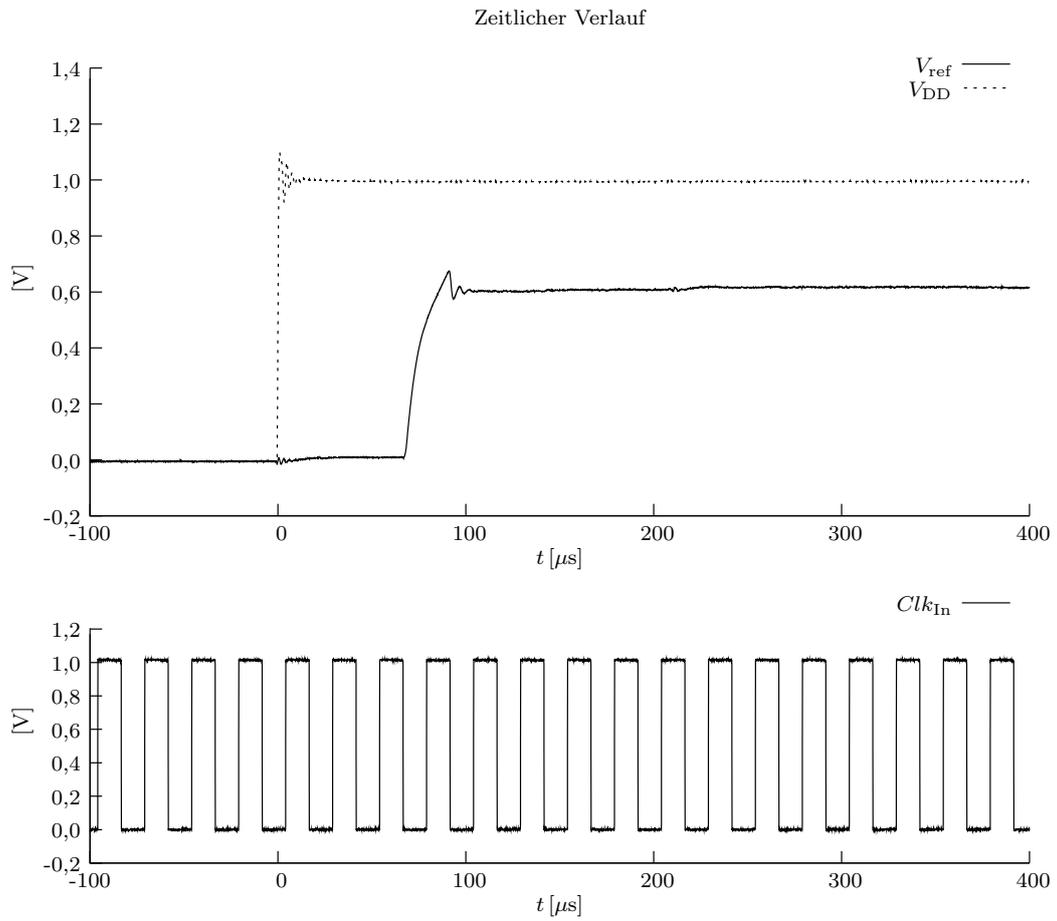


Abbildung 8.1: Zeitlicher Verlauf der Referenzspannung bei Raumtemperatur während des Startups

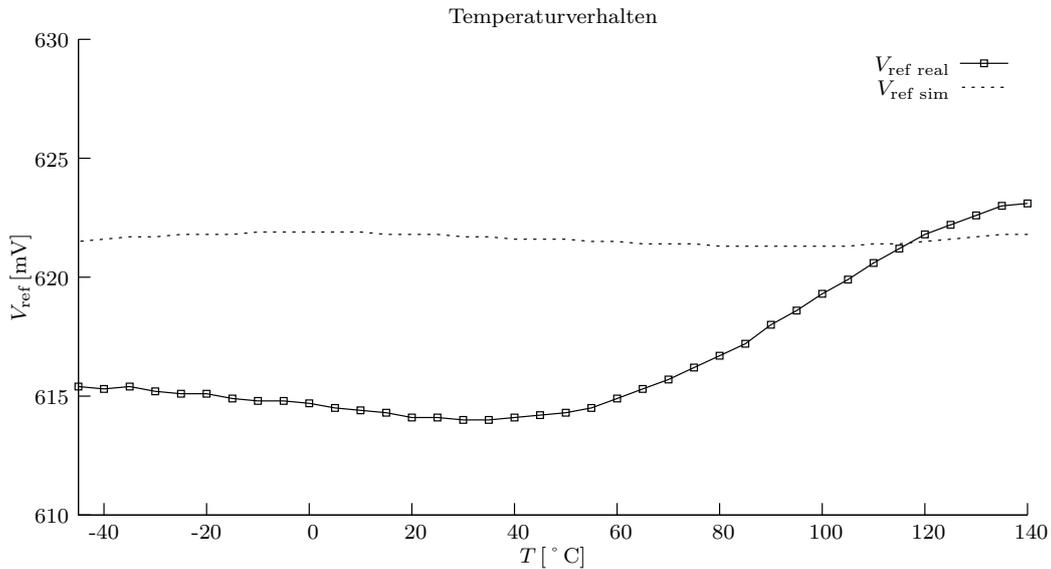


Abbildung 8.2: Referenzspannung des Testchips 1 im Vergleich zum simulierten Verlauf über die Temperatur

Im Unterschied zum simulierten Ergebnis, zu sehen in Plot 6.1, gibt es einen Überschwinger, welcher vom Ausgangstreiber mit dem Tastkopf als Last herrührt. Die Betriebsspannung schwingt beim schnellen Einschalten ebenfalls aufgrund des Schwingkreises, welchen die parasitären Zuleitungsinduktivitäten mit den parasitären Kapazitäten bilden. Die Referenzspannung hat sich nach zwei Aufladezyklen, demzufolge sechs fallenden Flanken an der Taktleitung nach Herstellung der Versorgungsspannung, sehr gut eingeschwungen.

Die Messung wurde bei weiteren Spannungen und Temperaturen, im Speziellen bei Tieftemperatur und niedrigen Versorgungsspannungen, wiederholt, um eventuelle Probleme beim Einschalten der Schaltung zu erkennen. Dabei wurden aber selbst bei  $-60^{\circ}\text{C}$  und 1,2 V Betriebsspannung keine Auffälligkeiten, bis auf einen verlangsamen Aufladevorgang, entdeckt.

Da nur ein Ausgangstreiber verfügbar ist, konnte nur der Verlauf einer Ausgangsspannung, in Plot 8.1 der Referenzspannung, vermessen werden, aber die Temperaturspannung verhält sich ebenfalls wie in der Simulation gezeigt. Es ist im realen System nur nicht möglich, beide Spannungen gleichzeitig zu messen.

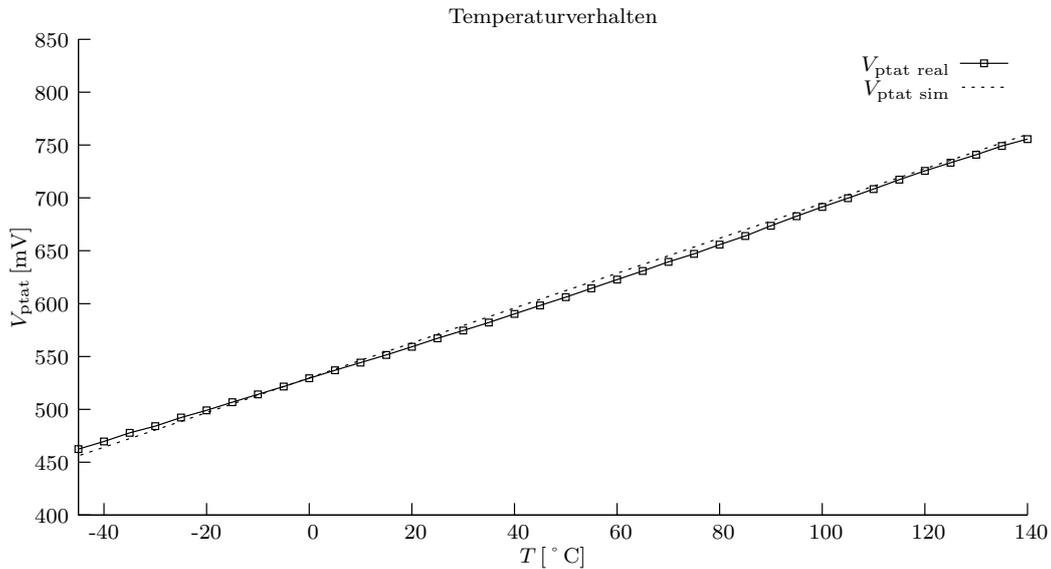


Abbildung 8.3: Temperaturspannung des Testchips 1 im Vergleich zum simulierten Verlauf über die Temperatur

### 8.3 Temperaturabhängigkeit

Aufgrund der zeitintensiven Messung über viele Temperaturwerte, der langen Mittelungsdauer und der eingeschränkten Verfügbarkeit des Thermo-Streams, wurde nur Testchip 1 einer Messung über den gesamten Temperaturbereich unterzogen.

Beim Verlauf der Referenzspannung über die Temperatur, zu sehen in Abbildung 8.2, ist als erstes ein deutlicher Offset von der simulierten Spannung erkennbar, welcher die Abweichung vom Prozessmittelwert darstellt. Bei steigender Temperatur gibt es einen recht starken Anstieg der Ausgangsspannung, welcher sich durch einen deutlich höheren Leckstrom als simuliert, durch den Transistor N6 in Abbildung 5.2, erklären lässt. Dies ist unerwünscht, weshalb bei zukünftigen Versionen dieser Transistor entfernt werden sollte.

Der Verlauf der temperaturabhängigen Spannung  $V_{\text{ptat}}$  zeigt eine Abweichung vom simulierten Verlauf von maximal  $\pm 6$  mV. Es ist ein gewisser Steigungsfehler erkennbar, welcher aufgrund der Entfernung zum Prozessmittelwert und dem unerwünscht starken Anstieg der Ströme bei hohen Temperaturen durch den Transistor N6 zu erklären ist.

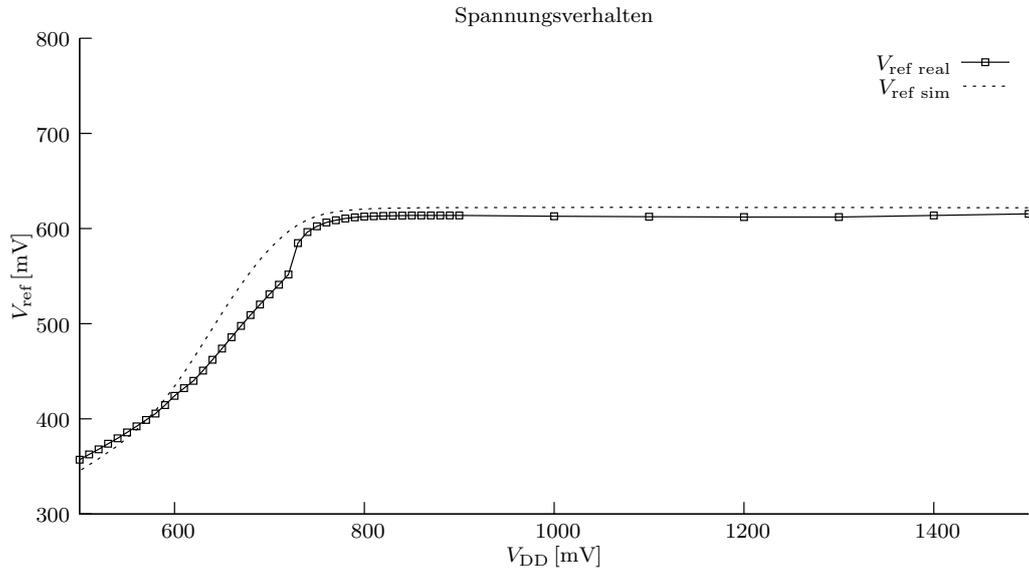


Abbildung 8.4: Referenzspannung des Testchips 1 im Vergleich zum simulierten Verlauf über die Versorgungsspannung

## 8.4 Versorgungsspannungsabhängigkeit

Der Verlauf von  $V_{ref}$  des Testchips 1 deckt sich weitgehend mit dem simulierten Ergebnis, bis auf den Offset. Gemessen wurde bei Raumtemperatur. Bei einer Versorgungsspannung von 800 mV beginnt die Ausgangsspannung mit der Versorgung einzubrechen, was sich sehr gut mit dem simulierten Wert deckt.

Die Stromaufnahme der Schaltung liegt ebenfalls sehr nahe am simulierten Wert, jedoch gibt es einen starken Anstieg bis 720 mV und danach einen schlagartigen Abfall auf normale Werte. Dieses Verhalten lässt sich in der Simulation nur bei sehr tiefen Temperaturen und weniger ausgeprägt beobachten. Es ist auf ein nicht korrektes Verhalten des OTAs in der Bias-Zelle bei diesen niedrigen Spannungen zurückzuführen.

## 8.5 Frequenzabhängigkeit

Da die Schaltung auch von der Taktfrequenz möglichst unabhängige Spannungen erzeugen soll, wurden diese über einen extrem weiten Bereich getestet, um die Limitierungen aufzeigen zu können. Der Nenntakt beträgt 40 kHz. Die Messergebnisse zeigen bei einer Verringerung des Taktes um 50 % lediglich eine Abweichung von 0,3 mV vom Wert bei Normaltakt, und bei einer Steigerung des Taktes um 100 % eine Abweichung von 0,4 mV.

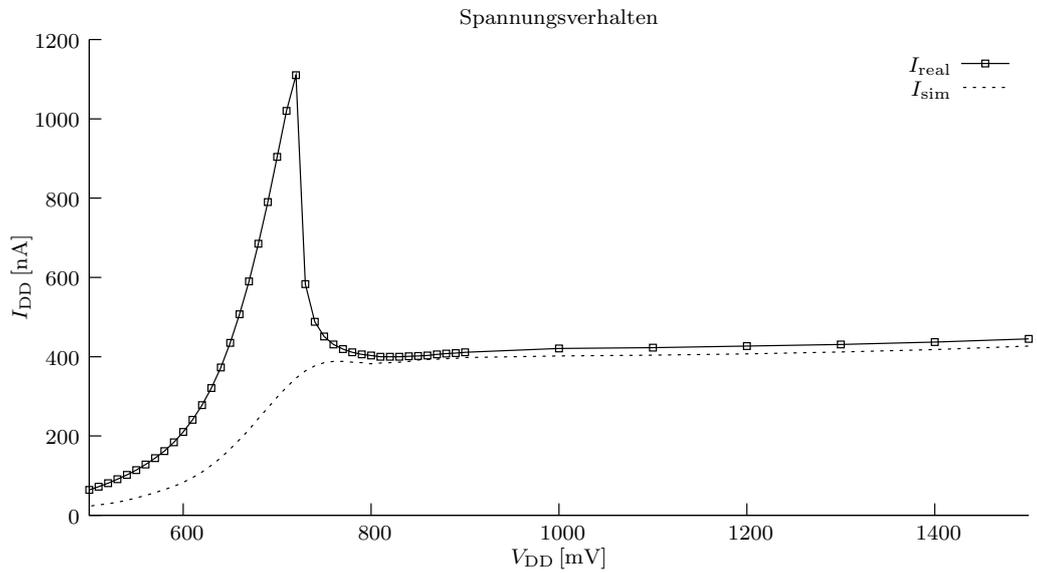


Abbildung 8.5: Stromverbrauch des Testchips 1 im Vergleich zum simulierten Verlauf über die Versorgungsspannung

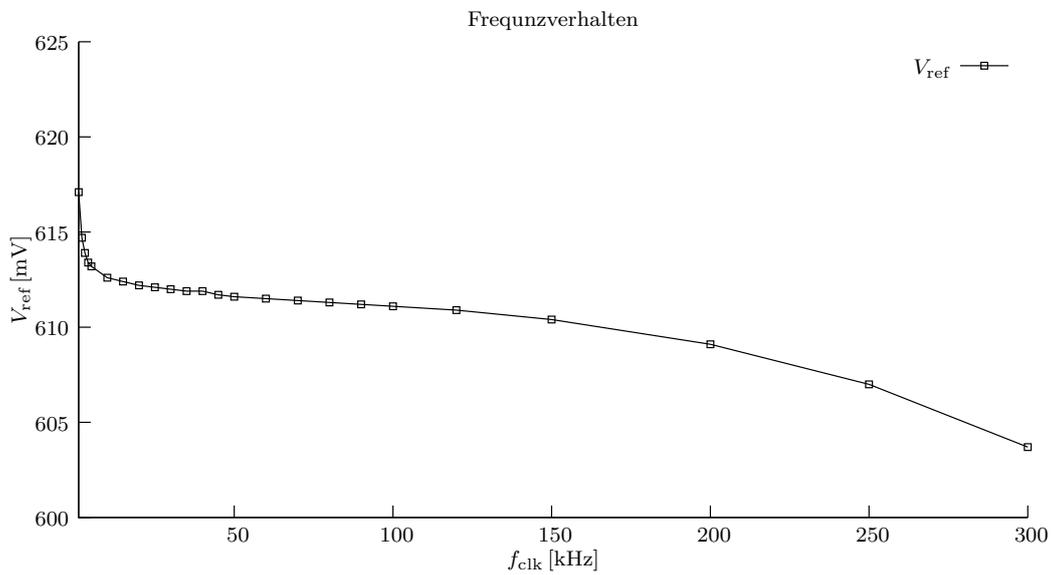


Abbildung 8.6: Abhängigkeit der Referenzspannung von der Taktfrequenz

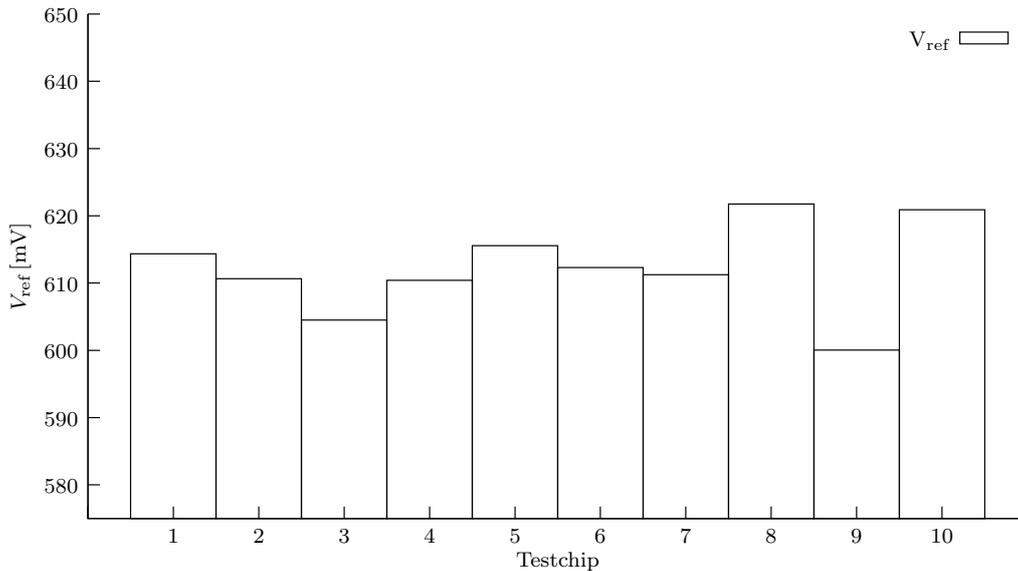


Abbildung 8.7: Lage der Referenzspannung aller zehn Testchips

Stärkere Abweichungen des Taktes sind wohl selbst bei einer sehr stark schwankenden Taktquelle nicht zu erwarten. Wird die Schaltung jedoch mit noch stärker abweichenden Taktfrequenzen betrieben, zeigen sich stärker werdende Einflüsse. Bei niedrigen Frequenzen werden Leckstromverluste bedeutend, welche den Ausgangswert ansteigen lassen. Bei hohen Frequenzen können sich die Spannungen an gewissen Knoten in der Schaltung in den einzelnen Phasen nicht mehr ausreichend genau einstellen, was eine niedrigere Ausgangsspannung ergibt.

Gemessen wurde ebenfalls der Stromverbrauch in Bezug auf die Taktfrequenz, wobei sich, wie zu erwarten, ein linearer Zusammenhang zeigt. Die Schaltung verbraucht selbst ohne Takt einen gewissen Mindestwert, welcher beim Testchip 1 bei Raumtemperatur 418 nA beträgt. Wird der Takt hochgefahren, werden die Ströme in den geschalteten Bauelementen durch die Umladevorgänge größer und somit steigt der Strom linear zur Taktfrequenz an. Beim vorliegenden Testchip 1 liegt der Stromverbrauch bei Nenntakt bei 428 nA, was einen dynamischen Stromanteil von 10 nA ergibt und damit im Vergleich zum Gesamtverbrauch einen nur sehr geringen Anteil darstellt.

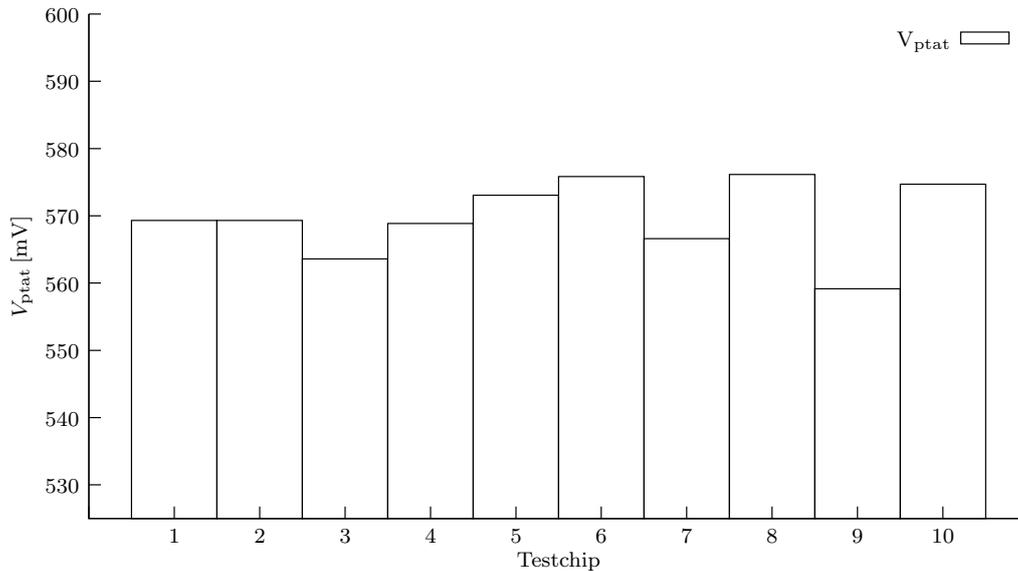


Abbildung 8.8: Lage der Temperaturspannung aller zehn Testchips

## 8.6 Streuung

Zur Verfügung standen nur zehn Testchips, welche alle von ein und demselben Testwafer stammen. Diese sehr geringe Anzahl lässt natürlich keine wirklich aussagekräftigen Aussagen über die Streuung der Chips zueinander und vor allem zwischen mehreren Wafern zu. Trotzdem soll hier kurz eine statistische Auswertung vorgenommen werden.

Der Mittelwert der zehn gemessenen Referenzspannungen bei Raumtemperatur beträgt 612,2 mV und liegt damit um ca. 9 mV tiefer als der simulierte Idealwert. Der minimale gemessene Wert beträgt 600,0 mV und der höchste 621,7 mV. Errechnet man aus den 10 Werten die Standardabweichung, erhält man einen Wert von 6,24 mV, welcher etwas höher als der simulierte Wert von 4,50 mV ist.

Bei der Temperaturspannung zeigt sich ein ähnliches Bild. Der Mittelwert der Spannungen liegt bei 569,6 mV, was 1,4 mV tiefer ist als der simulierte Sollwert von 571,0 mV. Die gemessenen Werte haben eine etwas kleinere Standardabweichung als die Referenzspannung von 5,55 mV zu simuliert 3,11 mV.

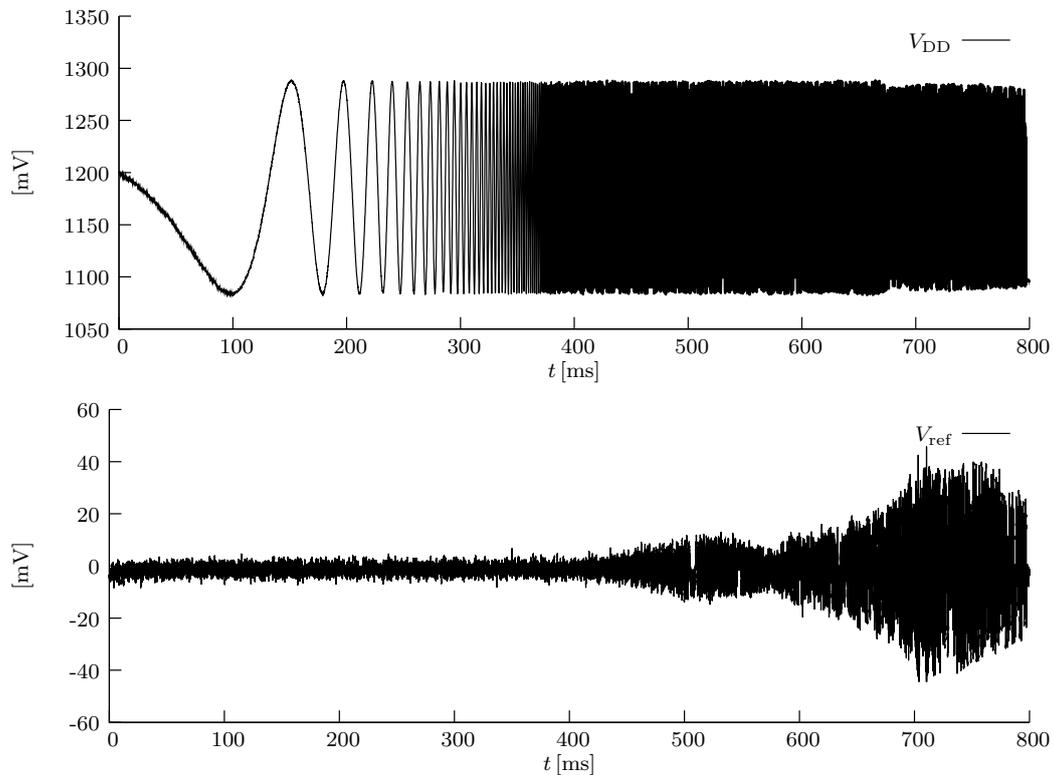


Abbildung 8.9: Verlauf der Referenzspannung bei Überlagerung der Spannungsversorgung mit einem sinusförmigen Störsignal logarithmisch ansteigender Frequenz

## 8.7 Störanfälligkeit

In der Messung in Abbildung 8.9 wird die Versorgungsspannung durch einen Signalgenerator bereitgestellt, welcher eine DC Spannung von 1,2 V überlagert mit einem Sinussignal der Amplitude  $200 \text{ mV}_{pp}$ , bereitstellt. Die Frequenz des Sinussignals wird von 1 Hz bis 1 MHz variiert und die Änderung der Referenzspannung beobachtet. Dabei zeigt sich, dass die Ausgangsspannung bei bestimmten Frequenzen, welche nahe an der Taktfrequenz oder Vielfachen dieser liegen, beeinflusst werden kann. Es entsteht eine Schwebung zwischen der Störfrequenz und der Taktfrequenz, welche niederfrequente Spannungsschwankungen am Ausgang erzeugt. Es wurden ebenfalls Messungen mit rechteck-, puls- und rampenförmigen Störungen durchgeführt. Dabei ergeben sich zwar jeweils andere günstige Störfrequenzen, aber es konnte keine besondere Störanfälligkeit beobachtet werden.

## 8.8 Rauschen

Ein wichtiges Thema bei Bandgap-Schaltungen ist immer das Rauschen der Ausgangsspannung. In der vorliegenden Schaltung wird das Rauschen größtenteils durch das  $kT/C$ -Rauschen bestimmt. Dieses beschreibt die Rauschspannung an einem Kondensator, welcher von sich aus zwar nicht rauscht, aber in einer realen Schaltung immer über einen Widerstand verbunden ist, welcher sehr wohl rauscht.

Bei der Erzeugung der Referenzspannung wird in Phase 1 eine Fehlspannung durch das Rauschen auf  $C_1$  gespeichert. Diese Fehlspannung wird mit dem Faktor  $A$  in Gleichung (4.1.6) verstärkt und zur Ausgangsspannung hinzuaddiert. Das bedeutet, dass bei jedem Zyklus eine leicht andere Spannung erzeugt wird, welche sich in ihrer Auftrittswahrscheinlichkeit gaussförmig um den Mittelwert befinden. Der Faktor  $A$  beträgt bei der gewählten Realisierung 5. Multipliziert mit  $kT/C$  bei Raumtemperatur und den gewählten Kapazitätsgrößen, ergibt sich eine effektive Rauschspannung von 1,26 mV.

Das verwendete Oszilloskop kann die Verteilung der Amplitude aufzeichnen und die effektive Rauschspannung berechnen, welche bei Raumtemperatur mit 1,73 mV gemessen wurde. Der gemessene Wert liegt höher als der berechnete, da sowohl die Biaszelle in der Schaltung rauscht und zusätzliches Rauschen am Ausgang hinzufügt, als auch der Eingangsverstärker und der ADU des Oszilloskops selber rauschen und die Messgröße schon in der Nähe dieses Rauschens liegt. Wie in Abbildung 8.10 zu sehen, sind die großen Sprünge im regelmäßigen Abstand zueinander das Rauschen der geschalteten Schaltung. Das hochfrequente überlagerte Rauschsignal mit kleinerer Amplitude stammt jedoch vom Oszilloskop. Die kurzen hohen Spikes sind durch kapazitive Kopplung vom Takteingang auf die Ausgangsspannung zu erklären.

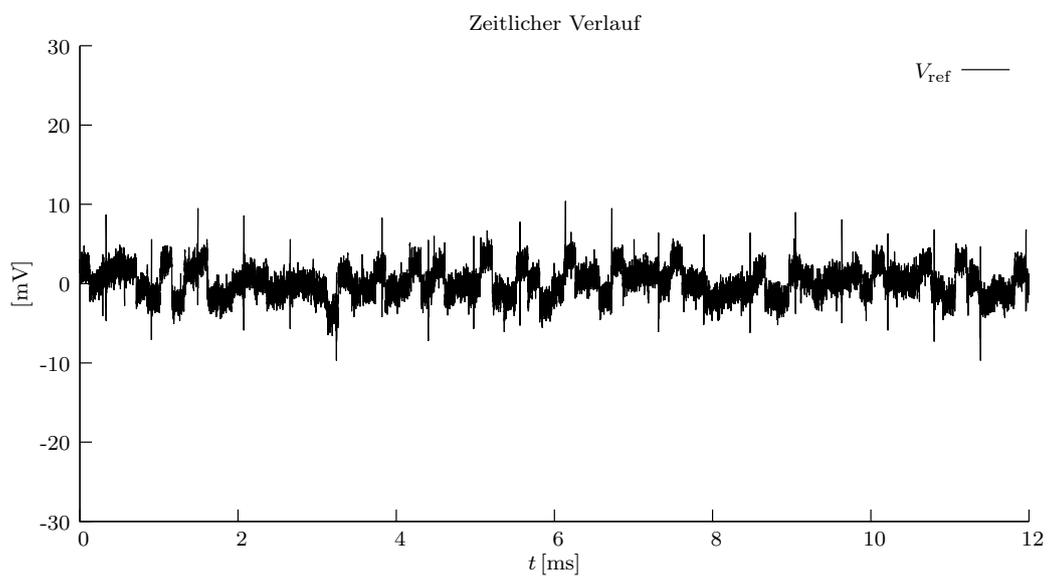


Abbildung 8.10: Verlauf der Referenzspannung bei starker Verstärkung und AC-Kopplung

# Kapitel 9

## Vergleich der Konzepte

### 9.1 Einleitung Konzeptvergleich

Es soll nachfolgend ein Vergleich der Flächen- und Stromverbräuche, sowie der statistischen Abweichungen zwischen einer Standard-Bandgap, einer Low-Voltage-Bandgap und der Switched-Cap-Schaltung vorgenommen werden. Ein fairer Vergleich ist aufgrund der großen Anzahl der Freiheitsgrade bei der Dimensionierung sehr schwierig, weshalb hier einige Annahmen getroffen werden. Das Größen- beziehungsweise Stromverhältnis  $m$  zwischen den Dioden bei den beiden zeitkontinuierlichen Schaltungen soll acht betragen. Dieser Wert kann später gut in Common-Centroid-Layout realisiert werden. Höhere Werte im Logarithmus haben nicht mehr viel Einfluss, aber der Flächenverbrauch steigt stark an. Der Strom durch jeden wichtigen Pfad der Schaltungen soll  $44,8 \text{ nA}$  bei  $27^\circ\text{C}$ , wie in der Biaszelle der geschalteten Variante, betragen. Der Stromverbrauch des Operationsverstärkers soll für alle drei Schaltungen derselbe sein, und zwar die Hälfte des Stroms durch die Dioden, also  $22,4 \text{ nA}$ . Die Startup-Schaltung soll vernachlässigt werden. Gewünscht ist weiters eine Ausgangsreferenzspannung in der Größe der halben Bandgapspannung für die beiden Schaltungen, wo der Ausgang frei gewählt werden kann.

### 9.2 Flächenbedarf

Unter Berücksichtigung der oben beschriebenen Dimensionierungsvorschriften, erhält man nach Gleichung (3.1.9) einen Widerstandswert von  $1,199 \text{ M}\Omega$  für  $R_1$  für die beiden Schaltungen in den Abbildungen 3.1 und 3.2. Um am Ausgang eine temperaturunabhängige Spannung zu erreichen, muss bei der Standard-Bandgap-Schaltung  $R_2$  laut einer Simulation mit  $12,97 \text{ M}\Omega$  dimensioniert werden.

Der gesamte Widerstandswert,  $R_{\text{st-ges}}$  genannt, beläuft sich damit für die Standard Bandgap auf  $14,17 \text{ M}\Omega$ .

$$R_{\text{st-ges}} = R_1 + R_2 \quad (9.2.1)$$

Gebraucht werden ebenfalls zehn Normal-pnp-Transistoren Q1, Q2 und Q3, ein Operationsverstärker und ein Stromspiegel aus  $P_1$ ,  $P_2$  und  $P_3$ .

Für die Low-Voltage-Variante gilt Formel (9.2.2), welche einen Gesamtwert von 33,62 M $\Omega$  ergibt.

$$R_{lv-ges} = R_1 + 2 \cdot R_2 + R_3 \quad (9.2.2)$$

Dazu kommen neun pnp-Transistoren Q1 und Q2, ein Operationsverstärker und wiederum ein Stromspiegel.

Bei der in Kapitel 5 implementierten Schaltung wird nur ein 400 k $\Omega$  großer Widerstand  $R_1$  benötigt, welcher aufgrund des Spiegelverhältnisses von  $m = 2$  aber den selben Strom von 44,8 nA hervorruft. Gebraucht werden insgesamt nur fünf pnp-Transistoren, ein gleicher Operationsverstärker wie in den zeitkontinuierlichen Schaltungen, ein Stromspiegel mit genauer Gewichtung für die Ströme  $I_1$  und  $I_2$ , drei genau gewichtete Kapazitäten für die Switched-Capacitor-Schaltung, ein Operationsverstärker zum Umladen der Kapazitäten, zwei Speicherkondensatoren, sechs Transmissionsgates und die Steuerlogik.

Die Größe der drei Kondensatoren  $C_1$ ,  $C_2$  und  $C_3$  wird vorwiegend von den Matching-Anforderungen bestimmt. Durch die Nutzung von mehreren gestackten Metallebenen kann der Flächenverbrauch weiter minimiert werden.

### 9.3 Stromverbrauch

In der Standard-Bandgap-Variante gibt es nur drei Strompfade, in welchen in diesem Beispiel überall derselbe Strom fließt. Der gesamte Strombedarf zuzüglich der des Operationsverstärkers ergibt sich daher laut folgender Gleichung:

$$I_{st-ges} = 3 \cdot \frac{V_T \cdot \ln(m)}{R_1 + I_{OPA}} \quad (9.3.1)$$

Dies ergibt einen Verbrauch von 157 nA bei 27 °C. Der Strombedarf der Low-Voltage-Version beläuft sich auf:

$$I_{lv-ges} = 2 \cdot \frac{V_T \cdot \ln(m)}{R_1} + \frac{V_{ref}}{R_3} + 2 \cdot \left( \frac{V_{ref}}{R_3} - \frac{V_T \cdot \ln(m)}{R_1} \right) + I_{OPA} \quad (9.3.2)$$

Durch die zusätzlichen Strompfade gibt es einen höheren Verbrauch von 354 nA bei 27 °C.

Die geschaltete Bandgap-Schaltung, wie in Kapitel 4 gezeigt, hat über die Zeit keine konstante Stromaufnahme, da angenommen wird, dass nur die gerade auf die Diode

geschaltete Stromquelle in Betrieb ist und die beiden Ströme unterschiedlich sind. Da weder die Zeiten, noch die Verhältnisse der Ströme vorgegeben sind, wurde der Wert für die Stromaufnahme für diese Schaltung in der Tabelle 9.1 freigelassen.

Wird die geschaltete Bandgap-Schaltung wie in der Implementierung in Kapitel 5 betrachtet, gibt es ein paar Stromverbraucher mehr. Da die Spiegeltransistoren in der Schaltung nicht gleich weit sind, ergibt sich für die Stromübersetzung von der Biaszelle auf den Referenzstrom  $I_1$  ein Faktor von 0,37. Der Strom  $I_2$  ist dabei zehnmal so groß wie der Strom  $I_1$ , wobei beide ständig fließen. Der Operationsverstärker für die Kapazitäten wird ebenfalls von der Biaszelle gebiast und skaliert mit einem Faktor von 2,13 zu dieser. Die Steuerlogik verbraucht keinen statischen Strom, vom Leckstrom einmal abgesehen, und der dynamische Strom ist bei den verwendeten Schaltfrequenzen vernachlässigbar gering.

$$I_{sc-ges} = 2 \cdot \frac{V_T \cdot \ln(m)}{R_1} + I_{OPA} + 0,37 \cdot (1 + 10) \cdot \frac{V_T \cdot \ln(m)}{R_1} + 2,13 \cdot \frac{V_T \cdot \ln(m)}{R_1} \quad (9.3.3)$$

Dies ergibt laut Formel (9.3.3) einen Gesamtstromverbrauch von 390 nA bei 27 °C. Der simulierte Wert der gesamten Schaltung liegt bei 430 nA. Der zusätzliche Strom in der Simulation entsteht durch die Startup-Schaltung, Leckströme und die dynamischen Umladevorgänge.

## 9.4 Statistische Analyse

Ein wichtiger Punkt für nicht kalibrierbare Bandgapschaltungen ist die Abweichung der Ausgangsspannung vom Sollwert. Diese Abweichungen entstehen durch Unterschiede bei der Herstellung jedes einzelnen Chips.

Die drei gezeigten Schaltungen sollen bezüglich der Sensibilität der einzelnen Schaltungsteile auf die Ausgangsspannung untersucht werden. Für diese Analyse wurden drei Schaltungen entworfen und simuliert, welche auf idealen Elementen beruhen. Alle Stromspiegel wurden mit idealen spannungsgesteuerten Stromquellen und die Operationsverstärker mit idealen spannungsgesteuerten Spannungsquellen mit sehr hoher Verstärkung modelliert. Die gebrauchten Widerstände wurden ebenfalls mit idealen Elementen realisiert, welche keine Abweichungen über Prozess oder Matching zeigen und auch keinen Temperaturgang haben. Die bei der geschalteten Variante vorhandenen Transmission-Gates wurden mit idealen Schaltern mit sehr geringem Widerstand im eingeschalteten Zustand und sehr hohem Widerstand in ausgeschalteten Zustand nachgebildet. Außerdem tritt keine Ladungsinjektion auf. Einzig die als Dioden geschalteten pnp-Transistoren sind als vollständig modellierte Bauteile verbaut.

Die Schaltungen wurden mit Hilfe der Monte-Carlo-Simulation auf ihre Sensibilität auf Mismatch und Prozess untersucht. Um genaue Werte zu erreichen, wurde eine Anzahl der Durchläufe von 5000 gewählt. Da die Einflüsse der einzelnen Bauteile auf die Ausgangsspannung interessant sind, wurden die idealen Bauelemente nach der Reihe mit den vollständig modellierten Bauelementen ersetzt und jedesmal neu simuliert. Dabei entscheidet die Fläche der Bauteile maßgeblich über ihren Einfluss auf die Ausgangsspannung, weshalb die Weiten der Widerstände und die Längen und Weiten der Stromspiegel jeweils im realistischen Rahmen und gleich dimensioniert wurden. Um die Werte mit der implementierten Schaltung vergleichen zu können, wurde auch diese simuliert, allerdings wurde die Anzahl der Simulationsdurchläufe auf 1000 verringert, da die Simulationszeit für die Schaltung mit extrahierten Kapazitäten ansonsten zu lange gewesen wäre. Simuliert wurde jede Schaltung dreimal, einmal nur mit Prozessvariationen, einmal mit einer Mismatch-Simulation und abschließend mit beiden.

Die Ergebnisse der Simulationen können in Tabelle 9.2 begutachtet werden.

Bei der Standardbandgap mit idealen Bauelementen gibt es eine Standardabweichung der Referenzspannung von  $\pm 0,3226\%$  aufgrund der Unterschiede der Dioden zueinander und  $\pm 0,3226\%$  aufgrund der Prozessschwankungen. Gesamt ergibt dies eine Schwankung von  $\pm 0,5756\%$  über ein Sigma um den Mittelwert. Die Verwendung realer Widerstände vergrößert den Wert nur sehr gering auf  $\pm 0,5851\%$ , wobei Polywiderstände mit einer Weite von 600 nm zum Einsatz kamen. Der Gebrauch eines realen Stromspiegels mit PMOS-Transistoren verschlechtert den Wert schon etwas deutlicher auf  $\pm 0,9572\%$  hauptsächlich aufgrund des höheren Wertes beim Mismatch, wobei die Stromspiegeltransistoren mit 10  $\mu\text{m}$  Länge und 5  $\mu\text{m}$  Weite dimensioniert wurden. Die Versorgungsspannung wurde großzügig mit 2 V gewählt, damit die Transistoren gut als Stromspiegel funktionieren können.

Die Low-Voltage-Variante zeigt in der Ausführung mit idealen Bauelementen die fast exakt gleichen relativen Abweichungen zum Mittelwert wie die Standardbandgap von  $\pm 0,5919\%$ . Die Verwendung realer Widerstände, ebenfalls aus Polysilizium mit einer Weite von 600 nm, zeigen wiederum kaum einen Einfluss auf die Abweichungen. Beim Stromspiegel mit realen Transistoren steigt nun jedoch der Wert beim Mismatch stark auf  $\pm 1,6946\%$  an, was auch die gesamte Standardabweichung auf  $\pm 2,8721\%$  erhöht.

Die geschaltete Bandgap mit idealen Elementen und konstanten Stromquellen zeigt von allen simulierten Schaltungen die niedrigste Standardabweichung von nur  $\pm 0,4519\%$ . Da es nun nichts mehr gibt, was zueinander matchen müsste, ist der Wert für den Mismatch alleine mit  $\pm 0,1635\%$  extrem klein. Wird anstatt der idealen Stromquellen eine PTAT-Zelle mit realen Dioden verwendet, ändert sich an den Abweichungen noch sehr wenig. Wird nun ein realer Stromspiegel verwendet, was bei den zeitkontinuierlichen

	Standard- Bandgap	Low-Voltage- Bandgap	SC- Bandgap	Diese Implementierung
Stromverbrauch	157 nA	354 nA	-	390 nA
R gesamt	14,17 M $\Omega$	33,62 M $\Omega$	0	0,4 M $\Omega$
C gesamt	0	0	-	0,5 pF
pnp-Transistoren	10	9	1	5
OTAs	1	1	1	2

Tabelle 9.1: Überblick über die Flächen- und Stromverbräuche der Konzepte

Schaltungen zu einer starken Erhöhung der Schwankungsbreite führt, steigt die gesamte Standardabweichung auf nur  $\pm 0,6058\%$  an. Die Verwendung von realen Metall-Metall Kapazitäten und Transmissionsgattern als Schalter verschlechtern das Ergebnis schließlich noch ein wenig auf  $\pm 0,6730\%$ . Der Wert der implementierten Schaltung, simuliert mit aus dem Layout extrahierten Kapazitäten, liegt bei  $\pm 0,724\%$ .

## 9.5 Überblick

Betrachtet man sich die erzielten Werte in den Tabellen 9.1 und 9.2 und die zugehörigen Gleichungen, wird klar, dass für die Standard- und Low-Voltage-Bandgap der Flächenbedarf mit sinkendem Strombedarf stark anwächst, da die Widerstandswerte in extreme Höhen steigen. Bei der geschalteten Variante werden die großen Widerstände mit Kapazitäten getauscht, deren Größe nun nur mehr sehr gering über die Umladevorgänge den Strombedarf beeinflusst. Im vorliegenden Infineon-C11n-Prozess hat ein Widerstand der Größe 33,62 M $\Omega$  und einer Weite von 600 nm eine Fläche von 0,047 mm<sup>2</sup> und ist damit mehr als fünfmal so groß wie die gezeigte vollständige Implementierung. Auch die Abweichung der Referenzspannung ist laut den Simulationen mit  $\pm 0,7241\%$  deutlich geringer als die Abweichungen der Low-Voltage-Variante mit  $\pm 2,8721\%$ . Wobei der Wert der Low-Voltage-Variante für eine nicht extrahierte Schaltung gilt.

Typ	Einheit	Standard-BG		Low-Voltage-BG		Switched-Cap-BG		Implementierung	
		real	ideal	real	ideal	real	ideal		real
Dioden	-	5000	5000	5000	5000	5000	5000	5000	1000
Stromspiegel	-	1214,62	1215,73	607,34	607,91	608,87	608,19	605,04	621,57
Stromquellen	-	3,9188	3,9323	2,0861	2,0974	10,3178	0,1635	2,3786	3,6519
Widerstände	-	5,7241	5,8178	2,8621	2,9086	2,9170	2,8269	2,8815	3,0184
Kondensatoren	-	6,9917	7,1130	3,5951	3,6301	17,4873	2,8045	3,6652	4,5011
Schalter	-	0,3226	0,3235	0,3435	0,3450	1,6946	0,0263	0,0546	0,5875
$n$	x	5000	5000	5000	5000	5000	5000	5000	5000
$V_{ref}$	mV	1214,62	1215,73	607,34	607,91	608,87	620,65	605,04	628,71
$\sigma V_{ref}$ mismatch	mV	3,9188	3,9323	2,0861	2,0974	10,3178	0,1635	2,3786	2,7345
$\sigma V_{ref}$ process	mV	5,7241	5,8178	2,8621	2,9086	2,9170	2,8269	2,8815	3,1993
$\sigma V_{ref}$ m+p	mV	6,9917	7,1130	3,5951	3,6301	17,4873	2,8045	3,6652	4,2315
$\sigma V_{ref}$ mismatch	%	0,3226	0,3235	0,3435	0,3450	1,6946	0,0263	0,0546	0,4349
$\sigma V_{ref}$ process	%	0,4713	0,4785	0,4712	0,4785	0,4791	0,4555	0,4732	0,5089
$\sigma V_{ref}$ m+p	%	0,5756	0,5851	0,5919	0,5972	2,8721	0,4519	0,4751	0,6730

Tabelle 9.2: Aufstellung der Monte-Carlo-Ergebnisse der Konzepte

# Kapitel 10

## Systembetrachtung

### 10.1 Analog-zu-Digital-Umsetzer

Um die analoge Ausgangsspannung für die Temperatur in einen digitalen Wert umwandeln zu können, wird ein Analog-Digital-Umsetzer benötigt. Ein ADU, der nach dem Verfahren der sukzessiven Approximation arbeitet, lag bereits im gegebenen Prozess vor, allerdings mit einer zu geringen Auflösung von 8 Bit. Um eine Temperaturentauflösung von genauer als  $1\text{ }^{\circ}\text{C}$  zu erreichen, wird eine höhere Auflösung benötigt, weshalb der vorliegende ADU [4] auf 10 Bit erweitert wurde.

Der entworfene ADU besteht aus einem DAU, einem dynamischen Komparator und der Steuerlogik.

Der DAU funktioniert nach dem Ladungsumverteilungsprinzip [8] und muss die gleiche Auflösung bieten wie die des ADUs. Er ist zusammen mit dem Komparator in Abbildung 10.1 zu sehen. Um die Anzahl der Kapazitäten klein zu halten, kommen zwei Kapazitätsarrays zum Einsatz [1], welche mittels einer Koppelkapazität miteinander verbunden sind. Beide Arrays haben eine Auflösung von 5 Bit und bestehen aus jeweils 31 Normalkapazitäten. Die Koppelkapazität und die Abschlusskapazität haben ebenfalls die Größe einer Normalkapazität. Das Matching der Kapazitäten zueinander ist sehr wichtig, da dieses in die integrale und differentielle Nichtlinearität der Umsetzerkennlinie eingeht. [2],[7]

Die Koppelkapazität hat die Aufgabe, den Einfluss der Spannung am Knoten  $V_{\min}$  auf den Knoten  $V_{\text{maj}}$  mit dem richtigen Faktor abzuschwächen. Dies ermöglicht, die Spannung  $V_{\text{maj}}$  feiner zu verstellen und damit die Auflösung des DAUs zu erhöhen, ohne dass die Gesamtanzahl der Kapazitäten stark ansteigt. So wären mit üblicher binärer Gewichtung 768 Kapazitäten notwendig, mit dem geteilten DAU sind es jedoch nur 64. Ist die Koppelkapazität zu klein, ist der Einfluss zu gering und es kommt in regelmäßigen Abständen immer noch 32 Schritten zu Sprüngen in der Kennlinie des ADUs, . Ist die Kapazität zu groß, geht zusätzlich zu den Sprüngen auch die Monotonie der Umsetzerkennlinie verloren.





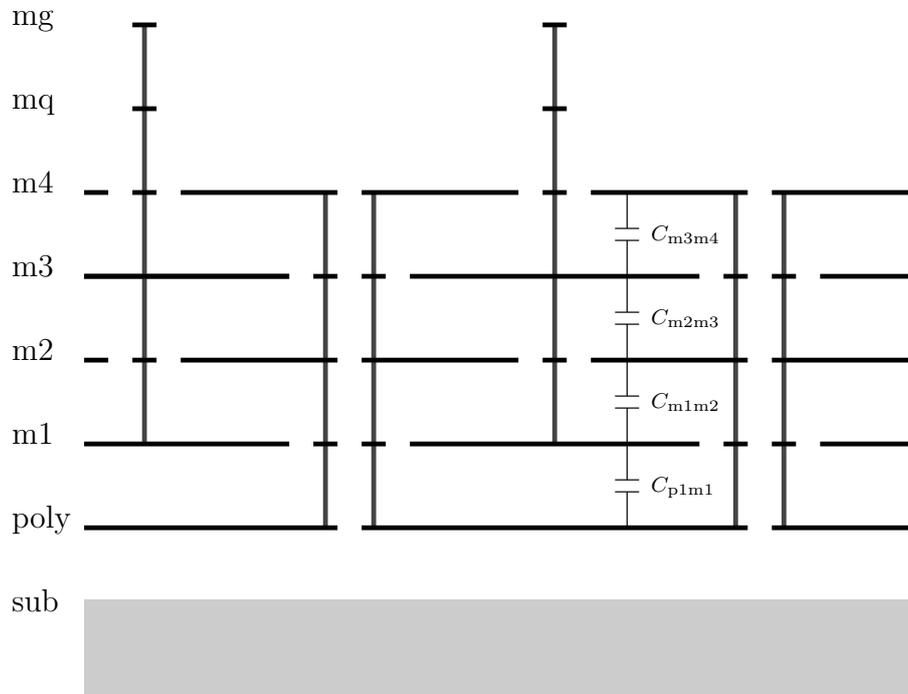


Abbildung 10.3: Querschnitt durch das Layout der Kapazitäten

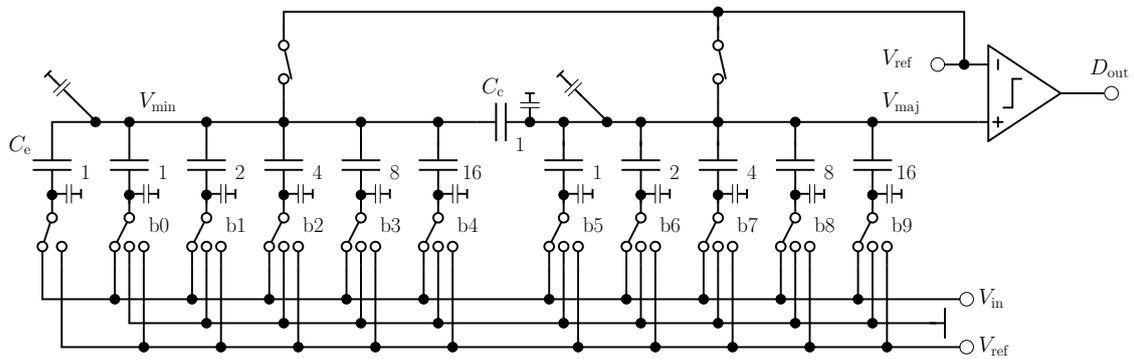


Abbildung 10.4: Prinzipschaltbild des Analog-zu-Digital-Umsetzers mit parasitären Kapazitäten

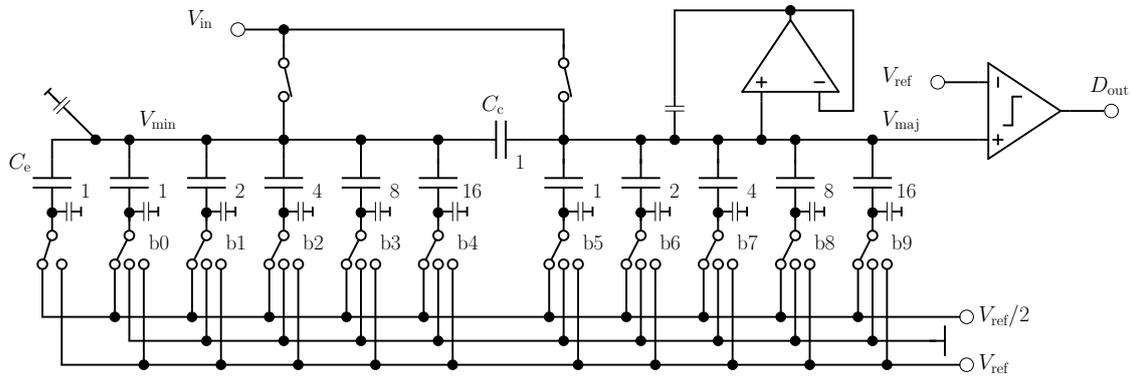


Abbildung 10.5: Prinzipschaltbild des Analog-zu-Digital-Umsetzers im Offset-Modus

## 10.2 Offset-Modus

Der ADU bietet einen Eingangsspannungsbereich von Masse bis  $V_{\text{ref}}$ , wobei  $V_{\text{ref}}$  von der Bandgap-Schaltung bezogen wird und rund 620 mV beträgt. Da die temperaturabhängige Spannung der Bandgap-Schaltung aber Spannungen von 460 mV bis 740 mV liefert, muss entweder diese verändert, oder der ADU angepasst werden. Die Lösung ist ein Modus, in dem der ADU seinen Eingangsspannungsbereich verschieben kann.

Wie in Abbildung 10.5 zu sehen, wird im Offset-Modus das Kapazitätsarray nun im Samplezyklus anders vorgeladen. Es wird die Eingangsspannung bezogen auf die halbe Referenzspannung auf den Kondensatoren abgelegt. Dies ergibt eine Verschiebung der Kennlinie um 310 mV, der neue Eingangsspannungsbereich erstreckt sich somit von 310 mV bis 930 mV.

Da der Knoten  $V_{\text{maj}}$  nun am Anfang der Umsetzung nicht mehr die gleiche Spannung hat wie am Ende, würde die parasitäre Kapazität von diesem Knoten gegen Masse nun sehr wohl einen Fehler erzeugen. Um dies zu verhindern, wird der nun sensible Knoten  $V_{\text{maj}}$  mit einem Guardring versehen, welcher mittels eines OTAs nachgeführt wird. Dadurch wird der Einfluss der Kapazität eliminiert, da über sie nie eine Spannung abfällt. Im Layout wurde der Schirm realisiert, indem unter der Koppelkapazität  $C_c$  eine Wanne eingefügt wurde, welche nachgeführt wird, und die Kapazitäten um sie herum ebenfalls mitgeführt werden.

### 10.3 Komparator

Der Komparator hat die Aufgabe, die Ausgangsspannung des DAUs, folglich des Kapazitätsarrays, mit der Referenzspannung zu vergleichen und eine eindeutige Entscheidung zu treffen. Die realisierte Schaltung, gezeigt in Abbildung 10.6, arbeitet getaktet in zwei Schritten und wandelt die beiden Eingangsspannungen in zwei Ströme um, welche jeweils eine Kapazität aufladen. Überschreitet die Spannung an den Kapazitäten die Schaltschwelle der angeschlossenen NMOS Transistoren, schalten diese die folgenden Inverter schnell um. Sind die beiden Eingangsspannungen verschieden, gibt es in den beiden Pfaden einen zeitlichen Unterschied des Schaltvorganges. Dieser Unterschied wird von einem flankengetriggerten Flip-Flop erfasst und als digitales Ausgangssignal ausgegeben. Im zweiten Taktzyklus werden die Kapazitäten wieder vollständig entladen und die Schaltung wird so auf den nächsten Vergleichsvorgang vorbereitet.

Das Matching der beiden Pfade ist hier wiederum sehr wichtig, da ein Unterschied in den beiden Pfaden eine Offsetspannung des Komparators zur Folge hätte. Daher ist jeder Pfad doppelt ausgeführt und im Common-Centroid-Layout platziert.

Gegenüber anderen Architekturen bietet der hier gezeigte Komparator den Vorteil, keine statische Stromaufnahme zu haben.

### 10.4 Messsystem

Da ein abgeschlossenes Messsystem entworfen und bereitgestellt werden soll, wurde der ADU mit der Bandgap-Schaltung verbunden. Hierfür ist eine Buffer-Schaltung zuständig, welche die während der Umwandlung in den ADU fließenden Ströme bereitstellt und auch die Halbierung der Referenzspannung mittels zweier Dioden, bei geringem Strom- und Flächenbedarf, vornimmt. Weiters ist eine Steuerlogik implementiert, welche die nötigen Timings einhält und alle Steuersignale und Taktsignale bereitstellt. So ist sowohl eine einzelne Umwandlung eines Messwertes, als auch eine kontinuierliche Messung möglich. Über einen analogen Multiplexer können zu Testzwecken auch externe Referenz- und Eingangsspannungen an den ADU gelegt werden.

### 10.5 Simulation der ADU

In Abbildung 10.7 wird der Spannungsverlauf des Knotens  $V_{\text{maj}}$  während einer Umsetzung des ADUs im nicht-Offset-Modus gezeigt. Die Eingangsspannung  $V_{\text{in}}$  beträgt dabei 200 mV, und  $V_{\text{ref}}$  ist 620 mV. Zu erkennen ist, dass  $V_{\text{maj}}$  zuerst auf  $V_{\text{ref}}$  gehalten wird. Damit werden die 420 mV Spannungsdifferenz zwischen  $V_{\text{ref}}$  und  $V_{\text{in}}$  auf den Kondensato-

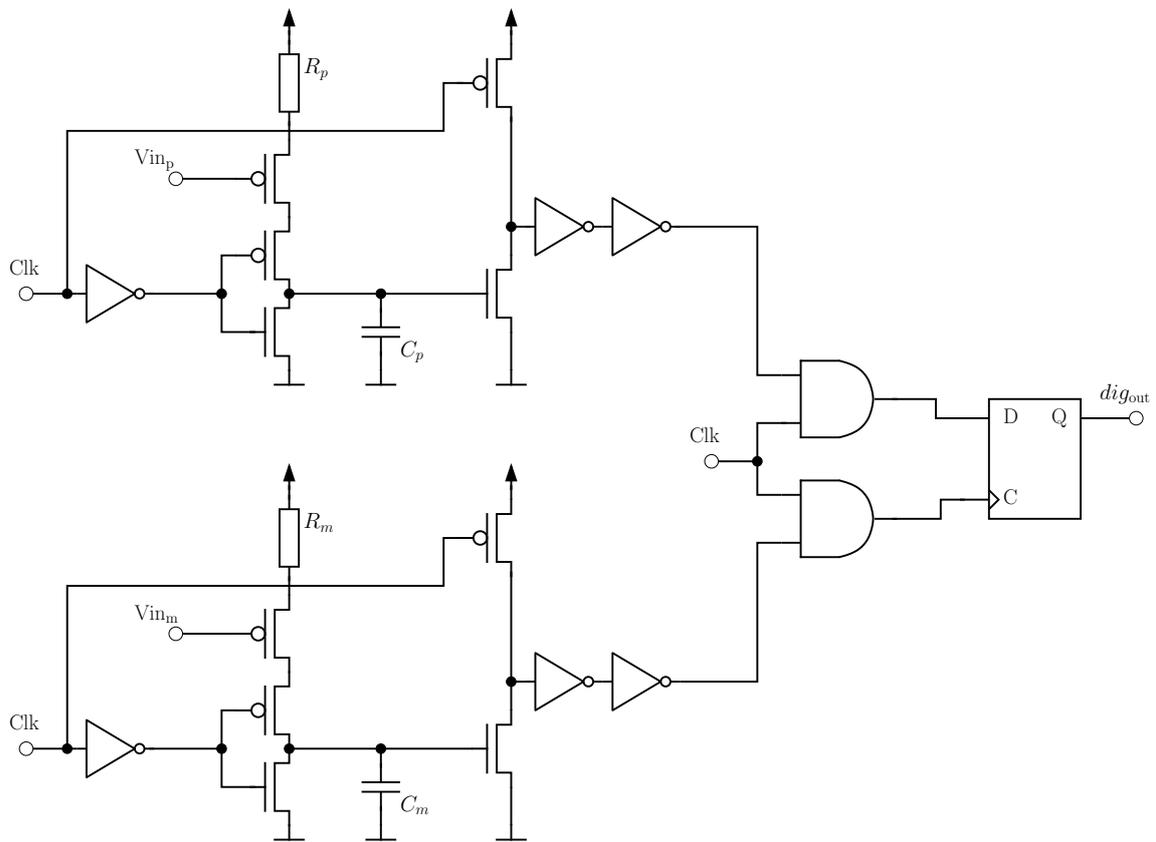


Abbildung 10.6: Komparator

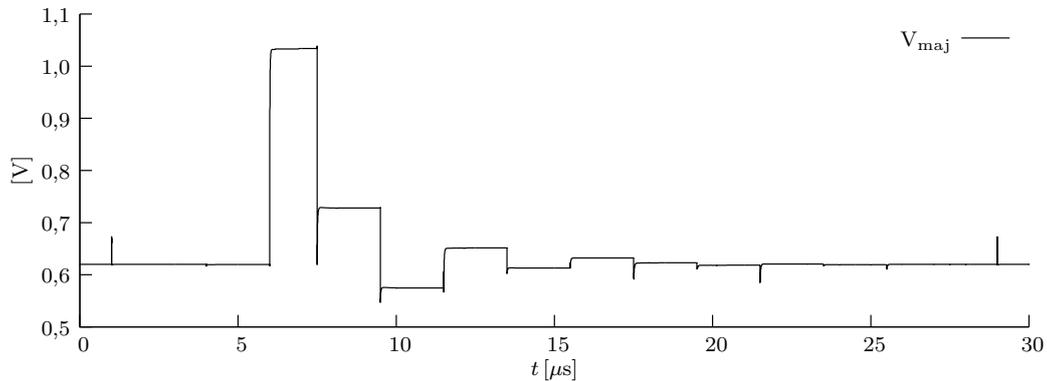


Abbildung 10.7: Transienter Verlauf des  $V_{\text{maj}}$  Knoten während einer Umsetzung und einer Eingangsspannung von 200 mV

ren gespeichert. Anschließend werden alle Schalter b0 bis b9 auf  $V_{\text{ref}}$  umgelegt, womit sich an  $V_{\text{maj}}$  die 420 mV mit den 620 mV addieren und 1040 mV ergeben. Danach wird das MSB b9 auf Masse geschaltet, was eine Spannungsreduktion um  $V_{\text{ref}}/2$  bedeutet und demzufolge 730 mV ergibt. Dies ist aber immer noch größer als  $V_{\text{ref}}$ , womit dies im Sukzessive-Approximations-Register abgespeichert wird. Im folgenden Schritt wird b8 auf Masse gelegt, was eine weitere Reduktion um  $V_{\text{ref}}/4$  zur Folge hat. Das Ergebnis an  $V_{\text{maj}}$  ist nun mit 575 mV kleiner als  $V_{\text{ref}}$ , was wieder im Register gespeichert wird. Dieser Vorgang wiederholt sich bis zum LSB b0, welches die Umsetzung abschließt.

Abbildung 10.8 zeigt den zeitlichen Ablauf im gesamten Sensorblock bei einer Temperaturmessung. Zuerst wird die Bandgap-Schaltung aktiviert und getaktet. Nach jeweils zwei Ladevorgängen für die Referenz- und Temperaturspannung wird der ADU im Offset-Modus eingeschaltet und mit einem 1 MHz-Takt versorgt. Die Umsetzung ist abgeschlossen, wenn das Signal  $V_{\text{me\_comp}}$  auf High geht. Das 10 Bit breite Ergebnis der Messung kann an den digitalen Ausgängen von einem weiteren Schaltungsblock übernommen werden.

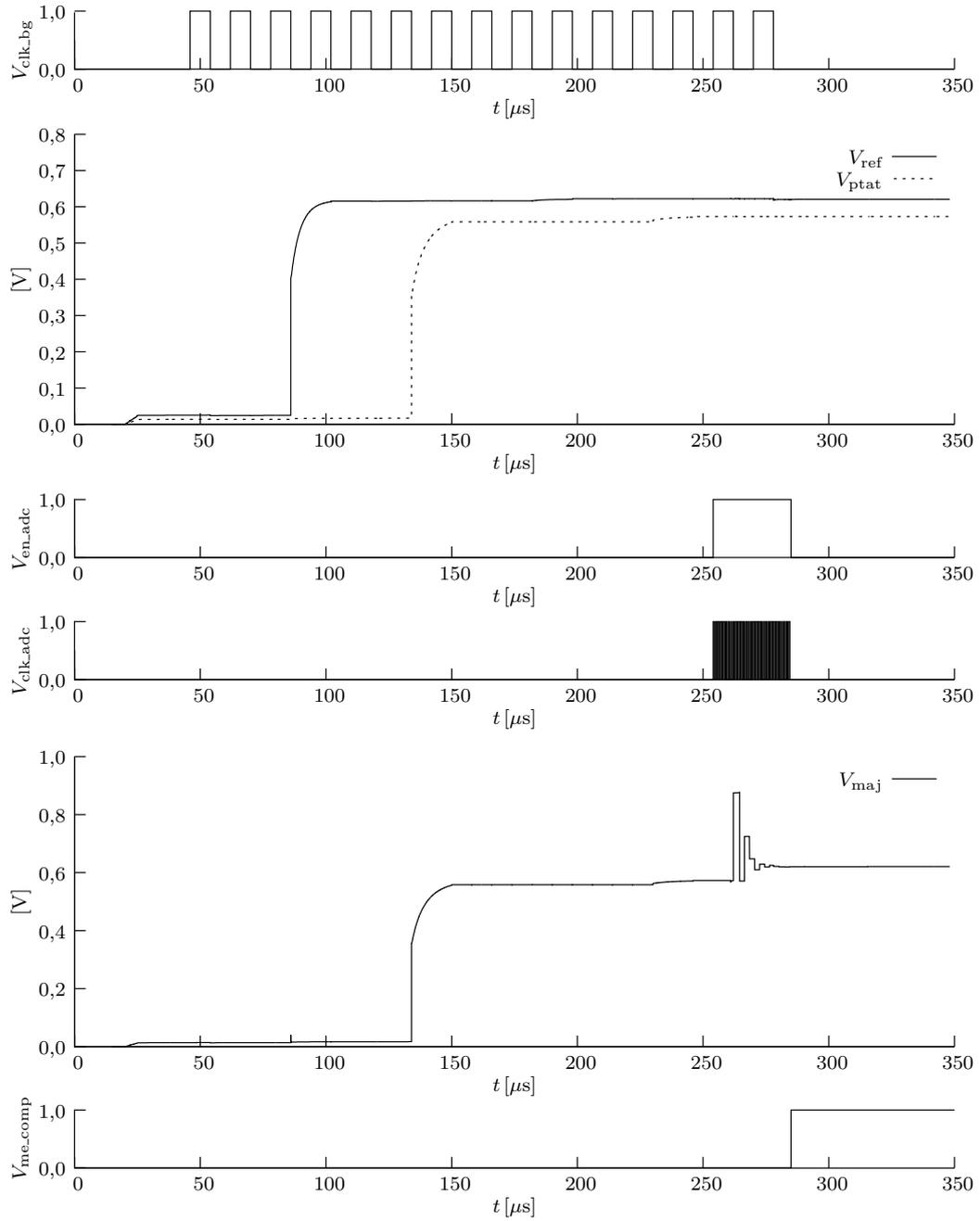


Abbildung 10.8: Transienter Verlauf wichtiger Spannungen im Sensorblock

## **10.6 Layout**

Der vorliegende Messblock wurde als Standalone-Chip gelayoutet und der Fabrik in Dresden Anfang Dezember 2009 übergeben. Die Layouts des Testchips, des Messsystems und des ADUs allein sind im Anhang in Abbildung A.3, Abbildung A.4 und Abbildung A.5 zu sehen.

Der Testchip bietet die Möglichkeit, die Bandgap-Schaltung und den ADU in Verbindung oder auch getrennt zu vermessen. Es können somit sowohl die internen, als auch die externen Referenz- und Eingangsspannungen angelegt werden. Die zehn Datenbits werden mit Ausgangstreibern auf Pins geführt, um die Daten bequem mit einem Logikanalysator abgreifen zu können. Die interessierenden internen analogen Spannungen werden ebenfalls über die selben Ausgangstreiber, wie in Kapitel 6.6 beschrieben, an Ausgangspins geführt. Zusätzlich wurde ein optional zuschaltbarer Spannungsregler, welcher von einem Kollegen entworfen wurde, auf dem Testchip untergebracht. Dieser Spannungsregler kann eine konstante Versorgungsspannung des Messsystems bei stark schwankender Eingangsversorgungsspannung gewährleisten.

# Kapitel 11

## Schlussbemerkung und Ausblick

Ziel dieser Arbeit war es, einen integrierten Sensor für Temperatur und Spannung zu entwerfen, welcher einen digitalen Ausgangswert liefert. Dabei sollte eine möglichst geringe Abweichung des gemessenen Temperaturwertes vom Istwert gewährleistet werden, was durch die Verwendung einer Schaltung mit geschalteten Kapazitäten anstatt der üblicherweise verwendeten Widerstände realisiert wurde. Die Vor- und Nachteile dieser Schaltungstopologie wurden ausführlich in Kapitel 9 beleuchtet.

Die Messungen der gefertigten Chips mit Temperatursensor und Spannungsreferenz stimmen großteils mit den Simulationen überein und bestätigen die gewünschte Funktionsweise. Der Analog-zu-Digital-Umsetzer in Kombination mit einem leicht veränderten und verbesserten Temperatursensor wurde in Form eines dedizierten Testchips und als Teil eines Reifendrucksensortestchips integriert. Die messtechnische Auswertung dieser Systeme kann allerdings erst nach dem Abschluss und der Abgabe dieser Arbeit erfolgen.

Aufgrund großen Interesses an der Spannungsreferenzquelle wurde diese zusätzlich noch schaltungstechnisch verbessert und als weiterer Testchip für die Fertigung vorbereitet.

Für weitere Entwicklungen der Spannungsreferenzquelle bietet sich eine Implementierung mit MOS-Dioden an, welche noch niedrigere Betriebsspannungen erlauben würden, aber auch eine höhere Varianz hätten. Für viele Anwendungen ist aber ohnehin eine Trimmung notwendig und vorgesehen.

# Anhang A

## Layoutplots

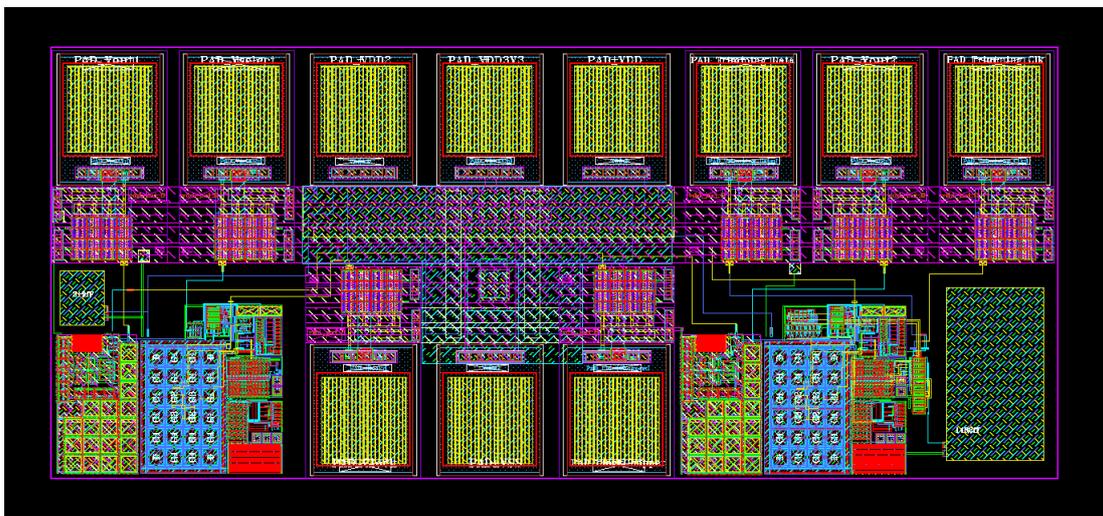


Abbildung A.1: Layoutansicht des Bandgap-Testchips

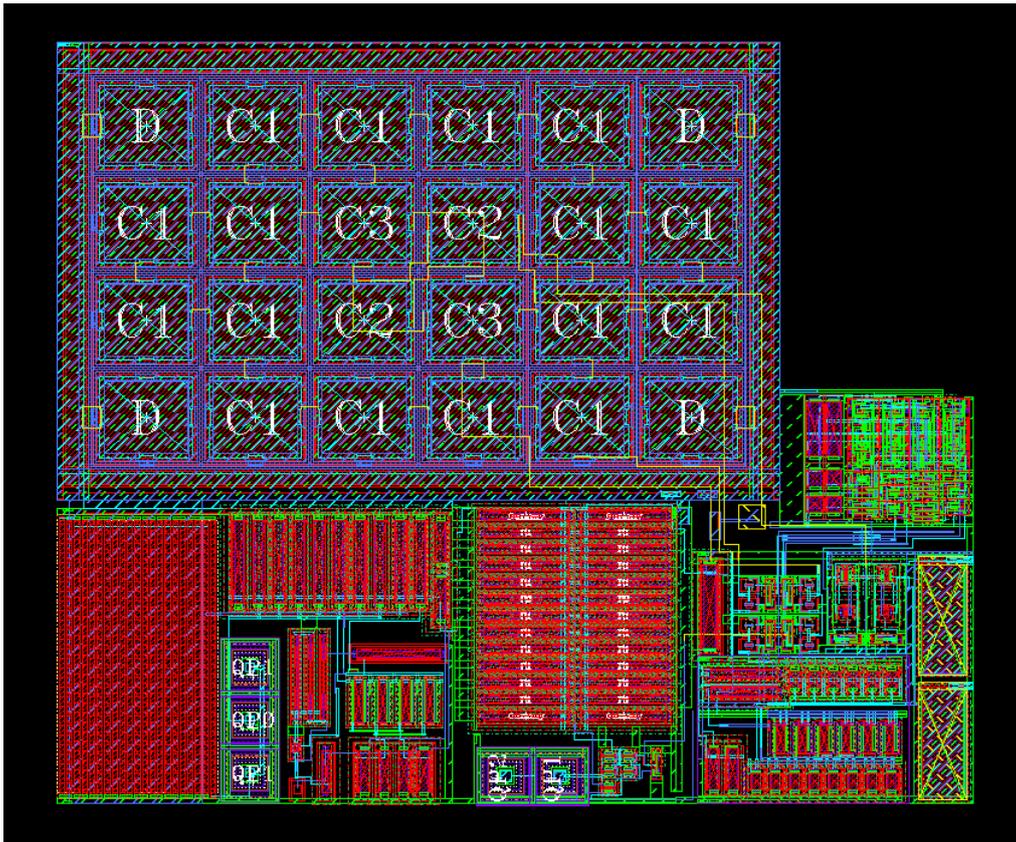


Abbildung A.2: Layoutansicht der Bandgap-Schaltung

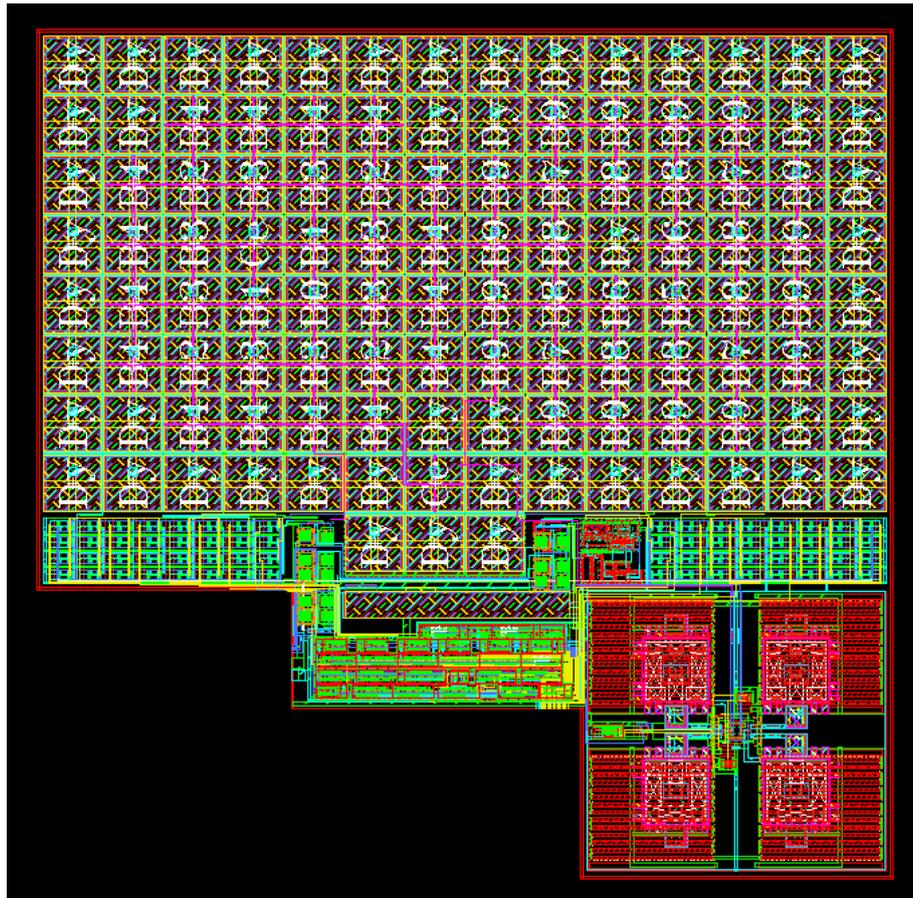


Abbildung A.3: Layoutansicht des 10-Bit-ADUs

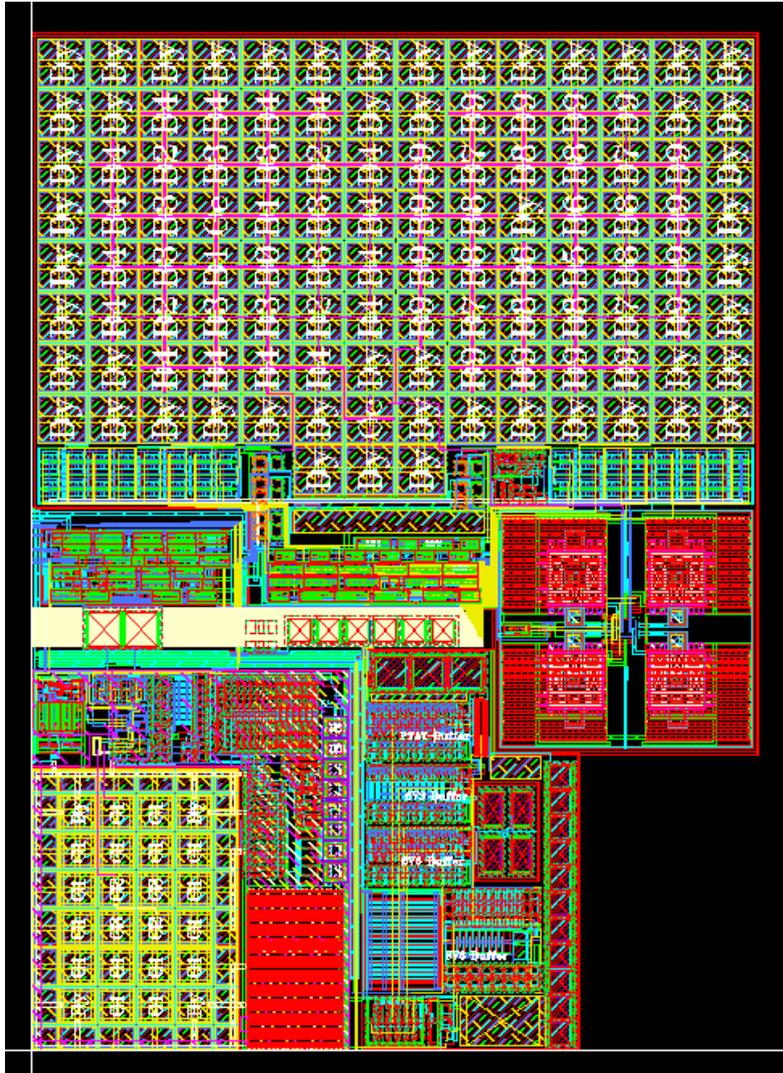


Abbildung A.4: Layoutansicht des ADUs mit Bandgap-Schaltung, Buffer und Digitalteil

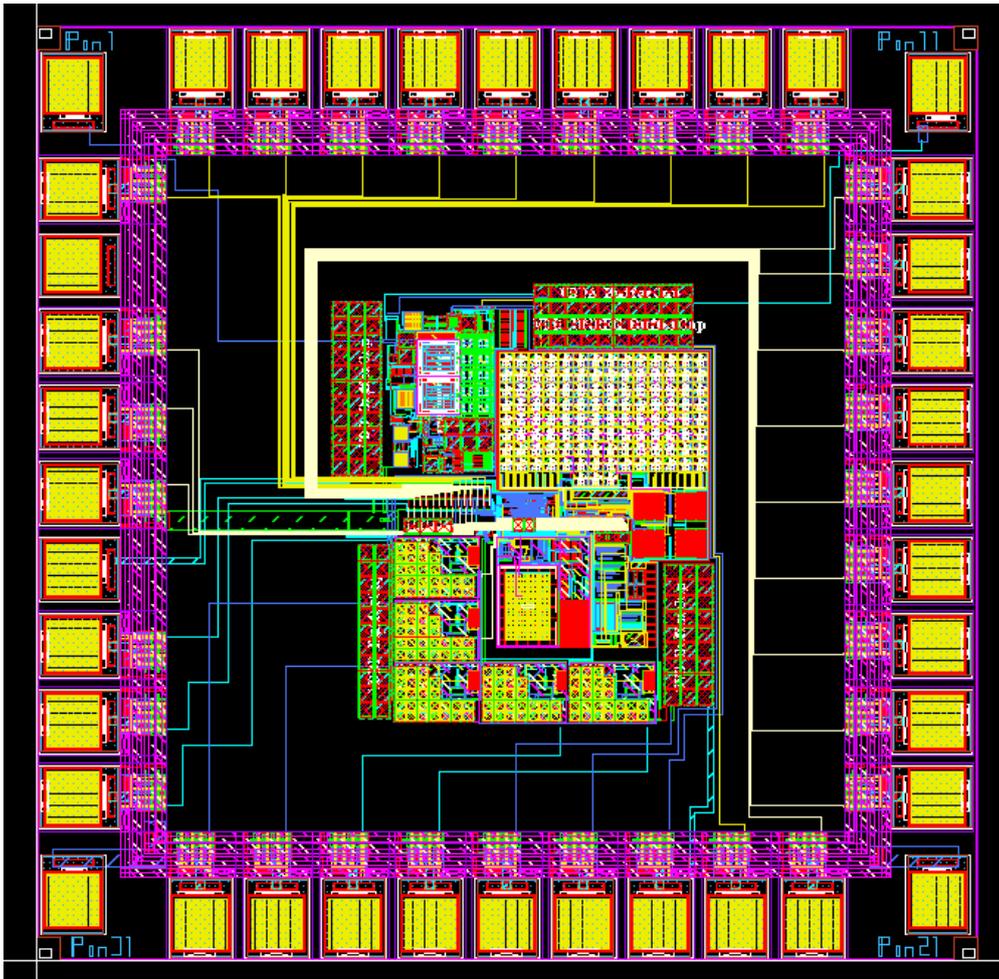


Abbildung A.5: Layoutansicht des Testchips des Messsystems

# Literaturverzeichnis

- [1] AGNES, A., E. BONIZZONI, P. MALCOVATI und F. MALOBERTI: *A 9.4-ENOB 1V 3.8 uW 100kS/s SAR ADC with Time-Domain Comparator*. ISSCC, 2008.
- [2] AGNES, A., E. BONIZZONI und F. MALOBERTI: *Design of an Ultra-Low Power SA-ADC with Medium/High Resolution and Speed*. Circuits and Systems, ISCAS, 2008.
- [3] BANBA, H., H. SHIGA, A. UMEZAWA, T. MIYABA, T. TANZAWA, S. ATSUMI und K. SAKUI: *A CMOS Bandgap Reference Circuit with Sub-1-V Operation*. IEEE Journal of Solid-State Circuits, 34:670–674, 1999.
- [4] BRENK, D., J. ESSEL, J. HEIDRICH, R. WEIGEL, G. HOFER und G. HOLWEG: *Ultra Low-Power Techniques for Sensor-Enhanced RFID Tags*. IEEE MTT-S International Microwave Workshop on Wireless Sensing, Local Positioning, and RFID, 2009.
- [5] CHEN, S. und B. J. BLALOCK: *Switched capacitor bandgap voltage reference for sub1-v operation*. Electronics Express, 3:529–533, 2006.
- [6] KUIJK, K. E.: *A precision reference voltage source*. IEEE Journal of Solid-State Circuits, 8:222–226, 1973.
- [7] LIN, Z., H. YANG, L. ZHONG, J. SUN und S. XIA: *Modeling of Capacitor Array Mismatch Effect in Embedded CMOS CR SAR ADC*. 2005.
- [8] MCCREARY, J. L.: *All-MOS Charge Redistribution Analog-to-Digital Conversion Techniques - Part I*. IEEE Journal of So, SC-10:371–378, 1975.
- [9] RAZAVI, B.: *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, 2001.
- [10] TIETZE, U. und C. SCHENK: *Halbleiter-Schaltungstechnik*. Springer-Verlag, 12. Auflage, 2002.
- [11] WESTWICK, A. L.: *Switched capacitor bandgap reference circuit having a time multiplexed bipolar transistor*, 1991.
- [12] WIKIPEDIA: *Die freie Enzyklopädie*, 12 2009.