

Masterarbeit

DA700

Komponentenimplementierung für digitale Flankenregelung hochvoltfähiger Schalterapplikationen im automobilen Bereich

zur Erlangung des akademischen Grades

Dipl.-Ing.

vorgelegt dem Institut für Elektronik
an der Technischen Universität Graz
durchgeführt bei Infineon Technologies Austria AG, Villach

Daniel Mandler, BSc

11. Oktober 2012

Betreuer Infineon Technologies AG:

Dipl.-Ing. Johannes Janschitz

Betreuer TU Graz:


Dipl.-Ing. Dr. Peter Söser

Deutsche Fassung:
Beschluss der Curricula-Kommission für Bachelor-, Master- und Diplomstudien vom 10.11.2008
Genehmigung des Senates am 1.12.2008

EIDESSTÄTLICHE ERKLÄRUNG

Ich erkläre an Eides statt, dass ich die vorliegende Arbeit selbstständig verfasst, andere als die angegebenen Quellen/Hilfsmittel nicht benutzt, und die den benutzten Quellen wörtlich und inhaltlich entnommene Stellen als solche kenntlich gemacht habe.

Graz, am 11.10.2012.....

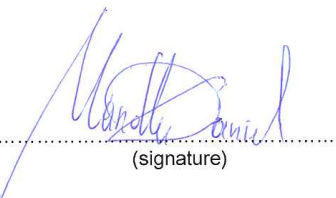

.....
(Unterschrift)

Englische Fassung:

STATUTORY DECLARATION

I declare that I have authored this thesis independently, that I have not used other than the declared sources / resources, and that I have explicitly marked all material which has been quoted either literally or by content from the used sources.

11.10.2012
.....
date


.....
(signature)

Komponentenimplementierung für digitale Flankenregelung hochvoltfähiger Schalterapplikationen im automobilen Bereich

Bedingt durch die immer komplexer werdende Hochvolt-Systemintegration in automotiven Chips, muss verstärkt Augenmerk auf die Elektromagnetische Verträglichkeit (EMV) gerichtet werden, um mögliche Störeinkopplungen zu verringern bzw. zu unterbinden.

Basierend auf einer Konzeptstudie über eine digitale Flankenregelung von Schalterapplikationen im Hochvoltbereich [Jan10], soll durch diese Arbeit gezeigt werden, wie man mit Hilfe von digitaler Signalverarbeitung die Verwendung von externen Entstörfiltern vermeiden kann. Der Fokus dieser Arbeit liegt auf der Implementierung von Komponenten, die für die Realisierung solcher störmindernden Systeme benötigt werden. Vorgestellt wird die Implementierung eines *mixed-signal* Systems, wobei die zentralen Komponenten der ADC und der DAC darstellen.

Schlüsselwörter: EMV, digitale Flankenregelung, current-mode, Stromkomparator, Gate-Treiber, ADC, DAC, BCD-Technologie, DMOS

Component implementation for digital slope control of high voltage automotive switch applications

Due to the ever increasing complexity of high voltage system integration in automotive chips, greater attention needs to be focused on electromagnetic compatibility (EMC) with the aim of reducing or eliminating possible interference.

Based on a concept study investigating integrated digital slope control of high voltage switch applications [Jan10], this thesis shows that the use of external filters can be avoided with the help of digital signal processing. The work is focused on the implementation of the components necessary for the realisation of such interference attenuating systems. The design of a mixed signal system, where the central components are the ADC and DAC, is presented here.

Keywords: EMC, digital slope control, current-mode, current comparator, gate-driver, ADC, DAC, BCD-Technology, DMOS

Danksagungen

An dieser Stelle möchte ich mich bei allen Personen bedanken, die zum erfolgreichen Abschluss dieser Arbeit beigetragen haben.

Besonders bedanken möchte ich mich bei folgenden Personen:

- meinem Betreuer Johannes, der mich während der Durchführung meiner Arbeit stets tatkräftig unterstützt hat. Ich konnte aus den zahlreichen Diskussionen viel lernen.
- meinem Betreuer und Mentor seitens des Institutes für Elektronik der Technischen Universität Graz, Dr. Peter Söser für die unkomplizierte Betreuung und die Korrektur der Arbeit.
- Bei David und Herwig für die vielen nützlichen „Inputs“ und Diskussionen über diverse Themen.
- Hannes, für die praktische Einführung in den Welt der Layout-Erstellung.
- Angelo, für seinen Unterstützung bei Fragen betreffend der digitalen Welt.
- Gernot, für die Hilfe bei der Korrektur.
- Stefan, Linda, Marko und Andi vertretend für alle Kollegen der Dienststelle genannt. Danke an euch für die tolle Zusammenarbeit und das angenehme Arbeitsklima.

Abschließend danke ich meinen Eltern für die großartige Unterstützung auf meinem bisherigen Lebensweg, seit der ersten Stunde an. Ohne euch würde ich nicht an jener Stelle stehen, an der ich heute angelangt bin.

Inhaltsverzeichnis

Abbildungsverzeichnis	XIII
Tabellenverzeichnis	XV
Abkürzungsverzeichnis	XVII
1 Einleitung	1
1.1 Motivation	1
1.2 Smart Power Technologie	2
1.3 Digitale Unterstützung analoger Systeme	3
2 Ausgangssituation: Modell der digitalen Flankenregelung	7
2.1 PWM geregeltes Einspritzsystem im KFZ	7
2.2 Konzept des High-Side Treibers	8
2.3 Konzept der digitalen Regelung	9
2.3.1 Abtastregelkreis	10
2.3.2 Konzeptionelle Umsetzung	10
2.3.3 Auflösung und Umsetzdauer des ADCs	11
2.3.4 Auflösung des DAC	12
3 Current-Mode Flash ADC	13
3.1 Konzept	13
3.1.1 Strom-Komparatoren	14
3.1.2 Stromspiegel	19
3.1.3 Eingangsstufe	30
3.1.4 Logik	34
3.1.5 Taktgenerierung	38
3.1.6 Architektur	40
3.2 Simulation	40
3.3 Layout	43
3.4 Current-Mode Sample-Hold	44
3.4.1 Der einfache Strom-Sampler	44
3.4.2 Zero-Voltage Switching	47
4 Digital/Analog Strom Umsetzer (Gate-Treiber)	51
4.1 Konzept	51
4.2 Simulation	55

4.3	Layout	56
5	Zusammenschaltung der analogen Komponenten	59
5.1	Level-Trigger	59
5.2	Resultierendes System	61
5.3	Simulation	64
5.4	Layout für den Testchip	65
6	Zusammenfassung und Ausblick	67
6.1	Kapitelübersicht	67
6.2	Ergebnisse und Diskussion	68
6.3	Ausblick	69
	Literaturverzeichnis	71

Abbildungsverzeichnis

1.1	Schematischer Querschnitt der verwendeten Smart Power Technologie	2
1.2	Mikroskopaufnahme eines typischen Querschnitts	3
1.3	Holistischer Ansatz für digital Unterstützung von <i>mixed-signal</i> und analogen Schaltungen	4
2.1	<i>High-Side</i> Treiber Konzept	9
2.2	Idealer Abtastregelkreis	10
2.3	Konzept des Regelkreises	11
3.1	(a) Grundlegender Aufbau (b) Komparatorzelle	13
3.2	Stromkomparator mit hochohmigem Eingang	14
3.3	Stromkomparator mit niederohmigem Eingang (a) Schaltung (b) Prinzipschaltung für positiven I_{IN} (c) Prinzipschaltung für Vorzeichenwechsel (d) Prinzipschaltung für negativen I_{IN}	15
3.4	Komparator Delay	16
3.5	(a) Komparator bestehend aus Vorverstärker und Auffangregister (<i>Latch</i>), (b) Zeitlicher Verlauf des Steuersignales <i>latch_en</i>	17
3.6	Fehler durch metastabile Zustände des Komparators	17
3.7	Stromkomparator mit Auffangregister	18
3.8	Schaltung eines Schmitt-Triggers	18
3.9	Aktiver Stromspiegel a) Schaltung und b) Kleinsignal-Ersatzschaltung	19
3.10	Mismatch zwischen zwei Stromquellen	20
3.11	Verwendung eines Buffers um Stromquellen zu treiben	22
3.12	Slew-Rate Limitierung beim Differenzverstärker	23
3.13	Eingangsstufenstrom versus differentieller Eingangsspannung	24
3.14	Differenzverstärker mit <i>Source cross-coupled pair</i> (a) Schaltung (b) vereinfachte Darstellung	24
3.15	Verlauf der <i>Drain</i> Ströme bei Differenzaussteuerung	25
3.16	Bode-Diagramm des Differenzverstärkers mit einem <i>Source cross-coupled pair</i>	25
3.17	Auswirkung eines endlichen Ausgangswiderstandes (a) Schaltung (b) Strom-Spannungs Charakteristik	26
3.18	(a) Stromspiegel mit einfacher Kaskode (b) Stromspiegel mit <i>wide-swing</i> Kaskode	26
3.19	Stromspiegel mit geregelter Kaskode	27
3.20	(a) Auswirkung eines zu großen <i>Mismatch</i> (b) Berechnung der Prozessschwankung	28

3.21	Histogramm der Prozessschwankung	30
3.22	Aufbau einer einfachen Eingangsstufe (a) Schaltung (b) Signalverläufe	30
3.23	Signalverläufe der einfachen Eingangsstufe	31
3.24	Verlauf von $I_{\text{NOM,min}}$ bei positiver (rot) und negativer Flanke (blau)	32
3.25	Aufbau einer Eingangsstufe mit Rückkopplung	32
3.26	Signalverläufe der Eingangsstufe mit Rückkopplung	33
3.27	Verlauf von $I_{\text{NOM,min}}$ bei positiver (blau) und negativer Flanke (rot)	34
3.28	Gründe für das Auftreten von <i>Bubbles</i> (a) 1. Ordnung (b) 2. Ordnung	35
3.29	Grundlegende Struktur eines Dekodierers	36
3.30	ROM-basierende Dekodierer (ohne <i>Bubble</i> -Fehler Korrektur) (a) binär-kodiertes ROM (b) Gray-kodiertes ROM	37
3.31	Multiplexer basierender Dekodierer mit <i>Bubble</i> Fehler Korrektur	38
3.32	Generierung der Taktsignale	38
3.33	Simulation der generierten Signale	39
3.34	Implementiere Architektur des <i>Current-mode</i> Flash ADCs	40
3.35	Simulationsergebnis für das Anlegen einer Rampe	41
3.36	Ergebnisse eines Histogramm Tests basierend auf einem <i>Monte-Carlo</i> Durchlauf	42
3.37	Layout des ADCs	43
3.38	Einfacher switched current Sampler	44
3.39	Switched current Sampler mit negativer Rückkopplung	45
3.40	Entstehung von Ladungsinjektion	46
3.41	Ein <i>zero-voltage</i> Sampler	46
3.42	Mögliche Implementierung eines <i>zero-voltage</i> Samplers	47
3.43	Transiente Simulation des <i>zero-voltage switching</i> Samplers	48
3.44	Mögliche Verwendung des Samplers	48
4.1	Konzept des DACs	51
4.2	Schaltung des Pegelwandlers	52
4.3	Schaltung des <i>High-Side</i> Treibers	54
4.4	Simulation des <i>High-Side</i> Treibers	55
4.5	Simulation mit verschiedenen Stellgrößen	55
4.6	Layout des DACs (ohne LDM1 und LDM2)	56
4.7	Layout des DACs	57
5.1	<i>Level-Trigger</i> Konzept	59
5.2	<i>Level-Trigger</i> Logik	60
5.3	Resultierendes System	61
5.4	Schaltung zur Erzeugung des Taktes für den ADC	61
5.5	Verläufe einiger Signale der Taktgenerierung für den ADC	63
5.6	Simulation des analogen <i>Front-Ends</i> für einen Einschaltvorgang	64
5.7	Toplevel Layout	65

Tabellenverzeichnis

2.1	Spezifikation der Flanke	8
3.1	Komparator Delay	16
3.2	Auswirkung der Prozessschwankungen auf I_{SIG}	29
3.3	Auswirkung der Prozessschwankungen auf I_{REF}	29
3.4	Zusammenhang verschiedener Kodierungen	34

Abkürzungsverzeichnis

ADC Analog/Digital Converter/Umsetzer, 1, 3, 5, 10, 11, 28, 29, 34, 40, 43, 47, 61, 65, 67, 68

BC Binär Code, 34, 36

DAC Digital/Analog Converter/Umsetzer, 1, 10, 11, 51, 56, 61, 65, 67, 68

DMOS Leistungstransistor; Double-diffused MOS Transistor, 51, 56, 59, 68

DSM Deep-Sub-Micron, 1, 68

DTI Grabenisolierung; Deep Trench Isolation, 1

EMV Elektromagnetische Verträglichkeit; Electromagnetic Compatibility EMC, 1

FF Flip-Flop; Sequentielle Schaltung zum Speichern eines Bit, 29, 38, 61

FPGA field-programmable gate array, 69

FSR Full Scale Range, 29

LSB Least Significant Bit, 28, 29, 36, 51

MOSFET Metall-Oxid Feldeffekttransistor; Metall Oxide Semiconductor Transistor, 7

MSB Most Significant Bit, 36

NMOS n-Kanal MOS-FET, 13, 28, 36

PMOS p-Kanal MOS-FET, 13, 28

PWM Pulsweiten-Modulation, [7](#), [8](#), [51](#)

ROM Read Only Memory, [36](#)

SI switched-current, [44](#)

SoC System on Chip, [1](#)

SPT Smart Power Technology, [1](#)

SR Slew-Rate; Anstiegsgeschwindigkeit, [8](#), [10](#), [11](#), [22](#), [23](#), [55](#), [64](#), [68](#)

TC Thermometer Code, [34](#), [36](#)

1 Einleitung

1.1 Motivation

Da immer mehr hochintegrierte Systeme dicht nebeneinander verbaut werden, und die Anforderungen bezüglich Störfestigkeit im automotiven Bereich sehr hoch sind, ist es äußerst wichtig, diese störenden Einflüsse auf ein Minimum zu reduzieren.

In zahlreichen automotiven Applikationen werden Lasten mithilfe von Leistungstransistoren geschaltet. Die dadurch entstehenden Spannungsflanken weisen meist hohe Anstiegs- und Abfallgeschwindigkeiten (dU/dt) auf. Dieses Verhalten stellt eine potentielle Quelle für elektromagnetische Verträglichkeit (EMV) Störungen dar [CH92].

Die klassische Lösung ist die Verwendung von externen Filtern, welche auf einer Platine platziert werden. Diese Lösung erhöht aber die Kosten für den Kunden und stellt ein weiteres Risiko bezüglich Zuverlässigkeit dar.

Die Verwendung einer digitalen Regelung hat den Vorteil, dass für unterschiedlich große Leistungstransistoren nicht aufwändige Anpassung nötig sind, sondern Parameter für die Regelung einfach digital geändert werden können.

Ein mögliches Konzept einer digitalen Flankenregelung wurde in [Jan10] vorgestellt. In dieser Konzeptstudie wurde beispielhaft für ein elektronisch geregeltes Einspritzsystem eine Modellbildung sowie die Spezifikation der analogen Komponenten durchgeführt.

Ziel der vorliegenden Arbeit ist es, die analogen Komponenten für dieses System in einer hochvoltfähigen Deep-Sub-Micron Technologie (DSM)-Technologie zu implementieren.

Die analogen Komponenten dieses *mixed-signal* Systems stellen der Analog/Digital Umsetzer (ADC) und der Digital/Analog Umsetzer (DAC) dar.

1.2 Smart Power Technologie

Die in dieser Arbeit vorgestellten Schaltungen werden in einer 130 nm BCD (Bipolar-CMOS-DMOS) Technologie implementiert.

Im automotiven Sektor werden BCD Technologien verwendet, um die komplette Funktionalität einer Applikation auf einen einzigen Chip zu packen. Solche Systeme werden als System on Chip (SoC) bezeichnet.

Je nach Halbleiterfirma wird ein anderer Name für die verwendete BCD Technologie verwendet. Infineon verwendet den Name Smart Power Technology (SPT) für ihre BCD-Technologien.

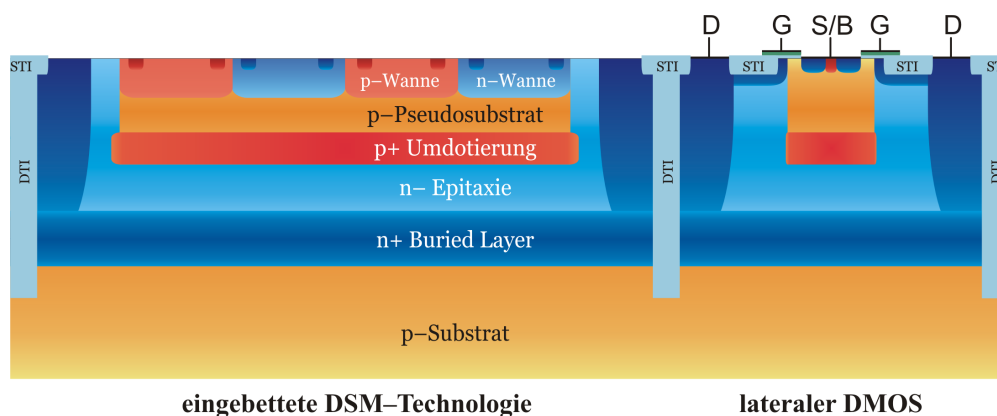


Abbildung 1.1: Schematischer Querschnitt der verwendeten Smart Power Technologie [Wap07]

Der grundlegende Aufbau der verwendeten Smart Power Technologie ist in Abbildung 1.1 dargestellt. Der eigentliche DSM-Kern wird in eine eigene Wanne implantiert. Diese Wanne bildet das ursprüngliche Substrat der Technologie nach und wird deshalb als „Pseudosubstrat“ bezeichnet. Diese p-Wanne befindet sich in einer n-dotierten Epitaxie.

Eine hoch dotierte Schicht (*burried Layer*) isoliert das „Pseudeo-Substrat“ vom tatsächlichen p-Substrat des Wafers. Die Leistungselemente sind ebenfalls in n-Epitaxie Wannern untergebracht.

Die horizontale Isolation der n-Epi Wannern wird durch eine Grabenisolation (DTI) sichergestellt. Bei dieser Isolationsart wird ein tiefer Graben geätzt, der mit Siliziumdioxid ausgefüllt wird. Der Vorteil gegenüber einer Sperrsicht Isolation ist die bessere physikalische Isolation und die enorme Flächensparnis [Wap07] bzw. [RWO⁺11].

Eine große Herausforderung in BCD Technologien stellt die Unterdrückung parasitärer

Strukturen dar. Eine interessante Abhandlung über diese Thematik ist in [Wap07] zu finden.

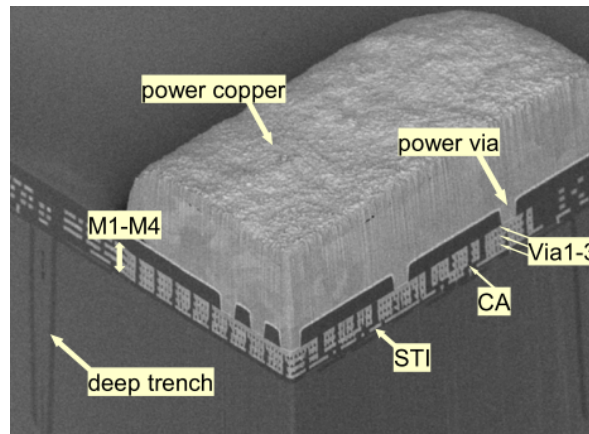


Abbildung 1.2: Mikroskopaufnahme eines typischen SPT-Querschnitts [RWO+11]

In Abbildung 1.2 sieht man eine Mikroskopaufnahme eines typischen Querschnitts des verwendeten SPT-Prozesses. Die dicke Kupferschicht gewährleistet eine thermale und mechanische Robustheit des gefertigten Chips [RWO+11].

Diese Technologie bietet mit einer minimalen Kanallänge von 130 nm für Niedervolt-Transistoren eine hohe Integrationsdichte für digitale Schaltungen. Im Gegensatz dazu, können andere Bauelemente wie bipolare Transistoren und Leistungsbaulemente diese kleinen Strukturgrößen nicht mehr ausnutzen. Um auch in Zukunft wettbewerbsfähig zu bleiben, wird es immer wichtiger, Schaltungskonzepte zu verwenden, welche größtenteils auf Niedervolt-Transistoren basieren.

1.3 Digitale Unterstützung analoger Systeme

Wie im vorangegangenen Abschnitt schon erläutert wurde, geht der Trend bei auf BCD-Technologien basierenden Hochvolt-Applikationen dahin, soviel wie möglich an Funktionalität in den Niedervolt-Bereich zu transferieren.

In anderen Bereichen geht man schon weiter und versucht bei Anwendungen, bei denen der analoge Schaltungsteil den „Flaschenhals“ darstellt, durch digitale Signalverarbeitung die *Performance* des Gesamtsystems zu verbessern [Mur06].

In früheren Anwendungen wurden auch schon digital basierte Korrekturmechanismen verwendet, wie zum Beispiel für die Kalibrierung der Linearität von [ADCs](#).

In den letzten Jahren vergrößerte sich die Kluft zwischen der Leistungsfähigkeit von analogen und digitalen Systemen zunehmend. In vielen modernen Anwendungen stellt der Stromverbrauch die dominante Einschränkung dar.

Es macht daher Sinn, diese zwei unterschiedlichen Domänen bezüglich ihres Energiebedarfes pro Operation zu vergleichen. Solch ein Vergleich wurde in [\[Mur06\]](#) durchgeführt. Der Energieverbrauch eines NAND-Gatters hat sich von 1,3 pJ in einer 0,5 μm Technologie auf 4,5 fJ in einer 90 nm Technologie verringert. Es wurde somit eine Verbesserung bezüglich des Energieverbrauchs um einen Faktor von ungefähr 300 erreicht. Der durchschnittliche Energieverbrauch von [ADCs](#) aller Auflösungsklassen, welche im Rahmen der ISSCC (International Solid-State Circuits Conference) über eine Zeitspanne von 10 Jahre veröffentlicht wurden, hat sich um den Faktor 35 verringert.

Zusammengefasst kann gesagt werden, dass sich die relativen „Kosten“ digitaler Verarbeitung um einen Faktor 10 in den letzten 10 Jahren reduziert hat.

Angesichts der wachsenden Komplexität moderner Systeme, ist es sinnvoll, in Anwendungen, in welchen nur ein geringer Stromverbrauch erlaubt ist, die Synergien zwischen analogen und digitalen Blöcken zu nutzen, um die Anforderungen zu erfüllen.

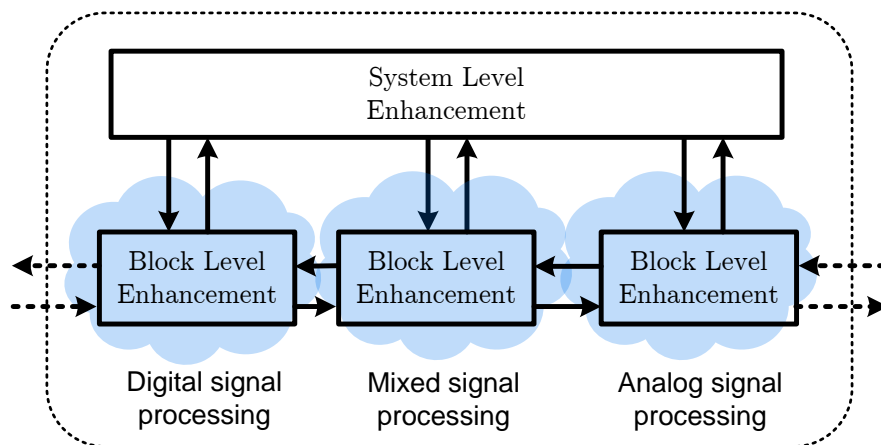


Abbildung 1.3: Holistischer Ansatz für digitale Unterstützung von *mixed-signal* und analogen Schaltungen [\[MVK08\]](#)

Ein typisches elektronisches System kann in analoge, digitale und *mixed-signal* Blöcke unterteilt werden. Die *mixed-signal* Blöcke stellen hauptsächlich Datenkonverter dar. Durch zusätzliche digitale Signalverarbeitung (pre- or postprocessing) verschwimmen die Grenzen zwischen digitaler und analoger Signalverarbeitung [\[MVK08\]](#).

Die Verbesserung von analogen und *mixed-signal* Systemen durch digitale Signalverarbeitung kann in

- digitale Verbesserung auf Blockebene und
- digitale Verbesserung auf Systemebene

eingeteilt werden.

Digitale Verbesserung auf Systemebene nutzt Informationen über das System, um Verbesserungen auf Blocklevel durchzuführen oder zu vereinfachen. Digitale Verbesserung auf Blockebene bezieht sich auf die Verbesserung der Leistung eines bestimmten Blocks, wie zum Beispiel eines [ADCs](#).

Verbesserung auf Blockebene kann weiters in digital verbesserte, digital geführte und digital emulierte Schaltungen unterteilt werden.

Digital verbesserte Schaltungen verwenden eine minimalistische analoge Schaltung und verbessern durch digitale Signalverarbeitung die Charakteristik der Schaltung. Die Signalverarbeitung wird nicht direkt für die Funktionalität benötigt, verbessert aber die Leistung des Systems. Als Beispiel sei hier die digitale Kalibrierung von [ADCs](#) genannt.

Digital geführte Schaltungen benötigen die Signalverarbeitung für die Funktionalität. Ein bekanntes Beispiel sind Sigma-Delta [ADCs](#).

In der letzten Kategorie, digital emulierte Schaltungen, ist die digitale Signalverarbeitung verantwortlich für die Funktionalität. Beispiele für solche Schaltungen sind digital geschaltete Leistungsverstärker und *all-digital phase locked loops* [[MVK08](#)].

2 Ausgangssituation: Modell der digitalen Flankenregelung

Die Aufgabenstellung dieser Arbeit basiert auf einer Konzeptstudie, welche in [Jan10] durchgeführt wurde. In dieser Konzeptstudie wurde ausgehend von einem *High-Side* Treiber Konzept ein Modell für eine digitale Flankenregelung erstellt.

In diesem Kapitel soll ein Überblick über das Modell, welches aus der Konzeptstudie hervorgegangen ist, gegeben werden. Einleitend wird eine Applikation für die digitale Flankenregelung vorgestellt. Ausgehend vom Konzept eines *High-Side* Treibers wird der Regelkreis und die Anforderungen an die verwendeten Komponenten beschrieben.

2.1 PWM geregeltes Einspritzsystem im KFZ

In elektronisch geregelten Einspritzsystemen werden Magnetventile verwendet, um den Kraftstoff der Brennkammer zu zuführen. Magnetventile besitzen Zylinderspulen (*Solenoid*), welche ein Magnetfeld erzeugen. Das Magnetfeld, genauer gesagt die resultierende Kraftwirkung, öffnet ein mechanisches Ventil, und es kann Kraftstoff in die Brennkammer eingespritzt werden.

Für schnelle Schaltvorgänge wird entsprechend hohe Leistung benötigt. Um die Leistungszufuhr zu regeln, gibt es mehrere Möglichkeiten. Die einfachste Lösung ist ein veränderbarer Widerstand (meist durch einen MOS-Transistor ([MOSFET](#)) realisiert), um die Leistungszufuhr eines Akktuators zu regeln. Der Nachteil dieser Lösung besteht in der am Widerstand abfallenden Verlustleistung.

Eine weitere Möglichkeit stellt die Pulsweiten-Modulation ([PWM](#)) dar. Durch das Verhältnis der Dauer, in der der Transistor ein- bzw. ausgeschaltet ist, kann ebenfalls die zugeführte Leistung kontrolliert werden.

Die Verlustleistung kann durch diese Maßnahme stark reduziert werden, jedoch erzeugen die schnellen Schaltflanken hochfrequente elektromagnetische Störungen.

Diesen Störungen wird mit Entstörfiltern entgegengewirkt, welche unter Umständen nicht mit integriert werden können, und somit *off-chip* angebracht werden müssen. Eine effektive Flankenkontrolle wird aufgrund von Bauteiltoleranzen nur sehr schwer möglich. Dieses Problem kann nur durch *Trimming* und Anpassung der Werte für unterschiedliche Transistoren gelöst werden.

Die Vorgaben hinsichtlich Anstiegszeit und Spannungsbereich wurden wie folgt angenommen.

	min	nom	max
Anstiegszeit	-	100 ns	-
Spannungsbereich	-	73 V	80 V
Slew rate	-	730 V/ μ s	-
Rs	-	2 Ω	-
Solenoid	-	20 mH	-

Tabelle 2.1: Spezifikation der Flanke [Jan10]

2.2 Konzept des High-Side Treibers

Das Konzept des *High-Side* Treibers bildet den Ausgangspunkt für die Regelung der *Slew-Rate* (SR). Der *High-Side* Treiber ermöglicht das Schalten des Leistungsschalters HS_1 durch ein PWM Signal. Das Konzept ist in Abbildung 2.1 dargestellt.

Im Hochspannungspfad befinden sich der *High-Side* Schalter HS_1, die Zylinderspule (*Solenoid*) und der *Low-Side* Schalter LS_1. LS_1 ist im Betrieb immer eingeschalten und dient hauptsächlich dazu, bei Systemausfällen den Stromfluss zu unterbrechen. Der eigentliche Schalttransistor ist HS_1.

Die Versorgungsspannung im Hochvoltpfad beträgt 73 V, wodurch es möglich ist ausreichend Leistung zu zuführen. Um den Umschaltvorgang unterbrechungsfrei durchführen zu können, muss gewährleistet sein, dass das *Gate* von HS_1 immer um mindestens eine Schwellspannung höher ist als der Source-Knoten.

Eine eigene Spannungsversorgung für das *Gate* würde einen erhöhten Aufwand bedeuten, weshalb *Boot-Strapping* verwendet wird. Bei dieser Technik wird die Kapazität C_{Boost} bei ausgeschaltetem Leistungstransistor über die Diode DIO1 auf ungefähr 5 V aufgeladen. Wird ein Schaltvorgang ausgelöst, beginnt der Transistor HS_1 zu leiten und die Source-Spannung V_s beginnt zu steigen. Infolgedessen erhöht sich auch die Spannung am Pin *Boost*. Diese Spannung ist nun um ca. 5 V höher als die Spannung

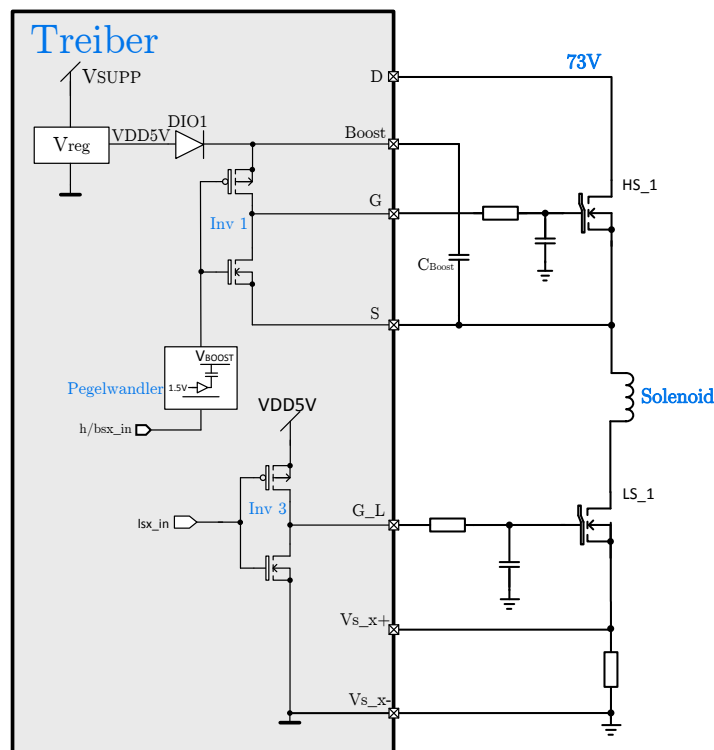


Abbildung 2.1: High-Side Treiber Konzept [Jan10]

am Source-Knoten, bedingt durch die vorgeladene Kapazität C_{Boost} .

Ohne die Verwendung eines RC-Filters zur Bandbegrenzung, würde das *Gate* von HS_1 durch den Inverter „hart“ angesteuert werden.

Ziel des neuen Systemes ist es, eine kontrollierte **SR** durch eine Regelung zu erzwingen, um somit auf die Verwendung von externen Filtern verzichten zu können.

2.3 Konzept der digitalen Regelung

Eine digitale Regelung bietet aus Applikationssicht den Vorteil, dass die Führungsgröße digital justierbar ist und je nach Anwendungsfall ohne großen Aufwand adaptiert werden kann.

2.3.1 Abtastregelkreis

Aus systemtheoretischer Sicht stellt dieses System einen Abtastregelkreis [GHS91] dar, wie er in Abbildung 2.2 dargestellt ist. Der Abtastregelkreis besteht aus einem digitalen Regler, einem Halteglied, der Strecke mit Stellglied, einem Abtaster sowie einem Addierer (mit integrierter Komplementärbildung). Das Abtastglied erzeugt aus

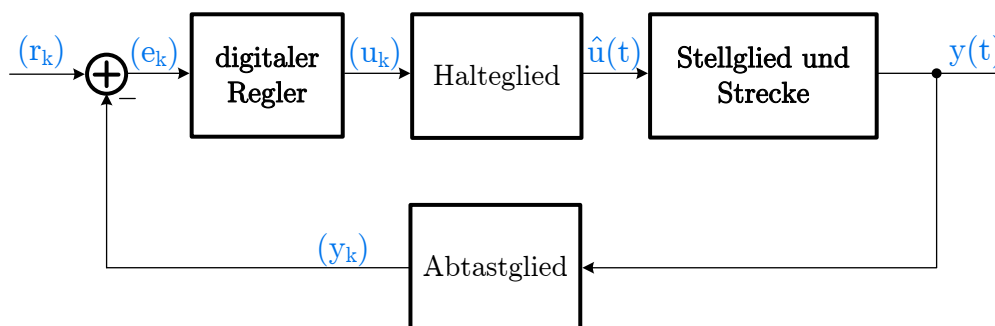


Abbildung 2.2: Idealer Abtastregelkreis

der Regelgröße $y(t)$ eine zeitdiskrete Regelfolge (y_k) . Die Fehlerfolge (e_k) ergibt sich aus der Differenz zwischen der Führungsfolge (r_k) und der Regelfolge (y_k) . Der digitale Regler berechnet mithilfe des Regelalgorithmus die Stellfolge (u_k) . Das Halteglied erzeugt aus der zeitdiskreten Folge (u_k) eine zeitkontinuierliche Treppenfunktion $\hat{u}(t)$. Schlussendlich greift das Stellglied entsprechend $\hat{u}(t)$ in das Verhalten der Strecke ein.

2.3.2 Konzeptionelle Umsetzung

In Abbildung 2.3 sieht man die konzeptionelle Umsetzung für eine mögliche digitale Regelung der SR. Die Funktion des Stell- und Halteglied wird von einem DAC übernommen. Das Abtastglied wird aus dem ADC sowie dem Messumformer gebildet.

Ein Spannungsänderung dU_S/dt am Source-Knoten erzeugt durch die Mess-Kapazität C_{mess} einen Strom I_{FB} . Dieser Zusammenhang wird durch Gleichung 2.1 beschrieben.

$$I_{FB}(t) = C_{\text{mess}} \frac{dU_{DS}(t)}{dt} \quad (2.1)$$

Somit erhält man während des Umschaltens einen Strom proportional der SR. Durch den Messumformer wird der Strom in eine entsprechende Spannung gewandelt, diese Spannung wird anschließend durch den ADC digitalisiert. Anschließend wird der Regelfehler gebildet und dem Regler zugeführt. Der Regler steuert dann die Stromquellen des DACs, welche letztendlich Ladung auf das Gate aufbringen oder abführen.

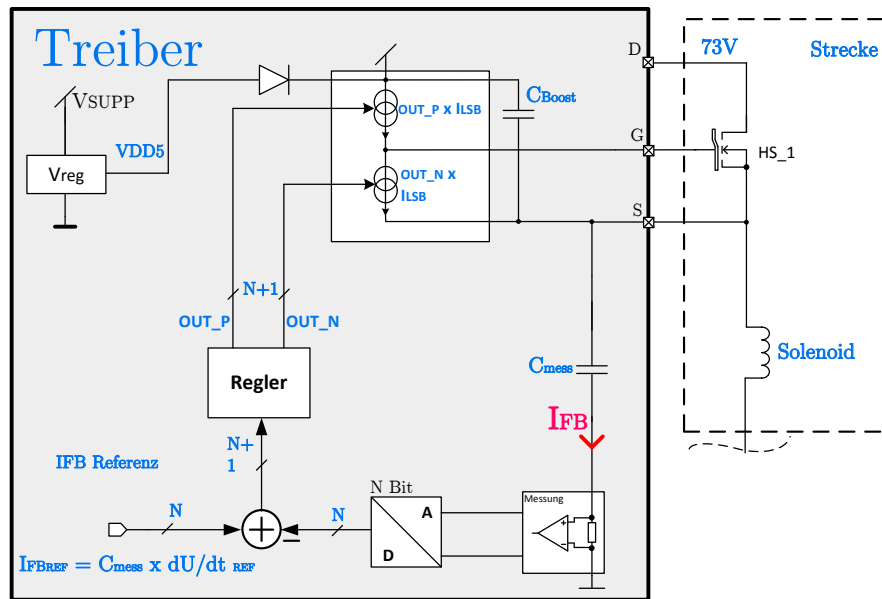


Abbildung 2.3: Konzept des Regelkreises [Jan10]

2.3.3 Auflösung und Umsetzdauer des ADCs

Für den **ADC** sind der Messbereich und die Auflösung zu bestimmen. Der Messbereich ist abhängig von der Applikation und sollte im Bereich des maximal auftretenden Fehlers liegen. Mithilfe des Messbereiches δ_M kann der minimale Feedbackstrom $I_{FB,min}$ und der maximale Feedbackstrom $I_{FB,max}$ folgend bestimmt werden:

$$I_{FB,max} = I_{Nom}(1 + \delta_M) \quad (2.2)$$

$$I_{FB,min} = I_{Nom}(1 - \delta_M) \quad (2.3)$$

Die Auflösung N_{ADC} des **ADCs** bestimmt, um wieviel sich die **SR** ändern kann, bevor der Regler durch den **DAC** eingreift. Die kleinste auflösbare Änderung des Stromes I_{LSB} beträgt

$$I_{LSB} = \frac{I_{FB,max} - I_{FB,min}}{2^{N_{ADC}}}. \quad (2.4)$$

Um also die Genauigkeit zu erhöhen, muss entweder der Messbereich eingeschränkt werden oder die Auflösung erhöht werden. Eine Erhöhung der Auflösung vergrößert je nach Architektur des verwendeten **ADCs** seinen Flächenbedarf, oder erhöht die Umsetzdauer T_A . Der Messbereich kann auch nur begrenzt eingeschränkt werden, da dafür gesorgt werden muss, dass sich die Strecke im Auflösungsbereich des **ADCs** befindet.

Für den **ADC**, welcher im Zuge dieser Arbeit implementiert werden soll, wird eine Auflösung von 4 Bit und eine Umsetzdauer von 20 ns spezifiziert.

2.3.4 Auflösung des DAC

Die minimale Stellgröße ist natürlich abhängig von der Auflösung des ADCs, und somit dem kleinsten, detektierbaren Fehler. Um Grenzyklus-Schwingungen zu vermeiden muss die Auflösung des DACs größer als die Auflösung des ADCs gewählt werden [Tre10].

Für den zu implementierenden *High-Side* Treiber wird somit ein Auflösung von 5 Bit spezifiziert.

3 Current-Mode Flash ADC

3.1 Konzept

Der grundlegende Aufbau des Current-Mode Flash ADCs ist in Abbildung 3.1 dargestellt. Das Eingangssignal I_{SIG} wird durch den p-Kanal MOS-FET (PMOS) Strom-

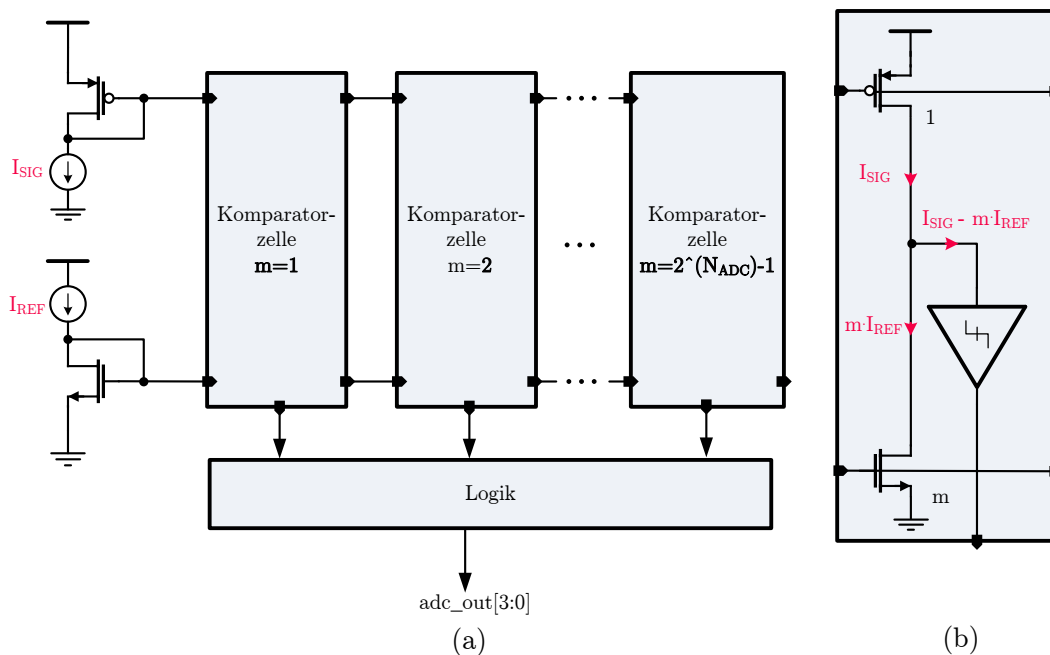


Abbildung 3.1: (a) Grundlegender Aufbau (b) Komparatorzelle

spiegel $2^{N_{ADC}}-1$ mal kopiert. Durch den n-Kanal MOS-FET (NMOS) Spiegel wird das Referenzsignal I_{REF} ebenfalls $2^{N_{ADC}}-1$ mal kopiert, aber mit dem m Faktor der entsprechenden Zelle skaliert. Der Differenzstrom $I_{SIG} - mI_{REF}$ wird dem Komparator zugeführt. Das Ergebnis der Umsetzung liegt dann als Thermometer Code vor. Mithilfe einer Dekodierlogik wird dieses Signal dann in ein binäres Signal umgewandelt [BRJ04].

Ausgehend von diesem Aufbau wird im weiteren Verlauf des Kapitels auf die einzelnen Komponenten und deren Implementierung eingegangen.

3.1.1 Strom-Komparatoren

In der Literatur findet man Strom-Komparatoren mit niederohmigem und hochohmigem Eingang.

Ein Strom-Komparator mit hochohmigem Eingang wurde in [NS90] verwendet. Wie in Abbildung 3.2 dargestellt, werden bei dieser Variante einfach zwei Stromquellen in Serie geschaltet und der hochohmige Verbindungspunkt beider Stromquellen mit dem *Gate* einer Inverter-Kaskade verbunden. Die Vorteile dieser Lösung sind

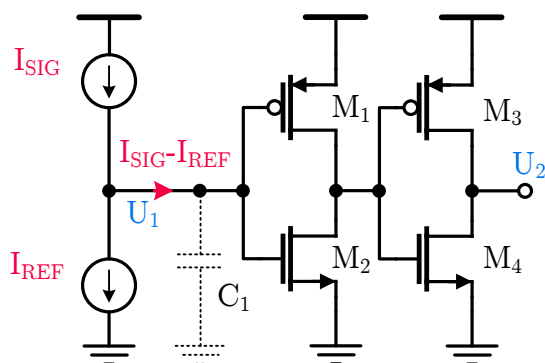


Abbildung 3.2: Stromkomparator mit hochohmigem Eingang

- die Einfachheit,
- der geringe statische Stromverbrauch und
- Power Supply Noise wird, bedingt durch das integrierende Verhalten, gefiltert.

Die Änderungsgeschwindigkeit der Spannung (3.1) des Eingangsknotes, wird durch die Stromdifferenz und die Eingangskapazität C_1 des Komparators bestimmt.

$$\frac{dU_1}{dt} = \frac{I_{SIG} - I_{REF}}{C_1} \quad (3.1)$$

Wird auf der rechten Seite der Gleichung (3.1) die Stromdifferenz klein, ist auch die Spannungsänderung dU_1/dt klein. Die Zeitspanne um gültige Logikpegel zu erreichen, erhöht sich somit bei Signalströmen, die sich in der Größenordnung vom Referenzstrom befinden [BB02].

Zur Klasse der Strom-Komparatoren mit niederohmigem Eingang gehört der Komparator aus [Tra92]. Die Schaltung ist in Abbildung 3.3 dargestellt. Die Eingangsstufe besteht aus zwei komplementären Source-Folgern (M_1 und M_2) und dient als Klasse B Spannungsbuffer A_1 mit einem Eingangswiderstand von $\sim 1/g_m$.

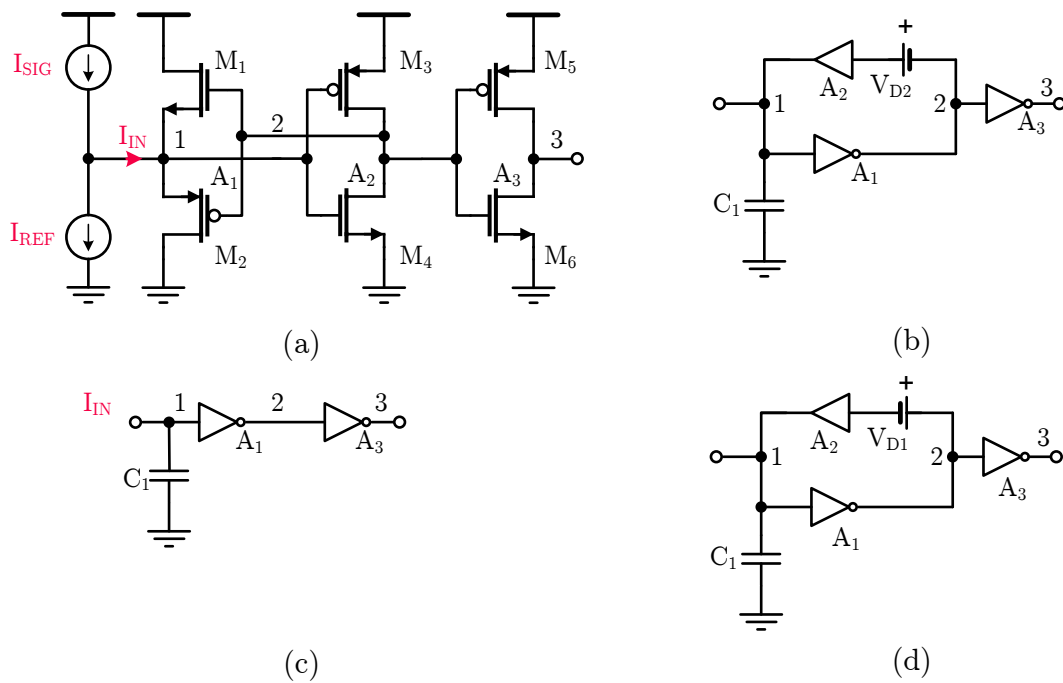


Abbildung 3.3: Stromkomparator mit niederohmigem Eingang (a) Schaltung (b) Prinzipschaltung für positiven I_{IN} (c) Prinzipschaltung für Vorzeichenwechsel (d) Prinzipschaltung für negativen I_{IN} [TT94]

Die Transistoren M_3 bis M_6 bilden zwei invertierende Verstärker A_2 und A_3 , mit jeweils einer Verstärkung von $-g_m/g_{ds}$.

Die drei Betriebsfälle der Schaltung lassen sich sehr ausführlich mit den Abbildungen 3.3 (a) bis (d) aus [TT94] erklären.

Bei einem positiven Eingangsstrom I_{IN} erhöht sich die Spannung am Knoten 1. Durch A_2 wird die Spannung am Knoten 2 in Richtung negativer Versorgung verstärkt. Dadurch wird U_{GS1} kleiner und U_{GS2} größer was zur Folge hat, dass M_1 immer mehr sperrt und M_2 leitend wird. Der Eingangsstrom I_{IN} fließt über M_2 ab, somit ist der Eingang in diesem Zustand niederohmig.

Bei einem Vorzeichenwechsel von I_{IN} , wird der Eingang kurzzeitig zu einem hochohmigen Knoten, da der Buffer zu wenig angesteuert wird, um I_{IN} aufzunehmen.

Bei negativem Eingangsstrom sinkt die Spannung am Knoten 1 und folglich steigt die Spannung am Knoten 2, wodurch M_2 aus und M_1 eingeschaltet ist. Der Eingang ist wieder niederohmig.

Der Vorteil dieser Implementierung ist, dass durch positive Rückkopplung die Schaltverzögerung für kleine Eingangsströme verringert werden kann. In Tabelle 3.1 und Abbildung 3.4 sieht man das *Delay* des Komparators in Abhängigkeit verschiedener

Eingangsströme dargestellt.

Ein Nachteil dieses Komparators ist, dass die Transistoren M3 und M4, welche für

$\Delta I_{IN} [\mu A]$	10	1	0,1	0,01
Delay [ns]	1,047	2,298	5,990	15,847

Tabelle 3.1: Komparator Delay

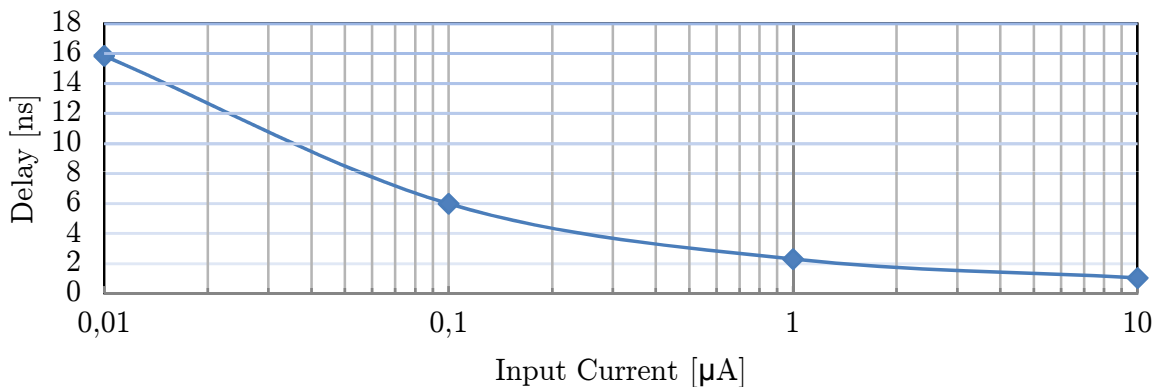


Abbildung 3.4: Komparator Delay

die Rückkopplung verantwortlich sind, nie zur Gänze abgeschaltet werden können, wodurch immer ein Querstrom fließt.

Wie schon weiter oben erläutert, hat diese Schaltung eine „tote Zone“. Diese „tote Zone“ wird von den Schwellspannungen von M1 und M2 bestimmt. In [RSDB97] und [LHW00] wird versucht diese „tote Zone“ zu minimieren und somit das *Delay* für kleine Eingangströme weiter zu verringern.

Für diese Anwendung stellt der hier vorgestellt Komparator einen guten Kompromiss zwischen Stromverbrauch, Komplexität und Geschwindigkeit dar.

Metastabilität

Das gelegentliche Unvermögen eines Komparators kleine Eingangssignale auf gültige Logikpegel aufzulösen, wird als *Metastabilität* bezeichnet [Man90].

Die Bezeichnung bezieht sich darauf, dass ein Komparator für einen längeren Zeitraum im Bereich der Schwellspannung verharren kann (ohne eine Entscheidung zu treffen).

Moderne Spannungskomparatoren verwenden typischerweise eine oder mehrere Vorverstärker und eine anschließende *Track and Latch Stufe* (Auffangregister) [JM97], wie in Abbildung 3.5 dargestellt. Im *Track* Modus folgt das Latch dem Ausgangssignal des

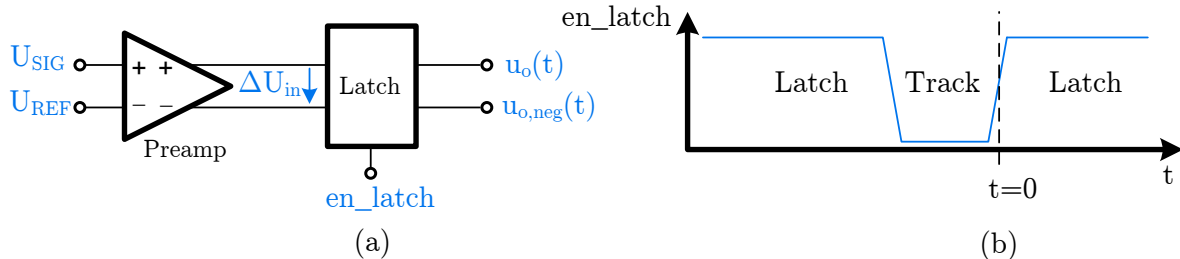


Abbildung 3.5: (a) Komparator bestehend aus Vorverstärker und Auffangregister (*Latch*), (b) Zeitlicher Verlauf des Steuersignales *en_latch* [Kes05]

Vorverstärkers (und befindet sich selbst im *Reset* Modus). Im zweiten Schritt wird das Auffangregister aktiviert und erzwingt durch positive Rückkopplung eine Entscheidung. Durch die Verwendung eines Auffangregisters kann die Wahrscheinlichkeit des Auftretens eines *metastabilen* Zustandes verringert, aber nie ausgeschlossen werden.

In Abbildung 3.6 ist die resultierende Ausgangsspannung eines Komparators für verschieden große Eingangsspannungsdifferenzen ΔU_{in} dargestellt. Für kleine Eingangsdifferenzen erhöht sich die Zeitspanne bis ein gültiger Logikpegel erreicht wird. Probleme

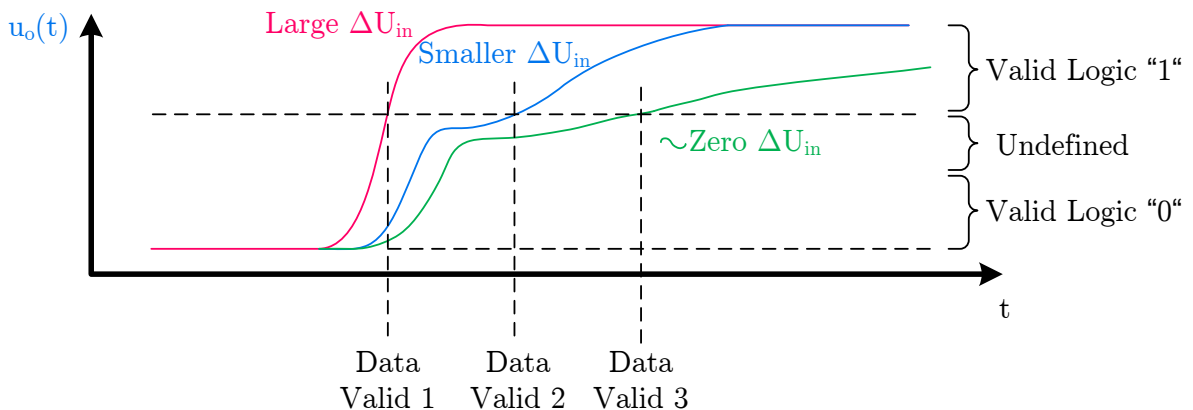


Abbildung 3.6: Fehler durch metastabile Zustände des Komparators [Kes05]

treten auf, wenn der Inhalt des Auffangregisters genau dann ausgelesen wird, wenn sich die Ausgangsspannung im undefinierten Bereich befindet. Ergibt sich eine Eingangsdifferenz von Null und der Komparator ist ausbalanciert, kann es sehr lange dauern (theoretisch unendlich lang) bis gültige Logikpegel erreicht werden. Die Ausgangsspannung kann durch

$$u_o(t) = \Delta U_{in} A e^{t/\tau} \quad (3.2)$$

in erster Ordnung approximiert werden, wobei A die Verstärkung des Vorverstärkers ist, τ die *Regenerationskonstante* des Auffangregisters und t die Zeit, welche vergangen ist,

nachdem der Ausgang des Komparators „gefangen“ wurde. Aus diesem Zusammenhang

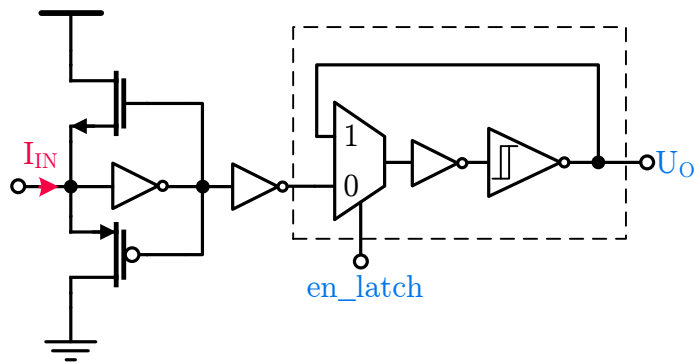


Abbildung 3.7: Stromkomparator mit Auffangregister

geht hervor, dass die Wahrscheinlichkeit des Auftretens eines metastabilen Zustandes, durch Erhöhung der Verstärkung A , Verringerung der *Regenerationskonstante* τ und Erhöhung der Zeitdauer in dem das Auffangregister aktiv ist, verringert werden kann [Kes05].

Auch der oben vorgestellte Komparator kann, wie in Abbildung 3.7 dargestellt, um ein Auffangregister erweitert werden. Hier wird das Auffangregister aus einem invertierenden Schmitt-Trigger und einem Inverter gebildet.

Der verwendete Schmitt-Trigger ist in Abbildung 3.8 dargestellt. Beim Design des

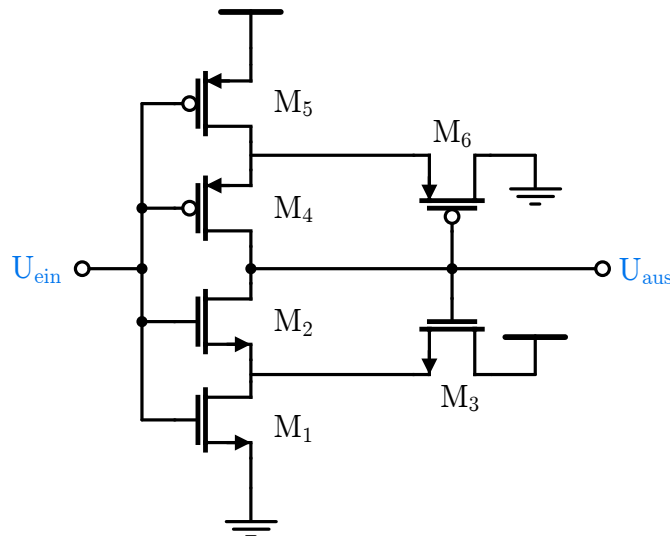


Abbildung 3.8: Schaltung eines Schmitt-Triggers [Bak05]

Schmitt-Triggers wurde darauf geachtet, dass die Hysterese nicht zu groß ist, denn dies würde die Sensitivität des Komparators negativ beeinflussen.

3.1.2 Stromspiegel

Bandbreite

Wie schon unter 3.1 erwähnt, wird der Signalstrom I_{SIG} über einen Stromspiegel übertragen. Da es sich dabei um ein dynamisches Signal handelt, spricht man von einem aktiven Stromspiegel [Raz01]. In Abbildung 3.9 b) sieht man das Kleinsignal-Ersatzschaltbild eines Stromspiegels (mit dem Spiegelverhältnis $1:\alpha$).

Um die Übertragungsfunktion $H(s)$ zu bestimmen, stellt man die Gleichung

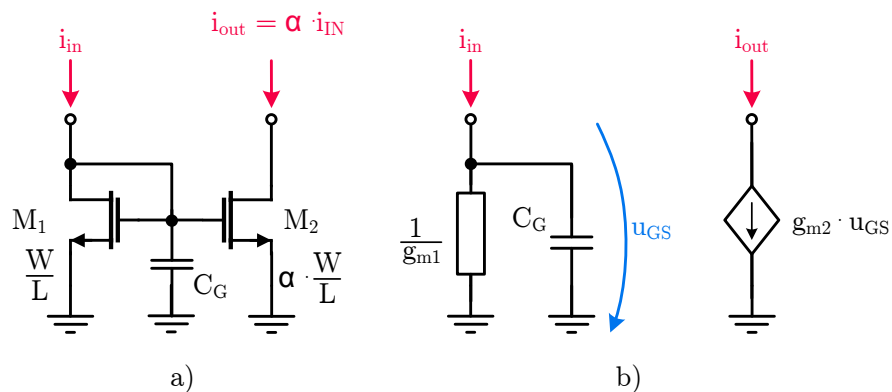


Abbildung 3.9: Aktiver Stromspiegel a) Schaltung und b) Kleinsignal-Ersatzschaltung [Aue09]

$$i_{out} = g_{m2} \cdot u_{GS} \quad (3.3)$$

sowie

$$u_{GS} = \frac{1}{g_{m1} + sC_G} \cdot i_{in} \quad (3.4)$$

auf, und setzt anschließend (3.4) in (3.3) ein:

$$i_{out} = g_{m2} \cdot \frac{1}{g_{m1} + sC_G} \cdot i_{in} \quad (3.5)$$

Nach Umformen und dem Überführen in Normalform von (3.5) erhält man die Übertragungsfunktion

$$H(s) = \frac{g_{m2}/g_{m1}}{1 + s \frac{C_G}{g_{m1}}} \quad (3.6)$$

Die Bandbreite BW ergibt sich aus Gleichung 3.6 zu:

$$BW = \frac{g_{m1}}{2\pi \cdot C_G}, \quad (3.7)$$

mit

$$C_G = (1 + \alpha) \cdot C_{GS} + C_{DS1}. \quad (3.8)$$

Mithilfe der Transitfrequenz f_T und der Annahme, dass C_{DS1} ungefähr in der Größenordnung von C_{GS} ist, lässt sich die Bandbreite auf

$$BW = f_T \cdot \frac{1}{(2 + \alpha)} \quad (3.9)$$

umschreiben [San06], wobei die Transitfrequenz

$$\begin{aligned} f_T &\approx \frac{g_m}{2\pi \cdot C_{GS}} \\ &= \frac{\mu_n \cdot C_{ox} \cdot W \cdot (U_{GS} - U_t)}{2 \cdot \pi \cdot L \cdot 2/3 \cdot C_{ox} \cdot W \cdot L} \\ &= \frac{g_m}{2\pi \cdot C_{GS}} = \frac{3\mu}{4\pi} \cdot \frac{(U_{GS} - U_t)}{L^2}, \end{aligned} \quad (3.10)$$

ist [Raz12].

Aus dieser Ableitung lässt sich sehr gut erkennen, dass um eine hohe Bandbreite zu erzielen eine kleine Kanallänge und ein großer Gate-Overdrive gewählt werden muss.

Matching

Die zweite Anforderung an diesen Stromspiegel ist seine Genauigkeit, d.h. um wieviel die Kopien I_{Di} von I_D abweichen. Als Mismatch bezeichnet man die Abweichung von

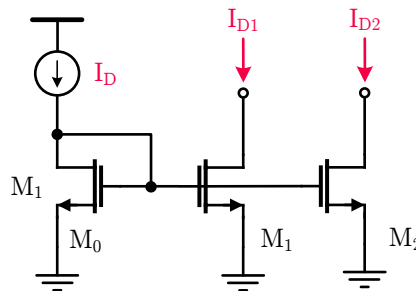


Abbildung 3.10: Mismatch zwischen zwei Stromquellen

zwei baugleichen Bauelementen. Die Standardabweichung kann durch

$$\sigma_x = \frac{A_x}{\sqrt{W \cdot L}} \quad (3.11)$$

beschrieben werden, wobei der Matchingparameter A_x durch das Vermessen von vielen Losen und eine anschließende statistisch Auswertung ermittelt wird [PDW89].

Um den Mismatch zwischen zwei nominell identischen Stromquellen (Kanallängenmodulation wird später separat betrachtet) in Abbildung 3.10 bestimmen zu können, berechnet man das totale Differential:

$$\Delta y = \sum_{i=1}^n \frac{\partial f}{\partial x_i} \Delta x_i. \quad (3.12)$$

Diese Gleichung gibt an, wie jede Mismatch-Komponente Δx_i gewichtet durch die entsprechende Sensitivitätsfunktion $\partial f/\partial x_i$, zum totalen Mismatch Δy beiträgt [Raz01].

Ausgehend von

$$I_D = \frac{\beta}{2}(U_{GS} - U_t)^2, \quad (3.13)$$

erhalten wir:

$$I_D = \frac{1}{2}(U_{GS} - U_t)^2 \Delta\beta + \frac{\beta}{2}2(U_{GS} - U_t) \Delta U_t + \underbrace{\frac{\beta}{2}2(U_{GS} - U_t) \Delta U_{GS}}_{\Delta U_{GS}=0}, \quad (3.14)$$

wobei $\Delta U_{GS} = 0$ angenommen wird. Nach Normierung auf den nominellen Strom I_D ,

$$\frac{\Delta I_D}{I_D} = \frac{\frac{1}{2}(U_{GS} - U_t)^2}{\frac{\beta}{2}(U_{GS} - U_t)^2} \Delta\beta - \frac{\frac{\beta}{2}2(U_{GS} - U_t)}{\frac{\beta}{2}(U_{GS} - U_t)^2} \Delta U_t \quad (3.15)$$

und anschließender Vereinfachung erhält man folgenden Zusammenhang:

$$\frac{\Delta I_D}{I_D} = \frac{\Delta\beta}{\beta} - \frac{2}{(U_{GS} - U_t)} \Delta U_t. \quad (3.16)$$

Aus diesem Zusammenhang lässt sich eindeutig der Einfluss vom Gate-Overdrive ($U_{GS} - U_t$) erkennen. Um den Einfluss einer Abweichung der Schwellspannung ΔU_t zu verringern, muss der Gate-Overdrive erhöht werden, dies lässt sich erreichen, indem für Stromspiegel Transistoren ein kleines W/L-Verhältnis gewählt wird.

Die Fertigungsschwankungen lassen sich, wie schon weiter oben erwähnt, durch statistische Kenngrößen beschreiben. Praktisch wird jedoch der *pair mismatch* Parameter $A_{\Delta x}$ bestimmt, d.h. es werden nicht Einzeltransistoren vermessen, sondern immer ein gematchtes Paar. Es kann jedoch sehr einfach über die Beziehung

$$A_x = \frac{A_{\Delta x}}{\sqrt{2}} \quad (3.17)$$

auf die einzelne Abweichung zurückgerechnet werden.

Statistisch unabhängige Größen können über (3.18) zusammengefasst werden.

$$\sigma_z^2 = \sum_{i=1}^n \left(\frac{\partial f}{\partial x_i} \sigma_{x_i} \right)^2 \quad (3.18)$$

Die Standardabweichungen σ_{U_t} und σ_β können folgend beschrieben werden [San06]:

$$\sigma(\Delta U_t) = \frac{A_{U_t}}{\sqrt{W \cdot L}} \quad (3.19)$$

$$\sigma(\Delta U_\beta) = \frac{A_\beta}{\sqrt{W \cdot L}}. \quad (3.20)$$

Setzt man (3.20) und (3.19) in (3.18) erhält man:

$$\frac{\sigma^2(I_D)}{I_D^2} = \frac{4}{(U_{GS} - U_t)^2} \sigma^2(U_t) + \frac{1}{\beta^2} \sigma^2(\beta). \quad (3.21)$$

Um also den Mismatch von Stromquellen zu minimieren, muss ein großer *Gate-Overdrive* sowie Transistoren mit entsprechend großer Fläche gewählt werden.

Zusammengefasst kann gefolgert werden, dass für beide Anforderungen ein großer *Gate-Overdrive* von Vorteil ist. Für eine hohe Bandbreite muss zusätzlich eine kleine Kanallänge verwendet werden. Um ein gutes Matching zwischen den einzelnen Transistoren zu gewährleisten, muss die Fläche groß gewählt werden, wodurch sich auch die Kapazität vergrößert. Es muss also, ohne die Verwendung zusätzlicher Maßnahmen, immer ein Kompromiss zwischen Geschwindigkeit und Genauigkeit eingegangen werden.

Ansteuerung der Stromquellen über einen Buffer

Die Anforderungen an Geschwindigkeit und Matching können durch die Ansteuerung der Stromquellen mit einem Buffer erfüllt werden. Eine mögliches Konzept ist in Abbildung 3.11 dargestellt. Diese Variante hat den Vorteil, dass die Transistoren M_1 bis M_{15}

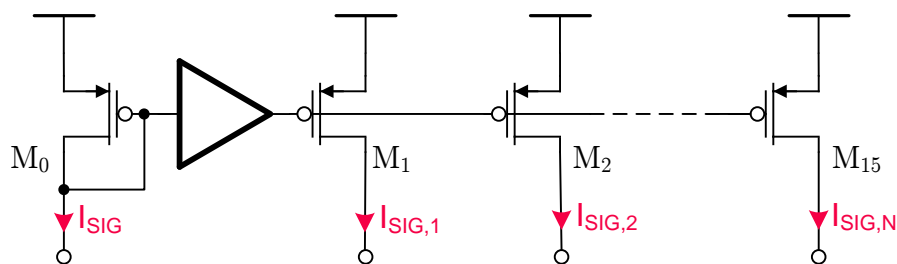


Abbildung 3.11: Verwendung eines Buffers um Stromquellen zu treiben

eine große Fläche haben können und somit das Matching zwischen diesen Stromquellen verbessert wird. Jedoch wird es bedingt durch den Buffer immer einen Offset zwischen dem Signalstrom I_{SIG} und den Kopien $I_{SIG,i}$ geben.

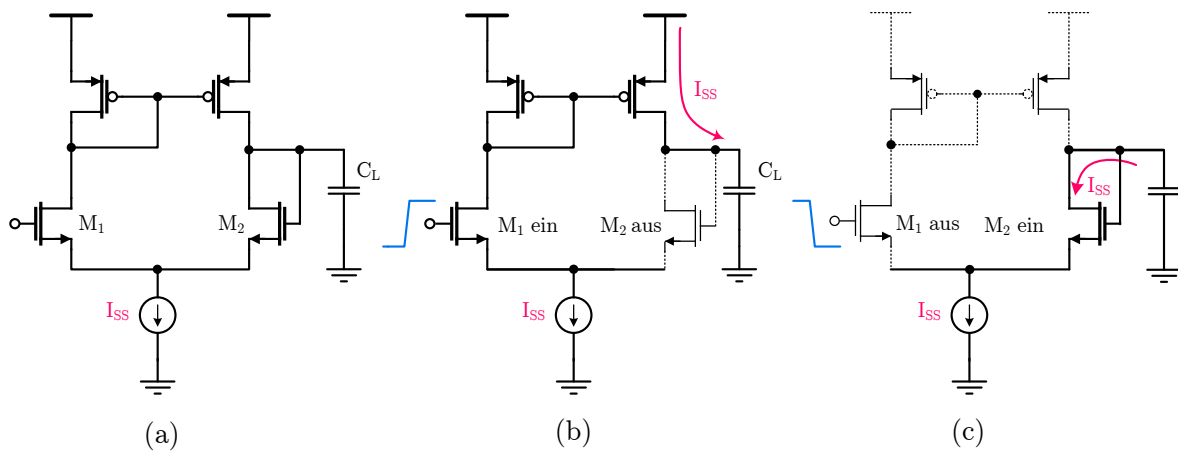


Abbildung 3.12: Slew-Rate Limitierung beim Differenzverstärker

Um ein schnelles *Settling*-Verhalten zu gewährleisten, muss der Buffer eine hohe **SR** besitzen. Beim einfachen Differenzverstärker (Abbildung 3.12 (a)) ergibt sich die Slew Rate [AH02] aus:

$$SR = \frac{dU_{out}}{dt} = \frac{I_{SS}}{C_L}. \quad (3.22)$$

Wird an den als Folger geschalteten Differenzverstärker ein positiver Spannungssprung angelegt, welcher groß genug ist, dass Transistor M_1 eingeschaltet und M_2 ausgeschaltet ist, wird die Kapazität C_L mit dem maximal verfügbaren Strom I_{SS} geladen (Abbildung 3.12(b)). Bei einem negativen Spannungssprung der wiederum groß genug ist, wird die Kapazität C_L mit dem maximal verfügbaren Strom I_{SS} entladen. Dieses Verhalten wird als **SR** Limitierung bezeichnet [JM97].

Der Verlauf des Lade- bzw. Entladestromes I in Abhängigkeit der differentiellen Eingangsspannung ΔU_{in} ist in Abbildung 3.13 (Kurve 1) dargestellt.

Beim Differenzverstärker kann somit die **SR** bei gegebener Lastkapazität C_L nur durch Erhöhen von I_{SS} vergrößert werden.

Jedoch kann durch die Wahl einer anderen Verstärker-Topologie das **SR** Verhalten verändert werden. Nach [IF04] kann man Schaltungen mit verbesserter **SR**, abhängig von der Applikationsanforderung, in zwei Gruppen eingeteilt.

Zur ersten Gruppe gehören Operationsverstärker, die „natürliche“ Signale, wie z.B. in Audio- oder DSL-Anwendungen vorkommen, verarbeiten. Für diese Anwendungen muss Linearität über den größtmöglichen Eingangsspannungsbereich gewährleistet sein (Abbildung 3.13 Kurve 2).

Bei der zweiten Gruppe steht als Anforderung ein schnelles *Settling*-Verhalten im Vordergrund. Um ein schnelles *Settling* bei geringem Ruhestrom zu gewährleisten, muss die Eingangsstufe eine nichtlineare Übertragungsfunktion aufweisen (Abbildung 3.13 Kurve

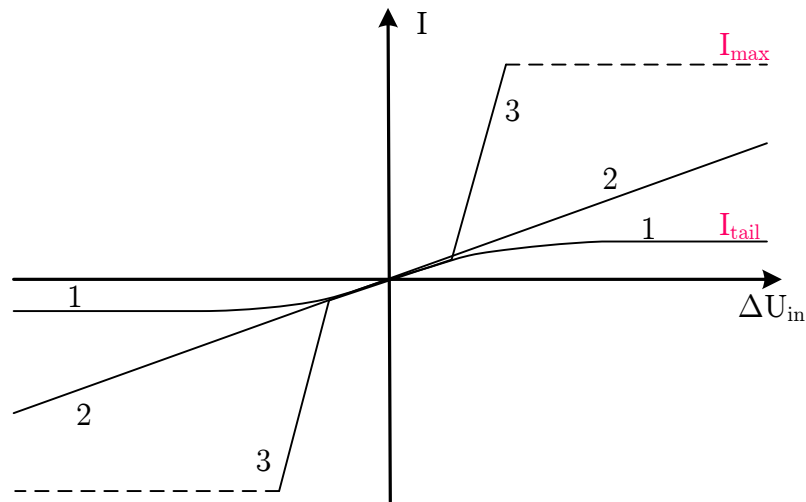


Abbildung 3.13: Eingangsstufenstrom versus differentieller Eingangsspannung [IF04]

3). Solch ein Verhalten kann durch verschiedene Implementierungen realisiert werden [San06].

Eine Möglichkeit um ein solches nichtlineares Verhalten zu implementieren ist das

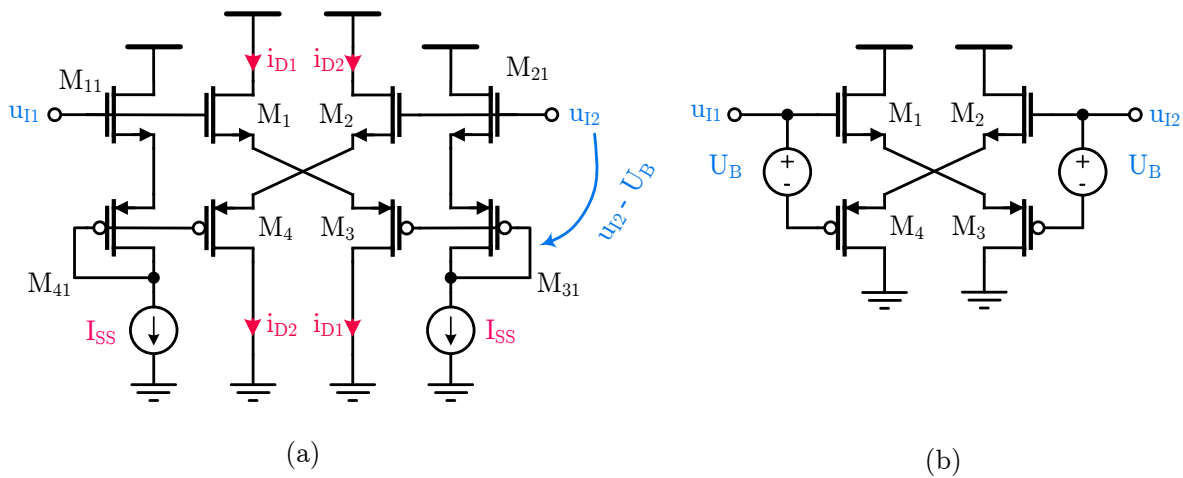


Abbildung 3.14: Differenzverstärker mit *Source cross-coupled pair* (a) Schaltung (b) vereinfachte Darstellung [Bak05]

Source cross-coupled pair. In Abbildung 3.14 (a) ist die Schaltung und in (b) eine vereinfachte Darstellung abgebildet. Die Transistoren M_{11} , M_{41} und M_{21} , M_{31} erzeugen jeweils eine Bias-Spannung U_B . Erhöht sich die Spannung u_{I1} , folgt die Spannung am *Source*-Knoten von M_3 der Spannungsänderung. Somit erhöht sich die *Gate-Source* Spannung von M_1 und M_3 , was wiederum zu einer Erhöhung von i_{D1} führt. Im selben Augenblick erhöht sich auch das *Gate*-Potential von M_4 . Dies führt zum Abschalten von M_4 und M_2 , wodurch kein Strom i_{D2} mehr fließen kann [Bak05].

In Abbildung 3.15 sieht man die resultierenden Drain-Ströme i_{D1} und i_{D2} bei Variation der differentiellen Eingangsspannung $u_{diff} = u_{I1} - u_{I2}$. Mit diesem Verhalten ist

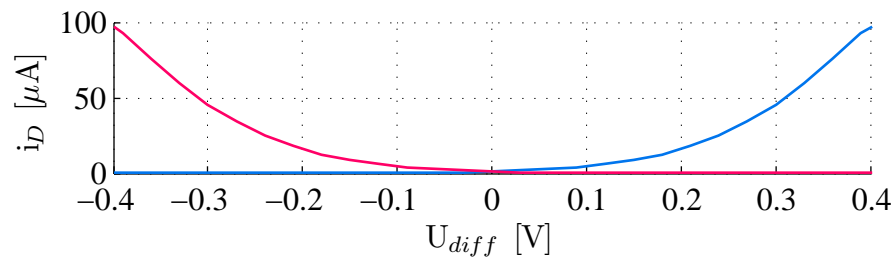


Abbildung 3.15: Verlauf der *Drain* Ströme bei Differenzsteuerung

es möglich im statischen Zustand wenig Strom zu verbrauchen und bei einer differentiellen Aussteuerung genügend Strom zur Verfügung zu stellen, um Lastkapazitäten schnell zu laden bzw. zu entladen.

Das Bode-Diagramm eines Differenzverstärkers mit einem *Source cross-coupled pair* ist in Abbildung 3.16 dargestellt. Die Leerlaufverstärkung A_0 beträgt 43 dB und die Tran-

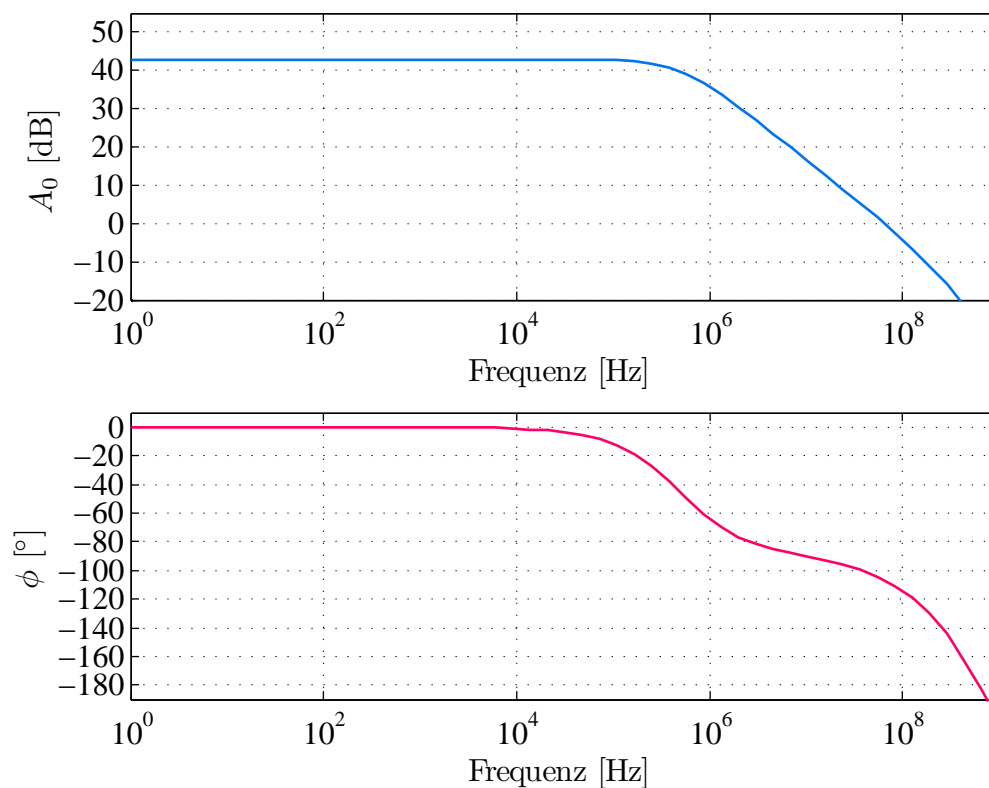


Abbildung 3.16: Bode-Diagramm des Differenzverstärkers mit einem *Source cross-coupled pair*

sitfrequenz f_T liegt bei 64,3 MHz. Der *Offset* des Verstärkers wurde durch eine *Monte-Carlo* Analyse ermittelt. Die 3σ -Grenzen liegen bei $\pm 5,75$ mV, was in einem Offset des

Signalstromes von $\pm 1,64 \mu\text{A}$ resultiert. Eine Verringerung des *Offsets* wäre durch die Verwendung einer *Offset-Cancellation* Technik [ET96] denkbar.

Erhöhung des Ausgangswiderstandes

Bei der Ableitung für das *Matching* von Stromquellen wurde die Abhängigkeit von der *Drain-Source* Spannung außen vorgelassen. Es ergibt sich auch bei identischen Transistoren, welche eine unterschiedliche *Drain-Source* Spannung aufweisen, eine Abweichung Δi_{aus} (Abbildung 3.17). Um die Spannungen über den Stromspiegel-Transistoren so gleich wie möglich zu machen, gibt es unterschiedliche Möglichkeiten. Die einfachste Möglichkeit ist die Verwendung einer Kaskode (Abbildung 3.18(a)). Bei dieser Schal-

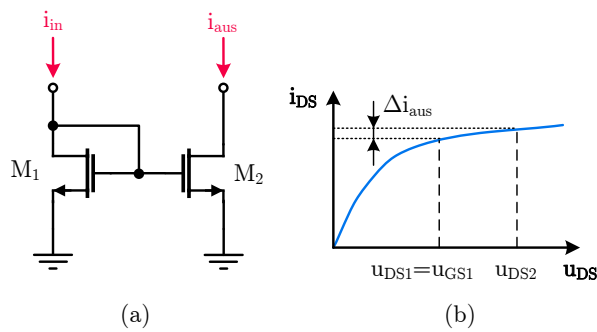


Abbildung 3.17: Auswirkung eines endlichen Ausgangswiderstandes (a) Schaltung (b) Strom-Spannungs Charakteristik [San06]

tungstopologie ergibt sich der Ausgangswiderstand zu:

$$R_{\text{aus}} = r_{o4}(1 + g_{m4}r_{o2}) + r_{o2} \quad (3.23)$$

$$\simeq r_{o4}g_{m4}r_{o2}$$

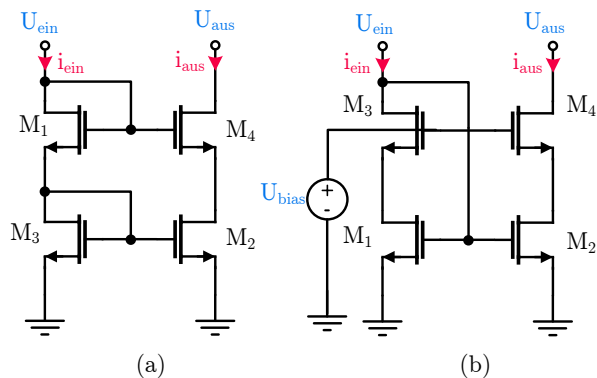


Abbildung 3.18: (a) Stromspiegel mit einfacher Kaskode (b) Stromspiegel mit *wide-swing* Kaskode

Wobei eine Ausgangsspannung von

$$U_{aus} > 2U_{ov} \quad (3.24)$$

benötigt wird, damit sich die Transistoren M_2 und M_3 im Sättigungsbereich befinden. Die Eingangsspannung U_{ein} beträgt

$$\begin{aligned} U_{ein} &= U_{GS1} + U_{GS3} \\ &= U_{t1} + U_{ov1} + U_{t3} + U_{ov3} \\ &= 2U_t + 2U_{ov}, \end{aligned} \quad (3.25)$$

unter der Annahme, dass der *Substratsteuereffekt* vernachlässigt wird und alle Transistoren einen *Gate-Overdrive* U_{ov} von $(U_{GS} - U_t)$ besitzen [GGLM01].

Die Eingangsspannung dieser Struktur ist aber zu hoch, um in Verbindung mit der gewählten Eingangsstufe (Abschnitt 3.1.3) verwendet zu werden.

In Abbildung 3.18 ist ein Stromspiegel mit einer *wide-swing* Kaskode dargestellt. Diese Variante hat den Vorteil, dass nur eine Ausgangsspannung von $2 \cdot U_{ov}$ benötigt wird, um die Transistoren im Sättigungsbereich zu betreiben. Der Nachteil dieser Topologie besteht darin, dass die Arbeitspunkte der Kaskoden über eine Spannung U_{bias} eingestellt werden müssen. Variiert der Eingangsstrom über einen großen Bereich, kann nur schwer gewährleistet werden, dass die Kaskoden in Sättigung bleiben. Im linearen Bereich verringert sich der Ausgangswiderstand, wodurch an Genauigkeit eingebüßt wird.

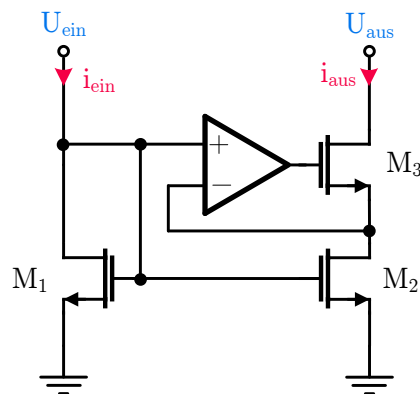


Abbildung 3.19: Stromspiegel mit geregelter Kaskode

Eine Erhöhung des Ausgangswiderstandes kann auch durch eine geregelte Kaskode (Abbildung 3.19 (a)) erreicht werden. Die Grundidee besteht darin, mithilfe eines negativ rückgekoppelten Verstärkers die *Drain-Source* Spannung von M_2 zu regeln. Der Ausgangswiderstand beträgt bei dieser Anordnung

$$R_{aus} \simeq g_{m2}r_{o2}r_{o1}(1 + A), \quad (3.26)$$

wobei A die Spannungsverstärkung des Differenzverstärkers ist. Somit erhöht sich der Ausgangswiderstand um einen Faktor von $(1+A)$ gegenüber einer klassischen Kaskode [JM97].

Diese Lösung arbeitet über einen großen Strombereich mit zufriedenstellender Genauigkeit. Die Eingangsspannung beschränkt sich auf eine *Gate-Source* Spannung U_{GS} , und somit kann diese Anordnung in Kombination mit der gewählten Eingangsstufe verwendet werden.

Auswirkung vom Mismatch der Stromquellen

Die Auswirkung vom *Mismatch* der Stromquellen lässt sich am Anschaulichsten durch ein Beispiel erklären.

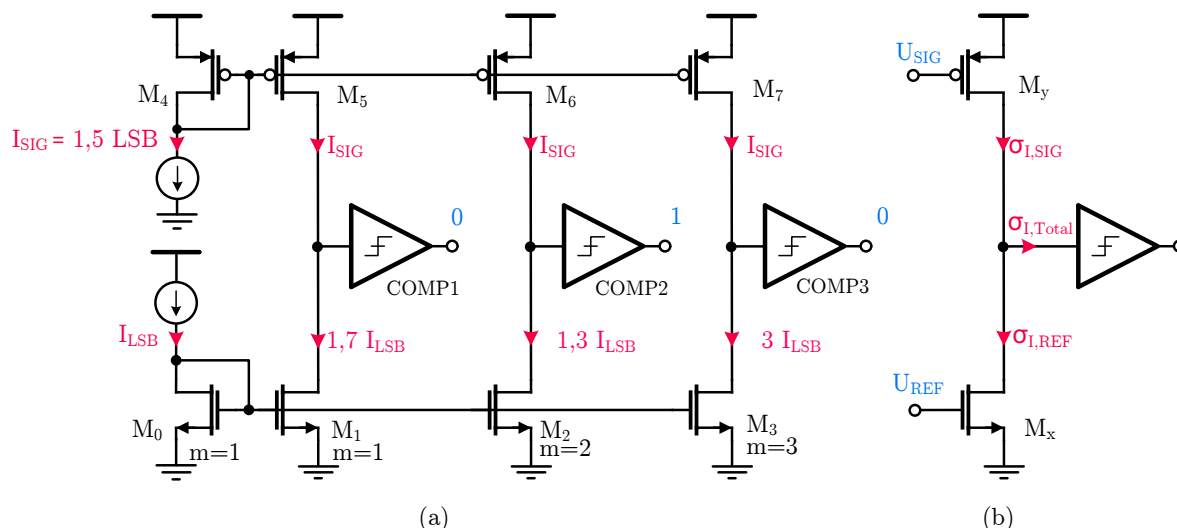


Abbildung 3.20: (a) Auswirkung eines zu großen *Mismatch* (b) Berechnung der Prozessschwankung

In Abbildung 3.20(a) sieht man einen 2-Bit ADC. Der Einfachheit halber werden die PMOS-Stromquellen als ideal betrachtet und liefern jeweils den Strom I_{SIG} . Die NMOS-Stromquellen sind nicht ideal und liefern einen Strom, der von I_{REF} abweicht. In diesem Beispiel führt der *Mismatch* von M1 und M2 dazu, dass der Komparator COMP1 bei einem Eingangsstrom $I_{SIG}=1,5$ Least Significant Bit (LSB) eine logische „1“ liefert und der Komparator COMP2 eine logische „0“. Das Ergebnis dieser Wandlung ist natürlich keine gültige Thermometer-Kodierung. Verwendet man den in Abschnitt 3.1.4 verwendeten Kodierer mit *Bubble* Korrektur, erhält man einen *Missing code* in der Übertragungskennlinie des ADCs.

An diesem Beispiel kann man sehr schön erkennen, dass es zu Problemen kommt,

wenn die Abweichung der Stromquellen mehr als $\pm 0,5 \text{ LSB}$ beträgt.

Wie aus Abbildung 3.20(b) ersichtlich, ergibt sich die resultierende Abweichung des Signalstromes $\sigma_{I,Total}$ aus der Abweichung der Referenzstromquelle $\sigma_{I,REF}$ und der Signalstromquelle $\sigma_{I,SIG}$. Die Gesamtstreuung ergibt sich somit zu

$$\sigma_{I,Total} = \sqrt{\sigma_{I,REF}^2 + \sigma_{I,SIG}^2}, \quad (3.27)$$

unter Annahme statistischer Unabhängigkeit. Statistische Unabhängigkeit liegt hier vor, da der Signalstrom von der Kapazität C_{mess} geliefert wird und der Referenzstrom von einer Referenzstrom-Generierung abgeleitet wird.

In Tabelle 3.2 und 3.3 sind die Ergebnisse einer *Monte-Carlo* Simulation zusammengefasst. Es wurde der Einfluss der Prozessschwankung auf I_{SIG} für 1 **LSB** und den Full Scale Range (**FSR**), d.h 16 **LSB**, sowie der Einfluss auf I_{REF} für 1 **LSB** und 15 **LSB** simuliert.

Temp. [°C]	μ [LSB]	σ [LSB]	3σ [LSB]	μ [LSB]	σ [LSB]	3σ [LSB]
-40	1	0,019	0,056	16	0,116	0,347
27	1	0,015	0,044	16	0,105	0,314
70	1	0,013	0,040	16	0,100	0,299
175	1	0,011	0,032	16	0,091	0,272

Tabelle 3.2: Auswirkung der Prozessschwankungen auf I_{SIG}

Temp. [°C]	μ [LSB]	σ [LSB]	3σ [LSB]	μ [LSB]	σ [LSB]	3σ [LSB]
-40	1	0,012	0,037	15	0,091	0,272
27	1	0,010	0,029	15	0,072	0,217
70	1	0,009	0,026	15	0,065	0,194
175	1	0,007	0,021	15	0,052	0,155

Tabelle 3.3: Auswirkung der Prozessschwankungen auf I_{REF}

Der Einfluss der Temperatur ist deutlich ersichtlich. Bei -40°C ist die Einsatzspannung U_t am Größten und somit der Gate-Overdrive ($U_{GS}-U_t$) am kleinsten. Dies führt nach Gleichung 3.21 dazu, dass die Abweichung der Schwellspannung mehr Einfluss hat.

Die größte Abweichung ergibt sich somit bei -40°C und man erhält nach Gleichung 3.28 für die Abweichung eine 3σ -Grenze von

$$\begin{aligned} 3\sigma_{I,Total} &= 3 \cdot \sqrt{(0,091 \text{ LSB})^2 + (0,116 \text{ LSB})^2} \\ &= \underline{\underline{\pm 0,442 \text{ LSB}}}. \end{aligned} \quad (3.28)$$

In Abbildung 3.21 sieht man das Histogramm für den oben ermittelten *Worst-case*.

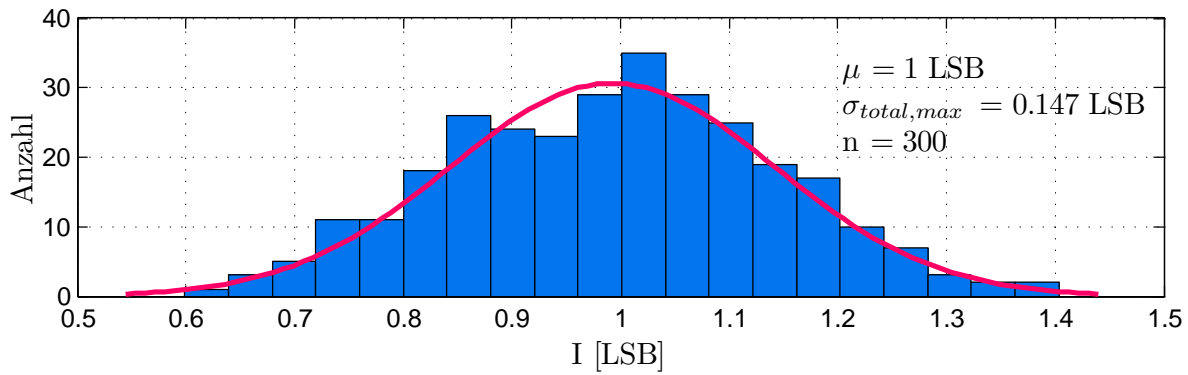


Abbildung 3.21: Histogramm der Prozessschwankung

3.1.3 Eingangsstufe

Wie schon in Kapitel 2 erklärt wurde, kann der Eingangsstrom I_{IN} je nach Flanke positiv oder negativ sein (aktuelle Polarität ist jedoch bekannt). Um nicht für beide Polaritäten einen eigenen ADC bauen zu müssen, kann mithilfe einer Eingangsstufe ein vom Vorzeichen unabhängiger Ausgangsstrom I_{OUT} erzeugt werden. Die Einschränkung

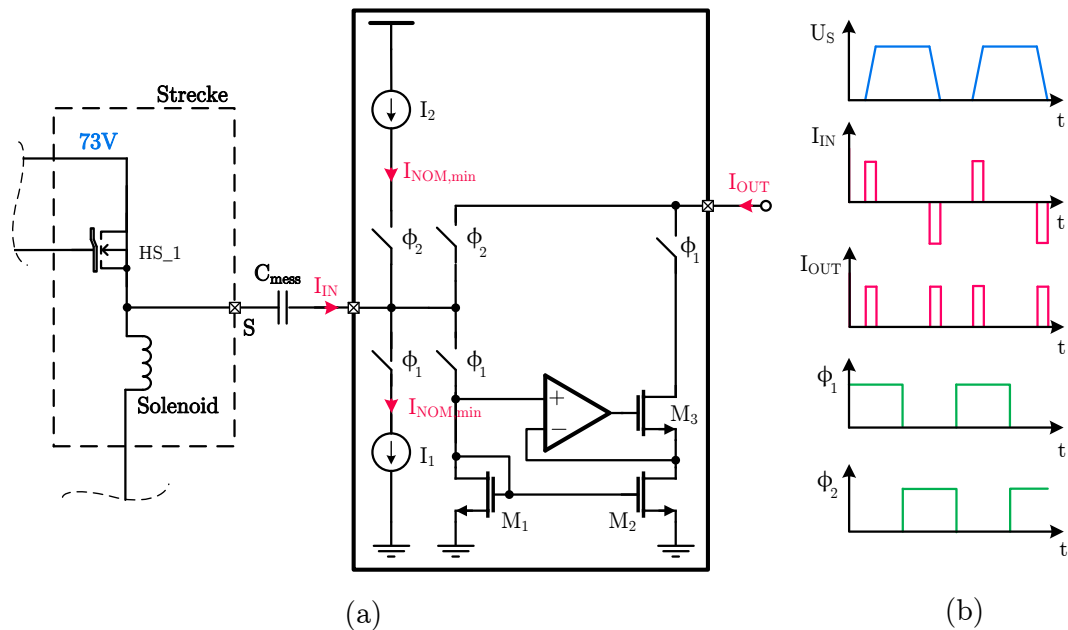


Abbildung 3.22: Aufbau einer einfachen Eingangsstufe (a) Schaltung (b) Signalverläufe

des Messbereiches kann ebenfalls durch die Eingangsstufe bewerkstelligt werden.

Ein einfaches Konzept für eine Eingangsstufe ist in Abbildung 3.22 dargestellt. Bei einem positiven Eingangsstrom ist das Schaltsignal ϕ_1 logisch Eins und die entsprechenden Schalter sind geschlossen. Der Strom $I_{NOM,min}$ wird vom Eingangsstrom subtrahiert und über den Stromspiegel M_1 - M_3 wird der Ausgangsstrom I_{OUT} generiert. Bei einem

negativen Eingangsstrom ist das Schaltsignal ϕ_2 logisch Eins und die entsprechenden Schalter sind wiederum geschlossen. Die Differenz zwischen dem Eingangsstrom und $I_{\text{NOM,min}}$ ergibt den Ausgangsstrom.

In Abbildung 3.22 sieht man die Simulation des Ausgangsstromes I_{OUT} für eine positive

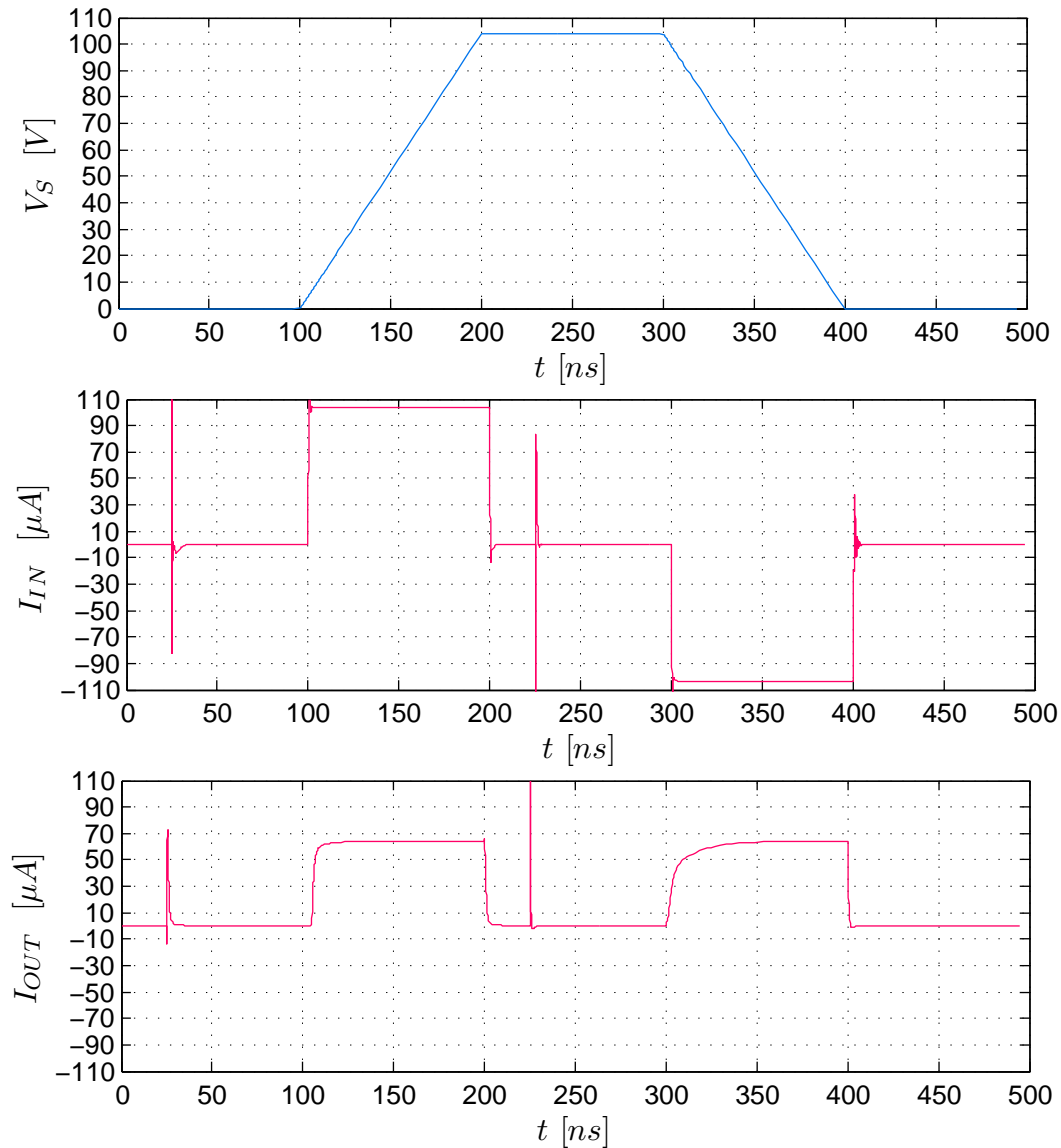


Abbildung 3.23: Signalverläufe der einfachen Eingangsstufe
(Spikes entstehen durch das Umschalten der Schalter Φ_1 und Φ_2)

und negative Flanke. Der Ausgangsstrom kann dem Eingangsstrom nur sehr langsam folgen. Für eine Umsetzdauer von 20 ns ist dieses Konzept somit nicht geeignet. Die Ursache des Problems ist in Abbildung 3.24 dargestellt. Befindet sich der Knoten V_s im eingeschwungen Zustand, fließt kein Eingangsstrom und somit liegt der Eingangsknoten auf Masse (steigende Flanke) oder auf Versorgungsspannung (fallende Flanke), weshalb die entsprechende Stromquelle nicht funktionieren kann. Beginnt nun ein Ein-

gangsstrom zu fließen, stellt sich erst nach einer Verzögerungszeit der stationäre Wert der Stromquelle ein.

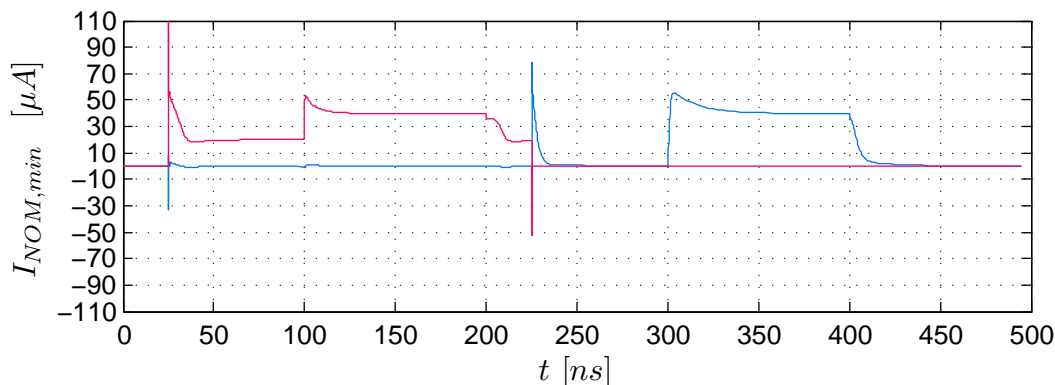


Abbildung 3.24: Verlauf von $I_{NOM,min}$ bei positiver (rot) und negativer Flanke (blau)

In Abbildung 3.25 sieht man den Aufbau einer Eingangsstufe, welche auf der Struktur

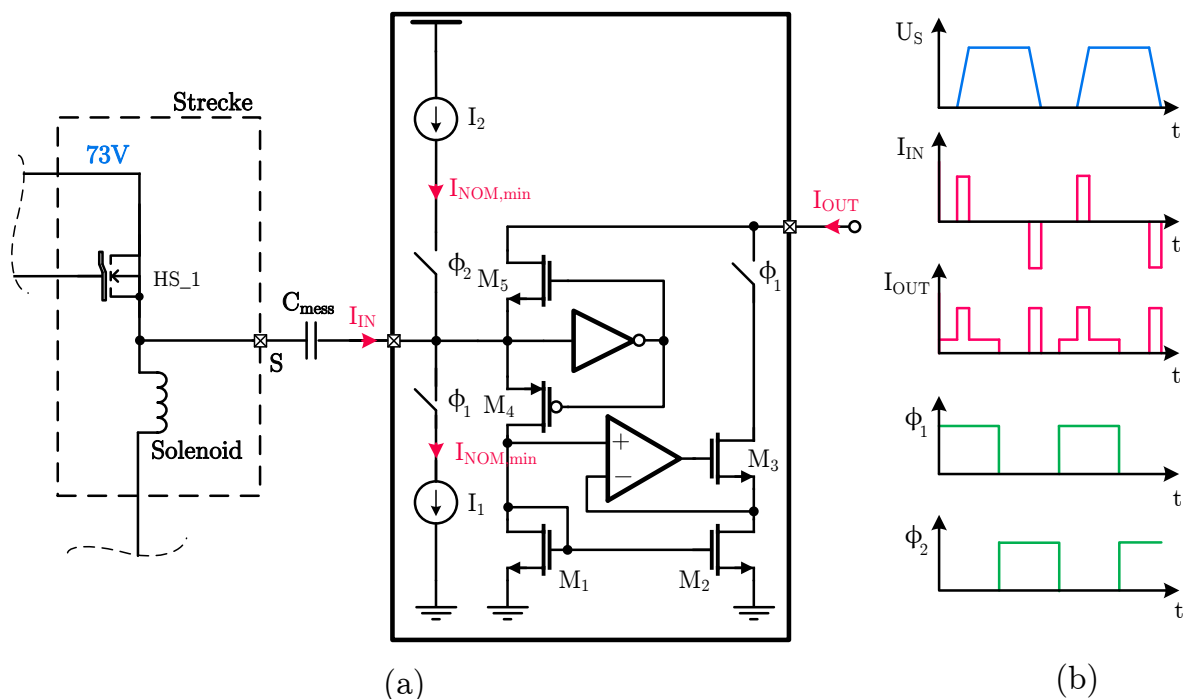


Abbildung 3.25: Aufbau einer Eingangsstufe mit Rückkopplung

des im Abschnitt 3.1.1 vorgestellten Strom-Komparators aufbaut. Der Vorteil dieser Schaltung liegt darin, dass auch wenn kein Eingangsstrom fließt, die Stromquelle I_1 bzw. I_2 (je nach Flanke) arbeitet.

In der Phase für eine steigende Flanke sind die Schalter ϕ_1 geschlossen. Solange der Eingangsstrom Null ist, zieht die Stromquelle I_1 einen Strom $I_{NOM,min}$ über den Transistor

M_5 und somit fließt auch ohne Eingangsstrom ein Ausgangsstrom von $I_{\text{NOM,min}}$. In dieser Anwendung stellt dies kein Problem dar, da sowieso ein *Level-Trigger* benötigt wird, um den Umsetzvorgang zur richtigen Zeit zu starten. Das Konzept für eine mögliche

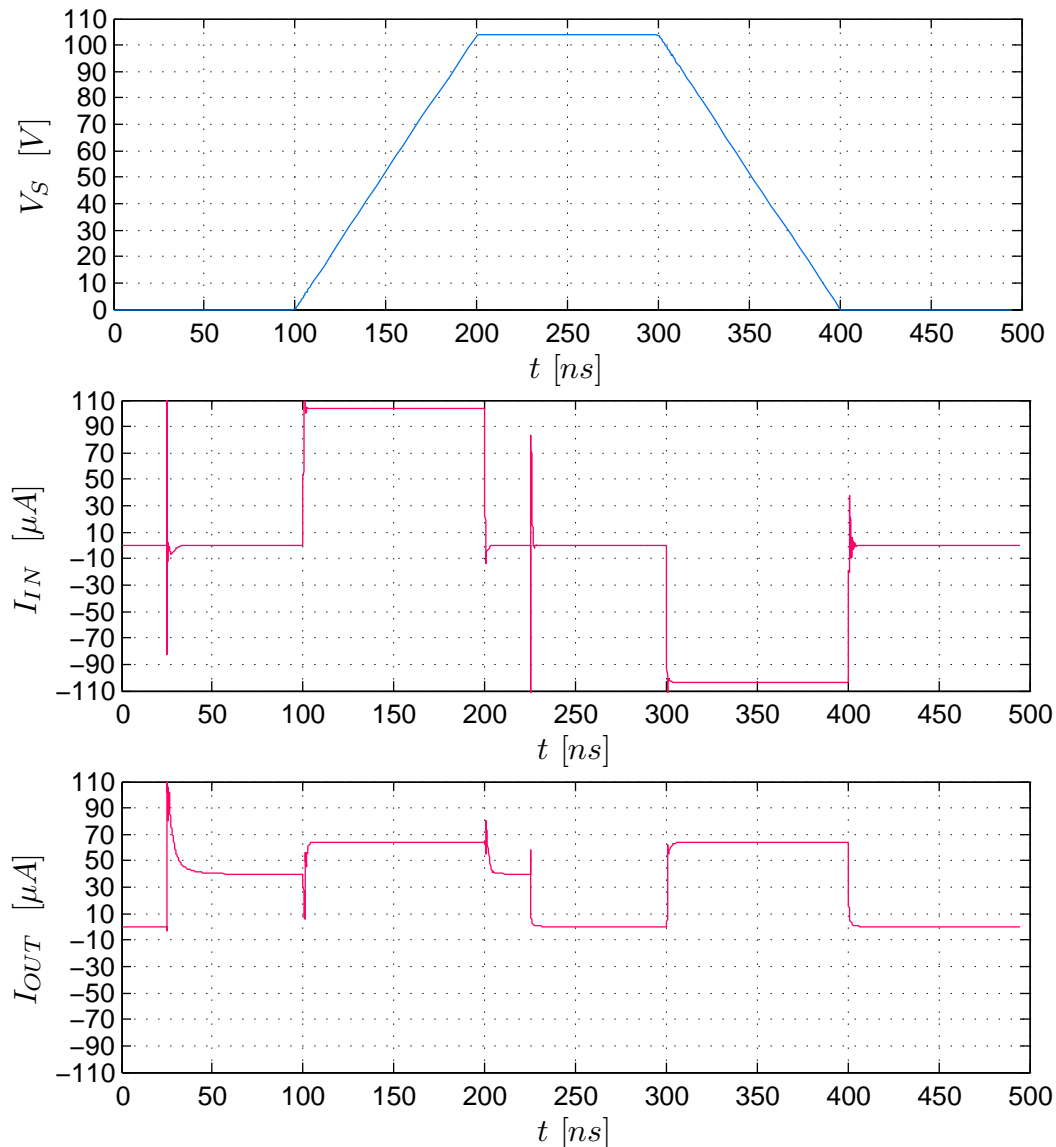


Abbildung 3.26: Signalverläufe der Eingangsstufe mit Rückkopplung
(Spikes entstehen durch das Umschalten der Schalter Φ_1 und Φ_2)

Implementierung wird im Abschnitt 5.1 vorgestellt. Das *Trigger* Signal kann dazu verwendet werden, die Flip-Flops (FF) „scharf“ zu schalten, und somit Umsetzsergebnisse erst zu speichern, wenn der Eingangsstrom größer als $I_{\text{NOM,min}}$ ist.

In der Phase für eine fallende Flanke ist der Schalter ϕ_2 geschlossen (ϕ_1 geöffnet), gibt es keinen Eingangsstrom, wird der Strom der Stromquelle $I_{\text{NOM,min}}$ über den als Diode verschalteten Transistor M_1 abgeleitet und es fließt kein Ausgangsstrom. Bei einem Eingangsstrom größer Null ergibt sich der Ausgangsstrom aus der Differenz zwi-

schen dem Eingangsstrom und $I_{\text{NOM,min}}$. Die Simulation in Abbildung 3.26 zeigt das beschriebene Verhalten.

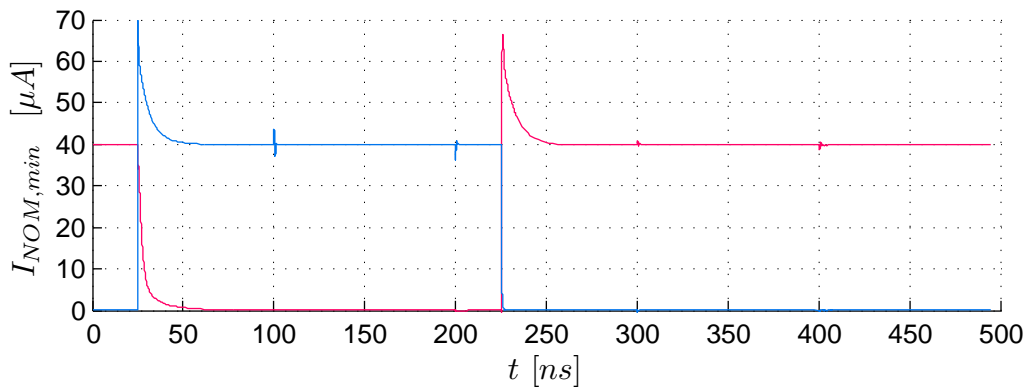


Abbildung 3.27: Verlauf von $I_{\text{NOM,min}}$ bei positiver (blau) und negativer Flanke (rot)

Wie in Abbildung 3.27 gezeigt, nehmen natürlich auch hier die Stromquellen erst nach einer Verzögerungszeit ihren stationären Wert ein. Erfolgt aber der Umschaltvorgang früh genug, stellt dies kein Problem dar.

3.1.4 Logik

Die Logik des ADCs besteht aus taktflankengesteuerten Flip-Flops zur Speicherung der Umsetzergenergebnisse, einer *Bubble*-Fehler Korrektur sowie einem Dekodierer zum Umsetzen von Thermometer Code (TC) in Binär Code (BC).

Dezimal	Binär Code			Thermometer Code						
D	B ₂	B ₁	B ₀	T ₆	T ₅	T ₄	T ₃	T ₂	T ₁	T ₀
7	1	1	1	1	1	1	1	1	1	1
6	1	1	0	0	1	1	1	1	1	1
5	1	0	1	0	0	1	1	1	1	1
4	1	0	0	0	0	0	1	1	1	1
3	0	1	1	0	0	0	0	1	1	1
2	0	1	0	0	0	0	0	0	1	1
1	0	0	1	0	0	0	0	0	0	1
0	0	0	0	0	0	0	0	0	0	0

Tabelle 3.4: Zusammenhang verschiedener Kodierungen

Thermometer Code und Bubble Fehler

Die Komparatoren eines *Flash ADCs* erzeugen einen sogenannten **TC**. Liegt die Referenz eines Komparators unterhalb des Eingangssignals, gibt der Komparator Ausgang eine logische Eins aus. Im umgekehrten Fall, d.h wenn das Eingangssignal größer als die Referenz ist, gibt der Komparator eine logische Null aus. Die Komparator Ausgänge ergeben ein "Thermometer-kodiertes" Signal, und der Eins-Null Übergang fällt bzw. steigt mit dem Eingangssignal (Tabelle 3.4) [Man90].

Für sehr schnelle Eingangssignale können schon geringe zeitliche Unterschiede bzw. *Offsets* der einzelnen Komparatoren, zu *Bubble* Fehlern führen. Als *Bubble* Fehler bezeichnet man die Situation, wenn im **TC** eine Eins über einer Null auftaucht. Diese Fehler werden als *Bubbles* bezeichnet, da sie wie Blasen im Quecksilber des Thermometers gesehen werden können [Man90].

Je nach Anzahl der aufeinander folgenden Nullen, unterscheidet man *Bubble* Fehler erster, zweiter oder dritter Ordnung [AP08].

Mit Hilfe von Abbildung 3.28 kann die Entstehung von *Bubbles* sehr anschaulich dargestellt werden. Mit δ_i wird der *Clock skew* (Taktverschiebung) zwischen den einzelnen

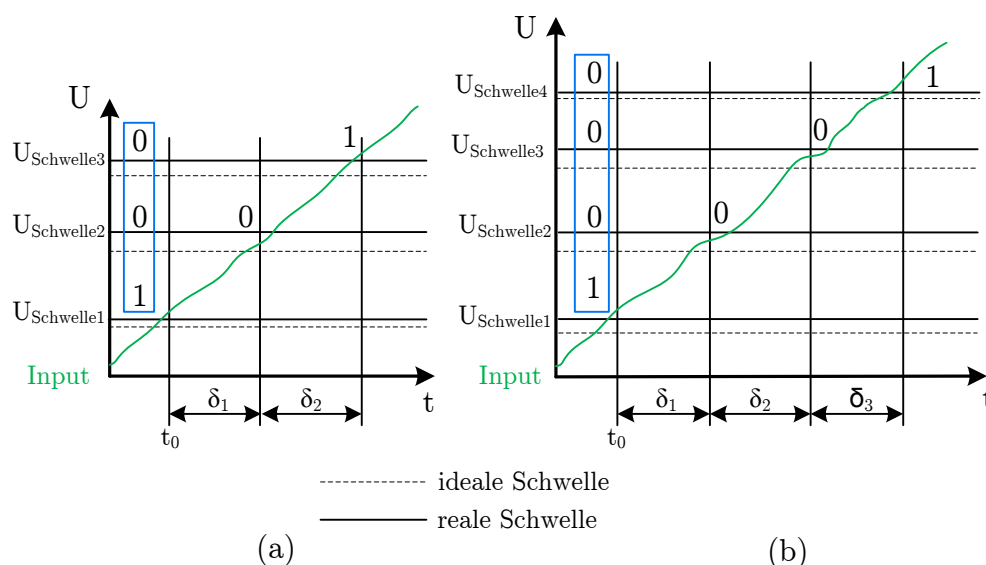


Abbildung 3.28: Gründe für das Auftreten von *Bubbles* (a) 1. Ordnung (b) 2. Ordnung (angelehnt an[AP08])

Komparatoren bezeichnet. Das Auftreten eines *Bubble* Fehlers erster Ordnung ist in Abbildung 3.28(a) zu sehen. Ohne einen *Clock skew* würden alle Komparatoren zur selben Zeit t_0 ein Ergebnis liefern und es würde sich der blau umrahmte **TC** ergeben. Tritt aber ein *Clock skew* auf (Komparatoren werden zu unterschiedlichen Zeiten zu einer Entscheidung gezwungen) und besitzen die Komparatoren ebenfalls einen Offset

(reale Schwellen), kann sich wie in Abbildung 3.28(b) dargestellt, ein TC mit einem *Bubble* Fehler ergeben. Die Entstehung eines *Bubble* Fehlers 2. Ordnung ist in Abbildung 3.28(b) dargestellt [AP08].

Thermometer-zu-Binär Dekodierer

Für die Dekodierung von TC in BC gibt es unterschiedliche Möglichkeiten. Grundsätzlich besteht ein Dekodierer aus einer *Bubble* Fehler Korrektur und der Dekodierschaltung selbst (siehe Abbildung 3.29).

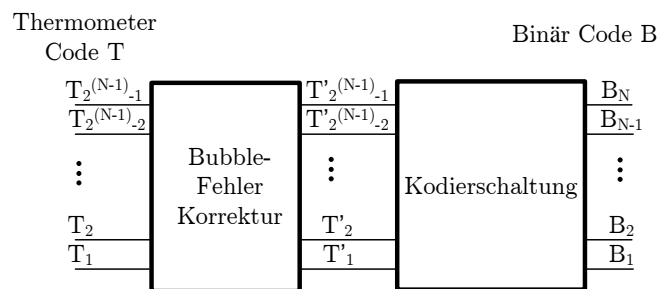


Abbildung 3.29: Grundlegende Struktur eines Dekodierers

Eine gebräuchliche Lösung stellt der auf einem binär-kodierten Read Only Memory (ROM) basierende Dekodierer dar. Dieser Dekodierer besteht aus der 1-aus-N Schaltung und dem binär-codierten ROM wie in Abbildung 3.30 dargestellt. Die 1-aus-N Schaltung wird verwendet, um einen Eins-Null Übergang im TC zu detektieren und die entsprechende Zeile im ROM zu aktivieren. Für alle anderen Eingangskombinationen ist der Ausgang der 1-aus-N Schaltung logisch Eins. Die Funktionsweise teilt sich in zwei Phasen auf. In der ersten Phase ist das Taktsignal CLK logisch Eins und die NMOS Transistoren schalten durch, wodurch die Ausgangsknoten entladen werden und einen *Low*-Pegel annehmen. In der zweiten Phase werden die NMOS-Transistoren wieder ausgeschaltet und die entsprechende Zeile des ROMs über die 1-aus-N Schaltung aktiviert.

Treten *Bubble* Fehler auf, gibt es mindestens zwei Eins-Null Übergänge und es werden zwei Zeilen im ROM selektiert. Der resultierende binäre Ausgangswert stellt eine bitweise ODER-Verknüpfung der zwei selektierten ROM Zeilen dar.

Um *Bubbles* 1. Ordnung zu unterdrücken können NAND-Gatter mit 3 Eingängen verwendet werden [Man90].

Eine weitere Möglichkeit stellt die Verwendung eines Gray-kodierten ROMs dar (Abbildung 3.30(b)). Der Vorteil der Gray-Kodierung liegt darin, dass das Auftreten von

Bubble Fehlern eine geringere Auswirkung als bei direkter Dekodierung in den **BC** hat [Man90].

Der Gray-Code muss jedoch noch in den **BC** umgesetzt werden, was ein zusätzliches *Delay* zur Folge hat.

Der größte Vorteil von **ROM**-basierten Dekodierern ist der einfache Aufbau, nachteilig ist der hohe Stromverbrauch und die erreichbare Geschwindigkeit bei höheren Auflösungen [SV04].

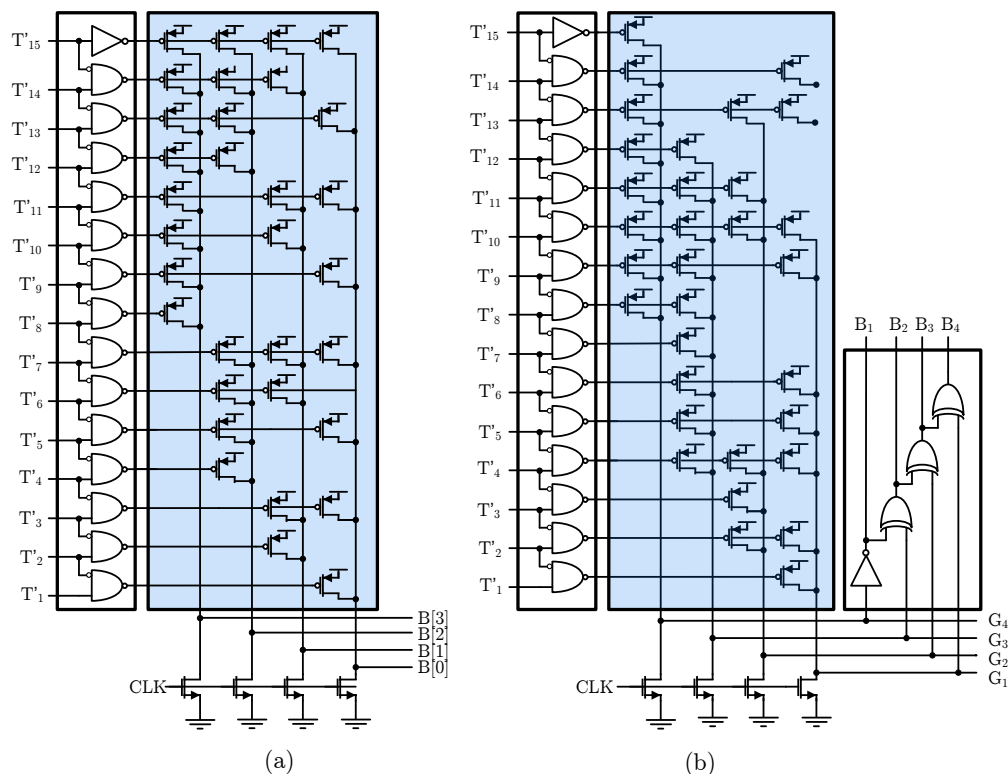


Abbildung 3.30: ROM-basierende Dekodierer (ohne *Bubble*-Fehler Korrektur) (a) binär-kodiertes ROM (b) Gray-kodiertes ROM

Hier wird ein Multiplexer basierender Kodierer verwendet, welcher sich durch eine geringe Verzögerungszeit und geringen Stromverbrauch auszeichnet. Das Most Significant Bit (MSB) des **BC** ist High, wenn mehr als die Hälfte der Stellen im **TC** Eins sind. Der Logikpegel der 2^{N-1} ten Stelle im **TC** entspricht somit dem Most Significant Bit (**MSB**). Um den Logikpegel der Stelle direkt unter dem **MSB** (**MSB-1**) zu finden, wird der **TC** in zwei Teilcodes aufgeteilt. Die Teilcodes werden durch die 2^{N-1} te Stelle im **TC** separiert. Die Auswahl des Teilcodes wird durch 2:1 Multiplexer realisiert, wobei das nächst höhere binär-kodierte Bit mit den Steuereingängen der Multiplexers verbunden ist. Der Logikpegel des zweit höchsten Bits kann im Teilcode auf dieselbe Weise gefunden werden, wie das **MSB** aus dem vollständigen **TC**. Dieser Vorgang wird

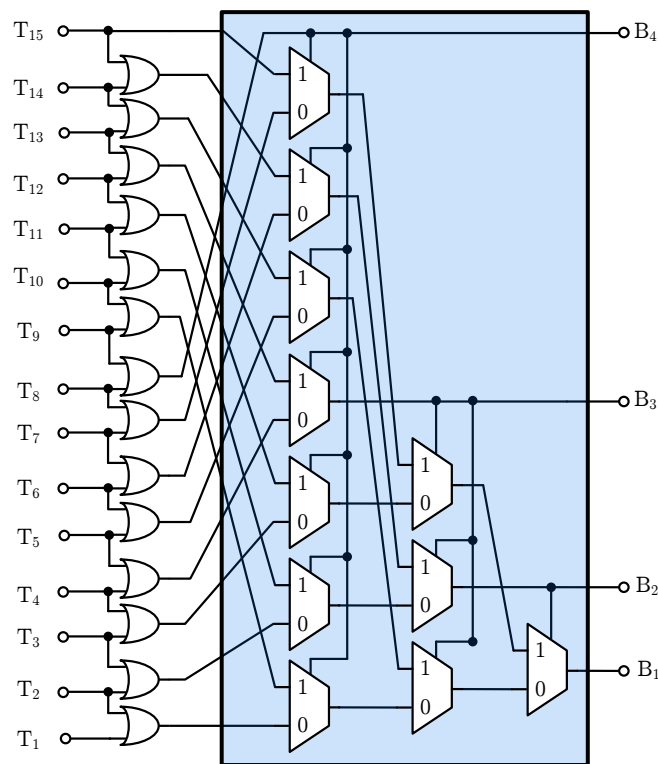


Abbildung 3.31: Multiplexer basierender Dekodierer mit *Bubble* Fehler Korrektur

rekursiv weitergeführt, bis nur mehr ein Multiplexer übrig bleibt. Der Ausgang dieses Multiplexers stellt dann das **LSB** dar. Der Aufbau eines 4-Bit Dekodierers ist in Abbildung 3.31 dargestellt [SV04].

3.1.5 Taktgenerierung

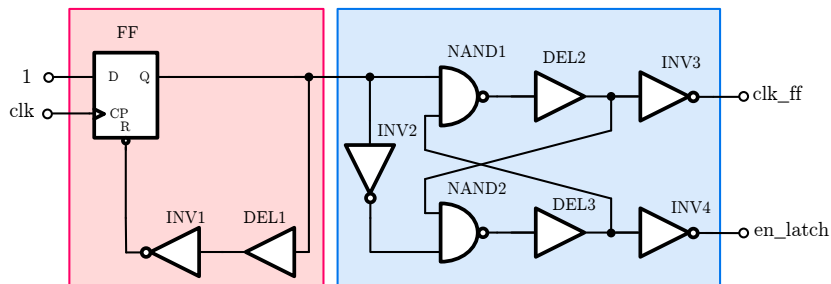


Abbildung 3.32: Generierung der Taktsignale

Um aus dem von außen vorgegebenen Taktsignal CLK die entsprechenden Steuersignale für die Komparatoren und die FFs ableiten zu können, wird eine eigene Schaltung benötigt.

Für den Komparator (siehe Abschnitt 3.1.1) wird das Signal `en_latch` verwendet, um das `Latch` zu aktivieren. Während das `Latch` des Komparators im speichernden Zustand ist, muss der in Inhalt des `Latch` in ein `FF` gespeichert werden.

Eine mögliche Schaltung um die geforderten Signale zu generieren ist in Abbildung 3.32 dargestellt. Im ersten Teil der Schaltung (rot) wird bei jeder steigenden Flanke des Signales `clk` ein Puls erzeugt, dessen Dauer von der Verzögerungszeit des `Delayelements DEL1` abhängt. Aus dem Puls werden im folgenden Schaltungsteil (blau) zwei sich nicht überlappende Pulse erzeugt [Bak05].

Hierbei ist zu beachten, dass die `Setup`- und `Hold`-Zeiten, der durch das Signal `clk_ff` angesteuerten `FFs` eingehalten werden.

Die Simulationsergebnisse sind in Abbildung 3.33 dargestellt.

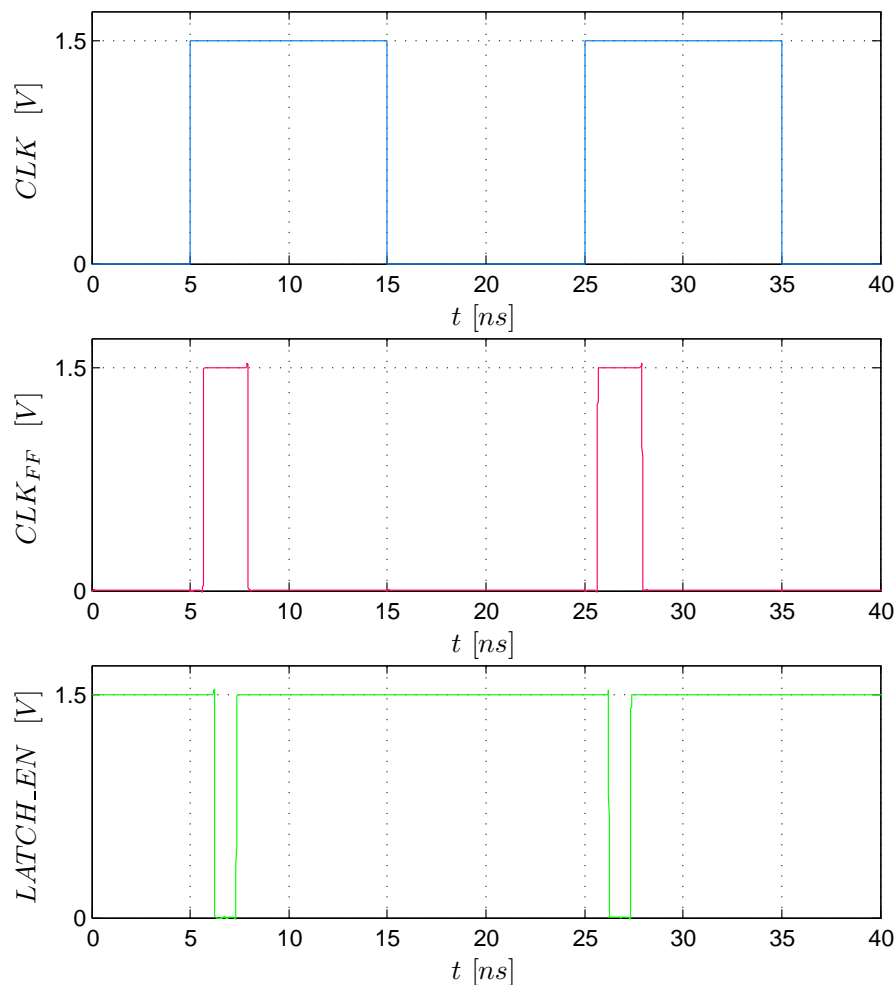


Abbildung 3.33: Simulation der generierten Signale

3.1.6 Architektur

In diesem Kapitel wurde auf die Anforderungen der einzelnen Komponenten und deren Implementierung eingegangen. In Abbildung 3.34 ist die daraus resultierende Architektur dargestellt.

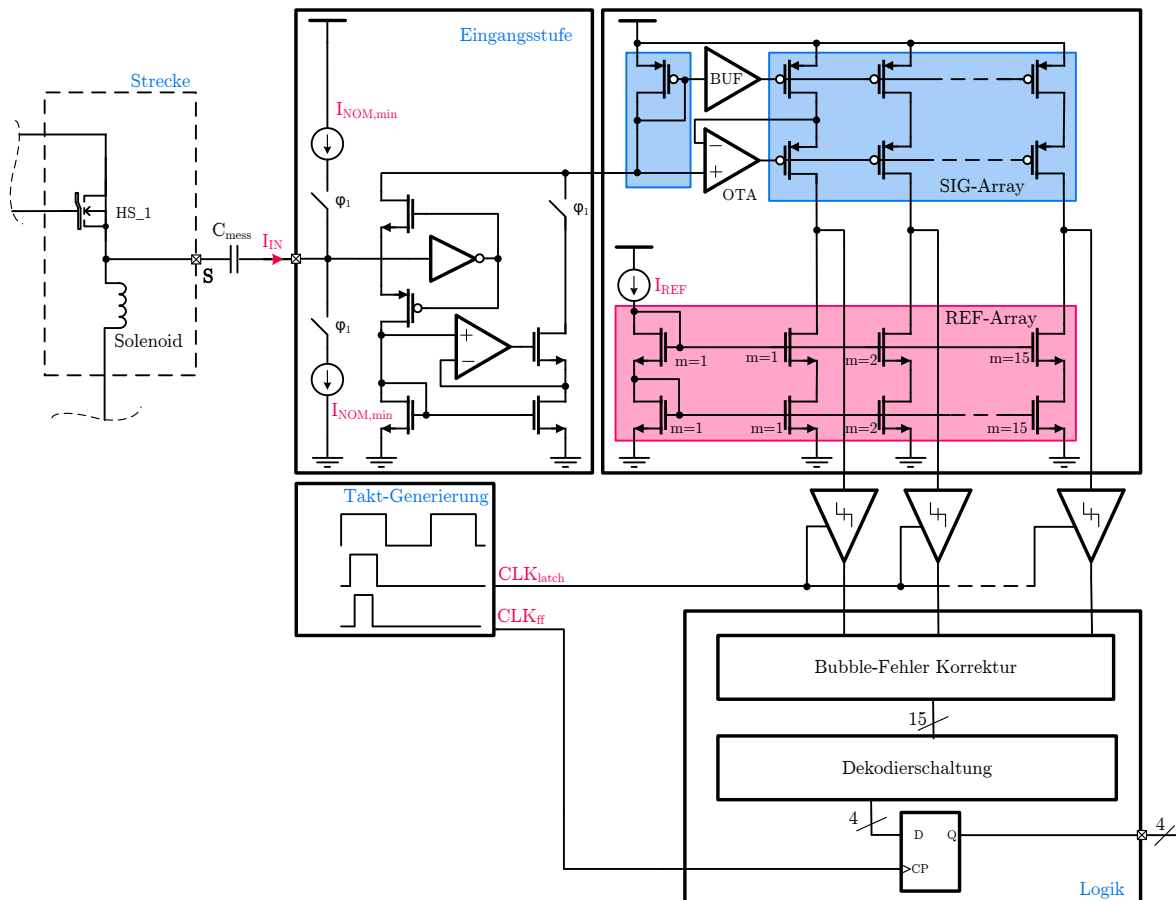


Abbildung 3.34: Implementierte Architektur des *Current-mode* Flash ADCs

3.2 Simulation

Um die statischen Kenngrößen des ADCs zu verifizieren, wird nach dem Eintreffen des Testchips, auf welchem sich der ADC befindet, ein Histogramm Test mit einer Stromrampe durchgeführt. In Abbildung 3.35 sieht man die Ergebnisse einer Simulation, bei welcher an den Eingang des ADCs einmal eine steigende und einmal eine fallend Stromrampe angelegt wurde. Bei dieser Simulation wurden keine Fertigungseinflüsse berücksichtigt.

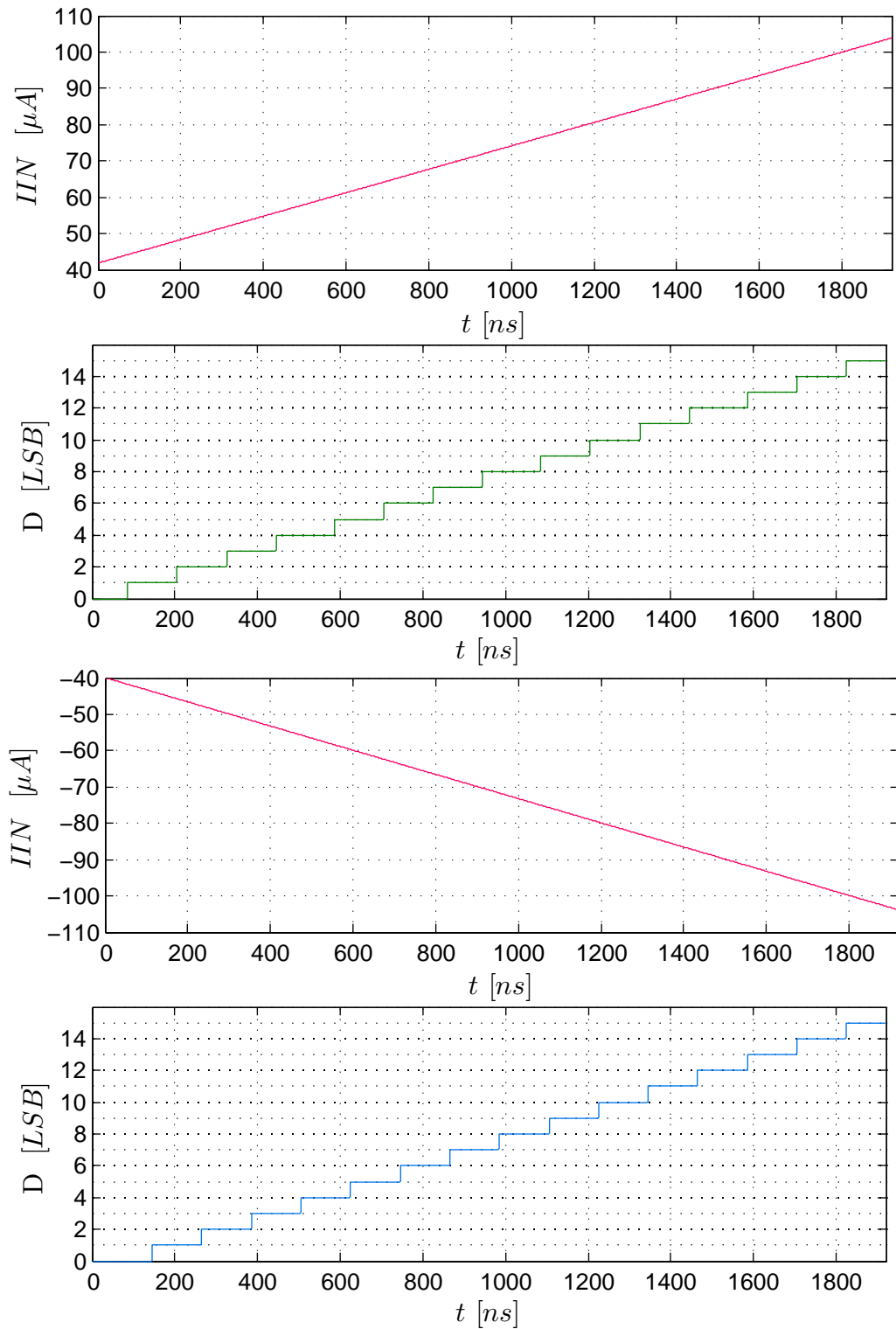


Abbildung 3.35: Simulationsergebnis für das Anlegen einer Rampe

In Abbildung 3.36 sieht man das Ergebnis eines *Monte-Carlo* Durchlaufs (grün) und die rekonstruierte Übertragungsfunktion (blau). Die ideale Übertragungsfunktion des ADCs ist rot dargestellt. Die angegebenen Kenngrößen *Offset*, *INL* und *DNL* wurden entsprechend dem *IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters* [IEE01] bestimmt.

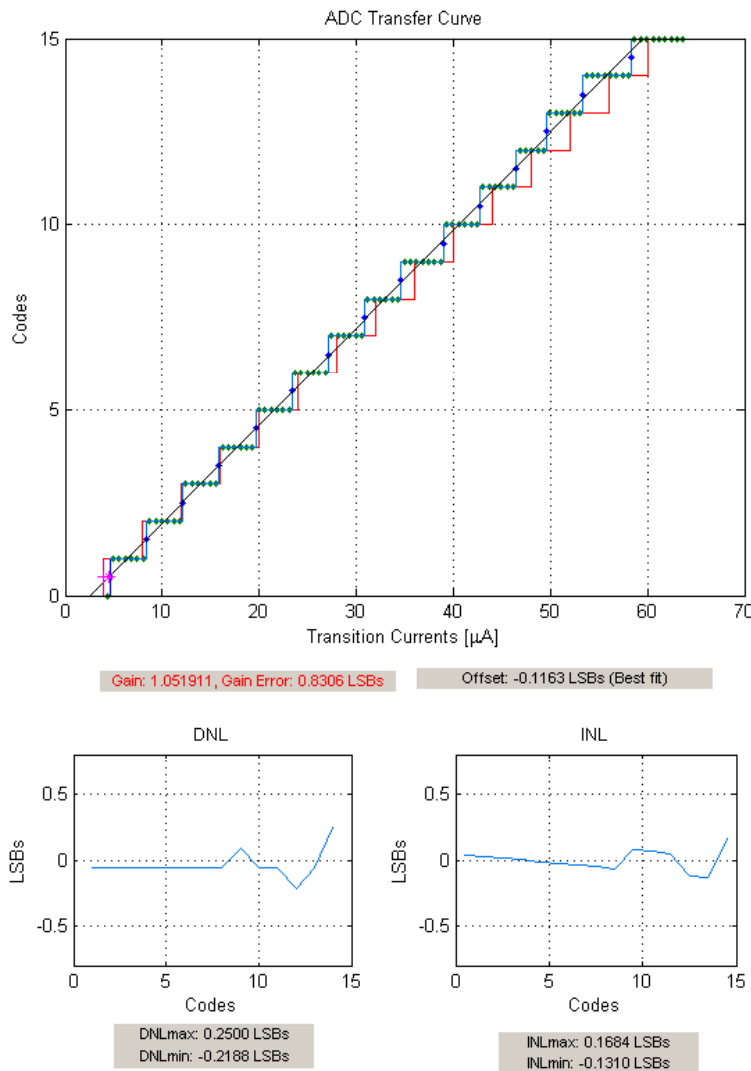


Abbildung 3.36: Ergebnisse eines Histogramm Tests basierend auf einem *Monte-Carlo* Durchlauf

Diese Simulation soll nur exemplarisch den Einfluss von Fertigungsschwankungen auf die Übertragungsfunktion des ADCs illustrieren.

3.3 Layout

Das Layout des ADCs ist in 3.37 dargestellt. Die größte Fläche wird eindeutig vom Referenzstromspiegel eingenommen. Dieser wurde in einem *common-centroid* Layout angeordnet, um das *Matching* zu verbessern.

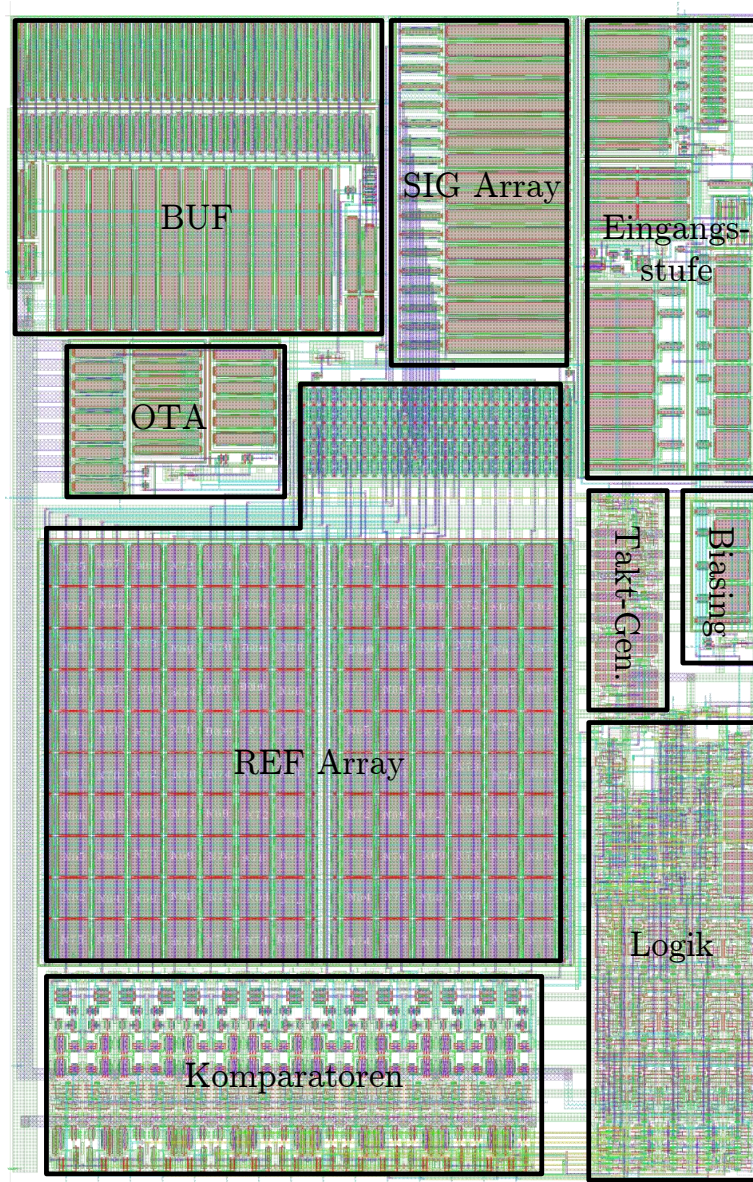


Abbildung 3.37: Layout des ADCs

3.4 Current-Mode Sample-Hold

Im Zuge dieser Arbeit wurden auch diverse *current-mode Sampling* Konzepte untersucht.

3.4.1 Der einfache Strom-Sampler

Der einfache switched-current (SI) Sampler wurde in [DVT88] als Zelle für das Kopieren von Strom verwendet. Der Vorteil dieser Schaltung gegenüber Stromspiegeln

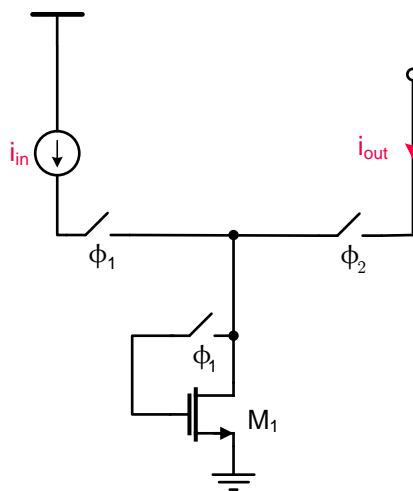


Abbildung 3.38: Einfacher switched current Sampler

besteht darin, dass nur ein Transistor verwendet wird, und diese Struktur somit für die Funktion keine gematchten Transistoren benötigt.

In der *Sampling*-Phase sind die Schalter ϕ_1 geschlossen und der Schalter ϕ_2 ist geöffnet. Der Strom i_{in} fließt durch den als Diode verschalteten Transistor M_1 . In der *Hold*-Phase werden die Schalter ϕ_1 geöffnet und der Schalter ϕ_2 ist geschlossen. Die auf der *Gate*-Kapazität gespeicherte Ladung führt dazu, dass der Strom i_{out} konstant gehalten wird.

Die Genauigkeit dieser Schaltung wird hauptsächlich durch zwei Faktoren beschränkt,

- dem endlichen Ausgangswiderstand r_o des Transistors M_1 und
- der Ladungsinjektion durch das Öffnen des Schalters ϕ_1 .

Typischerweise wird der Ausgangsstrom von einer nachfolgenden Schaltung genutzt. Nimmt man den Eingangswiderstand der nachfolgenden Schaltung mit $1/g_m$ an, ergibt

sich das Strom-Übertragungsverhältnis zu [HM96]:

$$\frac{i_{out}}{i_{in}} = \frac{r_o + 1/g_m}{r_o}. \quad (3.29)$$

Eine Verbesserung der Genauigkeit kann durch die Verwendung einer Kaskode oder eines negativ rückgekoppelten Verstärkers erreicht werden.

Die Verwendung einer Kaskode erhöht zwar die Genauigkeit, verringert aber auch den Aussteuerbereich für die untersuchte Schaltung.

Ein Strom Sampler, welcher einen negativ rückgekoppelten Verstärker verwendet, ist in Abbildung 3.39 dargestellt. Das Strom-Übertragungsverhältnis ändert sich durch die

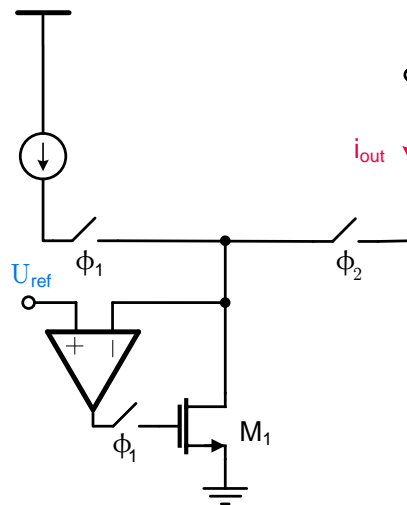


Abbildung 3.39: Switched current Sampler mit negativer Rückkopplung

Verwendung eines Verstärkers zu:

$$\frac{i_{out}}{i_{in}} = \frac{r_o + \frac{1}{g_m \cdot A_0}}{r_o}, \quad (3.30)$$

wobei A_0 die Spannungsverstärkung des Verstärkers ist [HM96]. Dieser Zusammenhang zeigt, dass durch die Verwendung von negativer Rückkopplung der Strom Mismatch um den Faktor $1/A_0$ verringert werden kann.

Als Verstärker kann ein Spannungsverstärker oder Transimpedanzverstärker verwendet werden. In [Nai92] wurde gezeigt, dass durch Transimpedanzverstärker schnellere Sampling-Raten als mit Spannungsverstärkern erreicht werden können, ohne den Stromverbrauch oder die Chipfläche zu erhöhen.

Der Effekt der Ladungsinjektion beim Öffnen des Schalters ϕ_1 bleibt bei dieser Lösung jedoch erhalten.

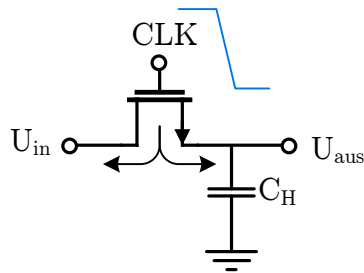


Abbildung 3.40: Entstehung von Ladungsinjektion

Das Öffnen des Schalters in Abbildung 3.40 führt dazu, dass ein Ladungspaket Δq in die Halte-Kapazität C_H injiziert wird, da die im Kanal gespeicherte Ladung abgebaut werden muss. Der Strom i_{in} ändert sich somit um Δi , wobei

$$\Delta i_{in} = g_m \cdot \frac{\Delta q}{C_H} \quad (3.31)$$

ist.

Die Größe der Ladung Δq hängt von mehreren Faktoren ab, wie z.B. der Größe des Schalters, der Flankensteilheit des Schaltsignales und der Potentiale am Drain und Source-Anschluss. Der durch Ladungsinjektion erzeugte Fehler hat somit einen konstanten und einen signalabhängigen Fehler [Nai94].

Der konstante Fehler kann durch eine differentiale Ausführung der Schaltung korrigiert werden.

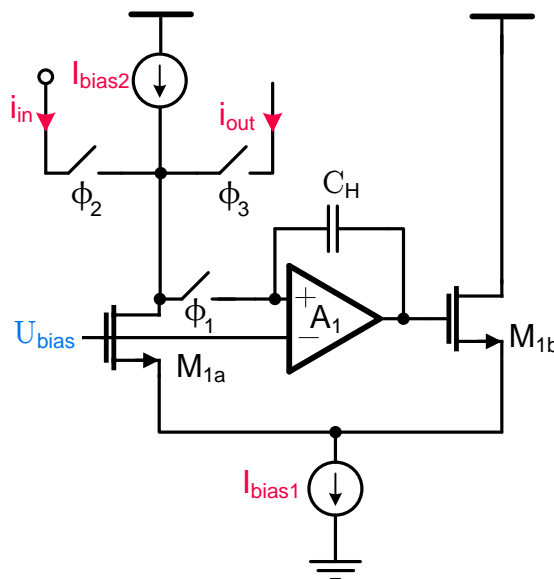


Abbildung 3.41: Ein *zero-voltage* Sampler [Nai94]

3.4.2 Zero-Voltage Switching

Der signalabhängige Anteil der Ladungsinjektion kann durch die sogenannte *zero-voltage switching* Technik stark vermindert werden. Die Bezeichnung *zero-voltage switching* kommt daher, dass während des Schaltvorganges die Potentiale an beiden Anschlüssen des Schalters konstant gehalten werden.

Die Schaltung in Abbildung 3.41 verwendet die *zero-voltage switching* Technik. Während der Sampling Phase sind die Schalter ϕ_1 und ϕ_2 geschlossen und der Schalter ϕ_3 ist offen. Es fließt ein Strom von $i_{in} + I_{bias2}$ durch den Transistor M_{1a} . Der Verstärker A_1 regelt die Gatespannung des Transistors M_{1b} so aus, dass sich insgesamt ein Strom I_{bias1} einstellt. In der Hold Phase sind die Schalter ϕ_1 und ϕ_2 geöffnet und der Schalter ϕ_3 wird geschlossen. Das Drain-Potential von M_{1a} wird durch die negative Rückkopplung auf konstantem Potential gehalten, wodurch sich folgende Vorteile ergeben [Nai94]:

- Die Ladungsinjektion ist größtenteils vom Signal unabhängig.
- Die effektive Eingangsimpedanz wird stark verringert, was zu einer Erhöhung der Genauigkeit des Strom-Übertragungsverhältnisses führt.

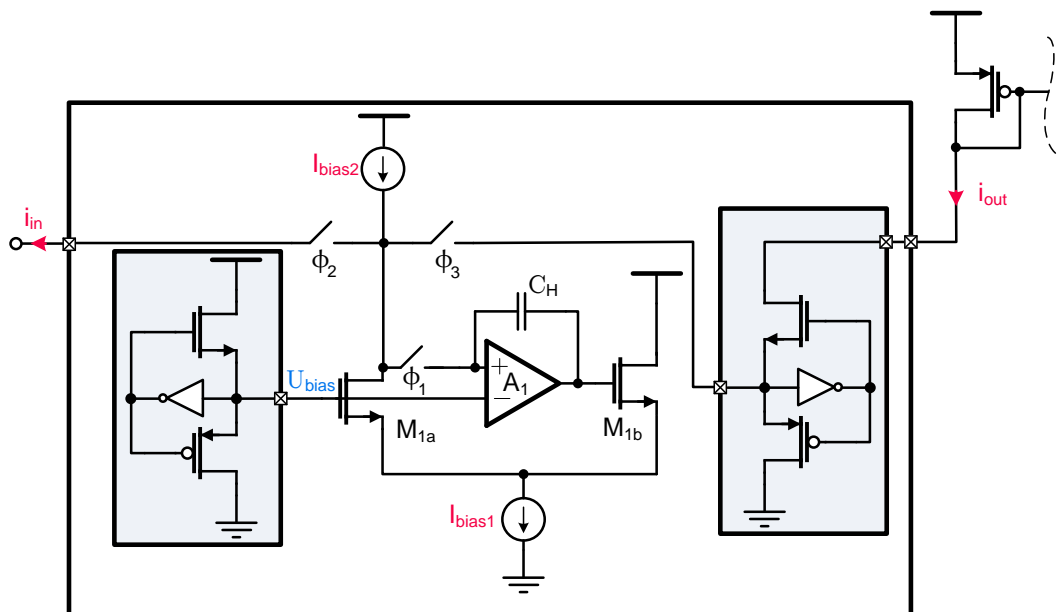


Abbildung 3.42: Mögliche Implementierung eines *zero-voltage* Samplers

Zusammenfassend kann gesagt werden, dass durch die Technik der signalabhängige Anteil der Ladungsinjektion stark verringert werden kann. Eine Erweiterung der Schaltung auf eine voll-differentielle Struktur würde auch den konstanten Anteil der Ladungsinjektion korrigieren.

Eine mögliche Implementierung ist in Abbildung 3.42 dargestellt. Um das Drain Potential von M_{1a} während der Sample- und Hold-Phase möglichst konstant zu halten, werden komplementäre Source-Folger mit positiver Rückkopplung verwendet.

Die Stabilität des Systems ist gewährleistet, wenn die Bandbreite des Verstärkers höher ist, als die Bandbreite von M_{1a} und M_{1b} [Nai94].

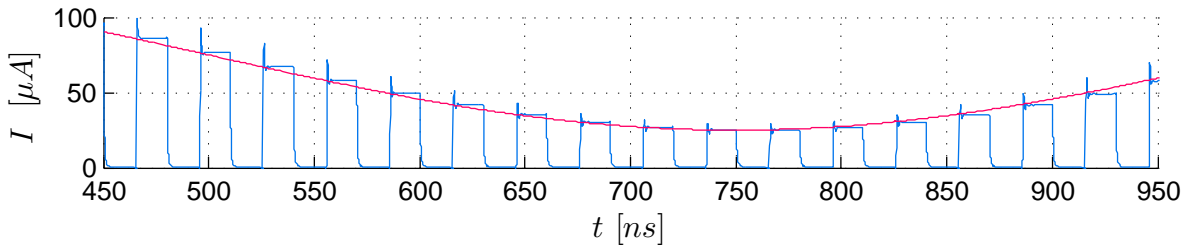


Abbildung 3.43: Transiente Simulation des *zero-voltage switching* Samplers

In Abbildung 3.43 ist das Ergebnis einer transienten Simulation zu sehen. Die Simulation zeigt, dass der Ausgangsstrom (blau) in der Halte-Phase den Wert des Eingangsstromes zum Abtast-Zeitpunkt nach einer Einschwingphase annimmt und hält.

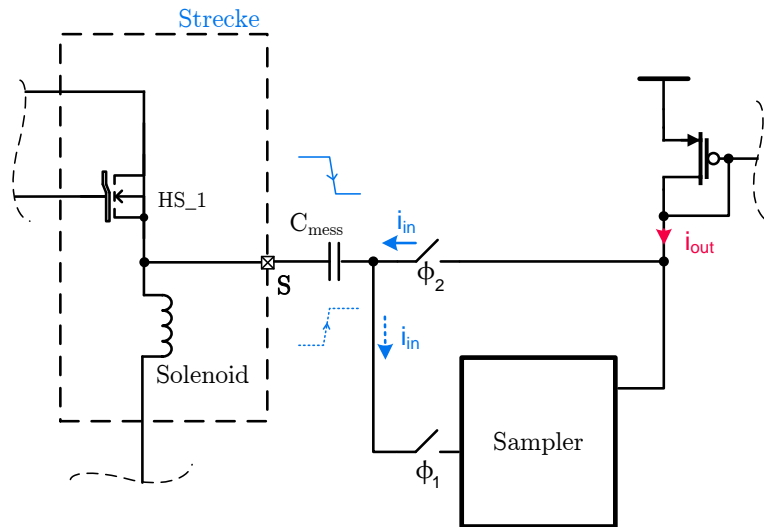


Abbildung 3.44: Mögliche Verwendung des Samplers

Für Flash-ADCs werden meist keine Sample-Hold Schaltungen benötigt. Für die Problemstellung der vorliegenden Arbeit wäre es aber möglich einen Ausgangsstrom zu generieren, der unabhängig von der Polarität des Eingangsstromes ist. Wie in Abbildung 3.44 dargestellt, könnte für einen positiven Eingangsstrom i_{in} der Sampler verwendet werden. Bei einem negativen Eingangsstrom könnte die Kapazität direkt über den Schalter ϕ_2 mit dem als Diode verschalteten Transistor verbunden werden. Die

Eingangsstufe, welche in Abschnitt 3.1.3 vorgestellt wurde, ist jedoch eine vorteilhaftere Lösung.

Der Aufbau des Samplers ist weit komplizierter als der Aufbau der vorgestellten Eingangsstufe. Weiters wird für eine hohe Sample-Rate auch ein schneller Verstärker benötigt, welcher zu einem erhöhten Stromverbrauch führt.

4 Digital/Analog Strom Umsetzer (Gate-Treiber)

In diesem Kapitel wird die Implementierung des Digital/Analog Strom Umsetzers (Gate-Treiber) behandelt.

Ausgehend vom verwendeten Konzept wird auf die konkrete Implementierung eingegangen. Als Abschluss werden Simulationsergebnisse, sowie eine Abbildung vom Layout präsentiert.

4.1 Konzept

Das Konzept des Strom DACs ist in Abbildung 4.1 dargestellt.

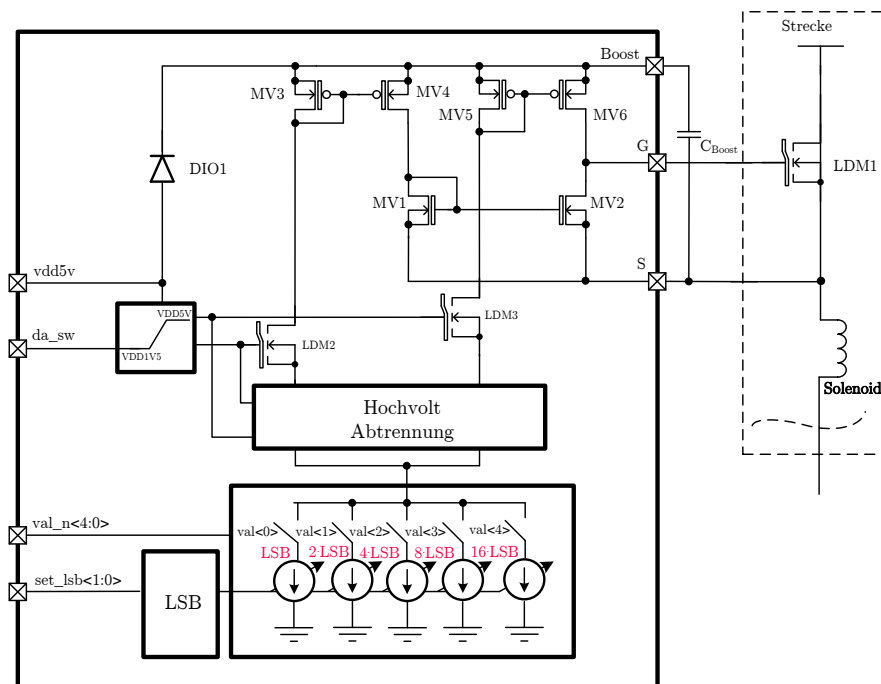


Abbildung 4.1: Konzept des DACs

Die Hauptfunktion besteht darin das *Gate* des Leistungstransistors (DMOS) LDM1 zu laden bzw. zu entladen. Das *Gate* wird über den Stromspiegel bestehend aus den Transistoren MV5 und MV6 geladen. Der Entladepfad wird durch die Spiegelstruktur, bestehend aus den Transistoren MV1 bis MV4, realisiert.

Der Schaltvorgang wird über das PWM-Signal `da_sw` initiiert, welches über einen Pegelwandler auf den nötigen Pegel zum Schalten der Transistoren LDM2 bzw. LDM3 gebracht wird.

Die digitale Stellgröße des Reglers wird über die binär gewichteten Stromquellen in den Entlade- bzw. Ladestrom umgesetzt. Die Größe des LSB lässt sich über das Signal `set_lsb<1:0>` einstellen.

Als Schutz für die Niedervolt-Transistoren muss eine Hochvolt-Abtrennung vorgesehen werden. Für das *Boot-Strapping*, welches in Abschnitt 2.2 erklärt wurde, wird die Diode DIO1 und die externe Kapazität C_{Boost} benötigt.

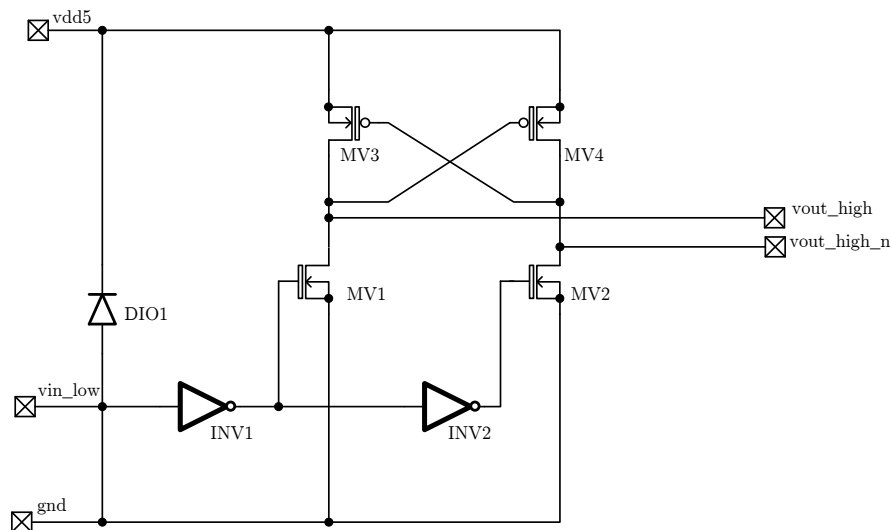


Abbildung 4.2: Schaltung des Pegelwandlers

Die Implementierung des Konzeptes ist in Abbildung 4.3 dargestellt. Die Stromspiegel für das Laden und Entladen des *Gates* von LDM1 sind leicht wieder zu finden. Um die *Gates* der Transistoren MV1 und MV2 schneller zu entladen, wurde eine Stromquelle (Transistor MV10) hinzugefügt.

Die Transistoren MV19 und MV20 dienen als Schalter. Beim Laden des *Gates* von LDM1, wird durch den Spannungsabfall über dem als Diode verschalteten Transistors MV3, der Transistor MV20 durchgeschaltet und die *Gatespannung* von MV5 und MV6 wird in Richtung positiver Versorgung durchgeschaltet. Beim Entladen wird der Transistor MV19 durchgeschaltet und die *Gatespannung* von MV3 und MV4 wird in

Richtung positiver Versorgung gezogen.

Die Ansteuerung der Schalter LDM1 und LDM2 erfolgt über einen Pegelwandler. Der Aufbau des Pegelwandlers ist in Abbildung 4.2 dargestellt.

Der Widerstand R1 und der Transistor MV12 definieren einen *Biasstrom*. Das Potential über den Stromquellen für den Aufladevorgang wird durch MV18 definiert. Für den Enladevorgang wird die Spannung über den Stromquellen durch den Transistor MV17 festgelegt.

Die Transistoren MV8 und MV9 dienen als „Klemmen“. Bei einem Anstieg der Spannung an den *Drain* Anschlüssen der Transistoren wird die *Body*-Diode leitend und es wird somit ein weiterer Anstieg der Spannung verhindert.

Die als Dioden verschalteten Transistoren M2 und M3 können über das Signal `set_lsb<1:0>` wahlweise hinzugeschalten werden, wodurch sich die Größe des **LSB** einstellen lässt.

Die binär gewichteten Stromquellen werden entsprechend dem Signal `val_n<4:0>` hinzugeschalten.

Die Diode für das *Boot-Strapping* wird durch die *Body*-Diode des Transistors LDM4 realisiert.

4 Digital/Analog Strom Umsetzer (Gate-Treiber)

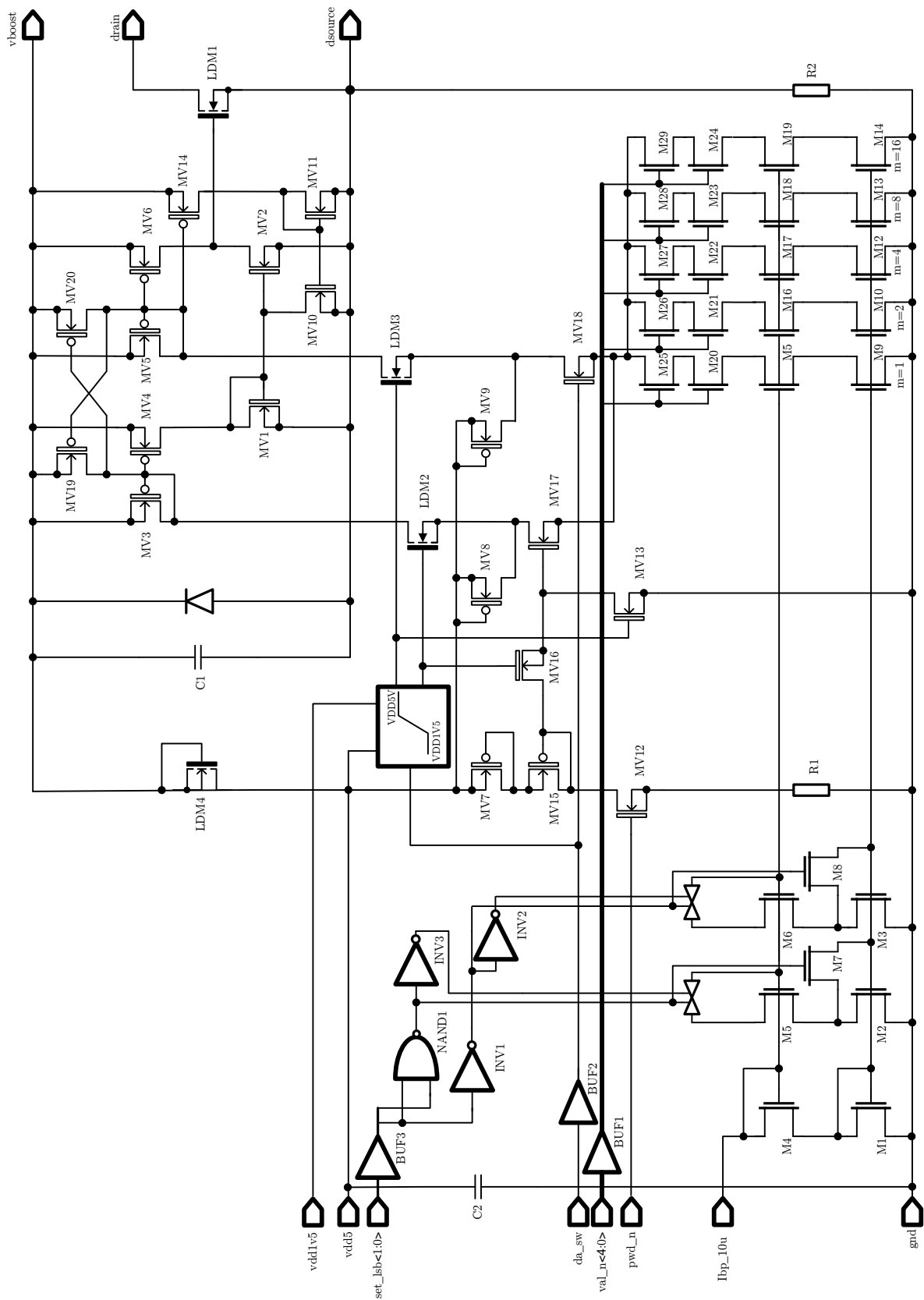


Abbildung 4.3: Schaltung des *High-Side* Treibers

4.2 Simulation

In Abbildung 4.4 sieht man das Ergebnis einer transienten Simulation.

Nach dem Ansteuern des *High-side* Schalters LDM1 sinkt die Spannung U_{source} auf Massepotential. Es beginnt ein Ladestrom I_{DIO1} über die Diode DIO1 zu fließen, wel-

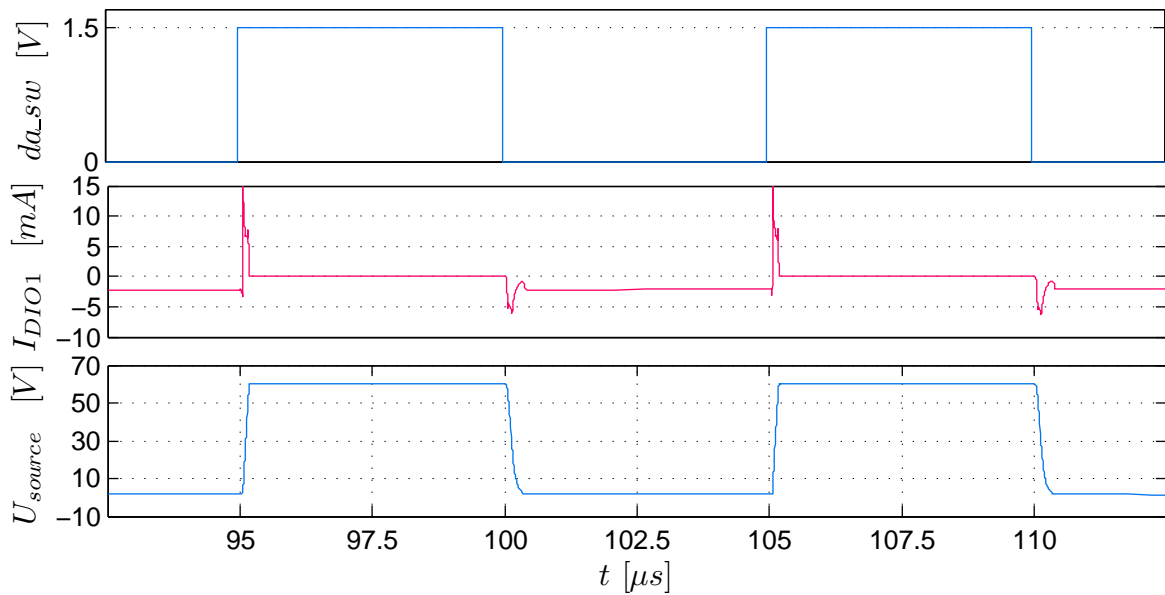


Abbildung 4.4: Simulation des *High-Side* Treibers

cher die Kapazität C_{Boost} lädt.

Der Einfluss verschiedener Stellgrößen auf die *SR* der Spannung U_{source} ist in Abbildung 4.5 dargestellt.

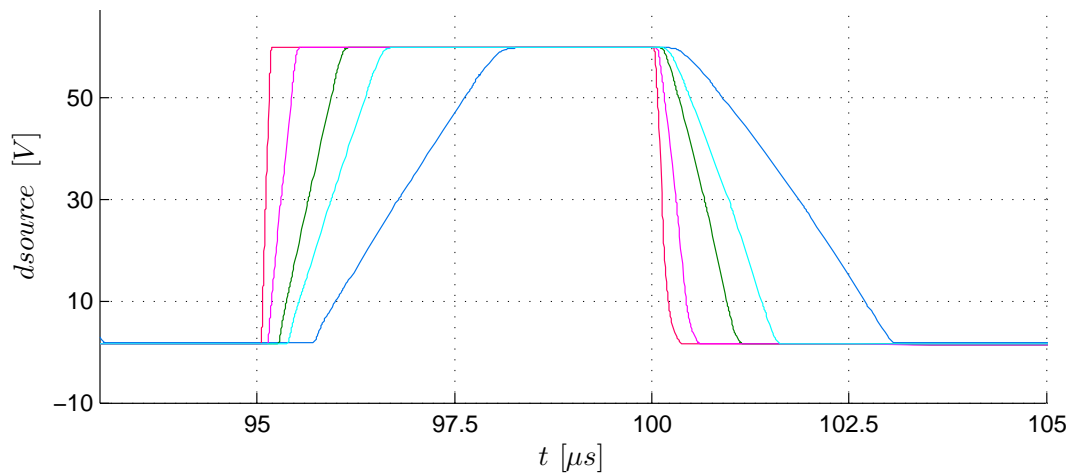


Abbildung 4.5: Simulation mit verschiedenen Stellgrößen

4.3 Layout

Das Layout des DACs ist ein Abbildung 4.6 zu sehen, wobei LDM1 und LDM4 nicht dargestellt sind.

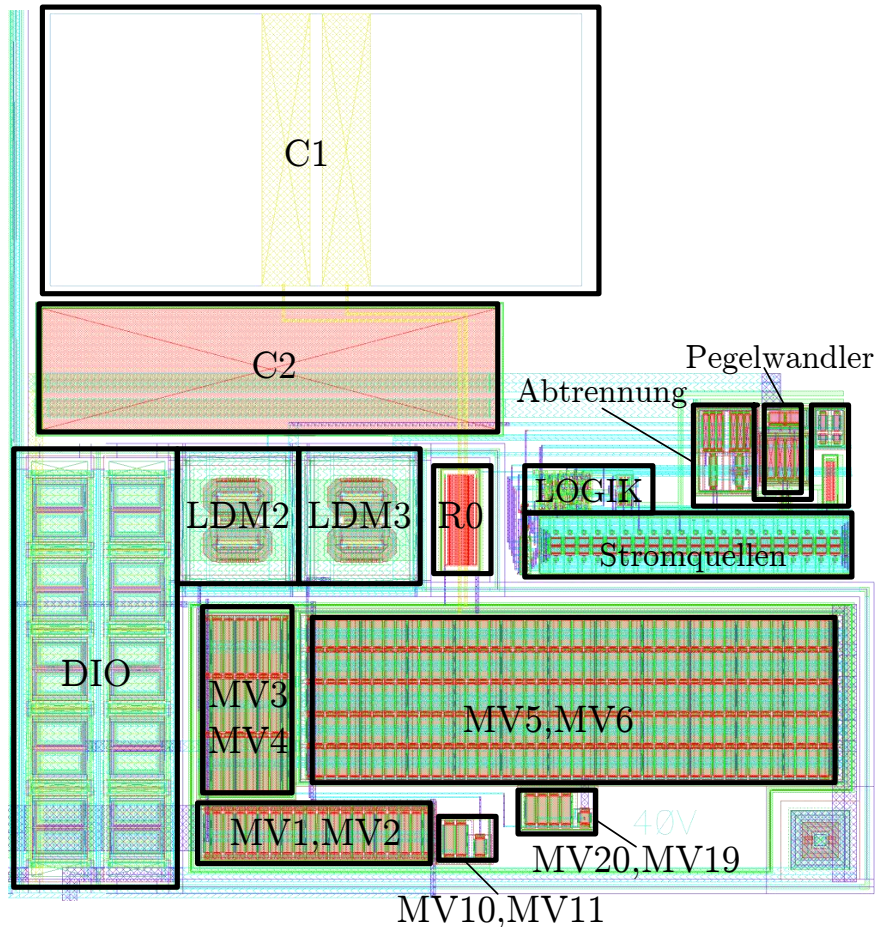


Abbildung 4.6: Layout des DACs (ohne LDM1 und LDM2)

In Abbildung 4.7 sieht man das Layout des kompletten DACs. Die größte Fläche nehmen die DMOS Transistoren LDM1 und LDM4 ein. LDM4 muss groß genug sein, um über die *Body*-Diode genügend Strom zum Nachladen der Kapazität C_{Boost} liefern zu können. Die Größe des Leistungsschalters LDM1 wird durch den benötigten R_{on} bestimmt. In dieser Arbeit wurde die Größe von LDM1 an die Größe von LDM4 angepasst, um für das Toplevel Layout (siehe 5.7), welches für den Testchip verwendet wird, eine rechteckige Form zu erhalten.

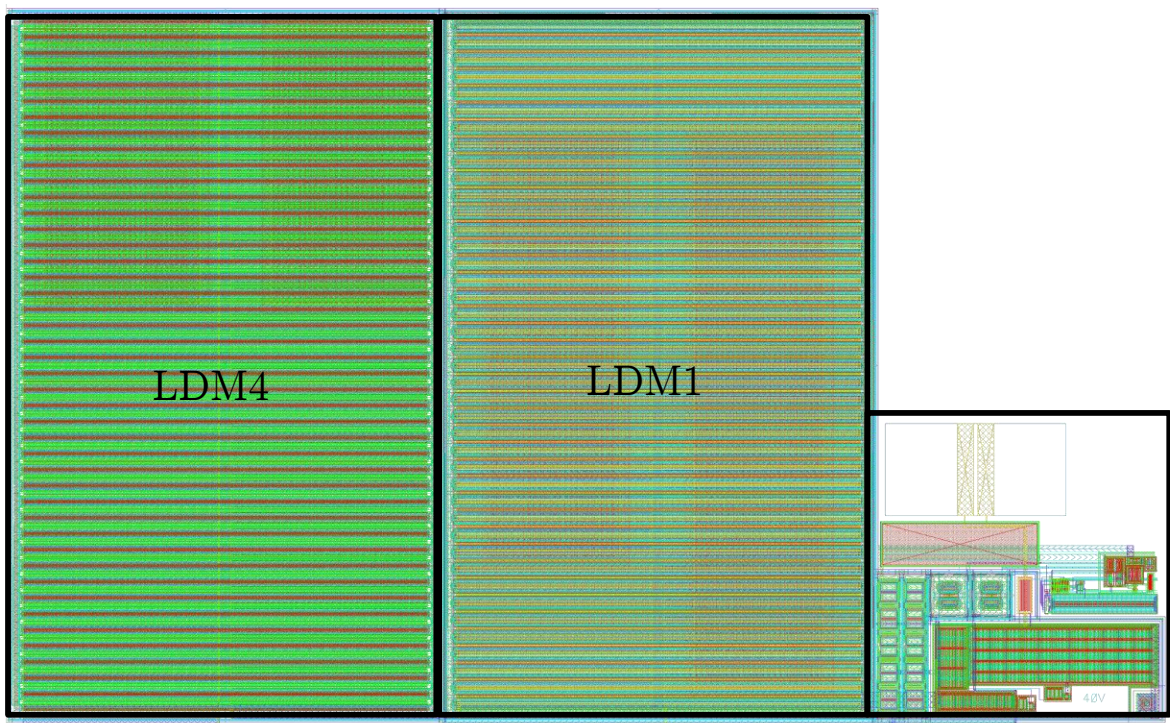


Abbildung 4.7: Layout des DACs

5 Zusammenschaltung der analogen Komponenten

In diesem Kapitel wird anfangs das Konzept einer *Level-Trigger* Schaltung vorgestellt. Im weiteren Verlauf werden Simulationsergebnisse, sowie das Layout für den Testchip präsentiert.

5.1 Level-Trigger

Eine Schaltung zum Detektieren des minimalen Eingangsstroms wird in dieser Anwendung benötigt, da die Drain-Source Spannung des **DMOS** Transistors sich erst ändert, wenn das *Gate* auf die Schwellspannung aufgeladen ist. Die Zeitdauer ist hauptsächlich

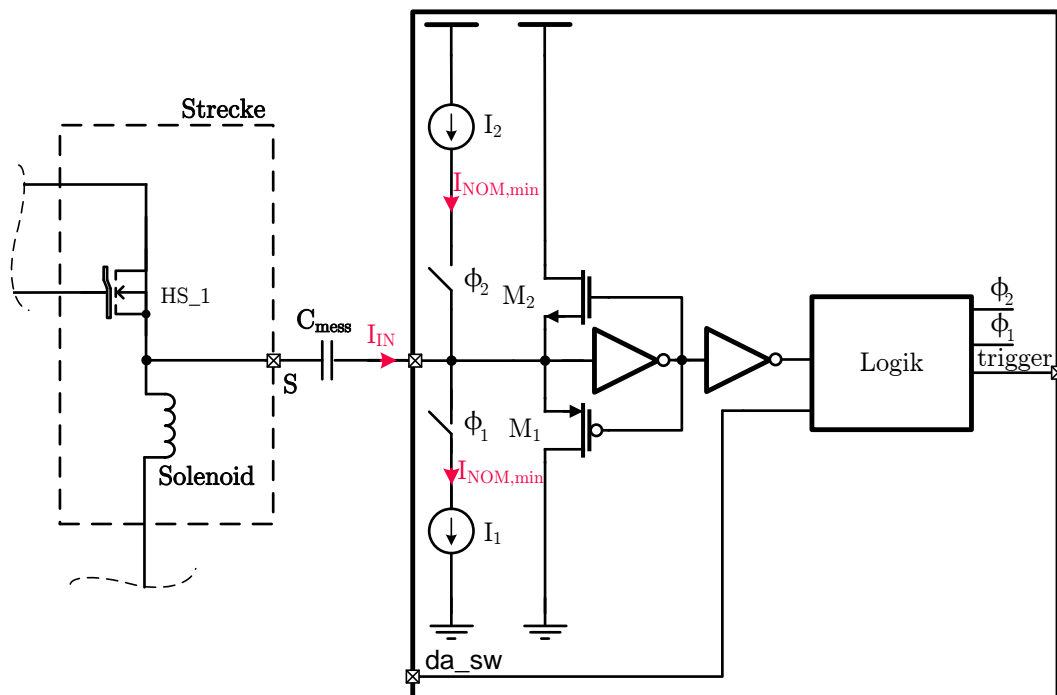


Abbildung 5.1: *Level-Trigger* Konzept

abhängig vom Ladestrom, der *Gate-Source* Kapazität und der Schwellspannung. Eine

Aufzeichnung der Wandlungsergebnisse macht erst Sinn, wenn sich die Spannung des *Source* Knotens ändert.

Ein mögliches Konzept ist in Abbildung 5.1 dargestellt. Die Schaltung besteht aus zwei Stromquellen, einem Komparator und einem Logikteil. In der Phase einer positiven Flanke ist ϕ_1 logisch Eins (ϕ_2 logisch Null) und für eine negative Flanke ist ϕ_2 logisch Eins (ϕ_1 logisch Null). Der verwendete Komparator wurde schon im Abschnitt 3.1.1 vorgestellt.

Der Logikteil ermöglicht es mit einem Komparator auf beide Polaritäten des Eingangstromes zu reagieren. Die einfachste Möglichkeit wäre die Verwendung eines Multiplexers, um je nach Flankentyp das Ausgangssignal oder das Komplement des Ausgangssignales auszuwählen. Beim Pegelwechsel von *da_sw* würde jedoch ein *Glitch* entstehen, da das Umschalten des Multiplexers schneller funktioniert, als der Komparator auf die Stromänderung reagieren kann.

Die in Abbildung 5.2 dargestellte Schaltung unterdrückt diesen *Glitch*. Die Grundidee liegt darin, sich den Ausgangswert vor dem Umschalten zu merken und während des Umschaltens konstant zu halten. Nach dem Umschaltvorgang wird der neue Ausgangswert dann frei gegeben.

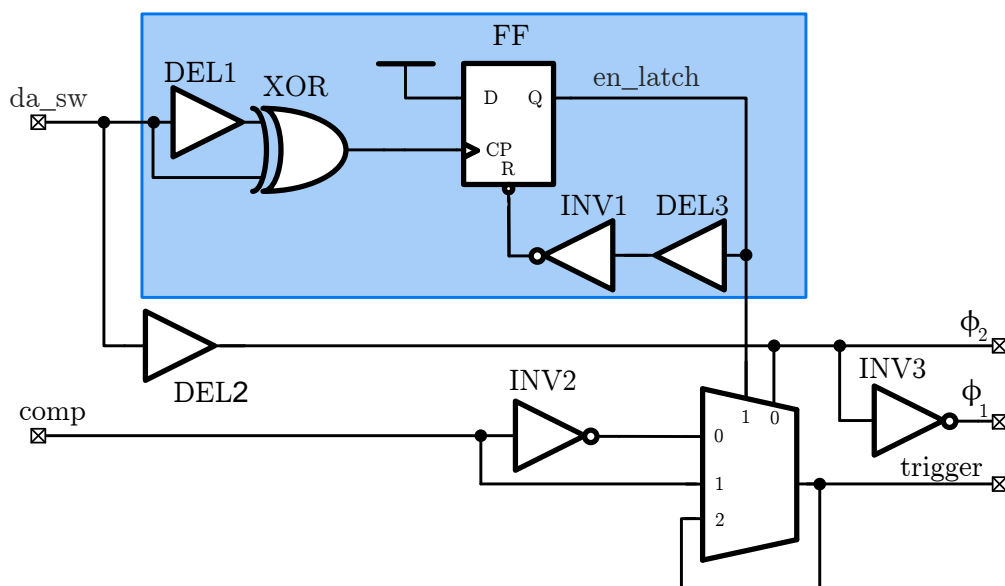


Abbildung 5.2: *Level-Trigger* Logik

Der blau umrahmte Teil generiert bei einem Pegelwechsel des Signales *da_sw* einen Puls. Der Ausgang wird für die Dauer dieses Pulses auf den Eingang rückgekoppelt. Eine Änderung der Signale *comp* und *da_sw* wird somit erst nach dem Aufheben der Rückkopplung an den Ausgang weitergegeben.

5.2 Resultierendes System

In Abbildung 5.3 ist das analoge *Front-End* der digitalen Flankenregelung dargestellt. Der **ADC**, **DAC** und *Level-Trigger* wurden im Verlauf der Arbeit schon ausführlich

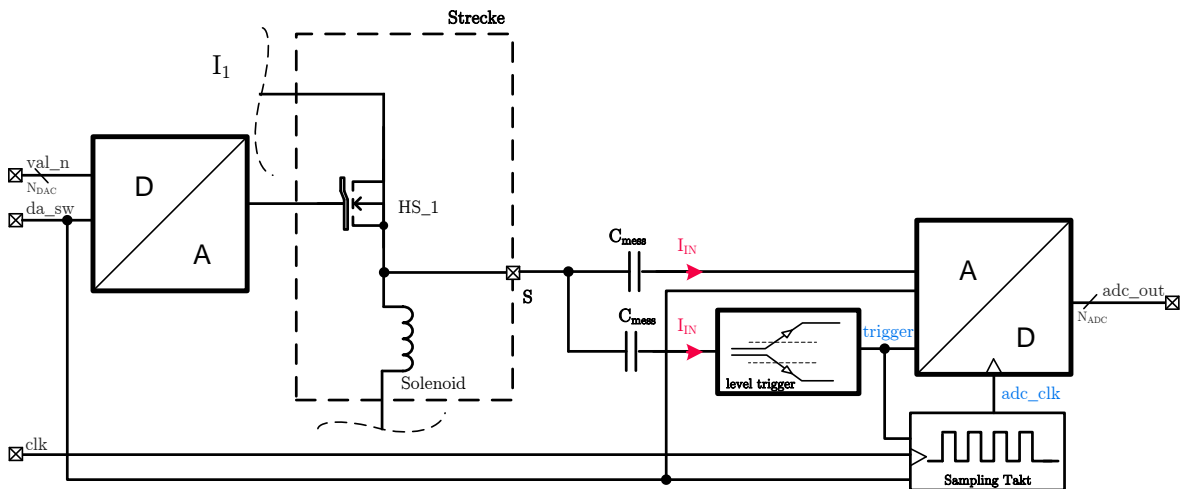


Abbildung 5.3: Resultierendes System

behandelt. Die Generierung des Taktsignales für den **ADC** wurde bisher außen vor gelassen und soll jetzt nachgeholt werden. Der Takt für den **ADC** muss von einem schnelleren Takt abgeleitet werden, damit es möglich ist schnell auf das *Trigger* Signal zu reagieren und die Wandlungsergebnisse zu speichern.

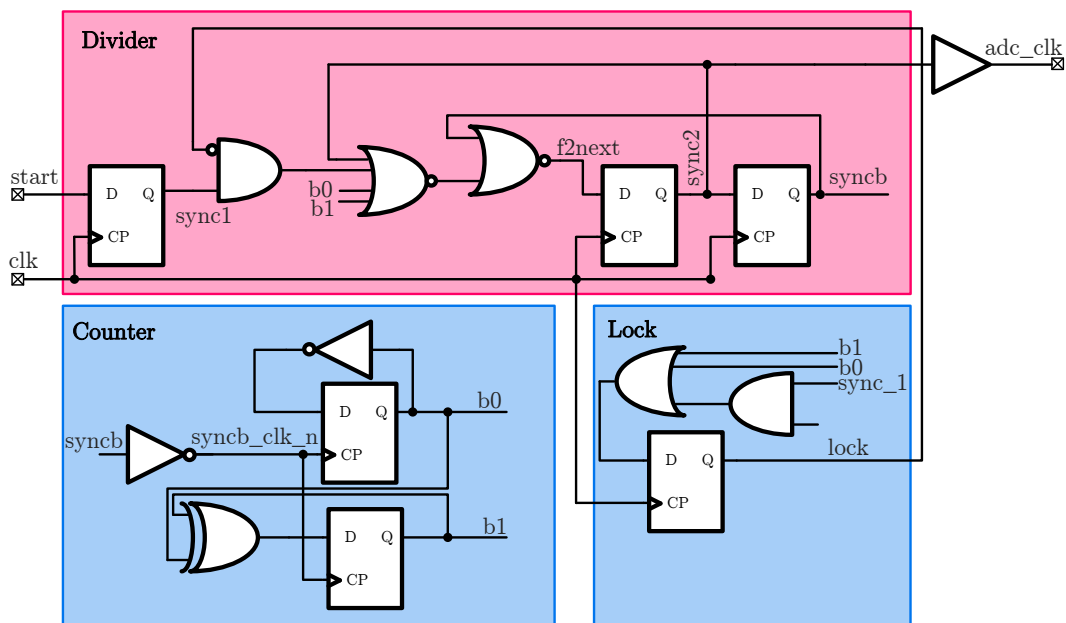


Abbildung 5.4: Schaltung zur Erzeugung des Taktes für den ADC

Eine mögliche Implementierung ist in Abbildung 5.4 dargestellt.

Grundsätzlich besteht die Schaltung aus einem Zähler, einem Frequenzteiler und kombinatorischer Logik.

Die Signalverläufe sind in Abbildung 5.5 dargestellt. Nach einem asynchronen Reset (in Abbildung 5.5 nicht dargestellt) befinden sich die Ausgänge der FFs im Zustand logisch Null. Wechselt das Signal *start* von logisch Null auf logisch Eins, und ist das Signal *lock* logisch Null, wechselt das Signal *sync2* auf einen *High* Pegel.

Eine Taktperiode später nimmt auch das Signal *syncb* einen *High* Pegel an und das Signal *f2next* ist *Low*. Der Logikpegel von *sync2* bzw. *adc_clk* ändert sich somit immer nach zwei Taktperioden. Bei jedem Wechsel von Eins auf Null erhöht sich der *Counter* um Eins.

Das Lock Signal wird zurück gesetzt, wenn der Zählerstand wieder bei Null angelangt ist und das Signal *start* *Low* ist. Durch das Signal *lock* wird somit ein erneutes *Triggern* verhindert.

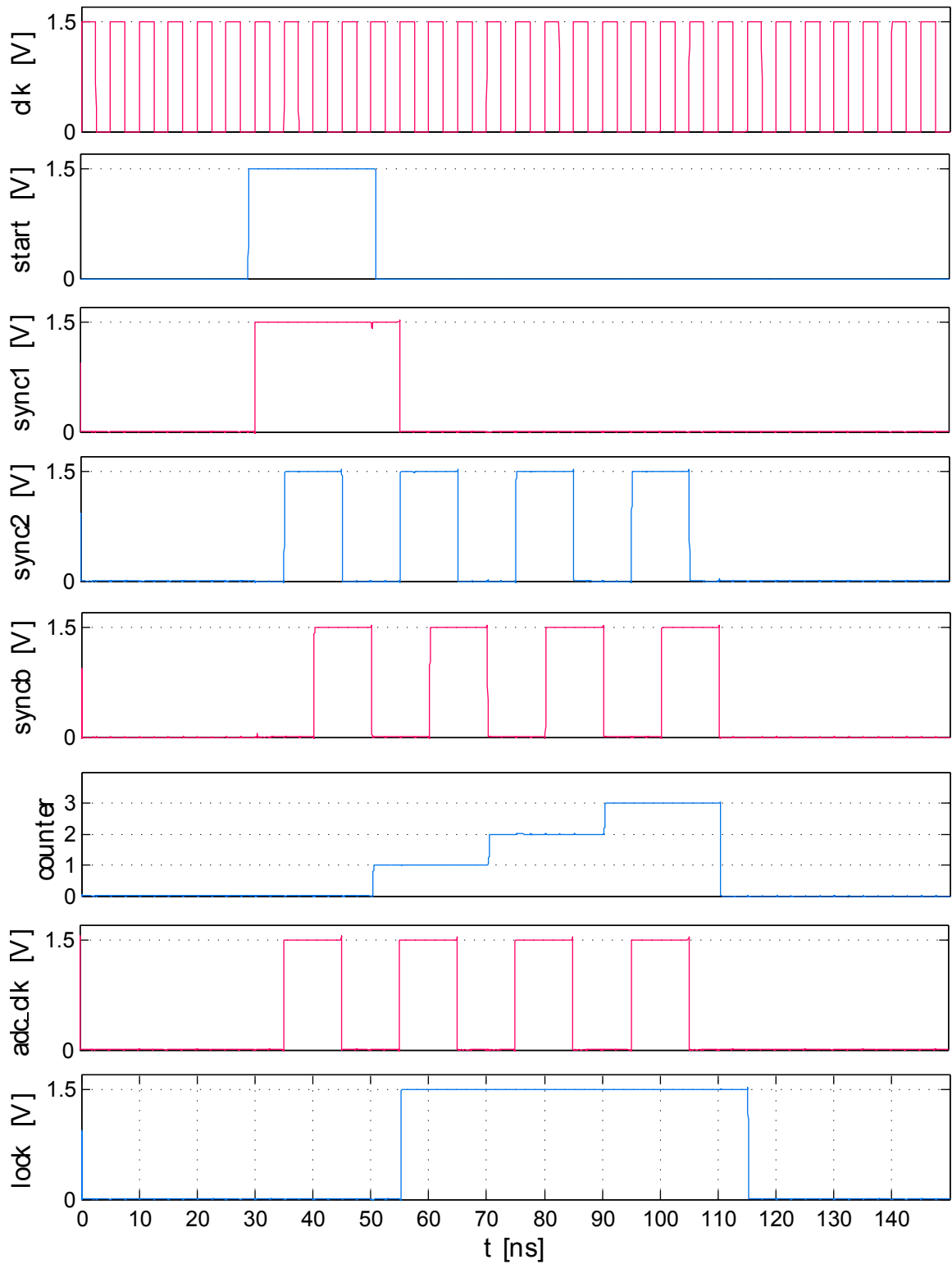


Abbildung 5.5: Verläufe einiger Signale der Taktgenerierung für den ADC

5.3 Simulation

In Abbildung 5.6 sieht man die Ergebnisse von zwei Simulationen des analogen *Front-Ends* für einen Einschaltvorgang. Es sind die Signalverläufe für eine höhere *SR* (rot), sowie eine geringere *SR* (blau) dargestellt.

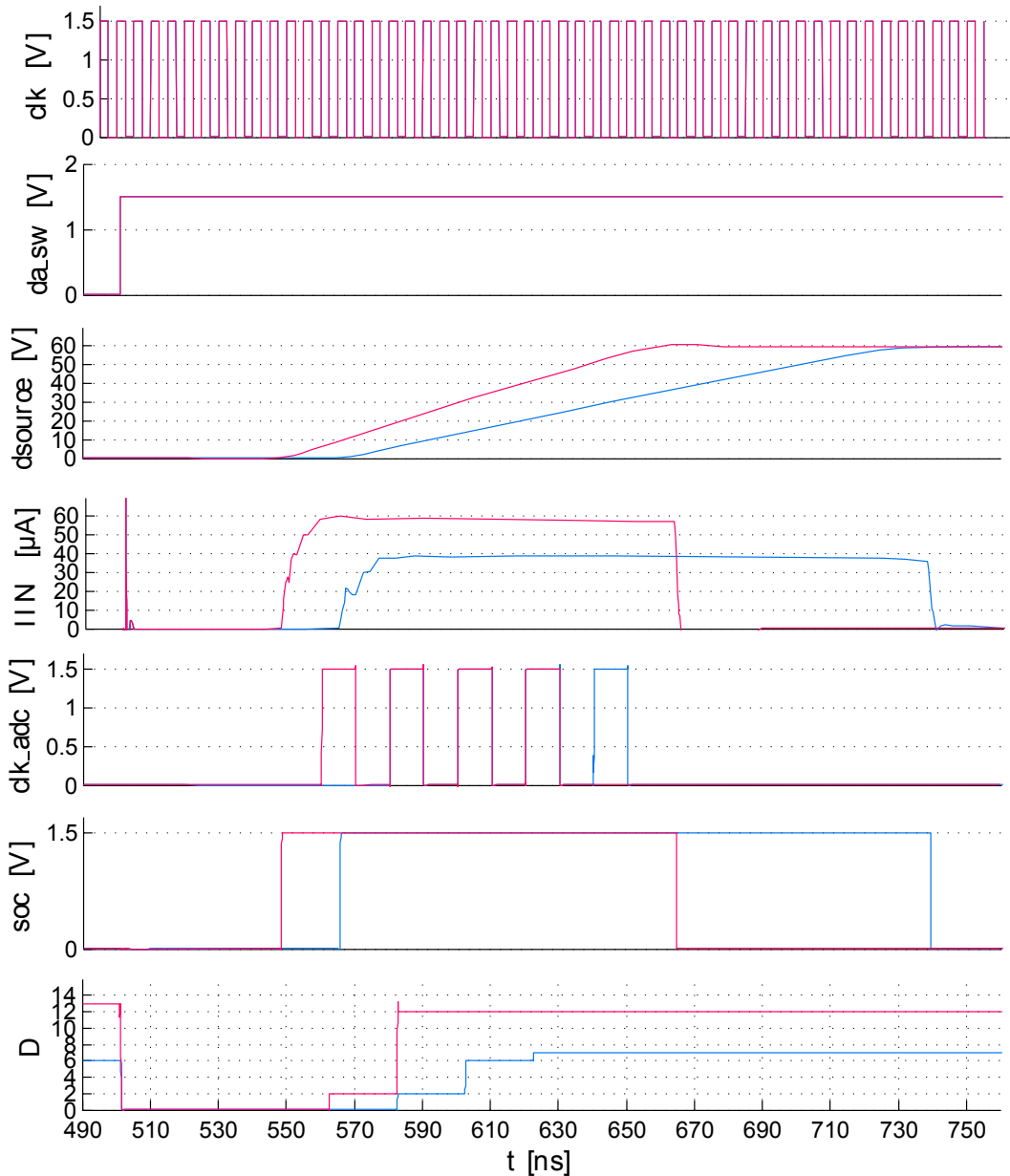


Abbildung 5.6: Simulation des analogen *Front-Ends* für einen Einschaltvorgang (höhere Slew-Rate (rot), geringere Slew-Rate (blau))

5.4 Layout für den Testchip

Das Layout für den Testchip ist in Abbildung 5.7 dargestellt. Auf den Testchip wurden zwei ADCs und ein DAC platziert. Ein ADC ist für Charakterisierungszwecke vorgesehen, der zweite wird in Kombination mit dem DAC verwendet.

Der *Level-Trigger* und die vom *Trigger* Signal abhängige Tatkgenerierung wurden nicht auf den Testchip platziert. Diese Blöcke können nach einer Charakterisierung der aktuell integrierten Blöcke auf einen Testchip gegeben werden.

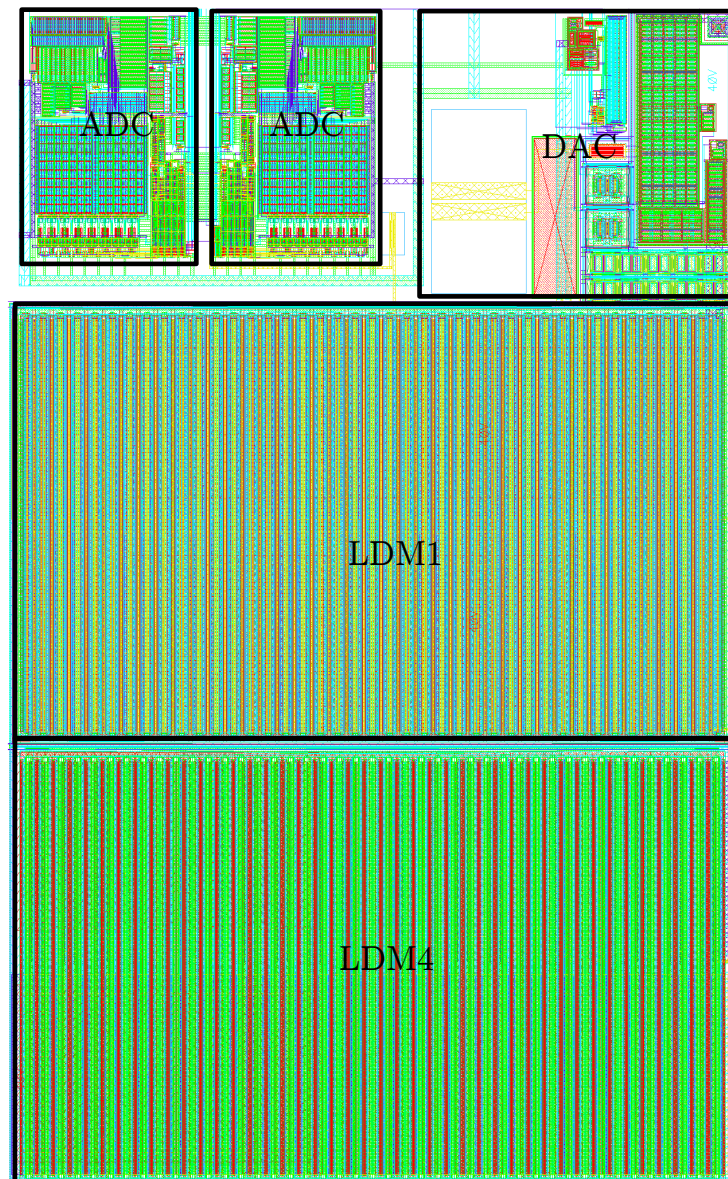


Abbildung 5.7: Toplevel Layout

6 Zusammenfassung und Ausblick

6.1 Kapitelübersicht

Kapitel 1 gibt einen Überblick über die verwendete Technologie und den daraus resultierenden Trend für zukünftige automotiv System-ICs.

Kapitel 2 gibt einen Überblick über eine bestehende Konzeptstudie für eine digitale Flankenregelung. Der grundlegende Aufbau des Regelkreises, sowie die nötigen Komponenten und deren Anforderungen werden vorgestellt.

Kapitel 3 zeigt die Implementierung eines *current-mode Flash ADCs*. Ausgehend von einem grundlegenden Konzept werden Schritt für Schritt die Aufgaben und die schaltungstechnische Umsetzung der einzelnen Komponenten erläutert. Am Ende des Kapitels werden die implementierte Architektur und Simulationsdaten präsentiert.

Kapitel 4 zeigt die Implementierung eines *DACs* (Gate-Treibers) für die Ansteuerung eines Hochvolttransistors, sowie die zugehörigen Simulationsdaten.

Kapitel 5 präsentiert das analoge *Front-End* des digitalen Regelkreises. Die Komponenten, welche in den vorangehenden Kapiteln erarbeitet wurden, werden zu einem Gesamtsystem zusammengefügt. Weitere Komponenten, die für die Funktion des Gesamtsystems benötigt werden, werden ebenfalls vorgestellt.

6.2 Ergebnisse und Diskussion

Abschließend sollen nun die Ergebnisse und zentralen Punkte dieser Arbeit zusammengefasst werden.

Die Vorteile von BCD-Technologien mit minimalen Kanallängen im DSM-Bereich liegen darin, Hochvolt-Bauelemente und digitale Schaltungen mit hoher Integrationsdichte, auf einem einzigen Chip zu realisieren. Leistungsbauelemente und bipolare Transistoren können von den immer kleiner werdenden Strukturgrößen nicht profitieren. Es ist daher wichtig, so viel wie möglich an Funktionalität aus dem Hochvolt-Bereich in den Niedervolt-Bereich zu transferieren, um wettbewerbsfähig bleiben zu können.

In Anwendungen, bei denen der analoge Schaltungsteil den „Flaschenhals“ bildet, kann oftmals durch digitale Signalverarbeitung die Leistung des Gesamtsystems verbessert werden, indem man Synergien zwischen den analogen und digitalen Blöcken nützt.

Die Implementierung des ADCs für den digitalen Regelkreis bildet den Hauptteil der Arbeit. Der ADC wurde vollständig mit Niedervolt-Transistoren realisiert. Die Hochvolt-Abtrennung für die Messung wurde durch eine Kapazität realisiert.

Der Vorteil dieser Lösung besteht darin, dass auf eine Schutzschaltung mit Hochvolt-Bauelementen verzichtet werden kann, wodurch ein Flächenvorteil erzielt wird.

Das umzusetzende Signal ist in dieser Applikation ein Strom. Um auf einen Messumformer verzichten zu können, wurde für die Umsetzung ein *current-mode Flash* ADC gewählt.

Ausgehend vom grundlegenden Konzept eines *current-mode Flash* ADCs und der Spezifikation wurde Schritt für Schritt ein entsprechendes Design erarbeitet und dann auf Silizium realisiert.

Die Verwendung eines geeigneten Komparators ist essentiell für die *Performance* eines ADCs. Der verwendete Komparator zeichnet sich durch einen einfachen Aufbau und geringe Verzögerungszeit, auch bei kleinen Stromdifferenzen, aus.

Der eigentliche Komparator wurde um eine *Latch*-Stufe erweitert, um die Wahrscheinlichkeit für das Auftreten eines metastabilen Zustandes zu verringern.

Um die geforderte Umsetzdauer und die Genauigkeit der Stromspiegel des ADCs zu erreichen, wurde ein *Buffer* verwendet, um die Signal-Stromquellen anzusteuern. Der Buffer wurde als Klasse AB Verstärker implementiert, um die SR-Limitierung eines einfachen Differenzverstärkers zu umgehen.

Die Polarität des Stromes ist bei steigender und fallender Flanke unterschiedlich. Um

nicht für jede Polarität einen eigenen [ADC](#) implementieren zu müssen, wurde eine Eingangstufe entwickelt, die einen Ausgangsstrom generiert, der dem Betrag des Eingangstromes entspricht. Weiters wird in dieser Eingangsstufe die Beschränkung des Messbereiches realisiert.

Das „thermometer-kodierte“ Signal am Ausgang der Komparatorokette wird einem auf Multiplexern basierenden Dekodierer zugeführt. Dieser Dekodierer zeichnet sich durch einen einfachen Aufbau und geringen statischen Stromverbrauch aus.

Des Weiteren wurde die Verwendung einer *current-mode* Sample-Hold Schaltung untersucht, die ebenfalls zur Vorzeichenumkehr des Eingangstromes verwendet werden kann. Diese Aufgabe kann jedoch von der Eingangsstufe vorteilhafter und effizienter erledigt werden.

Die Verwendung eines digital konfigurierbaren *Gate*-Treibers beschränkt sich nicht auf die Anwendung in einem digitalen Regelkreis.

Für das finale analoge *Front-End* wurde auch noch eine Schaltung zum Detektieren der Schwellspannung des [DMOS](#) implementiert. Dies hat den Vorteil, dass ausschließlich gültige Wandlungsergebnisse gespeichert werden.

Um eine schnelle Reaktion auf diese Information zu erreichen, wird der Takt für den [ADC](#) von einem schnelleren Systemtakt abgeleitet.

Die Implementierung und die simulationstechnische Verifikation der Blöcke wurde vollständig durchgeführt. Es folgen die messtechnische Verifikation im Labor, sowie Untersuchungen über die Störfestigkeit des *current-mode* [ADCs](#).

Um eine Evaluierung der einzelnen Komponenten zu ermöglichen, wurden im Design für den Testchip diverse Möglichkeiten vorgesehen. Der [ADC](#) wurde einmal ohne, und einmal mit Anbindung an den *Gate*-Treiber auf den Testchip gegeben.

Die nicht an den [DAC](#) angekoppelte Version ermöglicht die Evaluierung der [ADC](#)-Kenngrößen. In Verbindung mit dem [DAC](#) können die Wandlungsergebnisse unter Applikationsbedingungen evaluiert werden.

6.3 Ausblick

Der nächste Schritt nach der durchgeführten Arbeit besteht in der Implementierung des digitalen Reglers. Für einen ersten Schritt wäre die Implementierung des Reglers mit einem *field-programmable gate array* ([FPGA](#)) denkbar.

Dieses *Setup* würde ein einfaches *Debugging* des Digitalteils ermöglichen und es könnten problemlos verschiedene Reglerimplementierungen mit der realen Strecke und dem realen Analog/Digital Interface getestet werden.

Ein interessantes Projekt wäre die Erstellung eines Demonstrators, um das Konzept möglichen Kunden vorstellen zu können.

Literaturverzeichnis

- [AH02] ALLEN, Phillip E. ; HOLBERG, Douglas R.: *CMOS Analog Circuit Design*. 2. Auflage. Oxford University Press, Inc., 2002. – ISBN 0–19–511644–5
- [AP08] AGRAWAL, N. ; PAIFY, R.: An improved ROM architecture for bubble error suppression in high speed flash ADCs. In: *Student Paper, 2008 Annual IEEE Conference*, 2008, S. 1 –5
- [Aue09] AUER, Mario: *Analog Integrated Circuit Design and Simulation I/II, Skriptum*. Institut für Elektronik, TU Graz, 2009
- [Bak05] BAKER, R. J.: *CMOS Circuit Design, Layout, and Simulation*. 2. John Wiley & Sons, Inc., 2005. – ISBN 0–471–70055–X
- [BB02] BELL, J.A. ; BRUCE, J.W.: CMOS current mode interpolating flash analog to digital converter. In: *Circuits and Systems, 2002. MWSCAS-2002. The 2002 45th Midwest Symposium on* Bd. 2, 2002, S. II–363 – II–366 vol.2
- [BRJ04] BHAT, M.S. ; REKHA, S. ; JAMADAGNI, H.S.: Design of low power current-mode flash ADC. In: *TENCON 2004. 2004 IEEE Region 10 Conference* Bd. D, 2004, S. 241 – 244 Vol. 4
- [CH92] CHATTERTON, P.A. ; HOULDEN, M.A.: *EMC Electromagnetic Theory to Practical Design*. 1. Auflage. John Wiley & Sons Ltd, Baffins Lane, Chichester, West Sussex PO19 1UD, England, 1992. – ISBN 0–471–92878–X
- [DVT88] DAUBERT, S.J. ; VALLANCOURT, D. ; TSIVIDIS, Y.P.: Current copier cells. In: *Electronics Letters* 24 (1988), dec, Nr. 25, S. 1560 –1562. – ISSN 0013–5194
- [ET96] ENZ, Christian C. ; TEMES, Gabor C.: Circuit Techniques for Reducing the Effects of Op-Amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization. In: *Proceedings of the IEEE, Volume 84, Number 11*, 1996, S. 1584–1614
- [GHLM01] GRAY, Paul R. ; HURST, Paul J. ; LEWIS, Stephen H. ; MEYER, Robert G.:

- Analysis and Design of Analog Integrated Circuits*. 4. Auflage. John Wiley & Sons, Inc., 2001. – ISBN 0-471-32168-0
- [GHS91] GAUSCH, F. ; HOFER, A. ; SCHLACHER, K.: *Digitale Regelkreise*. Institut für Regelungstechnik - Technische Universität Graz, 1991
- [HM96] HU, X. ; MARTIN, K.W.: A switched-current sample-and-hold circuit. In: *Circuits and Systems, 1996. ISCAS '96., Connecting the World., 1996 IEEE International Symposium on* Bd. 1, 1996, S. 191 –194 vol.1
- [IEE01] IEEE: IEEE Standard for Terminology and Test Methods for Analog-To-Digital Converters. In: *IEEE Std 1241-2000* (2001), S. i. <http://dx.doi.org/10.1109/IEEESTD.2001.92771>. – DOI 10.1109/IEEESTD.2001.92771
- [IF04] IVANOV, Vadim V. ; FILANOVSKY, Igor M.: *Operational Amplifier Speed and Accuracy Improvement: Analog Circuit Design with Structural Methodology*. 1. Auflage. Kluwer Academic Publishers, 2004. – ISBN 1-4020-7772-6
- [Jan10] JANSCHITZ, Johannes: *Konfigurierbare integrierte digitale Flankenregelung von externen und internen hochvoltfesten MOS-Transistoren in automobilen Applikationen*, Technische Universität Graz Institut für Elektronik, Diplomarbeit, März 2010
- [JM97] JOHNS, David A. ; MARTIN, Ken: *Analog Integrated Circuit Design*. John Wiley & Sons, Inc., 1997. – ISBN 0-471-14448-7
- [Kes05] KESTER, Walt: *Data conversion handbook*. Analog Devices ; Walter Kester, editor ; with the technical staff of Analog Devices, 2005. – ISBN 9780750678414 0750678410
- [LHW00] LIN, Hongchin ; HUANG, Jie-Hau ; WONG, Shyh-Chyi: A simple high-speed low current comparator. In: *Circuits and Systems, 2000. Proceedings. ISCAS 2000 Geneva. The 2000 IEEE International Symposium on* Bd. 2, 2000, S. 713 –716 vol.2
- [Man90] MANGELSDORF, C.W.: A 400-MHz input flash converter with error correction. In: *Solid-State Circuits, IEEE Journal of* 25 (1990), feb, Nr. 1, S. 184 –191. <http://dx.doi.org/10.1109/4.50302>. – DOI 10.1109/4.50302. – ISSN 0018-9200
- [Mur06] MURMANN, B.: Digitally Assisted Analog Circuits. In: *Micro, IEEE* 26 (2006), march-april, Nr. 2, S. 38 –47. <http://dx.doi.org/10.1109/MM.2006.33>. – DOI 10.1109/MM.2006.33. – ISSN 0272-1732

- [MVK08] MURMANN, B. ; VOGEL, C. ; KOEPL, H.: Digitally enhanced analog circuits: System aspects. In: *Circuits and Systems, 2008. ISCAS 2008. IEEE International Symposium on*, 2008, S. 560 –563
- [Nai92] NAIRN, D.G.: Amplifiers for high-speed current-mode sample-and-hold circuits. In: *Circuits and Systems, 1992. ISCAS '92. Proceedings., 1992 IEEE International Symposium on* Bd. 4, 1992, S. 2045 –2048 vol.4
- [Nai94] NAIRN, D.G.: Zero-voltage switching in switched current circuits. In: *Circuits and Systems, 1994. ISCAS '94., 1994 IEEE International Symposium on* Bd. 5, 1994, S. 289 –292 vol.5
- [NS90] NAIRN, D.G. ; SALAMA, C.A.T.: Current-mode algorithmic analog-to-digital converters. In: *Solid-State Circuits, IEEE Journal of* 25 (1990), aug, Nr. 4, S. 997 –1004. <http://dx.doi.org/10.1109/4.58292>. – DOI 10.1109/4.58292. – ISSN 0018–9200
- [PDW89] PELGROM, M.J.M. ; DUINMAIJER, A.C.J. ; WELBERS, A.P.G.: Matching properties of MOS transistors. In: *Solid-State Circuits, IEEE Journal of* 24 (1989), oct, Nr. 5, S. 1433 – 1439. <http://dx.doi.org/10.1109/JSSC.1989.572629>. – DOI 10.1109/JSSC.1989.572629. – ISSN 0018–9200
- [Raz01] RAZAVI, Behzad: *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, 2001. – ISBN 0–07–118839–8
- [Raz12] RAZAVI, Behzad: *Fundamentals of Microelectronics*. 2. Auflage. Wiley, 2012. – ISBN 1118156323
- [RSDB97] RAVEZZI, L. ; STOPPA, D. ; DALLA BETTA, G.-F.: Simple high-speed CMOS current comparator. In: *Electronics Letters* 33 (1997), oct, Nr. 22, S. 1829 –1830. <http://dx.doi.org/10.1049/el:19971250>. – DOI 10.1049/el:19971250. – ISSN 0013–5194
- [RWO+11] RUDOLF, R. ; WAGNER, C. ; O'RIAIN, L. ; GEBHARDT, K. ; KUHN-HEINRICH, B. ; EHRENWALL, B. von ; EHRENWALL, A. von ; STRASSER, M. ; STECHER, M. ; GLASER, U. ; ARESU, S. ; KUEPPER, P. ; MAYERHOFER, A.: Automotive 130 nm smart-power-technology including embedded flash functionality. In: *Power Semiconductor Devices and ICs (ISPSD), 2011 IEEE 23rd International Symposium on*, 2011. – ISSN 1943–653X, S. 20 –23
- [San06] SANSEN, Willy M.: *Analog Design Essentials*. Springer Verlag, 2006. – ISBN 0–387–25746–2
- [SV04] SAIL, E. ; VESTERBACKA, M.: A multiplexer based decoder for flash analog-

- to-digital converters. In: *TENCON 2004. 2004 IEEE Region 10 Conference* Bd. D, 2004, S. 250 – 253 Vol. 4
- [Tra92] TRAFF, H.: Novel approach to high speed CMOS current comparators. In: *Electronics Letters* 28 (1992), jan., Nr. 3, S. 310–312. <http://dx.doi.org/10.1049/el:19920192>. – DOI 10.1049/el:19920192. – ISSN 0013–5194
- [Tre10] TRESCASES, O.: *Switched Mode Power Supplies, Kursunterlagen*. Infineon Technologies AG., 2010
- [TT94] TANG, A.T.K. ; TOUMAZOU, C.: High performance CMOS current comparator. In: *Electronics Letters* 30 (1994), jan, Nr. 1, S. 5 –6. <http://dx.doi.org/10.1049/el:19940003>. – DOI 10.1049/el:19940003. – ISSN 0013–5194
- [Wap07] WAPPIS, Herwig: *Auswirkungen und Einflüsse von automobilen Zuverlässigkeitsanforderungen auf analoge Schaltungskonzepte in hochvoltfähigen Deep-Sub-Micron Technologien*, Technische Universität Graz Institut für Elektronik, Diplomarbeit, September 2007