

Adaptiver Abgleich der Slewrates im CAN-Bus bei integrierten Schaltungen während des Betriebs zur Verbesserung der elektromagnetischen Verträglichkeit

Masterarbeit
MA670

Axel Schönauer

Betreuer:

Ass. Prof. Dipl.-Ing. Dr. Peter Söser

Dipl.-Ing. Michael Hausmann (Infineon Technologies Austria AG)

Dipl.-Ing. Dr. Heinz Novak (Infineon Technologies Austria AG)

Technische Universität Graz

Institut für Elektronik

Leiter: Univ.-Prof. Dipl.-Ing. Dr. Wolfgang Pribyl



Graz, April 2011

Vorwort

Nach dem Abschluss meines Bachelorstudiums der Telematik spezialisierte ich mich im Masterstudium auf System-on-Chip-Design. Ich hatte neben dem Studium schon die Möglichkeit einschlägige Berufserfahrung zu sammeln. Seit 2007 bin ich bei der Firma Infineon in Graz beschäftigt, so ergab sich auch die Zusammenarbeit bei meiner Masterarbeit.

Ich bedanke mich bei Herrn Ass. Prof. Dipl.-Ing. Dr. Peter Söser vom Institut für Elektronik für die Betreuung meiner Diplomarbeit. Besonderer Dank gilt Herrn Dipl.-Ing. Michael Hausmann (Firma Infineon), der die Idee dieser Arbeit geboren hat. Vielen Dank auch an Herrn Dipl.-Ing. Dr. Heinz Novak für CAN-spezifische Fragen sowie auch Herrn Dipl.-Ing. Gebhard Melcher für Hilfestellungen beim Schaltungsdesign.

Ebenso möchte ich mich bei meinen Freunden bedanken, die mir bei fachlichen Fragen und im privaten Leben geholfen haben, sowie meiner Familie für den Rückhalt und die Unterstützung während meiner Ausbildung.

Kurzfassung

Durch den steigenden Aufwand an Elektronik in Automobilen ist die Kommunikationstechnik zu einem immer wichtiger werdenden Faktor geworden. Um eine Reduzierung der Kabelbäume zu erreichen, wurden die sogenannten Autobusprotokolle entwickelt. Das CAN-Protokoll ist darunter eines der leistungsfähigsten, welches im Jahr 1989 von den beiden kooperierenden Firmen Bosch und INTEL vorgestellt wurde. Um eine gute Störfestigkeit bei Übertragungsgeschwindigkeiten bis zu 1 Mbit/s zu erreichen, wird eine differentielle Übertragung eingesetzt. Elektromagnetische Störungen wirken sich dadurch auf beide Signalleitungen gleichermaßen aus und werden durch Differenzbildung eliminiert. Asymmetrien der Signalverläufe verursachen jedoch Störströme und folglich auch eine elektromagnetische Abstrahlung. Von besonderer Bedeutung sind die Pegelwechsel, bei denen 2 Ausgangstreiber ein identes Schaltverhalten aufweisen müssen. Dieses Schaltverhalten ist durch die Slewrate und den Schaltzeitpunkt bestimmt.

Im Rahmen dieser Arbeit wird ein Regelkreis entwickelt, der adaptiv eine Anpassung der Slewrate und des Schaltzeitpunkts während des Betriebs durchführt. Der Schaltungsentwurf erfolgt in der Smart Power Technologie SPT7 von der Firma Infineon Technologies AG. Zu Beginn dieser Arbeit wird das CAN-Protokoll vorgestellt und die Wichtigkeit der Elektromagnetischen Verträglichkeit aufgezeigt. Nach dem Design der Schaltung werden anhand von Simulationen die Funktion und Genauigkeit analysiert.

Abstract

The increasing complexity in automotive electronics faces new challenges for communication technologies. To reduce the automotive wiring harness, fieldbus protocols were applied. A very efficient one is the CAN protocol, which has been invented in 1989 by the two cooperating companies Bosch and INTEL. Differential pairs were used for better noise immunity at transfer rates up to 1 Mbit/s. Electromagnetic interferences are similarly effecting both signal lines. Building the differential signal eliminates this common mode. If the two signals are not symmetrical, an interference current is generated and accordingly an electromagnetic emission. Signal transitions obtain high importance, because the two output drivers have to show an identical switching behavior. This behavior is characterized by the slewrate and the switching point.

In this paper a feedback control system has to be developed, which adapts the slewrate and the switching point during operation. The circuit design is done in the smart power technology SPT7 from Infineon Technologies AG. At the beginning of this paper an introduction to the CAN protocol is given and the importance of the electromagnetic compatibility will be illustrated. After designing the circuits, simulations will show functionality and accuracy.

EIDESSTATTLICHE ERKLÄRUNG

Ich erkläre an Eides statt, dass ich die vorliegende Arbeit selbstständig verfasst, andere als die angegebenen Quellen/Hilfsmittel nicht benutzt und die den benutzten Quellen wörtlich und inhaltlich entnommenen Stellen als solche kenntlich gemacht habe.

Datum

Unterschrift

STATUTORY DECLARATION

I declare that I have authored this thesis independently, that I have not used other than the declared sources / resources, and that I have explicitly marked all material which has been quoted either literally or by content from the used sources.

date

signature

Inhaltsverzeichnis

1	Einleitung	8
1.1	Motivation	8
1.2	Struktur der Arbeit	9
2	CAN (Controller Area Network)	10
2.1	Standard	11
2.2	Differentielle Übertragung	15
2.3	Topologie	17
3	EMV (Elektromagnetische Verträglichkeit)	18
3.1	EMV in Automobilen	21
3.2	EMV beim CAN-Bus	22
4	Fertigungsprozess SPT 7	24
5	Konzept der adaptiven Regelung	26
5.1	Detektionsschaltung	27
5.2	Messung der Slewrates	28
5.3	Messung der Schaltzeitpunkte	29
5.4	Algorithmus	31
5.5	CAN-Transmitter	33
6	Analoger Schaltungsentwurf	36
6.1	Erzeugung der Bias-Ströme	36
6.2	Hochpassfilter	39
6.2.1	Filter 1. Ordnung	39
6.2.2	Filter 2. Ordnung	41
6.2.3	Vergleich Filter 1. Ordnung und 2. Ordnung	46
6.3	Komparator zur Bestimmung der Anstiegszeiten	50
6.4	Laden der Kondensatoren	54

6.5	Komparator zum Vergleich der Spannungen	56
7	Digitaler Schaltungsentwurf	61
7.1	Algorithmus	61
7.2	Transmitter	61
7.3	Steuersignale	64
8	Simulation des Reglers	66
9	Zusammenfassung und Ausblick	73
	Abkürzungsverzeichnis	75
	Literaturverzeichnis	77
	Abbildungsverzeichnis	79
	Tabellenverzeichnis	81
A	Schematics	82
B	Simulationen	95

Kapitel 1

Einleitung

1.1 Motivation

Beim Betrieb eines CAN (Controller Area Network)-Transceivers spielt die EMV (Elektromagnetische Verträglichkeit) eine wesentliche Rolle. Bei einem differentiellen Bus, wie dem CAN-Bus, wird die EMV-Abstrahlung stark durch die Flankenform der komplementären Signale CANH und CANL bestimmt. Für eine minimale Abstrahlung müssen beide Signale zu jedem Pegelwechsel die gleiche Steigung und den gleichen Schaltzeitpunkt aufweisen. Das bedeutet, die Slewrate und der Schaltzeitpunkt der steigenden Flanke von CANH muss mit der fallenden Flanke von CANL abgestimmt werden und umgekehrt.

Bereits existierende Lösungen verwenden PROM-Lösungen, um die Ausgangstreiber der Transceiver zu trimmen. Dies kann jedoch nur einmal zum Produktionszeitpunkt durchgeführt werden, und das natürlich auch nur bei einer bestimmten Temperatur. Da der CAN-Bus hauptsächlich in Automobilen seine Anwendung findet, treten hier jedoch hohe Temperaturschwankungen während des Betriebs auf. Ein weiteres Problem findet sich bei der Verwendung unterschiedlicher Transistortypen. So werden oftmals PMOS (p-Kanal-Metall-Oxid-Halbleiter) Transistoren als Treiber für CANH und NMOS (n-Kanal-Metall-Oxid-Halbleiter) Transistoren als Treiber für CANL verwendet. Da bei einem Pegelwechsel beide Treiber gleichzeitig aktiv sind, müssen diese über den gesamten Temperaturbereich und ihre gesamte Lebensdauer abgestimmt werden.

In dieser Arbeit wird ein Regelkreis vorgestellt, der adaptiv eine Anpassung der Flanken der beiden komplementären Signale vornimmt. Dabei werden die Slewrates und Schaltzeitpunkte bei jedem Pegelwechsel gemessen und anschließend

verglichen. Ein Algorithmus entscheidet dann, welche Flanke angepasst werden muss. Als Resultat werden Trimmwerte erzeugt, die die Treiberstärke für CANH und CANL anpassen.

Die Implementierung der Schaltung erfolgt in der Smart Power Technology SPT7 von Infineon Technologies AG. Nach dem Design wird die Schaltung auf ihre Funktion und Genauigkeit analysiert. Statistische Simulationen zeigen, wie sich Prozessvariationen und Mismatches auf das Verhalten der Schaltung auswirken.

1.2 Struktur der Arbeit

In **Kapitel 2** wird das CAN-Busprotokoll vorgestellt. Auf Charakteristika wie Kommunikationstechnik, Botschaftsformat, Ausnahmebehandlung und Leitungstreibereigenschaften wird näher eingegangen. Die Vorteile der verwendeten differentiellen Übertragung werden aufgezeigt.

In **Kapitel 3** wird das Thema EMV behandelt. Im Speziellen werden dabei die Aspekte der Automobilindustrie betrachtet. Ebenso werden EMV-Anforderungen beschrieben, die beim Design eines CAN-Transceivers berücksichtigt werden müssen.

Im **Kapitel 4** wird dann auf die Fertigungstechnologie SPT7 eingegangen. Anschließend wird in **Kapitel 5** das Konzept des adaptiven Regelkreises vorgestellt. Die Funktionen und Schnittstellen der einzelnen Blöcke werden ausgearbeitet.

In **Kapitel 6** und **Kapitel 7** werden die analogen bzw. digitalen Blöcke entwickelt.

In **Kapitel 8** zeigen Simulationen die Funktionalität und Genauigkeit des entwickelten Regelkreises.

Kapitel 2

CAN (Controller Area Network)

Die Kommunikationstechnik gewinnt in heutigen Systemen immer mehr an Bedeutung. Durch die steigende Leistungsfähigkeit der Informationsverarbeitungseinheiten werden neue Herausforderungen an das Kommunikationsnetzwerk gestellt. Charakteristiken bezüglich Zuverlässigkeit, Sicherheit, Robustheit, Echtzeitfähigkeit, Übertragungsgeschwindigkeit, etc. spielen dabei eine wesentliche Rolle.

Für industrielle Anwendungen finden die sogenannten Feldbusprotokolle ihren Einsatz bei der Kommunikation zwischen Prozessoren, Aktoren und Sensoren. Aufgrund des großen Fortschritts der Halbleiterindustrie besteht in diesem Bereich ein großes Marktpotential, welches einen hohen Grad an Standardisierung verlangt. Diese Standardisierungen wurden von den Firmen mit Unterstützung der Organisationen ISO (International Standardisation Organisation) und SAE (Society of Automotive Engineers) aufgrund der detaillierten Anforderungen an die Protokolle ausgearbeitet und spezifiziert.

Seit Mitte der achtziger Jahre haben sich verschiedenste Feldbusprotokolle etabliert, von denen Protokolle wie CAN, FlexRay, LIN (Local Interconnect Network), Byteflight etc. die Untergruppe der sogenannten Autobusprotokolle bilden. Eine wichtige Anforderung dabei war die steigende Komplexität des Kabelbaums zu reduzieren, der mehr als 2000 m Kabellänge umfassen und mehr als 100 kg wiegen kann. Seit Anfang der neunziger Jahre wird CAN in Serienautomobilen eingesetzt und ist mittlerweile das am meisten verbreitete Protokoll in diesem Anwendungsbereich.[13, S. 1-14]

2.1 Standard

CAN ist in der ISO 11519 (Low-Speed-Kommunikationsbereich: Bitraten unterhalb 125 kbit/s) und der ISO 11898 (High-Speed-Kommunikationsbereich: Bitraten oberhalb 125 kbit/s) standardisiert, wo Schicht 1 (Bitübertragung) und 2 (Sicherheit) des OSI (Open System Interconnect)-Schichtenmodells definiert sind. Im Folgenden werden die spezifizierten Charakteristika, die das funktionale Verhalten des CAN erklären, aufgeführt [13, S. 30-40]:

Multimaster-Hierarchie

Die Multimaster-Fähigkeit wurde aus Sicherheitsgründen eingeführt. Da jeder Knoten in der Lage ist eine Kommunikation zu starten, hat ein Ausfall eines Knotens keine Beeinträchtigung der Funktion des Gesamtsystems zur Folge.

CSMA/CD+CR-Mediumzugriffstechnik

Aufgrund der Multimaster-Eigenschaft wurde eine CSMA/CD+CR (Carrier Sense, Multiple Access/Collision Detection + Collision Resolution)- Mediumzugriffstechnik verwendet. Nachdem immer nur ein Busteilnehmer zu einer Zeit übertragen kann, müssen alle weiteren warten bis der Bus wieder frei wird und dann eine Anfrage durchführen. Diese Anfrage beginnt mit einem Startbit zur Synchronisation mit den Empfängern, gefolgt von Identifier-Bits, welche Namen und Priorität der Botschaft enthalten. Jede Übertragung beginnt mit einem Arbitrierungsprozess, der die Buszugriffe aufgrund der Prioritäten aufteilt. Dabei überwacht jeder Sender während seiner Übertragung gleichzeitig die anliegenden Pegel am Bus. Wenn der eingelesene Bit-Wert nicht mit dem gesendeten übereinstimmt, hat der Teilnehmer an dieser Stelle die Arbitrierung verloren. Der Teilnehmer beobachtet den Bus nun als Empfänger weiter, da die Nachricht auch für ihn bestimmt sein kann. Stimmen die Bit-Werte jedoch während des gesamten Arbitrierungsprozesses überein, setzt der Teilnehmer seine Übertragung fort.

Diese Art der Arbitrierung setzt voraus, dass es einen höher prioren (dominanten) Zustand mit dem Bit-Wert '0' und einen weniger prioren (rezessiven) Zustand mit dem Bit-Wert '1' gibt. Wenn nun zwei Knoten unterschiedliche Bit-Werte zur gleichen Zeit übertragen wollen, überwiegt die höher priorisierte '0' und überschreibt somit die weniger priorisierte '1'. Eine Botschaft mit der höchsten Priorität besitzt also einen Identifier ausschließlich bestehend aus Nullen. Zur Kollisionsvermeidung darf eine Priorität immer nur einem Knoten zugeordnet werden, wodurch die Informationsquelle auch eindeutig gekennzeichnet ist.

Ereignisgesteuerte Kommunikation

Diese Busarchitektur ist grundsätzlich ereignisgesteuert. Übertragungen werden vorwiegend vom Teilnehmer selbst durch Ereignisse wie z.B. Überdruck oder Übertemperatur initiiert. Werden zyklische Übertragungen gefordert, können diese durch den internen Takt des Teilnehmers oder auch durch eine Abfragetechnik (z.B. Polling) ausgelöst werden.

Broadcast-Kommunikation

Eine Botschaft wird grundsätzlich an alle anderen Knoten gesendet. Ob die Information auch an den Mikrorechner weitergeleitet wird, hängt vom jeweiligen Filter der Empfänger ab. Durch einen Auswahlprozess wird anhand des Namens der empfangenen Botschaft entschieden, ob diese gespeichert wird. Somit kann jeder Knoten selbst entscheiden, welche Botschaften er auswertet. Knoten können einfach hinzugefügt werden, ohne aufwändige physikalische Adressierungen durchführen zu müssen.

Botschaftsformat

Eine CAN-Botschaft ist in mehrere Felder aufgeteilt und umfasst eine bestimmte Anzahl von Bits. Das Arbitrierungsfeld eines Standard-CAN-Frames beinhaltet 11 Identifier-Bits. Gemäß CAN 2.0A sind 2032 Adressierungen zugelassen, wonach die Anzahl von verschiedenen Teilnehmern auf 2032 beschränkt ist. Da dies für manche Systeme nicht ausreicht, wurde die Spezifikation um CAN 2.0B erweitert. Die sogenannten Extended-CAN-Frames haben 29 Identifier-Bits und lassen 2^{29} (536.870.912) Adressierungen zu. Der restliche Aufbau der Botschaft unterscheidet sich nicht vom Standard-CAN-Frame. In Abbildung 2.1 werden die beiden Standards verglichen.[10]

Jede CAN-Botschaft beginnt mit einem dominanten Startbit, welches zur Synchronisation mit allen weiteren Knoten dient. Identifier-Bits (11 bit bei CAN 2.0A und 29 bit bei CAN 2.0B) legen Namen und Priorität der Botschaft fest. Das Arbitrierungsfeld beinhaltet neben den Identifier-Bits noch ein RTR-Bit (Remote Transmission Request Bit). Ein rezessives RTR-Bit kennzeichnet einen Remote-Frame, der einen Teilnehmer auffordert, seine aktuellen Daten zu senden und unabhängig vom Datenlängencode kein Datenfeld besitzt. So können z.B. Messwerte zyklisch abgefragt oder einfach überprüft werden, ob sich ein bestimmter Teilnehmer noch im Netzwerk befindet.

Das IDE-Bit (Identifier Extension Bit) zeigt einen Extended-CAN-Frame an, der noch weitere 18 Identifier-Bits enthält. In diesem Fall verschiebt sich das RTR-Bit nach hinten, während anstelle des ursprünglichen RTR-Bits ein SRR-Bit (Sub-

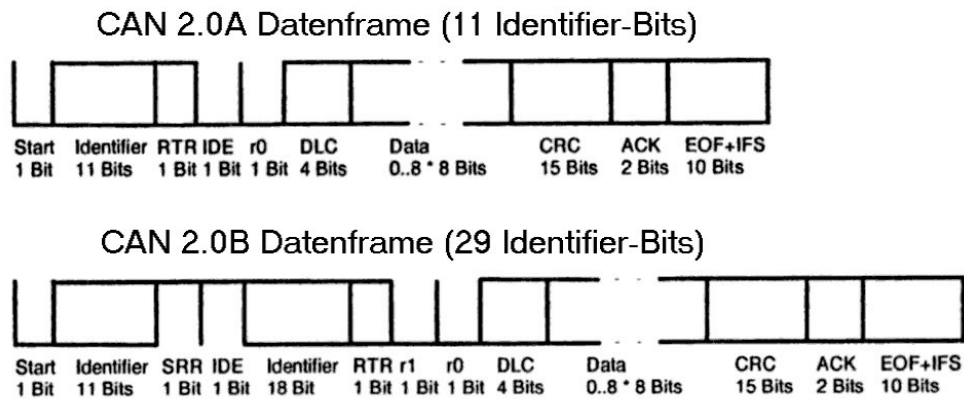


Abbildung 2.1: Vergleich eines CAN 2.0A und CAN 2.0B Datenframes [13, S. 87]

stitude Remote Request Bit) gesendet wird, welches keine Information enthält. 4 DLC-Bits (Data Length Code Bits) kennzeichnen die Länge in Bytes des nachfolgenden Datenfelds mit maximal $8 * 8$ Bits. Im Kontrollfeld befindet sich noch ein r0-Bit (bzw. r0 und r1 bei CAN2.0B), das reserviert ist und keine weitere Bedeutung hat.

Weiteres kommen ein 15 Bit Prüfsummenfeld, 2 Quittierungsbits (Acknowledge), 7 rezessive Rahmenende-Bits und schließlich 3 Interframe-Space-Bits, welche den minimalen Abstand zur nächsten Botschaft angeben.[13, S. 86-89]

Quittierungstechnik - Acknowledge

Über das Quittierungsfeld ist eine Rückmeldung auf die empfangene Nachricht vorgesehen. So kann der Sender feststellen, ob seine Nachricht zumindest von einem Knoten empfangen wurde. Aufgrund der Broadcast-Kommunikation reagieren alle Knoten, unabhängig davon ob diese Botschaft für sie bestimmt ist, beim Empfangen der Nachricht mit einem positiven Quittierungsfeld (dominanter Pegel).

Bit-Synchronisation

Im CAN wird eine NRZ (Non-Return-To-Zero)-Bitcodierung angewendet, die einen zusätzlichen Mechanismus zur Bit-Synchronisation fordert. Dies geschieht durch die sogenannte 'Bit-Stuff'-Methode, bei der nach 5 aufeinander folgenden gleichen Bits ein dazu inverses Bit eingefügt wird. Somit wird ein Flankenwechsel erzwungen, der die Phasen aller Knoten wieder synchronisiert. Die Empfänger müssen dieses zusätzliche Bit aus der Nachricht wieder extrahieren.

Ausnahmebehandlung

Das Errormanagement des CAN ist in der ISO standardisiert und muss von jedem CAN-Chip unterstützt werden. Die Fehlererkennung sowie die Fehlerbehandlung sind darin genau vorgegeben. Im Folgenden werden 5 unterschiedliche Fehlertypen erläutert, die jeder Busteilnehmer in der Lage sein muss zu erkennen:

1. Bitfehler

Jeder Sender überwacht während seiner Übertragung die anliegenden Bit-Werte am Bus. Während der Arbitrierungsphase und im Quittierungsfeld können sich die gesendeten Bit-Werte von den empfangenen unterscheiden. In der übrigen Botschaft müssen jedoch unterschiedliche Bit-Werte als Fehler erkannt werden.

2. Bit-Stuffing-Fehler

Es wurden 6 aufeinanderfolgende gleiche Bit-Werte eingelesen, das Prüfsummenfeld und die Rahmenende-Bits sind hier ausgeschlossen.

3. CRC (Cyclic Redundancy Check)-Fehler

Die Prüfsumme wird vom Sender und vom Empfänger auf dieselbe Art berechnet. Ein Fehler tritt auf, wenn die berechnete Prüfsumme des Empfängers nicht mit der übermittelten des Senders übereinstimmt.

4. Format-Fehler

Die Botschaft entspricht hier nicht dem vorgegebenen Format eines CAN-Frames, wo z.B. alle Rahmenende-Bits rezessiv sein müssen.

5. Acknowledgement-Fehler

Wird eine Übertragung nicht durch ein positives Quittierungsfeld bestätigt, so hat kein Teilnehmer die Nachricht korrekt empfangen. Umgekehrt bedeutet eine Bestätigung lediglich, dass zumindest 1 Teilnehmer die Nachricht richtig erkannt hat, jedoch nicht dass alle zugehörigen Empfänger dieser Nachricht diese auch erhalten haben.

Wenn zumindest einer dieser Fehler von einem Teilnehmer erkannt wird, müssen alle anderen über einen Error-Frame darüber informiert werden. Dieser Error-Frame hat folgenden speziellen Aufbau: 6 dominante Bits + 7 rezessive Rahmenende Bits + 3 Interframe-Space-Bits. Er überschreibt die aktuellen Buswerte und wird aufgrund der Kodierungsverletzung von allen Teilnehmern erkannt, worauf der Sender mit einer Fehlerkorrektur reagiert und die fehlerhaften Daten wiederholt überträgt. Sollte ein Teilnehmer schon bei der ersten Übertragung fehlerfreie

Daten erhalten haben, ignoriert er diese und wartet auf den nächsten gültigen Frame. Somit wird eine systemweite Konsistenz der Daten garantiert.

Damit eine lokale Störung eines Knotens den Bus nicht unnötig belastet, zieht dieser Knoten sich, bei häufiger vorkommender Fehlererkennung, schrittweise vom Busgeschehen zurück. [13, S. 92-98]

Leitungstreibereigenschaften

Für die Ausgangsstufen sind unterschiedliche Betriebsarten möglich. Eine unsymmetrische Übertragung (z.B. bei LIN) verlangt eine Masseleitung und nur eine Signalleitung und reagiert daher sehr empfindlich auf Gleichtaktstörungen. Zur Verbesserung der Störsicherheit wird eine differentielle Übertragung eingesetzt, die 2 komplementär angesteuerte Signalleitungen verwendet. Die logischen Pegel werden hier nur durch die Differenz der beiden Signale festgelegt. Wenn ein Übertragungskanal defekt ist, kann hier auch auf einen unsymmetrischen Betrieb gewechselt werden.

CAN unterstützt auch eine gleichspannungslose Übertragungsmethode. Dabei werden z.B. die Signalleitungen über Transformatorkopplungen galvanisch vom Knoten getrennt, wodurch sich störende Einflüsse unterschiedlicher Erdpotentiale nicht negativ auswirken.[13, S. 41-42]

2.2 Differentielle Übertragung

In der Automobilindustrie findet der HSCAN (High-Speed-CAN-Bus) mit differentiellen Signalleitungen, wie er in der ISO 11898 [9] spezifiziert ist, am häufigsten Anwendung. Bei dieser Übertragungsart werden 2 Signalleitungen CANH und CANL zur Übertragung verwendet. Die Pegelbestimmung erfolgt hier durch Bildung der Differenz der beiden Signale. Dies hat einen wesentlichen Einfluss auf die Störsicherheit des Busses. Bei identischen Quell-, Leitungs- und Abschlussimpedanzen wirken sich kapazitive und induktive Störungen aus der Umgebung gleichermaßen auf beide Leitungen aus. Dies wird durch ein Verdrehen der Leiterpaare gewährleistet. Eine Differenzbildung der beiden Potentiale hebt somit die Störung auf.

Wie in Abbildung 2.2 dargestellt, werden im CAN-Bus die Signalpegel durch Messung der Differenzspannung V_{diff} zwischen CANH und CANL bestimmt. Die zulässigen Wertebereiche bei den Zuständen Rezessiv und Dominant sind in Tabelle 2.1 angegeben.

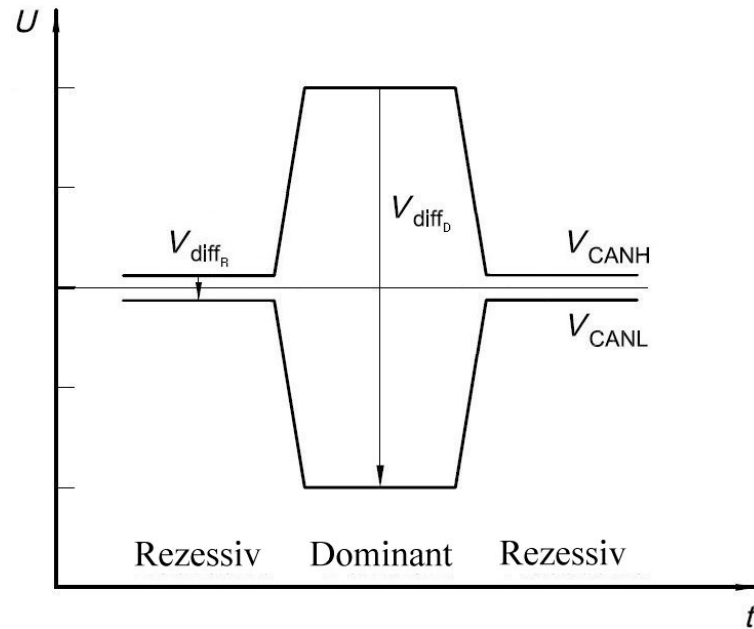


Abbildung 2.2: Signalpegel des CAN-Busses

Zustand	Parameter	Einheit	min.	nom.	max.
Rezessiv	V_{CANH}	V	2,12	2,5	7,0
	V_{CANL}	V	-2,0	2,5	7,12
	V_{DIFFR}	mV	-120	0	12
Dominant	V_{CANH}	V	0,8	3,5	7,0
	V_{CANL}	V	-2,0	1,5	5,8
	V_{DIFFD}	V	1,2	2,0	3

Tabelle 2.1: Zulässige Spannungswerte für die Buspegel

2.3 Topologie

In der ISO 11898 ist die CAN-Schnittstelle mit maximal 30 Knoten, 40 m Leitungslänge und einer maximalen Übertragung von 1 Mbit/s beschrieben. In Tabelle 2.2 wird gezeigt, dass bei richtigem Systementwurf und Verringerung der Übertragungsrate jedoch auch höhere Leitungslängen erreicht werden können.

Übertragungsrate	Leitungslänge
[kbit/s]	[m]
1000	30
500	100
250	250
125	500
62,5	1000

Tabelle 2.2: Übertragungsraten des CAN-Busses [13, S. 204]

Der Bus wird an beiden Enden mit Widerständen terminiert (Abbildung 2.3), um Signalreflexionen zu vermeiden. Dies sollte nicht im Knoten selbst erfolgen, da ein Abtrennen dieses Knotens eine fehlende Terminierung des Busses verursachen würde. Die Anbindung der Knoten an den Bus geschieht durch Stichleitungen. Um auch hier Reflexionen gering zu halten, dürfen diese Stichleitungen, bei der maximalen Übertragungsgeschwindigkeit von 1 Mbit/s nicht länger als 0,3 m sein.[8]

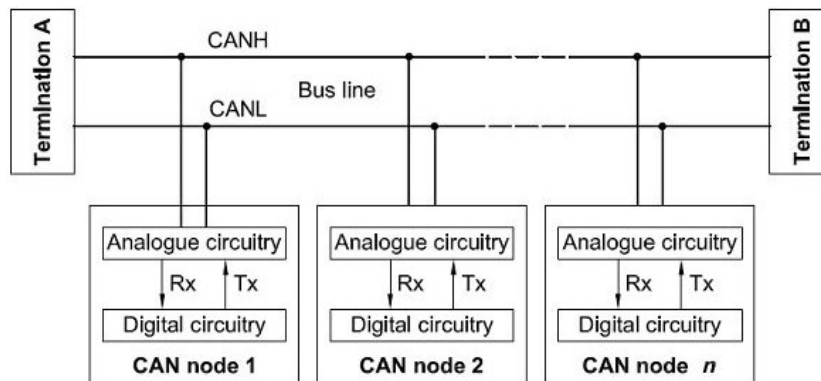


Abbildung 2.3: Topologie des CAN-Busses [8, S. 2]

Kapitel 3

EMV (Elektromagnetische Verträglichkeit)

Die EMV spielt in der Elektrotechnik schon seit Einführung des Rundfunks eine wesentliche Rolle. Die einzelnen Sender mussten sich absprechen, auf welchen Frequenzen zu welchen Zeiten gesendet werden durfte. Um ferner einen störungsfreien Empfang gewährleisten zu können, durften dabei auch keine anderen elektronischen Geräte störende Hochfrequenzenergie aussenden.[1, S. 1-3]

Das starke Wachstum der Elektronik und Mikroelektronik erzeugte einen rapiden Anstieg an elektronischen Geräten, die elektromagnetische Energie aussenden. Die steigende Bedeutung von EMV forderte schließlich eine Festlegung von Grenzwerten für alle elektronischen Systeme. In der VDE 0870 (Verband der Elektrotechnik, Elektronik und Informationstechnik)[7] wird die EMV wie folgt definiert:

”Die Fähigkeit einer elektrischen Einrichtung, in ihrer elektromagnetischen Umgebung zufriedenstellend zu funktionieren, ohne diese Umgebung, zu der auch andere Einrichtungen gehören, unzulässig zu beeinflussen.”

Bei der Betrachtung von EMV ist also sowohl die EME (Elektromagnetische Emission) als auch die EMS (Elektromagnetische Störfestigkeit) von Bedeutung. Eine Unterteilung in leitungsgebundene und strahlungsgebundene Störgrößen wird in Abbildung 3.1 gezeigt.

Bei elektromagnetischen Beeinflussungen treten reversible und irreversible Störungen auf. Irreversible Störungen führen zu einer Zerstörung der Komponenten und

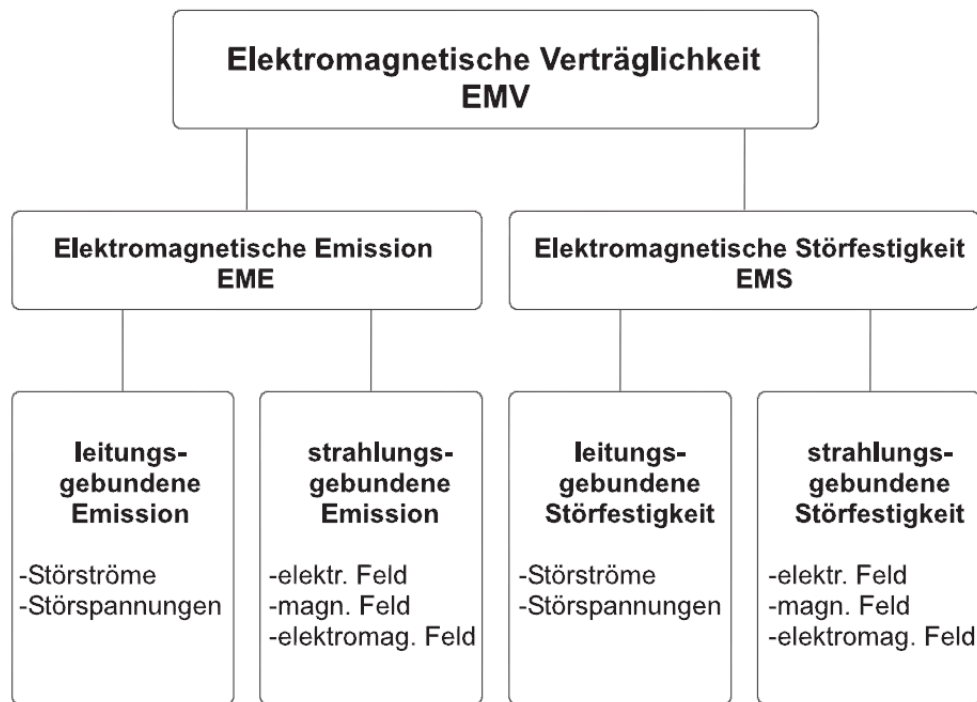


Abbildung 3.1: Einteilung der Störgrößen bei EMV [2, S. 478]

können z.B. durch Überspannung oder ESD (Electrostatic Discharge) ausgelöst werden. Einzige Lösung ist hier der Austausch der zerstörten Komponenten. Reversible Störungen werden anhand der Stärke ihrer Auswirkungen beurteilt:

- Beeinflussungen, welche nur eine kurzzeitig tollerierbare Funktionsminderung hervorrufen.
- Beeinflussungen, welche zu einer Fehlfunktion des Systems führen. Diese können temporär oder andauernd auftreten. Im letzteren Fall kann jedoch der Fehler durch eine Wartung oder einen Neustart des Systems behoben werden.

Ein Beeinflussungsmodell, wie es in Abbildung 3.2 zu sehen ist, führt für Sender und Empfänger von Störungen die Begriffe Störquelle und Störsenke ein. Die physikalische Verbindung von Störquelle und Störsenke wird als Kopplungspfad bezeichnet. Beeinflussungen kommen nicht nur zwischen verschiedenen Systemen vor, Störquelle und Störsenke können sich durchaus auch im selben System befinden. Man spricht dann von einer Intrasystem-Beeinflussung.



Abbildung 3.2: Beeinflussungsmodell von EMV [1, S. 417]

Störquellen lassen sich anhand ihres emittierten Frequenzspektrums klassifizieren. Mit Hilfe der Fourier-Transformation wird der Frequenzbereich eines Signals analysiert, messtechnisch bedeutet dies den Einsatz eines Spektrum-Analyzers. Kommunikationssender, wie Radio, Sprechfunk und Radar, sowie auch WLAN (Wireless Local Area Network) oder RFID (Radio Frequency Identification), strahlen schon aufgrund ihrer Funktion elektromagnetische Energie ab. Diese haben jedoch klar vorgegebene Sendefrequenzen. Da sich das Spektrum über eine geringe Bandbreite erstreckt, wird dieses Signal als schmalbandig bezeichnet. Bei größerer Bandbreite spricht man von einem breitbandigen Signal, wie z.B. kosmisches Rauschen oder nichtperiodische Schaltvorgänge.

Überlegungen hinsichtlich des späteren EMV-Verhaltens müssen schon bei der Entwicklung eines Produktes durchgeführt werden. So führen präventive Maßnahmen zu geringeren Nachbesserungskosten. Ein EMV-Plan muss schon während dem Design aufgestellt werden und in die gesamte Entwicklung einfließen. Unter Berücksichtigung aller EMV-Aspekte müssen geeignete Komponenten verwendet werden. Entwicklungsbegleitende Tests erlauben schließlich eine hinreichende Qualifikation bezüglich der Verträglichkeit eines Produktes. Dieses EMV-Bewusstsein ist bei der Projektplanung unerlässlich und vermeidet einen hohen Aufwand bei der Inbetriebnahmephase.

Halbleiter werden bei der EMV gesondert betrachtet und haben daher auch eigene Normen. Die IEC 61967 (International Electrotechnical Commission) und IEC 62132 sind standardisierte Messverfahren, die eine Charakterisierung von Halbleitern bezüglich Störemission und Störfestigkeit ermöglichen. Bei Halbleitern wird die Normungsarbeit in einem Frequenzbereich von 150 kHz bis 1 GHz durchgeführt.

Geeignete Maßnahmen zur Verbesserung von EMV können in allen 3 Bereichen vorgenommen werden:

- Sender: Schirmung, Spektrumbegrenzung, Richtantennen
- Kopplungspfad: Schirmung, Leitungstopologie, Filterung, Übertragungsmechanismus
- Empfänger: Schirmung, Filterung, Schaltungskonzept

3.1 EMV in Automobilen

Der steigende Aufwand an Elektronik in Automobilen bedeutet auch eine höhere Belastung bezüglich der elektromagnetischen Verträglichkeit. Viele Komponenten erzeugen im Hochfrequenz- als auch im Niederfrequenzbereich EMV-Störungen, die bei der Entwicklung von elektronischen Systemen berücksichtigt werden müssen. Es gibt daher EMV-Anforderungen, die eine genaue Betrachtung der Designs bezüglich deren Abstrahlungs- und Einstrahlungsverhalten verlangen. Gerade in der Automobilindustrie sind diese Betrachtungen sehr wichtig, weil hier viele Produkte unterschiedlicher Hersteller in einem Gesamtsystem zum Einsatz kommen. Um einen fehlerfreien Betrieb gewährleisten zu können, müssen alle Designs die selben EMV-Bestimmungen einhalten.

Fahrzeugfunktionen müssen dann EMV-technisch überprüft werden, wenn diese Einfluss auf die Steuerung des Fahrzeugs haben. Die interne EMV bezeichnet dabei die fahrzeuginterne Störsicherheit, die ein störungsfreies Zusammenarbeiten aller im Fahrzeug befindlichen Systeme (z.B. Radio, Navigationssystem, Motorsteuerung, ABS) beschreibt. Die äußere EMV beschreibt die Beeinflussung des Fahrzeugs durch seine Umgebung.

Ein erfolgreiches EMV-Konzept ist sehr aufwändig, und muss auf die unterschiedlichen Komplexitäten der Automobile abgestimmt werden. Zu Beginn eines Projekts müssen die EMV-Anforderungen und die Rahmenbedingungen klar definiert werden. Kfz-spezifische Details müssen festgelegt und etwaige Fahrzeug- und Kabelbaummodifikationen durchgeführt werden. Eine Zeit- und Kostenaufstellung soll einen Überblick über den notwendigen Aufwand zeigen.[19, S. 570-580][5]

3.2 EMV beim CAN-Bus

Aufgrund der differentiellen Übertragung weist der CAN-Bus eine gute Störfestigkeit auf. Wenn die beiden Ausgangstreiber perfekt aufeinander abgestimmt sind, heben sich die fließenden Ströme auf. Unterschiedliche Schaltzeitpunkte oder Slewrates führen jedoch zu Common-Mode Strömen und folglich auch zu Common-Mode Störemissionen. Wie in Abbildung 3.3 zu sehen, weisen die differentiellen Signale in der Realität immer eine gewisse Asymmetrie auf. Betrachtet man die Spannung $V_{SYM} = CANH + CANL$, wäre ein geradliniger Verlauf ideal. Die un stetigen Verläufe zu den Schaltzeitpunkten führen aber zu unerwünschten Störemissionen. [2, S. 500-503]

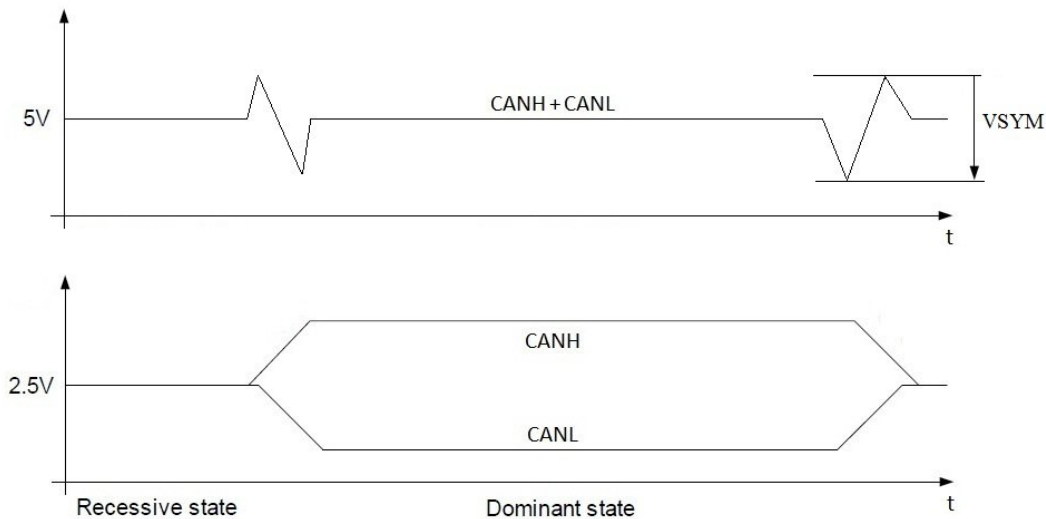


Abbildung 3.3: Symmetriespannung beim CAN-Bus

Beim Design eines CAN-Transceivers spielt also der Verlauf der Symmetriespannung eine wesentliche Rolle. Für die Bewertung der auftretenden Störemission muss nicht nur die Amplitude des Störpulses an V_{SYM} , sondern vielmehr das Spektrum des Störimpulses analysiert werden. Gemessen wird die Störemission mit Hilfe der 150 Ohm-Methode, wie sie in der IEC 61967-4 beschrieben ist. Eine Testschaltung nach der 150 Ohm-Methode, die für den HSCAN zum Einsatz kommt, ist in Abbildung 3.4 zu sehen.

Der Testreceiver stellt einen Spektrumanalysator dar, der bei Simulationen durch seinen Eingangswiderstand von 50Ω repräsentiert wird. Zur Bewertung wird dann

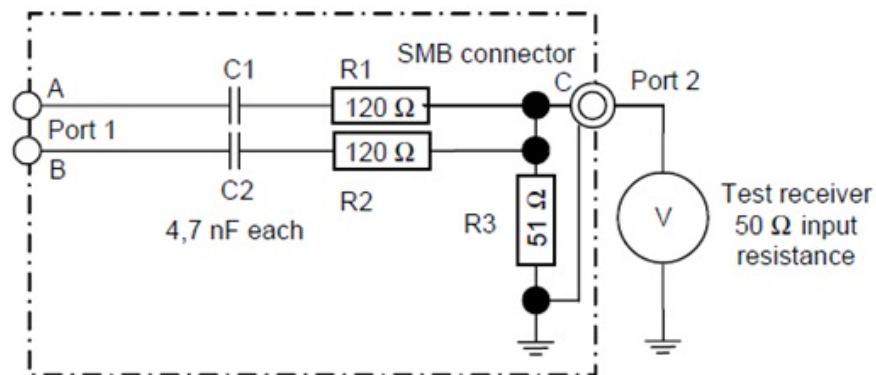


Abbildung 3.4: Messschaltung für EMV bei CAN [6, S. 6]

an Port2 die Symmetriespannung einer gesamten Periode gemessen und mit Hilfe der Fourier-Transformation das Frequenzspektrum berechnet. Der Transceiver gilt dann als EMV-Konform, wenn dieses Frequenzspektrum bestimmte Grenzwerte nicht überschreitet.[11]

Kapitel 4

Fertigungsprozess SPT 7

Im folgenden Kapitel wird auf den Fertigungsprozess SPT7 eingegangen. Es handelt sich dabei um eine Smart Power Technologie in einem 350 nm BCD-Prozess. Bei einem BCD-Prozess sind Bipolar-, CMOS (Komplementärer Metall-Oxid-Halbleiter)- sowie DMOS (Doppelt Diffundierter Metall-Oxid-Halbleiter)-Bauelemente kombinierbar. Die Bauelemente können hier unterschiedliche Spannungsclassen aufweisen und gewährleisten ein fehlerfreies Verhalten bei einem Temperaturbereich von -40 °C bis $+175\text{ °C}$. [2, S. 75-85]

Bei immer kleiner werdenden Strukturen gewinnt das Thema der Isolation zwischen den Bauelementen mehr an Bedeutung. In dieser Technologie kommt eine innovative Neuerung, die sogenannte DTI (Deep Trench Isolation), zum Einsatz. Die DTI hat 3 wesentliche Fertigungsschritte:

1. Ätzen eines tiefen Grabens
2. Auffüllen des Grabens mit Dielektrikum
3. Abflachen der Oberfläche

Das Abflachen der Oberfläche ist wichtig, damit Stufen an den Rändern des Grabens keine Behinderung beim Layout darstellen. Abbildung 4.1 stellt anhand der Querschnitte die unterschiedlichen Isolationsmethoden von SPT7 und älteren Technologien gegenüber.

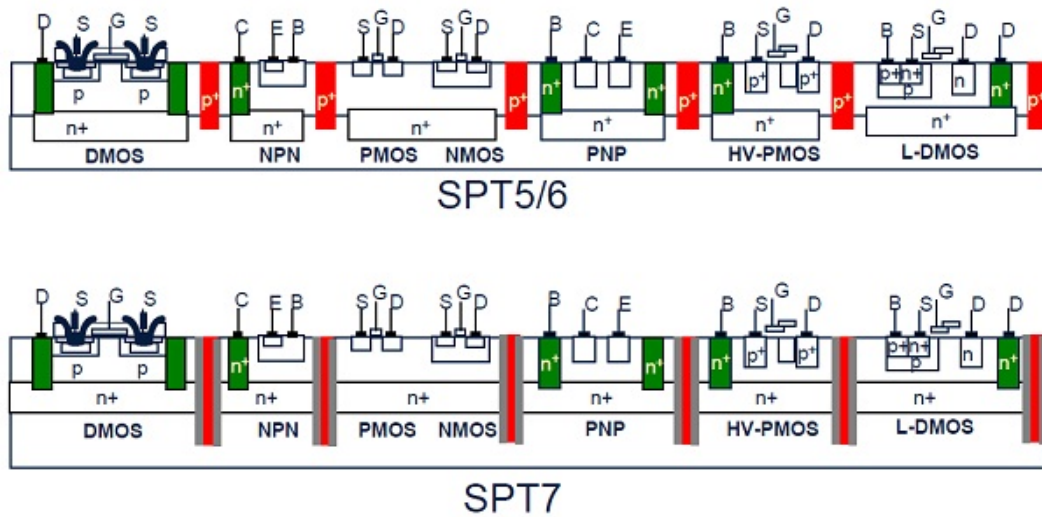


Abbildung 4.1: Schnittbild der Technologien SPT5/6 und SPT7

Bei der TGI wird gegenüber der P-N junction Isolation, wie sie bei SPT5/6 zum Einsatz kommt, eine bessere Isolation zwischen den Wannern erreicht. Es gibt weniger Übersprechen und es wird ein robusteres Design gegenüber Störeffekten erreicht. Aufgrund der besseren Isolation können die Bauelemente beim Layouten auch dichter platziert werden, wodurch Chipfläche eingespart wird.[16]

Kapitel 5

Konzept der adaptiven Regelung

Das untersuchte Gesamtsystem, wie in Abbildung 5.1 zu sehen, ist ein Regelkreis bestehend aus den Blöcken Detektion, Algorithmus und Transmitter. Die Aufgabe des Transmitters ist es, den Bus zu treiben. Gespeist von einem digitalen Signal, erzeugt dieser zwei komplementäre CAN-spezifische Signalpegel. Die Flankenform soll dabei den Verlauf einer typischen CAN-Signalflanke aufweisen. Die Detektionsschaltung misst die Slewrates und Schaltzeitpunkte der Übergänge von CANH und CANL. Anhand dieser Messung erzeugt der Algorithmus Trimmwerte, die dem Transmitter übergeben werden.

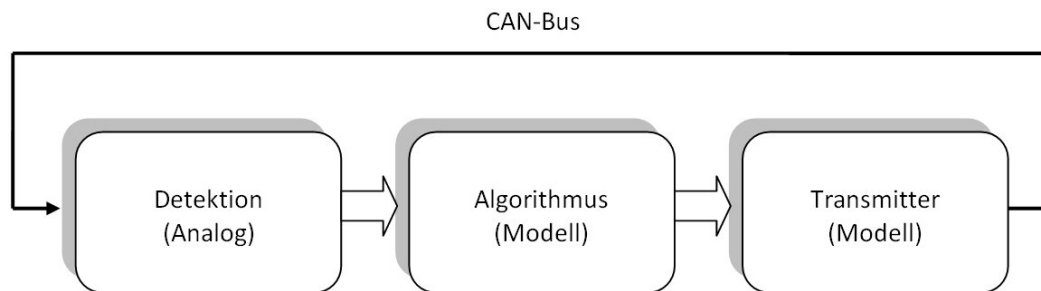


Abbildung 5.1: Blockschaltbild des Regelkreises

Die Ausgangstreiber des CAN-Transceivers haben digitale Trimm-Eingänge, die eine Veränderung der Treiberstärke ermöglichen. Normalerweise werden Fuses zum Produktionszeitpunkt gesetzt, die diese Trimmwerte erzeugen. Alternativ kommen bei diesem Konzept digitale Zähler zum Einsatz, die während des Betriebs die Treiberstärken des Transmitters anpassen. Die Übertragungsgeschwindigkeit des HSCAN beträgt 1 Mbit/s, wonach 2 gleichsinnige Flanken in einem minimalen Zeitintervall von 2 μ s auftreten können. Zum Reduzieren des Schal-

tungsaufwandes wird jedoch nur eine Detektionsschaltung für beide Übergänge (Rezessiv auf Dominant und Dominant auf Rezessiv) verwendet. Somit muss die Auswertung schnell genug sein, um nach 1 μs gültige Trimmwerte für den Transmitter zu liefern. Nachdem die binären Trimmwerte also jede Mikrosekunde angepasst werden, reicht ein Inkrementieren bzw. Dekrementieren bei jedem Regelschritt völlig aus. Eine einmalige falsche Messung bringt dadurch auch nur einen geringen Regelfehler mit sich.

Da die Abstimmung der beiden Flanken nur über Zähler erfolgt, müssen Slewrates und Schaltzeitpunkte nicht nominell bestimmt werden. Eine Bewertung, welche Flanke steiler ist bzw. früher kommt, reicht hier aus. Die Detektionsschaltung misst die Slewrates und die Schaltzeitpunkte von CANH und CANL und vergleicht diese miteinander. Anhand dieses Ergebnisses entscheidet der Algorithmus welche Zählerstände angepasst werden.

Eine Übereinstimmung der Flanken kann der Regelkreis nicht erkennen, er trifft in diesem Fall trotzdem eine Entscheidung und führt eine Veränderung der Trimmwerte durch. Die gesamte Schaltung kann über ein PD (Power-Down)-Signal deaktiviert werden. Die Deaktivierung kann nach dem Einregeln des Systems erfolgen. Wenn die Schaltung nur mehr zyklisch aktiviert wird, kann so der Leistungsverbrauch verringert werden.

5.1 Detektionsschaltung

In der ISO 11898 sind Wertebereiche für die Spannungspegel bei Rezessiv und Dominant definiert. Bei der Messung der Slewrates kann von keinen fixen Spannungswerten ausgegangen werden. Wäre dies der Fall, könnte man die Anstiegszeit zwischen 2 definierten Spannungswerten messen. Verwendet wird ein Hochpass-Filter, das die tiefen Frequenzen sperrt und somit die Gleichanteile wegfiltert. Der Maximalwert und die Pulsbreite des resultierenden Signals liefert eine Aussage über die Höhe der Slewrates. Diese Überlegung ist nur gültig, wenn CANH und CANL den selben Spannungshub aufweisen. Das wird bei weiteren Betrachtungen vorausgesetzt. Der Zeitpunkt des Pulses gibt wiederum den Schaltzeitpunkt des Bussignals an. Der erzeugte Puls aus dem Hochpass-Filter liefert also alle notwendigen Informationen für die Regelung.

Wie in Abbildung 5.2 zu sehen ist, wird aus den Ausgangspulsen der Hochpass-Filter CHF und CLF mittels Komparatoren COMP1 und COMP2 ein recht-

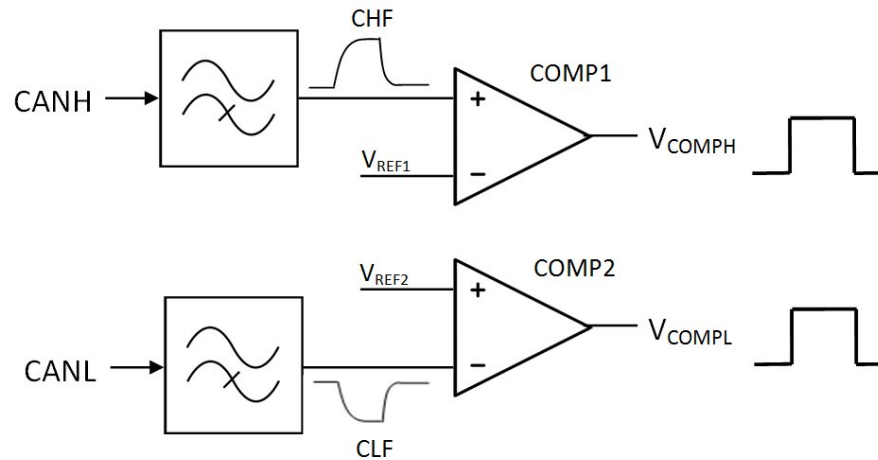


Abbildung 5.2: Detektion der Slewrates

eckförmiges Signal generiert. Dafür werden 2 unterschiedliche Referenzspannungen benötigt, weil die negative Flanke von CANL beim Übergang von Rezessiv auf Dominant auch einen negativen Ausgangs-Puls CLF liefert. Damit am Eingang von COMP2 keine negative Spannung auftritt, haben CHF und CLF eine Offsetspannung. V_{REF1} muss somit über und V_{REF2} unter der Offsetspannung liegen. Die Breite der Rechteckimpulse V_{COMPH} und V_{COMPL} sind proportional zu den Anstiegszeiten von CANH und CANL und somit auch proportional zu den Slewrates. Die in Abbildung 5.2 gezeigte Schaltung misst nur den Übergang von Rezessiv auf Dominant. Es sind noch 2 weitere Komparatoren notwendig, um auch den Übergang von Dominant auf Rezessiv messen zu können.

5.2 Messung der Slewrates

Für die Messung der Slewrates werden V_{COMPH} und V_{COMPL} dazu verwendet, einen Kondensator mit einem konstanten Strom aufzuladen. Das Potential des Kondensators ändert sich linear mit der Länge der Rechteckimpulse. Die beiden gewonnenen Spannungswerte an den Kondensatoren V_{CAPH} und V_{CAPL} können nun direkt miteinander verglichen werden. Dazu dient ein weiterer Komparator COMP3, an dessen Geschwindigkeit hohe Anforderungen gestellt werden. Der Ausgang liefert das digitale Signal HSR (Higher Slewrate):

- HSR = 'HIGH': CANH weist eine höhere Slewrates auf als CANL. Folge dessen muss die Slewrates von CANH verringert oder die Slewrates von CANL

erhöht werden.

- HSR = 'LOW': CANL weist eine höhere Slewrate auf als CANH. Folge dessen muss die Slewrate von CANL verringert oder die Slewrate von CANH erhöht werden.

Welche Trimmung durchgeführt werden soll, wird im Algorithmus entschieden.

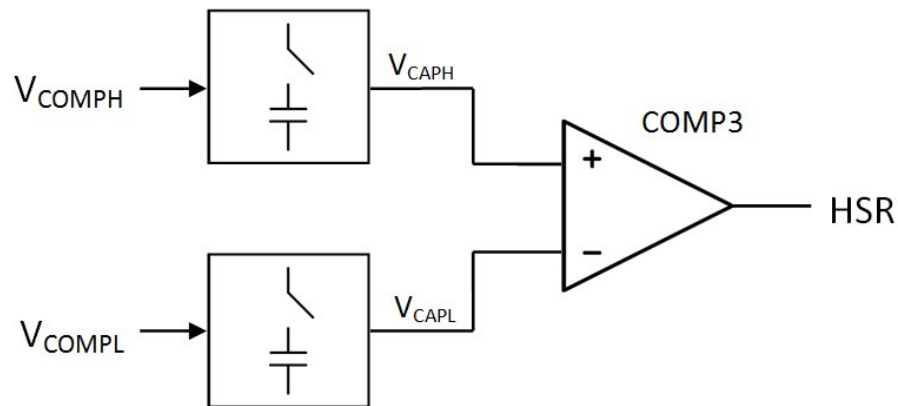


Abbildung 5.3: Vergleich der Spannungen

Über einen Multiplexer wird das aktuelle gemessene V_{COMPX} ausgewählt. Das Steuersignal für den Multiplexer wird in einem Kontrollblock generiert. Die Schaltung in Abbildung 5.3 muss damit nur einmal implementiert werden.

5.3 Messung der Schaltzeitpunkte

Für die Messung der Schaltzeitpunkte müssen die positiven Flanken von V_{COMPH} und V_{COMPL} betrachtet werden. Wenn die Flanke von CANH vor eilt, wird dies auch bei der Flanke von V_{COMPH} zu beobachten sein. Für die Detektion der zeitlich früher auftretenden Flanke, wird die Schaltung in Abbildung 5.4 eingesetzt. Die möglichen Zustände des RS-Flipflops aus NAND-Verknüpfungen sind aus der Wahrheitstabelle 5.1 zu entnehmen.

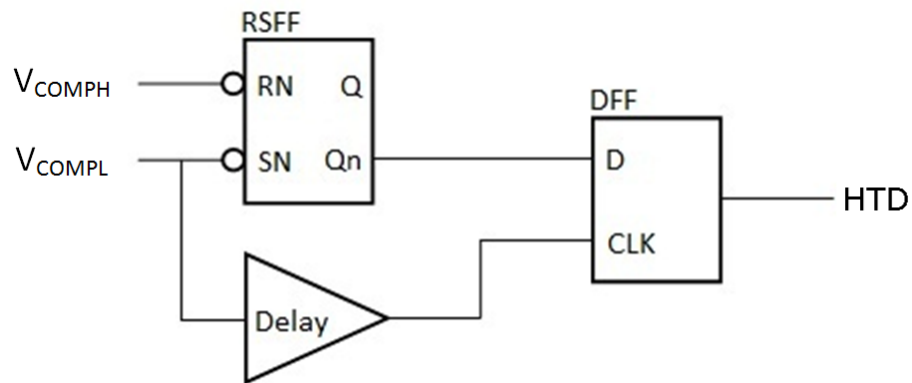


Abbildung 5.4: Detektion der Schaltzeitpunkte

SN	RN	Q	Qn	Zustand
0	0	1	1	nicht speicherbar
0	1	1	0	Setzen
1	0	0	1	Rücksetzen
1	1	X	X	Speichern

Tabelle 5.1: Wahrheitstabelle eines RS-Flipflops aus NAND-Gattern [4, S. 185]

Um die Funktion der Schaltung zu verstehen, betrachten wir das Timingdiagramm in Abbildung 5.5.

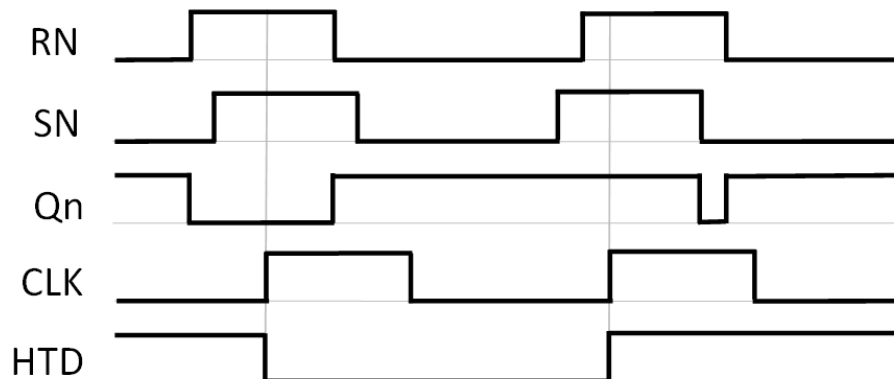


Abbildung 5.5: Timingdiagramm zur Auswertung der Schaltverzögerungen

Vor der Messung sind die Eingänge des RS-Flipflops RN und SN auf 'LOW'. Wenn RN zeitlich früher als SN umschaltet wird der Ausgang Qn zurückgesetzt. Umgekehrt wird der Ausgang Qn bei einem früheren Umschalten von SN gesetzt. Dieser Zustand wird gespeichert, so lange RN und SN auf 'HIGH' sind. Um diesen Zustand dauerhaft zu speichern wird ein D-Flipflop nachgeschaltet. Qn liefert die Daten und die verzögerte Flanke von SN dient als CLK-Eingang. Damit gültige Daten von Qn übernommen werden, muss die Verzögerung von SN größer als die Signallaufzeit im RS-Flipflop sein. Der Zustand am Ausgang HTD (Higher Time Delay) wird nun bis zur nächsten Messung gespeichert und hat folgende Bedeutung:

- HTD = 'HIGH': CANH weist eine höhere Schaltverzögerung auf als CANL. Folge dessen muss die Flanke von CANH früher oder die von CANL später geschaltet werden.
- HTD = 'LOW': CANL weist eine höhere Schaltverzögerung auf als CANH. Folge dessen muss die Flanke von CANL früher oder die von CANH später geschaltet werden.

Dies ist ein rein digitaler Block und wird mit Bauelementen der Fertigungstechnologie SPT7 implementiert. Der Ausgang liefert die beiden digitalen Signale HSR und HTD, die dem Algorithmus im Digitalteil übergeben werden. Tabelle 5.2 zeigt einen Überblick über die Schnittstellen dieses Blocks.

Eingänge	CANH	Analog	Komplementäre CAN-Bus Signale
	CANL	Analog	
Ausgänge	HSR	Digital	HIGH: höhere Slewrates an CANH LOW: höhere Slewrates an CANL
	HTD	Digital	HIGH: höhere Schaltverzögerung an CANH LOW: höhere Schaltverzögerung an CANL

Tabelle 5.2: Schnittstellen des Detektionsblocks

5.4 Algorithmus

Dieser Block erzeugt die Trimmwerte für die Anpassung der Ausgangstreiber. Die Implementierung erfolgt über Zähler, die mit einem mittleren Zählerstand initialisiert werden. Eine Anpassung der entsprechenden Trimmwerte erfolgt bei

jedem Regelschritt durch Auf- oder Abwärtszählen. Nachdem CANH und CANL jeweils eine positive und eine negative Flanke haben, wovon jede durch Slewrate und Schaltzeitpunkt charakterisiert ist, sind 8 Trimmparameter erforderlich. Es werden 8-Bit Zähler verwendet, mit denen je 256 Trimmstufen generiert werden können. Die Initialisierung der Zähler erfolgt mit dem Wert 128. Dieser Wert bedeutet, dass keine Trimmung durchgeführt wird.

Anhand der Zählerstände und den beiden digitalen Signalen HSR und HTD muss entschieden werden, welche Flanke angepasst wird. Bei weiterer Betrachtung der Slewrates beim Übergang von Rezessiv auf Dominant gibt es 2 Zähler für CANH und CANL, die inkrementiert oder dekrementiert werden können. Es können also 4 unterschiedliche Trimmungen vorgenommen werden. Dies erfolgt analog für den Übergang Dominant auf Rezessiv bzw. für die Anpassung der Schaltzeitpunkte. Ziel ist es, die Trimmwertpaare (z.B. SRH_RD (Slewrate der positiven Flanke von CANH) und SRL_RD (Slewrate der negativen Flanke von CANL)) symmetrisch um den mittleren Trimmwert zu regeln. So wird vermieden, dass immer nur 1 Parameter von den Trimmwertpaaren angepasst wird. In Tabelle 5.3 wird für den Fall der Slewrateanpassung bei einem Übergang analysiert, welche Trimmung bei unterschiedlichen Zählerständen durchgeführt werden muss.

TCANH	TCANL	SYM	HSR = LOW	HSR = HIGH
140	130	1	TCANL dekrementieren	TCANH dekrementieren
140	150	1	TCANL dekrementieren	TCANH dekrementieren
140	120	1	TCANL dekrementieren	TCANH dekrementieren
140	100	0	TCANH inkrementieren	TCANL inkrementieren
110	120	0	TCANH inkrementieren	TCANL inkrementieren
110	100	0	TCANH inkrementieren	TCANL inkrementieren
110	130	0	TCANH inkrementieren	TCANL inkrementieren
110	200	1	TCANL dekrementieren	TCANH dekrementieren

Tabelle 5.3: Trimmvorgabe bei unterschiedlichen Zählerständen

TCANH ... Trimmwert für CANH
 TCANL ... Trimmwert für CANL
 SYM ... $TCANH + TCANL > 256$

Es zeigt sich, dass die Signale SYM und HSR ausreichen um die 4 möglichen Fälle zu unterscheiden. Das Signal SYM gibt an, in welche Richtung gezählt werden muss. Die logische XOR-Verknüpfung von SYM und HSR entscheidet, ob TCANH oder TCANL angepasst wird. Eine entsprechende Auflösung ist in Tabelle 5.4 zu sehen.

SYM	HSR	Trimmung
0	0	TCANH inkrementieren
0	1	TCANL inkrementieren
1	0	TCANL dekrementieren
1	1	TCANH dekrementieren

Tabelle 5.4: Auswertung der Eingangssignale

Anhand des Signals HSR und der Berechnung SYM kann somit die Anpassung der Slewrates der Ausgangstreiber durchgeführt werden. Die Berechnung von SYM muss jeweils für die Übergänge von Dominant auf Rezessiv und Rezessiv auf Dominant erfolgen. Das digitale Signal HSR ist hingegen bei jedem Pegelwechsel gültig. Analog dazu sind die Überlegungen für die Anpassung der Schaltzeitpunkte, jedoch unter Verwendung des Signals HTD. Wie schon erwähnt sind 8 digitale Trimmwerte notwendig, um eine vollständige Anpassung aller Flanken zu ermöglichen. Tabelle 5.5 zeigt einen Überblick über die Schnittstellen dieses Blocks.

5.5 CAN-Transmitter

Der Transmitter wird implementiert, um eine Gesamtsimulation auf Systemebene durchführen zu können. Er ersetzt die Ausgangstreiber des CAN-Transceivers und soll die typische Flankenform eines CAN-Transmitters aufweisen. Die Ausgänge sind mit einer Common-Mode Spannung von 2,5 V und den dominanten Spannungspegeln von 1,5 V und 3,5 V definiert. Die Daten liefert ein TX-Signal, das durch einen Pulsgenerator generiert, und mit einer maximalen Übertragungsrate von 1 Mbit/s übertragen wird. Anhand der 8 digitalen Eingänge wird die Regelung der Flanken durchgeführt. Tabelle 5.6 zeigt einen Überblick über die Schnittstellen dieses Blocks.

Eingänge	HSR	Digital	HIGH: höhere Slewrate an CANH LOW: höhere Slewrate an CANL
	HTD	Digital	HIGH: höhere Schaltverzögerung an CANH LOW: höhere Schaltverzögerung an CANL
Ausgänge	trim_srhrd	Digital	8-Bit Trimmwert für die Slewrate von CANH (Rezessiv auf Dominant)
	trim_srhrd	Digital	8-Bit Trimmwert für die Slewrate von CANH (Rezessiv auf Dominant)
	trim_srhrd	Digital	8-Bit Trimmwert für die Slewrate von CANH (Dominant auf Rezessiv)
	trim_srlrd	Digital	8-Bit Trimmwert für die Slewrate von CANL (Rezessiv auf Dominant)
	trim_srlrd	Digital	8-Bit Trimmwert für die Slewrate von CANL (Dominant auf Rezessiv)
	trim_pshrd	Digital	8-Bit Trimmwert für den Schaltzeitpunkt von CANH (Rezessiv auf Dominant)
	trim_pshdr	Digital	8-Bit Trimmwert für den Schaltzeitpunkt von CANH (Dominant auf Rezessiv)
	trim_pslrd	Digital	8-Bit Trimmwert für den Schaltzeitpunkt von CANL (Rezessiv auf Dominant)
	trim_pslldr	Digital	8-Bit Trimmwert für den Schaltzeitpunkt von CANL (Dominant auf Rezessiv)

Tabelle 5.5: Schnittstellen des Algorithmus

Eingänge	trim_srhrd	Digital	8-Bit Trimmwert für die Slewrates von CANH (Rezessiv auf Dominant)
	trim_srhrd	Digital	8-Bit Trimmwert für die Slewrates von CANH (Dominant auf Rezessiv)
	trim_srlrd	Digital	8-Bit Trimmwert für die Slewrates von CANL (Rezessiv auf Dominant)
	trim_srlrd	Digital	8-Bit Trimmwert für die Slewrates von CANL (Dominant auf Rezessiv)
	trim_pshdr	Digital	8-Bit Trimmwert für den Schaltzeitpunkt von CANH (Rezessiv auf Dominant)
	trim_pshdr	Digital	8-Bit Trimmwert für den Schaltzeitpunkt von CANH (Dominant auf Rezessiv)
	trim_pslrd	Digital	8-Bit Trimmwert für den Schaltzeitpunkt von CANL (Rezessiv auf Dominant)
	trim_pslrd	Digital	8-Bit Trimmwert für den Schaltzeitpunkt von CANL (Dominant auf Rezessiv)
	TX	Digital	Transmit-Signal, welches die Daten überträgt
	Ausgänge	CANH	Analog
CANL		Analog	

Tabelle 5.6: Schnittstellen des Transmitters

Kapitel 6

Analoger Schaltungsentwurf

6.1 Erzeugung der Bias-Ströme

Die Kanallängenmodulation bei Mosfets verursacht im Sättigungsbereich eine Abhängigkeit des Drainstroms I_D von der Spannung V_{DS} . Dies macht sich im Ausgangskennlinienfeld bemerkbar. Die Kennlinie verläuft im Abschnürbereich nicht horizontal, sondern leicht geneigt. Die extrapolierten Kennlinien bei unterschiedlicher V_{GS} schneiden dabei einander in einem Punkt. Die Spannung V_A , wie sie in Abbildung 6.1 eingezeichnet ist, wird wie beim Bipolartransistor Early-Spannung genannt. Oftmals wird auch der Kanallängenmodulations-Parameter $\lambda = \frac{1}{V_A}$ verwendet.[18, S. 180-181]

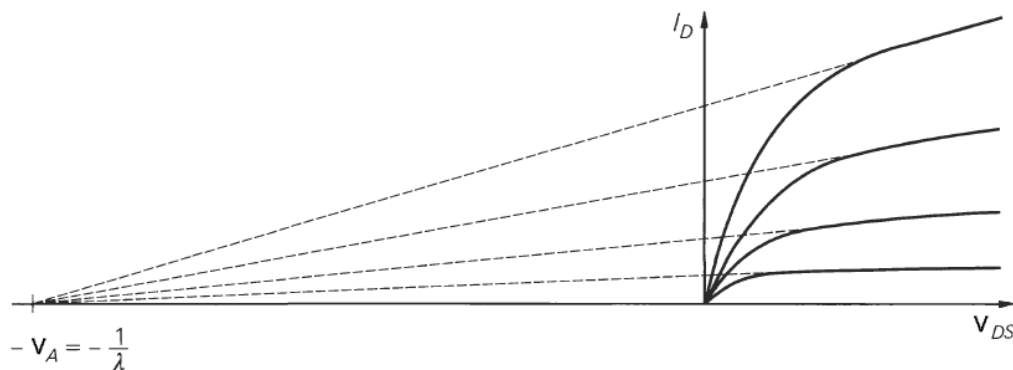


Abbildung 6.1: Early-Spannung des Mosfets [18, S. 181]

Die Early-Spannung befindet sich bei Mosfets im Bereich von 20 V bis 100 V und wird bei der Berechnung von I_D wie folgt berücksichtigt:

$$I_D = \begin{cases} 0 & \text{(Sperrbereich)} \\ K^1 V_{GS} - V_{th} - \frac{V_{DS}}{2} \left(1 + \frac{V_{DS}}{V_A}\right) & \text{(ohmscher Bereich)} \\ \frac{K}{2} (V_{GS} - V_{th})^2 \left(1 + \frac{V_{DS}}{V_A}\right) & \text{(Abschnürbereich)} \end{cases} \quad (6.1)$$

$$\begin{aligned} K &= K' \frac{W}{L} \quad \dots \text{ Transkonduktanz-Koeffizient [A/V}^2\text{]} \\ K' &\quad \dots \text{ relativer Transkonduktanz-Koeffizient [A/V}^2\text{]} \\ W &\quad \dots \text{ Gateweite [m]} \\ L &\quad \dots \text{ Gatelänge [m]} \\ V_{th} &\quad \dots \text{ Thresholdspannung [V]} \\ V_A &\quad \dots \text{ Early-Spannung [V]} \end{aligned}$$

Um diesem Effekt entgegen zu wirken, wird zur Erzeugung der Bias-Ströme ein Stromspiegel mit High-Swing Kaskode verwendet (Abbildung 6.2). Neben einem hohen Ausgangswiderstand besitzt dieser Stromspiegel eine größere Aussteuerungsgrenze von $V_{out,max}$ als der Kaskode-Stromspiegel. Dies wird erreicht, indem die Vorspannungen für T5 und T6 separat erzeugt werden. Die maximale Ausgangsspannung ergibt sich wie folgt [18, S. 309-311]:

$$V_{out,max} = VDD - V_{DS8,ab} - V_{DS7,ab} \quad (6.2)$$

$$V_{out,max} = VDD - \sqrt{2I_{bias1}} \left(\frac{1}{K_8} + \frac{1}{K_7} \right) \quad (6.3)$$

T6 und T8 bilden einen Stromspiegel mit dem Verhältnis $\frac{I_{bias1}}{I_{ref}} = \frac{K_8}{K_6}$. Um weitere Bias-Ströme zu erzeugen, muss die Schaltung nur um 2 NMOS-Transistoren erweitert werden. In Abbildung 6.2 wird dies durch T9 und T10 gezeigt. Um T7 und T8 in Sättigung zu Betreiben, muss für die Einstellung des Arbeitspunktes folgendes berücksichtigt werden [3]:

$$V_{GS4} = V_{th8} + V_{DS8,ab} + V_{DS7,ab} \quad (6.4)$$

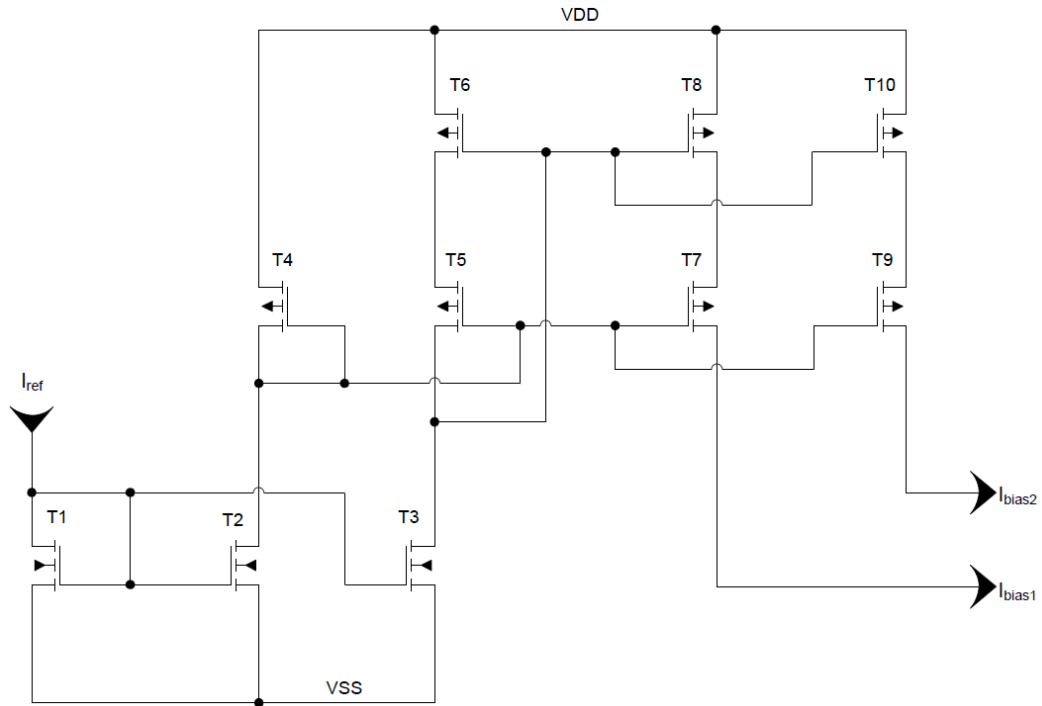


Abbildung 6.2: Stromspiegel mit High-Swing Kaskode

$$V_{DS4,ab} + V_{th4} = V_{th8} + V_{DS8,ab} + V_{DS7,ab} \quad (6.5)$$

$$V_{DS4,ab} = V_{DS8,ab} + V_{DS7,ab} \quad (6.6)$$

$$\sqrt{\frac{2I_{ref}}{K' \frac{W_4}{L_4}}} = \sqrt{\frac{2I_{ref}}{K' \frac{W_8}{L_8}}} + \sqrt{\frac{2I_{ref}}{K' \frac{W_7}{L_7}}} \quad (6.7)$$

Wenn nun $\frac{W_8}{L_8} = \frac{W_7}{L_7}$ angenommen wird, ergibt sich als Bedingung für T4:

$$\frac{W_4}{L_4} = \frac{W_8}{4L_8} \quad (6.8)$$

6.2 Hochpassfilter

Um die Slewrates der Signalfanken zu bestimmen, wird ein Hochpassfilter als Differenzierglied verwendet. Der Kondensator am Eingang des Hochpasses bewirkt bei einer Spannungsänderung, nach Gleichung 6.9 einen Verschiebungsstrom.

$$I = \frac{dQ}{dt} = C \cdot \frac{dV}{dt} \quad (6.9)$$

Aufgrund der Annahme des gleichen Spannungshubs von CANH und CANL ist die Amplitude und Pulsbreite des Stromes ein Maß für die Slewrates der Signalfanken. Für eine genaue Detektion der Pulsbreite mittels Komparator soll das Ausgangssignal des Filters eine hohe Flankensteilheit und einen hohen Spannungshub aufweisen. Dies muss beim Filterdesign berücksichtigt werden.

Die maximale Eingangskapazität, die eine Busleitung eines CAN-Transceiver aufweisen darf, ist in der ISO 11898 mit 20 pF definiert. Die Eingangskapazität des Filters wird mit 1 pF gewählt, um die Belastung der Busleitungen gering zu halten. Die Schaltung soll in einem CAN-Transceiver der Firma Infineon Anwendung finden. Die Flanken dieses Transceivers sind durch einen Spannungshub von 1 V und Anstiegszeiten von 10 ns bis 100 ns charakterisiert. Der HSCAN überträgt mit einer maximalen Geschwindigkeit von 1 Mbit/s, also mit einer maximalen Frequenz von 500 kHz. Damit nur die Übergänge und nicht die Daten differenziert werden, muss die Grenzfrequenz des Filters deutlich über 500 kHz liegen. Eine Grenzfrequenz von 10 MHz soll als Richtwert für das Design dienen. Ein Hochpassfilter unterdrückt die tiefen Frequenzen unterhalb der Grenzfrequenz umso besser, je höher die Ordnung des Filters ist. Dies bedeutet eine höhere Flankensteilheit des Ausgangssignals. Aufgrund des schaltungstechnischen Aufwandes soll die Ordnung jedoch nicht höher als nötig gewählt werden. Deshalb werden im Folgenden ein Filter 1. Ordnung und ein Filter 2. Ordnung entwickelt und verglichen. Der Spannungshub des Ausgangssignals darf 100 mV nicht unterschreiten, damit der Komparator noch genau genug schalten kann.

6.2.1 Filter 1. Ordnung

Das Filter 1. Ordnung wird mit der einfachen Schaltung wie in Abbildung 6.3 gezeigt, realisiert. Um bei den negativen Signalfanken keine negativen Spannungen am Ausgang des Filters zu erzeugen, dient die Offsetspannung V_{offset} . Durch Vorgabe der Kapazität C_1 mit 1 pF errechnet sich die Amplitude des Stroms

durch die Gleichung 6.9. Für die Slewrates werden die maximale und minimale Anstiegszeit verwendet, um die beiden Grenzwerte wie folgt zu berechnen:

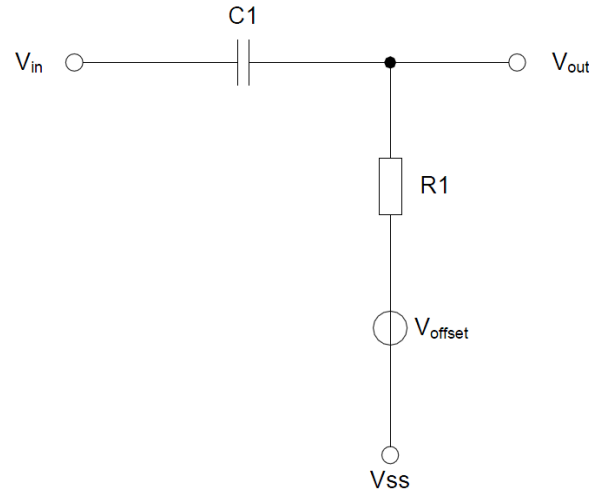


Abbildung 6.3: Passives Hochpassfilter 1. Ordnung

Maximale Anstiegszeit:

$$I_{min} = 1 \text{ pF} \cdot \frac{1 \text{ V}}{100 \text{ ns}} = 10 \text{ } \mu\text{A} \quad (6.10)$$

Minimale Anstiegszeit:

$$I_{max} = 1 \text{ pF} \cdot \frac{1 \text{ V}}{10 \text{ ns}} = 100 \text{ } \mu\text{A} \quad (6.11)$$

Der Widerstand R_1 wird durch die Grenzfrequenz des Filters bestimmt. Für die Berechnung wird zunächst die Übertragungsfunktion aufgestellt [18, S. 1537]:

$$\underline{A}(j\omega) = \frac{V_{out}}{V_{in}} = \frac{R_1}{\frac{1}{j\omega C_1} + R_1} = \frac{j\omega R_1 C_1}{1 + j\omega R_1 C_1} \quad (6.12)$$

Daraus ergeben sich Amplituden- und Frequenzgang:

$$|\underline{A}| = \frac{1}{\sqrt{1 + \frac{1}{(\omega R_1 C_1)^2}}} \quad (6.13)$$

$$\varphi = \arctan \frac{1}{\omega R_1 C_1} \quad (6.14)$$

Die Grenzfrequenz ist diejenige Frequenz, bei der $V_{out} = \frac{V_{in}}{\sqrt{2}}$ ist. Dies bedeutet eine Abschwächung von 3 Dezibel. Eingesetzt in die Gleichung 6.13

$$|A| = \frac{1}{\sqrt{1 + \frac{1}{(\omega R_1 C_1)^2}}} = \frac{1}{\sqrt{2}} \quad (6.15)$$

ergibt sich für den Widerstand

$$R_1 = \frac{1}{2\pi f_g C_1} = \frac{1}{2\pi \cdot 10 \text{ MHz} \cdot 1 \text{ pF}} = 15,92 \text{ k}\Omega \quad (6.16)$$

Der Widerstand R_1 wird mit $16 \text{ k}\Omega$ gewählt, wonach sich der Spannungshub berechnen lässt zu

Maximaler Spannungshub:

$$V_{out,max} = I_{max} \cdot R_1 = 100 \text{ }\mu\text{A} \cdot 16 \text{ k}\Omega = 1,6 \text{ V} \quad (6.17)$$

Minimaler Spannungshub:

$$V_{out,min} = I_{min} \cdot R_1 = 10 \text{ }\mu\text{A} \cdot 16 \text{ k}\Omega = 160 \text{ mV} \quad (6.18)$$

6.2.2 Filter 2. Ordnung

Die allgemeine Übertragungsfunktion eines Hochpasses lautet [18, S. 835]:

$$A(s_n) = \frac{A_\infty}{\prod_i \left(1 + \frac{a_i}{s_n} + \frac{b_i}{s_n^2}\right)} \quad (6.19)$$

Dieser Frequenzgang lässt sich durch geeignete Wahl der Koeffizienten a_i und b_i optimieren. Dabei entstehen konjugiert komplexe Polpaare die sich nicht mit

passiven RC-Schaltungen realisieren lassen. Eine Möglichkeit wäre die Verwendung von Induktivitäten. In integrierten Schaltkreisen sind diese jedoch schlecht realisierbar, weswegen hier aktive Filter mit Operationsverstärkern zum Einsatz kommen. Das Sallen-Key-Filter, wie es in Abbildung 6.4 gezeigt wird, findet aufgrund seines minimalen schaltungstechnischen Aufwandes und seiner Stabilität gegenüber Bauteiltoleranzen am Häufigsten seine Anwendung. Dies ist ein mitgekoppelter Verstärker, mit dem nur Filter 2. Ordnung realisiert werden können.

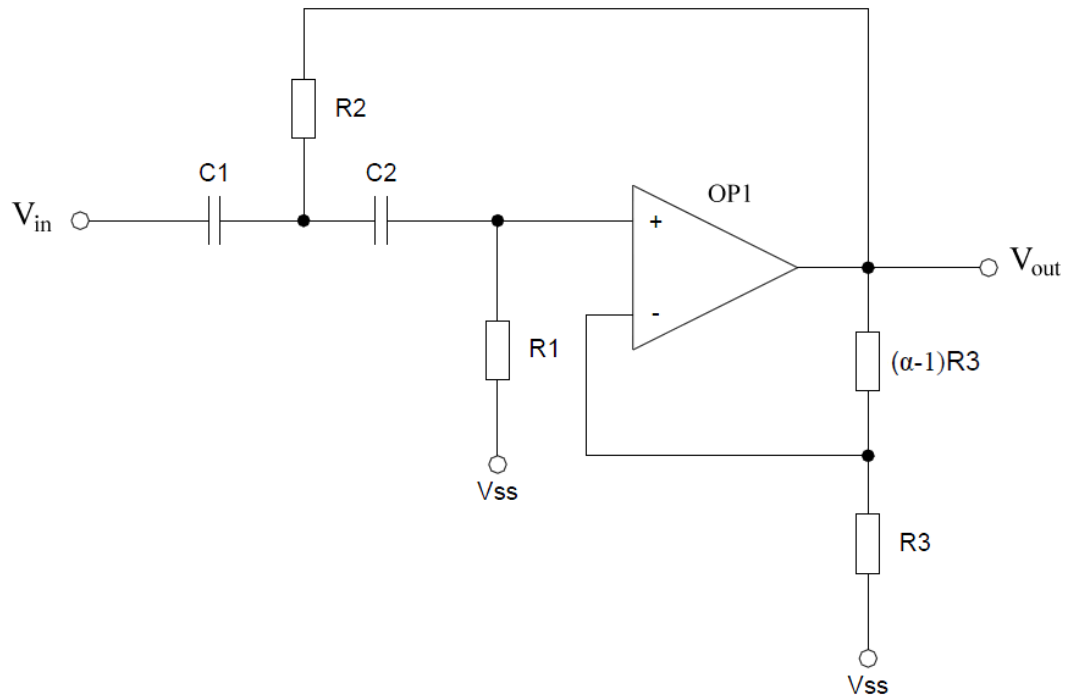


Abbildung 6.4: Aktives Hochpassfilter 2. Ordnung

Die Verstärkung wird über die Gegenkopplung durch R_3 festgelegt. Durch den Spannungsteiler am Ausgang ergibt sich eine innere Verstärkung, die durch den Wert α eingestellt werden kann. Um den schaltungstechnischen Aufwand zu verringern wird eine Spezialisierung mit $\alpha = 1$ vorgenommen. Die Verstärkung ist somit 0 dB und es ergibt sich $(\alpha - 1)R_3 = 0$. Die beiden Widerstände R_3 fallen dadurch weg. Der Ausgang des Operationsverstärker OP1 ist mit dem negativen Eingang verbunden, wodurch OP1 als Spannungsfolger geschaltet ist. Eingesetzt wird ein Sourcefolger, der nur einen Transistor benötigt. Das vereinfachte Filter in Abbildung 6.5 lässt sich auch im MHz-Bereich realisieren.

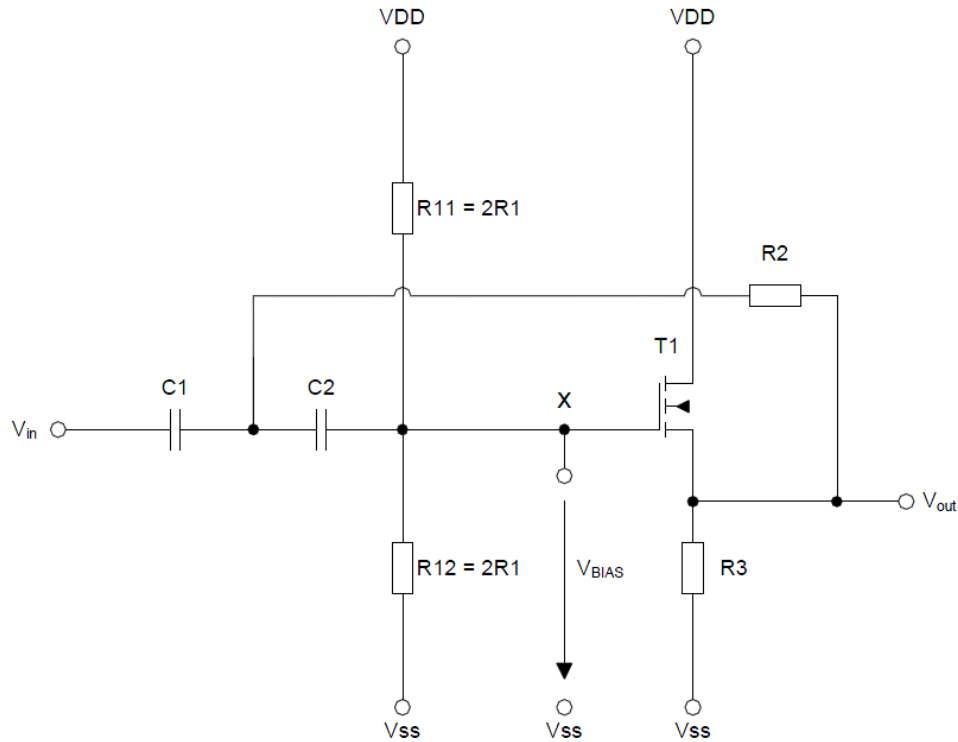


Abbildung 6.5: Sallen-Key-Filter mit Sourcefolger

Für die Einstellung des Arbeitspunktes des Transistors T1 muss am Gate eine Biasspannung V_{BIAS} angelegt werden. Diese bewirkt, dass T1 immer in Sättigung betrieben wird. Die Spannung V_{BIAS} wird über den Widerstandsteiler R11 und R12 erzeugt. Die Dimensionierung dieses Widerstandsteilers erfolgt mit dem 2-fachen des berechneten Widerstandswertes von R_1 . Betrachtet man den Ersatzwiderstand des Knotens X, treten R11 und R12 parallel auf. Das bedeutet eine Halbierung des Ersatzwiderstandes, wodurch der Knoten am Gate des Transistors wieder die Impedanz von R_1 sieht. Die benötigte Offsetspannung kann über den Widerstand R_3 eingestellt werden.[18, S. 815-841]

Die Übertragungsfunktion des Filters sieht nach [18, S. 841] wie folgt aus:

$$A(s_n) = \frac{\alpha}{1 + \frac{R_2(C_1+C_2)+R_1C_2(1-\alpha)}{R_1R_2C_1C_2\omega_g} \cdot \frac{1}{s_n} + \frac{1}{R_1R_2C_1C_2\omega_g^2} \cdot \frac{1}{s_n^2}} \quad (6.20)$$

Für die Dimensionierung des Filters wird $C_1=C_2=C=1$ pF gewählt:

$$A(s_n) = \frac{1}{1 + \frac{2}{R_1 C \omega_g} \cdot \frac{1}{s_n} + \frac{1}{R_1 R_2 C^2 \omega_g^2} \cdot \frac{1}{s_n^2}} \quad (6.21)$$

Führt man einen Koeffizientenvergleich mit der allgemeinen Übertragungsfunktion 6.22 durch, erhält man:

$$A_{\text{allgemein}}(s_n) = \frac{A_0}{1 + \frac{a_1}{s_n} + \frac{b_1}{s_n^2}} \quad (6.22)$$

$$A_0 = 1, \quad R_1 = \frac{1}{\pi f_g C a_1}, \quad R_2 = \frac{1}{4\pi f_g C b_1} \quad (6.23)$$

Für die Wahl von a_1 und b_1 muss zunächst der geeignete Filtertyp gewählt werden. Es gibt im Wesentlichen 3 Filtertypen, die sich anhand der unterschiedlichen Amplituden-Frequenzgänge charakterisieren lassen:

- **Butterworth-Hochpassfilter**

Für hohe Frequenzen besitzen diese Filter einen horizontalen Amplituden-Frequenzgang, der nahe der Grenzfrequenz abknickt. Die Dämpfung nimmt unterhalb der Grenzfrequenz mit $n \cdot 20$ dB pro Dekade zu, wobei n die Ordnung des Filters angibt. Die Sprungantwort weist ein Überschwingen auf, das mit der Höhe der Ordnung zunimmt.

- **Tschebyscheff-Hochpassfilter**

Diese Filter besitzen unterhalb der Grenzfrequenz einen steileren Frequenzgang als das Bessel-Hochpassfilter. Dies geschieht jedoch auf Kosten einer Welligkeit im Durchlassbereich. Je größer die zugelassene Welligkeit ist, desto steiler ist der Abfall der Verstärkung. Bei der Sprungantwort ist hier ein noch stärkeres Überschwingen zu beobachten.

- **Bessel-Hochpassfilter**

Diese Filter haben ebenso wie die Butterworth-Hochpassfilter einen glatten Verlauf des Amplituden-Frequenzganges im Durchlassbereich. Die Dämpfung unterhalb der Grenzfrequenz, weist hier jedoch von allen 3 Filtern die geringste Steilheit auf. Beim Design dieses Filters wird auf eine optimierte Gruppenlaufzeit Wert gelegt.

In Abbildung 6.6 werden die Amplituden-Frequenzgänge der 3 verschiedenen Filter verglichen. Die verwendete Sallen-Key-Filterstruktur aus 6.5 weist ein leichtes

Bandpassverhalten auf. Die Dämpfung bei den Frequenzen über 400 MHz wird durch die parasitären Kapazitäten C_{GS} , C_{GD} , C_{BS} und C_{BD} des Mosfets bestimmt. Frequenzen über der Grenzfrequenz bestimmen den Verlauf der Signalfanken und sollen vom Filter nicht gedämpft werden. Das Bandpassverhalten der Filter verfälscht also die Messung der Slewrates.

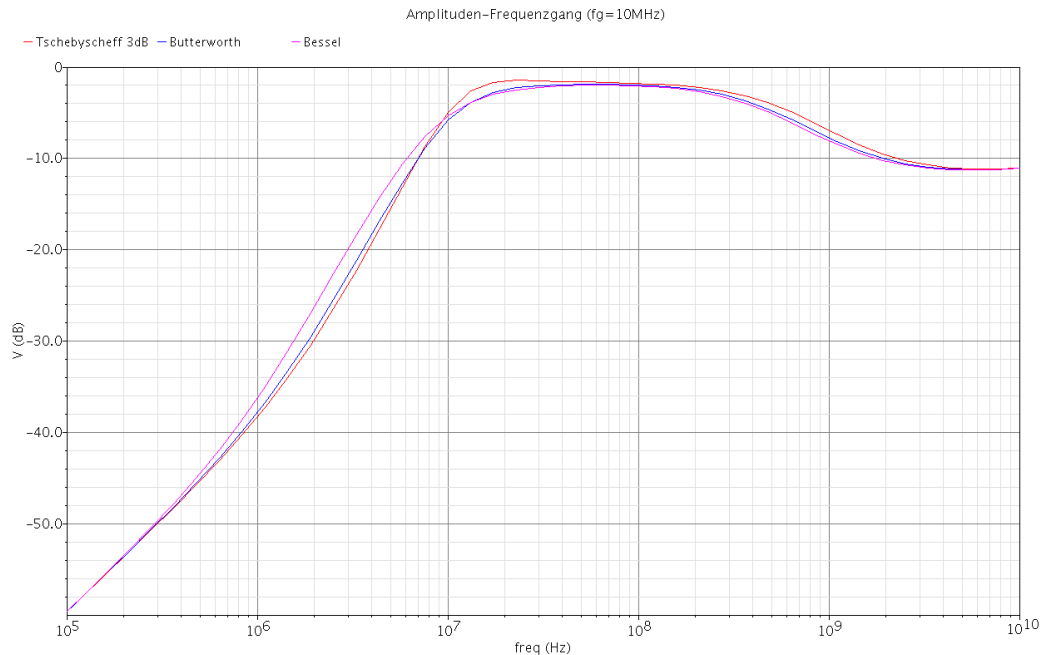


Abbildung 6.6: Amplituden-Frequenzgänge von Butterworth-, Tschebyscheff- und Bessel-Filter mit einer Sallen-Key-Filterstruktur ($f_g=10$ MHz)

Bei der Wahl des richtigen Filtertyps muss die Forderung des steilen Spannungsverlaufs am Ausgang berücksichtigt werden. Je steiler der Amplituden-Frequenzgang unterhalb der Grenzfrequenz verläuft, desto steiler wird auch der Verlauf der Ausgangsspannung sein. Den optimalen Frequenzgang bietet also das Tschebyscheff-Hochpassfilter. Das Überschwingen im Durchlassbereich hat sogar den positiven Nebeneffekt eines höheren Spannungshubs am Ausgang.

Anhand der Filterkoeffizienten aus einer Tabelle [18, S. 834], können die Widerstandswerte nach Gleichung 6.23 bei einer bestimmten Grenzfrequenz wie folgt berechnet werden:

Tschebyscheff-Filter 2. Ordnung mit 3 dB Welligkeit: $a_1=1,065$ und $b_1=1,9305$

$$f_g = 10 \text{ MHz}, R_1 = 29,89 \text{ k}\Omega, R_2 = 4,12 \text{ k}\Omega \quad (6.24)$$

6.2.3 Vergleich Filter 1. Ordnung und 2. Ordnung

Es wurden ein passiver RC-Hochpass 1. Ordnung und ein aktiver Tschebyscheff-Hochpass 2. Ordnung mit Sallen-Key-Filterstruktur umgesetzt und dimensioniert. Zur Bewertung betrachten wir zunächst die beiden Amplituden-Frequenzgänge in Abbildung 6.7.

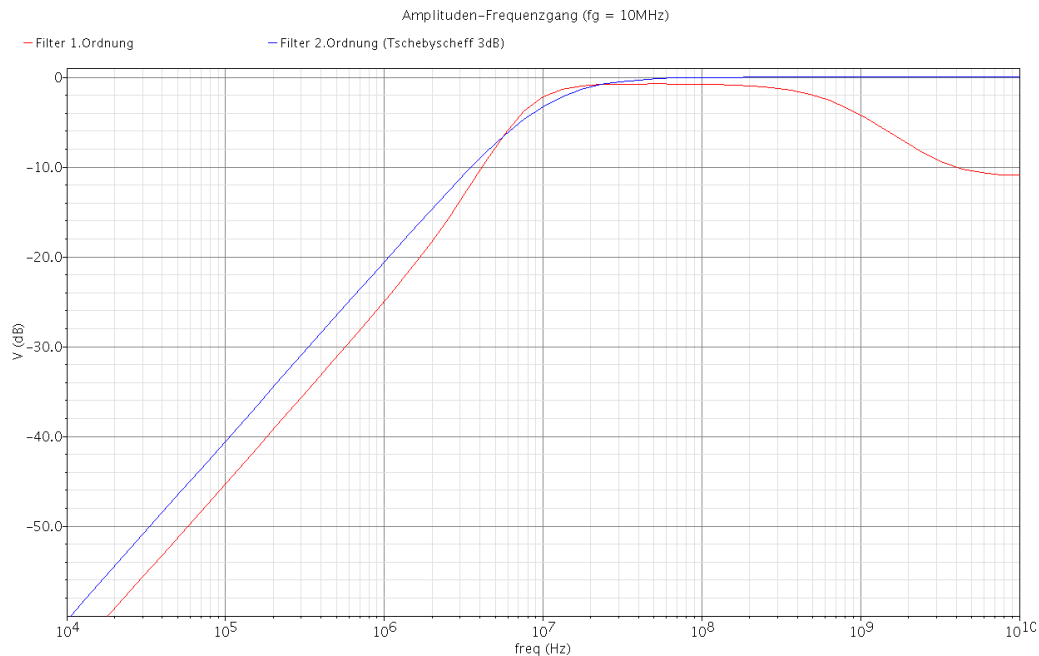


Abbildung 6.7: Amplituden-Frequenzgänge von Hochpass 1. Ordnung und 2. Ordnung mit $f_g=10 \text{ MHz}$

Das passive Filter 1. Ordnung weist ein ideales Hochpassverhalten auf. Der Amplituden-Frequenzgang hat im Durchlassbereich eine Dämpfung von 0 dB und unterhalb der Grenzfrequenz einen Abfall von -20 dB pro Dekade.

Das aktive Tschebyscheff-Filter hat unterhalb der Grenzfrequenz den erwarteten stärkeren Abfall, dies jedoch auch nur bis zu einer Dämpfung von etwa 24 dB.

Die Dämpfung im Durchlassbereich hat ihr Minimum ungefähr bei 1 dB, erreicht also nicht die gewünschten 0 dB. Hinzu kommt das Bandpassverhalten, welches bei hohen Frequenzen eine Dämpfung bis zu 11 dB bewirkt.

Als nächsten Schritt wird der zeitliche Verlauf der Ausgangsspannungen bei Anlegen eines CAN-Signals beobachtet. Eine Simulation in Abbildung 6.8 zeigt, dass das Filter 2. Ordnung nicht die gewünschten steileren Flanken liefert.

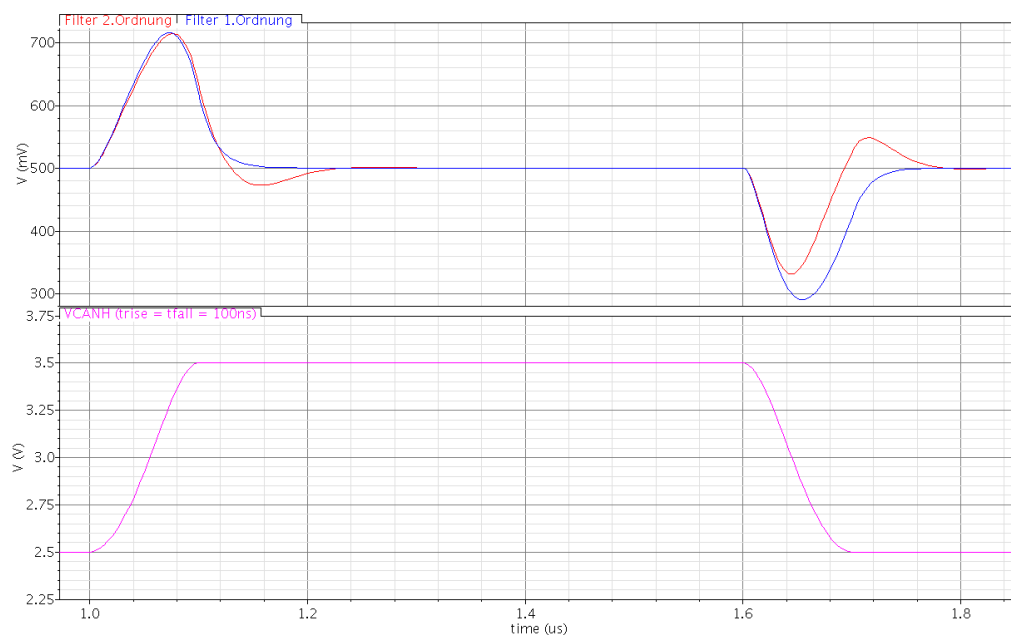


Abbildung 6.8: Zeitlicher Verlauf der Ausgangssignale

Da die Messschaltung immer 2 komplementäre Flanken vergleicht, wird ein identisches Verhalten der Filter bei positiven und negativen Flanken vorausgesetzt. Abbildung 6.8 lässt erkennen, dass dies beim Filter 2. Ordnung nicht der Fall ist. Ursache könnte die Kanallängenmodulation von T1 sein, da sich V_{DS} bei Änderung von V_{GS} ebenso ändert. Für eine genauere Bewertung werden die Ausgangssignale der Filter bei positiven und negativen Flanken direkt verglichen, indem die Kurven übereinander gelegt werden.

Die Simulation in Abbildung 6.9 zeigt, dass sich das Tschebyscheff-Filter bei positiver und negativer Flanke unterschiedlich verhält und daher nicht für diese Anwendung geeignet ist. Aufgrund seines schlechten Symmetrieverhaltens fällt

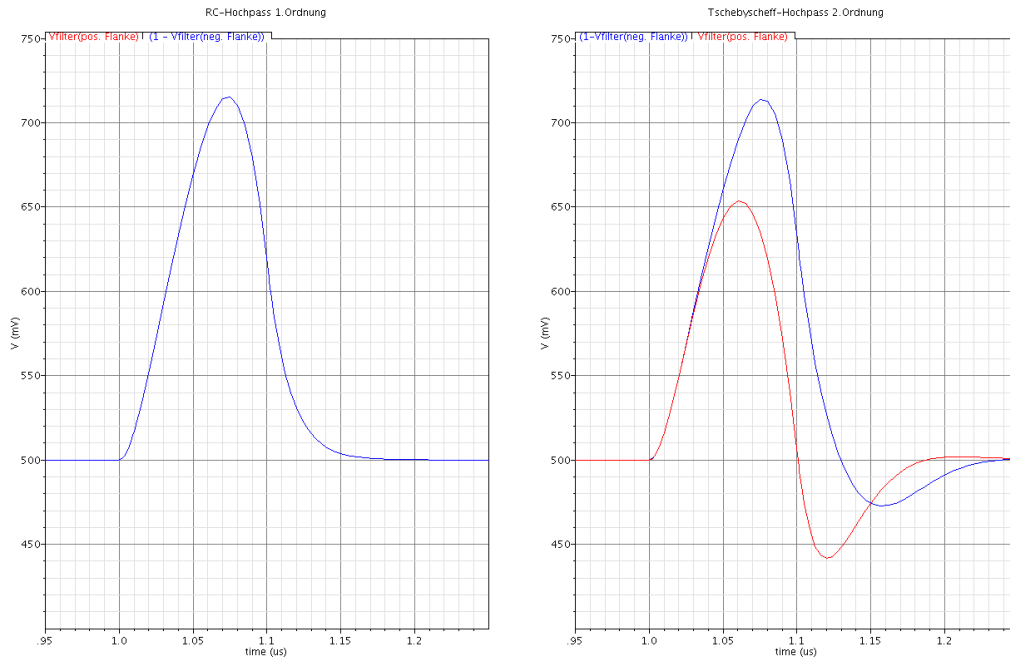


Abbildung 6.9: Verhalten bei positiver und negativer Flanke

die Entscheidung auf das Filter 1. Ordnung. Der passive RC-Hochpass hat also nicht nur den geringeren schaltungstechnischen Aufwand, sondern liefert auch das bessere Ergebnis.

Abschließend zeigt eine parametrische Simulation in Abbildung 6.10 die unterschiedlichen Ausgangssignale des RC-Hochpasses im Bereich der möglichen Anstiegszeiten von 10 ns bis 100 ns der CAN-Signalfanken.

Wenn der Komparator diese Signale mit einer Threshold-Spannung von 50 mV vergleicht, ergeben sich Rechteck-Pulse mit einer Breite von 49 ns bis 92 ns. Eine genaue Messung der Anstiegszeit kann aufgrund der abgerundeten Flankenform der CAN-Signale und der Zeitkonstante des Filters nicht durchgeführt werden. Die Relation von realer Anstiegszeit einer CAN-Flanke und gemessener Anstiegszeit, durch die Pulsbreite des Filtersignals, ist in Abbildung 6.11 zu sehen. Der nahezu geradlinige Verlauf bedeutet ein linearer Zusammenhang von realer zu gemessener Anstiegszeit. Je steiler diese Kurve verläuft, desto höher ist die Messgenauigkeit. Auch hier hat das Filter 1. Ordnung deutliche Vorteile gegenüber dem Filter 2. Ordnung.

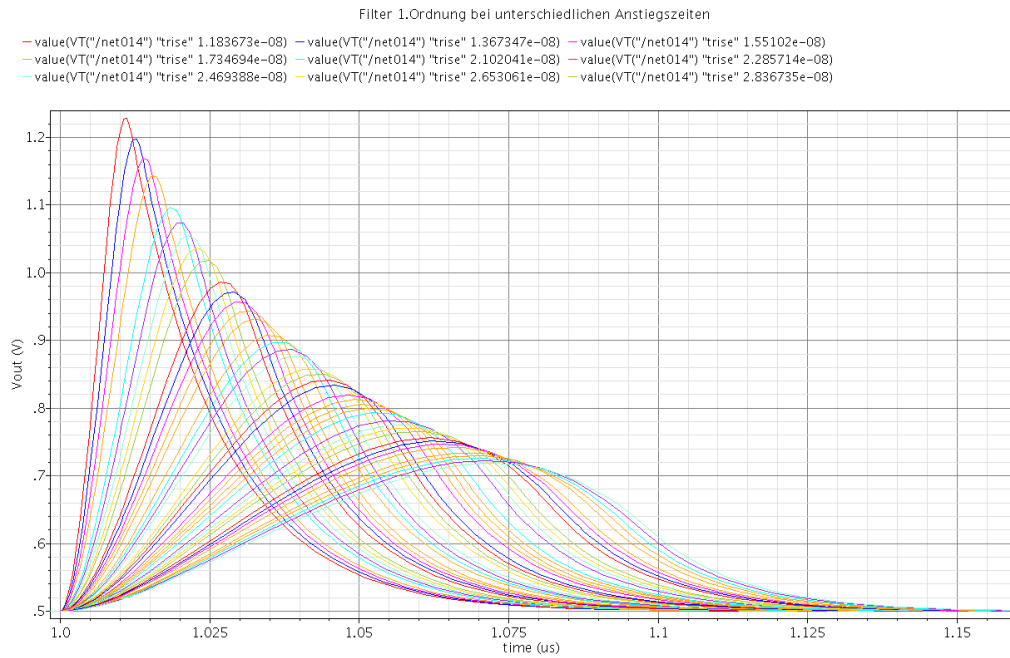


Abbildung 6.10: Verhalten des RC-Hochpasses bei verschiedenen Signalfanken

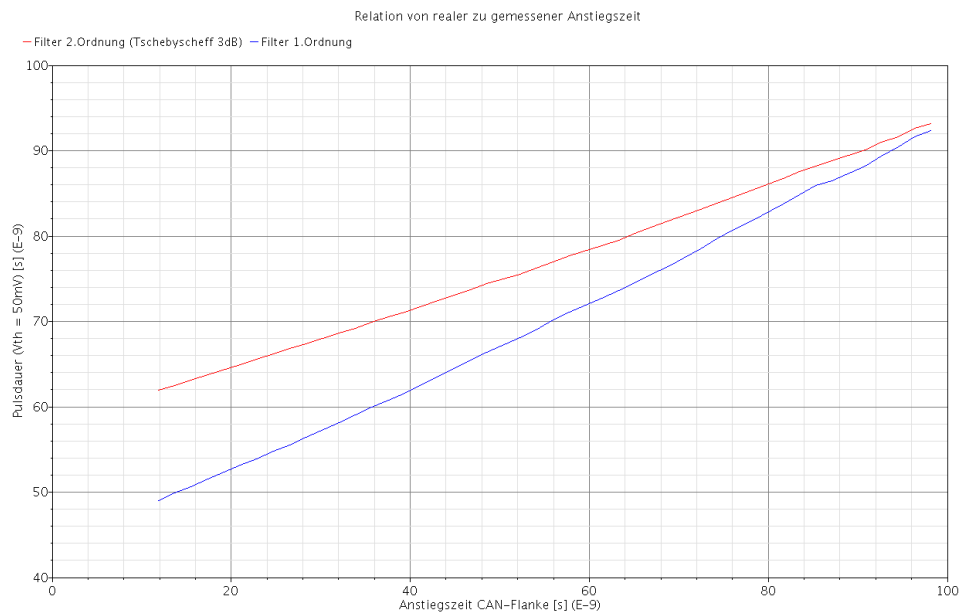


Abbildung 6.11: Relation von realer zu simulierter Anstiegszeit

6.3 Komparator zur Bestimmung der Anstiegszeiten

Die Signalverläufe in Abbildung 6.10 müssen nun durch einen geeigneten Komparator in ein Rechteck-Signal umgewandelt werden. Um die steilen Flanken des Rechteck-Signals zu erzeugen muss beim Design des Komparators K_1 auf die Schaltgeschwindigkeit Wert gelegt werden. Ebenso muss eine geringe Offsetspannung erzielt werden. Sie bewirkt aufgrund der komplementären Filtersignale CHF und CLF und den unterschiedlichen Threshold-Spannungen V_{REF1} und V_{REF2} (Abbildung 5.2) einen Messfehler. Abbildung 6.12 zeigt die verwendete Verstärkerstufe.

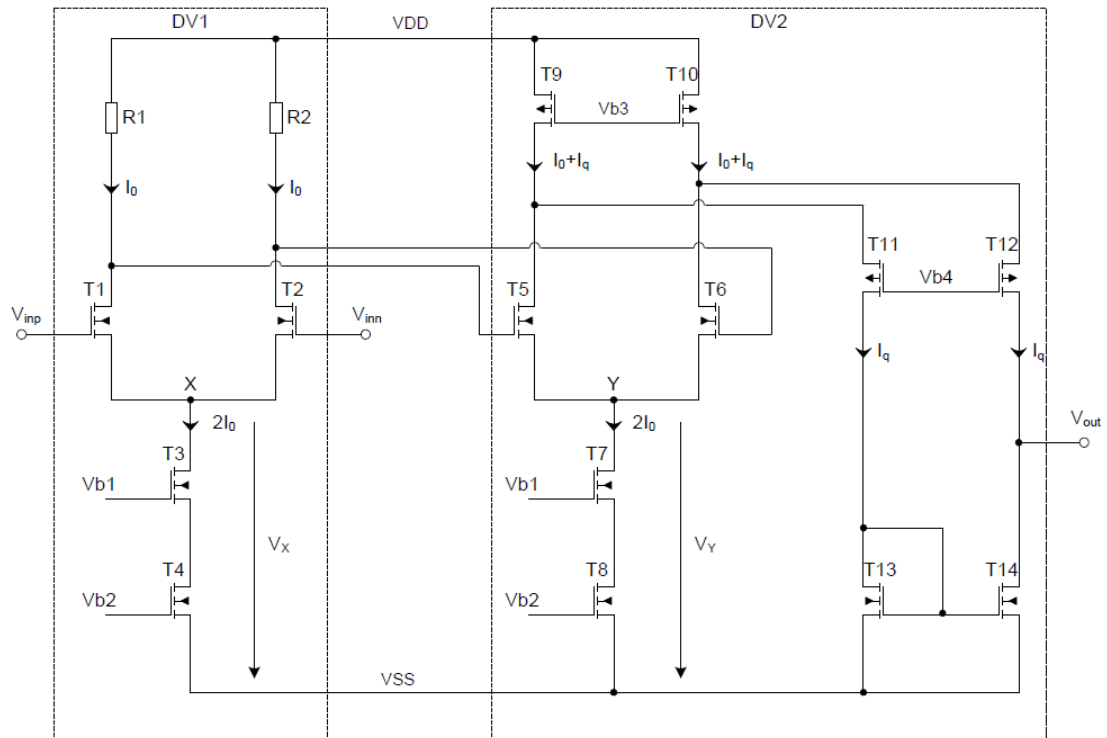


Abbildung 6.12: Verstärkerstufen des Komparators

Ursachen für Offsetspannungen sind neben Paarungstoleranzen auch Unsymmetrien des Verstärkers. Der Komparator K_1 besteht aus 2 Verstärkerstufen DV1 und DV2, wodurch sich die Gesamtverstärkung aus den beiden Einzelverstärkungen A_1 und A_2 ergibt. Der Einfluss der Offsetspannungen V_{O1} und

V_{O2} ist in Abbildung 6.13 zu sehen. Die Ausgangsspannung berechnet sich zu [18, S. 537-839]:

$$V_{out} = A_1 A_2 V_{in} + A_1 A_2 V_{O1} + A_2 V_{O2} \quad (6.25)$$

Wenn $V_{out} = 0$ gesetzt wird, kann die Offsetspannung ermittelt werden:

$$V_{in}(V_{out} = 0) = V_O = -V_{O1} - \frac{1}{A_1} V_{O2} \quad (6.26)$$

Die Verstärkung der 1. Stufe reduziert also den Einfluss von V_{O2} um den Faktor $\frac{1}{A_1}$. Als 1. Stufe wird ein Differenzverstärker mit symmetrischer Belastung verwendet. Aufgrund der Schnelligkeit wurden hier ohmsche Lasten $R_1 = R_2$ gewählt. Diese lassen sich schneller schalten, da bei den Transistoren das Umladen der parasitären Kapazitäten Verzögerungen verursacht.

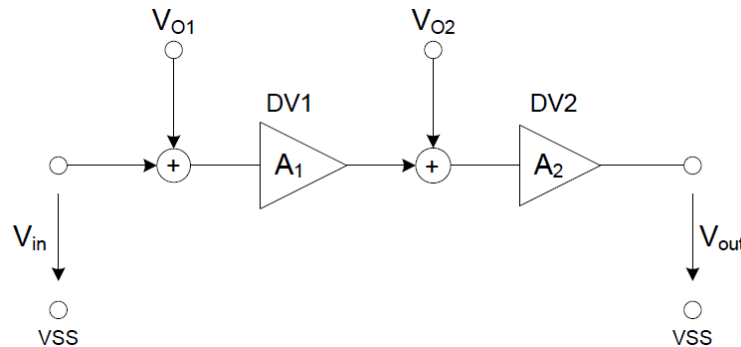


Abbildung 6.13: Einfluss der Offsetspannungen bei mehrstufigen Verstärkern [18, S. 538]

Als 2. Stufe wird ein Differenzverstärker mit gefalteter Kaskode verwendet. Dabei wird die Kaskodestufe (T11 bis T14) nach unten gefaltet und parallel zur Differenzstufe (T5 bis T10) ausgeführt. Der Ausgang wird hier unsymmetrisch belastet, indem die gefalteten Stromquellen durch einen Stromspiegel (T13 und T14) ersetzt werden. Dies bewirkt eine größere V_{O2} , deren Einfluss jedoch durch ein hohes A_1 verringert wird. Mit dieser Architektur wird ein- und ausgangsseitig eine hohe Aussteuerbarkeit erreicht, was für den Komparator notwendig ist.

Für weitere Überlegungen muss die gesamte Schaltung des Komparators in Abbildung 6.14 betrachtet werden. Wegen der Kanallängenmodulation (Abschnitt 6.1)

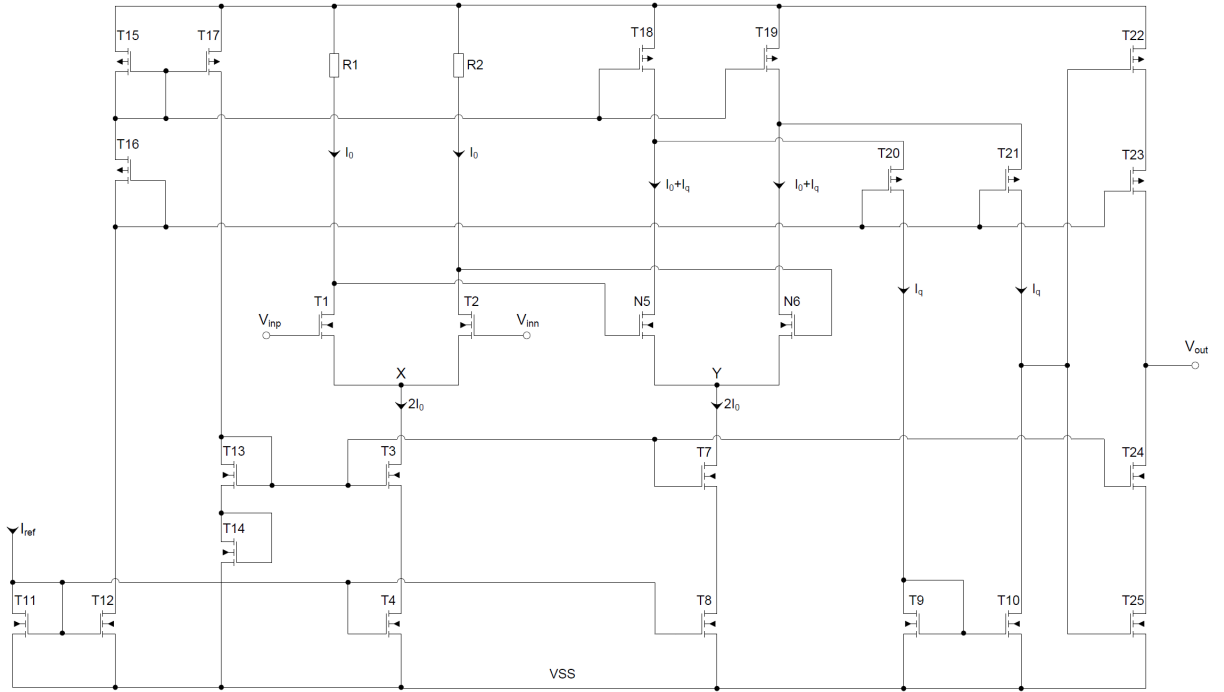


Abbildung 6.14: Die implementierte Schaltung des Komparators

der Mosfets wurde für die Stromsenke in beiden Verstärkerstufen ein Kaskode-Stromspiegel eingesetzt. Die Serienschaltung von T3 und T4 bzw. T7 und T8 bewirkt eine konstante V_{DS} an T4 und T8. Folge dessen fließt auch ein konstanter Strom $I_D = 2I_0$. Dieser Stromspiegel liefert Ströme, die unbeeinflusst von den Knotenspannungen V_X und V_Y sind. Die Ausgangswiderstände sind dadurch sehr groß.[17, S. 139-145]

Die Größe der Ströme werden über die Übersetzungsverhältnisse der Mosfets bestimmt:

$$\frac{2I_0}{I_{ref}} = \frac{K_4}{K_{11}} = \frac{K_8}{K_{11}} \quad (6.27)$$

Die minimale Ausgangsspannungen $V_{X,min}$ errechnet sich zu:

$$V_{X,min} = V_{GS14} + V_{GS13} - V_{th3} \quad (6.28)$$

Unter Vernachlässigung des Substratsteuer-Effekts wird eine einheitliche Schwellenspannung angenommen:

$$V_{GS} = V_{th} + \sqrt{\frac{2 \cdot 2I_0}{K}} \quad (6.29)$$

$$V_{X,min} = V_{th} + \sqrt{4 \cdot I_0} \left(\frac{1}{\sqrt{K_{14}}} + \frac{1}{\sqrt{K_{13}}} \right) \quad (6.30)$$

Wenn die Transistoren größer gemacht werden, fällt der Term $\sqrt{4 \cdot I_0} \left(\frac{1}{\sqrt{K_{14}}} + \frac{1}{\sqrt{K_{13}}} \right)$ weg und man erhält:

$$V_{X,min} \approx V_{th} \quad (6.31)$$

Unter Berücksichtigung der Aussteuerungsgrenze der Kaskode-Stromquelle erhält man für die Eingangsstufe eine Abschätzung des Gleichtaktaussteuerbereichs [18, S. 342]:

$$V_{X,min} + V_{th} + \sqrt{\frac{2I_0}{K_1}} < V_{Gl} < VDD - I_0 R_1 + V_{th} \quad (6.32)$$

Den Ausgang bildet eine Gegentaktstufe (T22 und T25) mit Kaskode (T23 und T24). Diese dient als Treiber für den Ausgang und besitzt einen niedrigen Ausgangswiderstand.

Offsetspannung von K_1

Für die Messung der Offsetspannung wird der Ausgang auf den negativen Eingang zurück geführt und die Spannung V_{inp} am positiven Eingang angelegt. Die Offsetspannung ergibt sich dann zu $V_{OS} = V_{out} - V_{inp}$. Die zugehörige Messschaltung ist in Abbildung 6.15 zu sehen.[12]

Eine DC-Simulation mit Variation von V_{inp} liefert die Abhängigkeit der Offsetspannung von der Eingangsspannung V_{inp} (Abbildung 6.16).

Abschließend wurde noch eine transiente Simulation durchgeführt, um den zeitlichen Verlauf der Ausgangsspannung, in Abbildung 6.17, zu zeigen. Die Eingänge werden von einem gefilterten Signal und der Threshold-Spannung, die 50 mV über der Referenzspannung liegt, gebildet. Der Messfehler von 2,29 ns ist auf die Offsetspannung V_{OS} zurück zu führen.

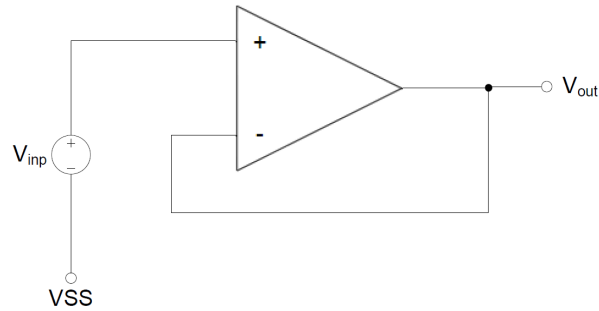


Abbildung 6.15: Messschaltung für die Offsetspannung

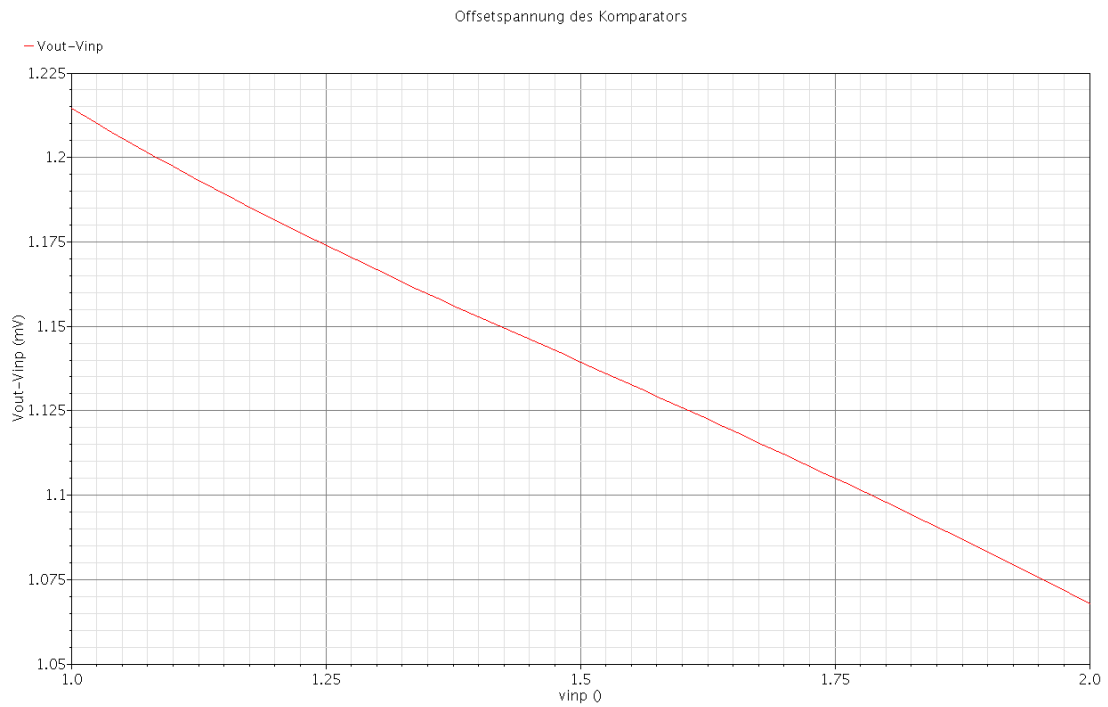


Abbildung 6.16: Offsetspannung des Komparators

6.4 Laden der Kondensatoren

Für das Laden der Kondensatoren wird die Schaltung in Abbildung 6.18 verwendet. Mit Hilfe des Komparatorsignals V_{COMPX} wird der Kondensator C_1 mit einem konstanten Strom I_{bias1} des Bias-Stromspiegels (Abbildung 6.2) aufgeladen. Bei jedem Schaltvorgang müssen dabei die parasitären Kapazitäten umgeladen werden. Um diese Schaltverzögerungen zu vermeiden, wird komplementär zu T4

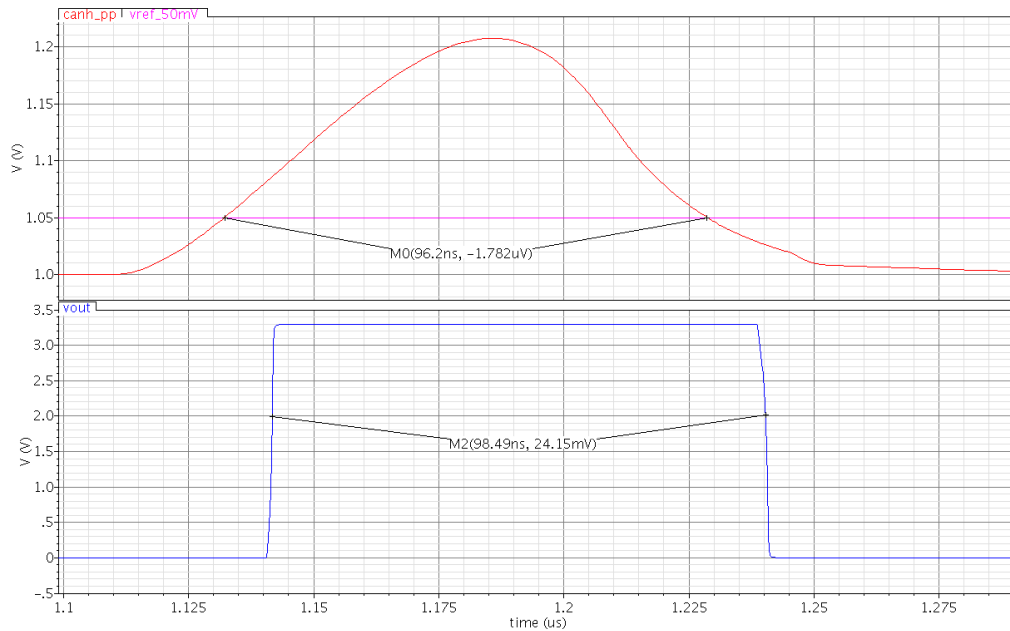


Abbildung 6.17: Verhalten des Komparators im Betrieb

der Transistor T3 geschaltet. Dies bewirkt einen konstanten Stromfluss von I_{bias1} , wodurch die Transistoren des Bias-Stromspiegels immer in Sättigung sind.

Wenn man Gleichung 6.9 umformt, errechnet sich die Spannung am Kondensator in Abhängigkeit von $t_{V_{load}}$, der Pulsbreite von V_{load} , zu:

$$V_{load} = \frac{I_{bias} \cdot t_{V_{load}}}{C1} \quad (6.33)$$

Nach jedem Messvorgang wird der Kondensator über den Transistor T1 wieder entladen. Der Transistor T2 dient dazu, der Ladungsträgerinjektion von T1 entgegen zu wirken. Zur Erklärung wird zunächst die gesamte Ladung der Inversionsschicht von T1 nach [17, S. 418] wie folgt berechnet:

$$Q_{ch} = W_1 L_1 C_{OX} (V_{DD} - V_{th}) \quad (6.34)$$

Beim Einschalten von T1 muss diese Ladung aufgebaut werden. Sie wird jedoch beim Abschalten über die Anschlüsse Source und Drain wieder abgeführt. Beim NMOS bewirkt dies eine negative Verschiebung der Offsetspannung. Nachdem

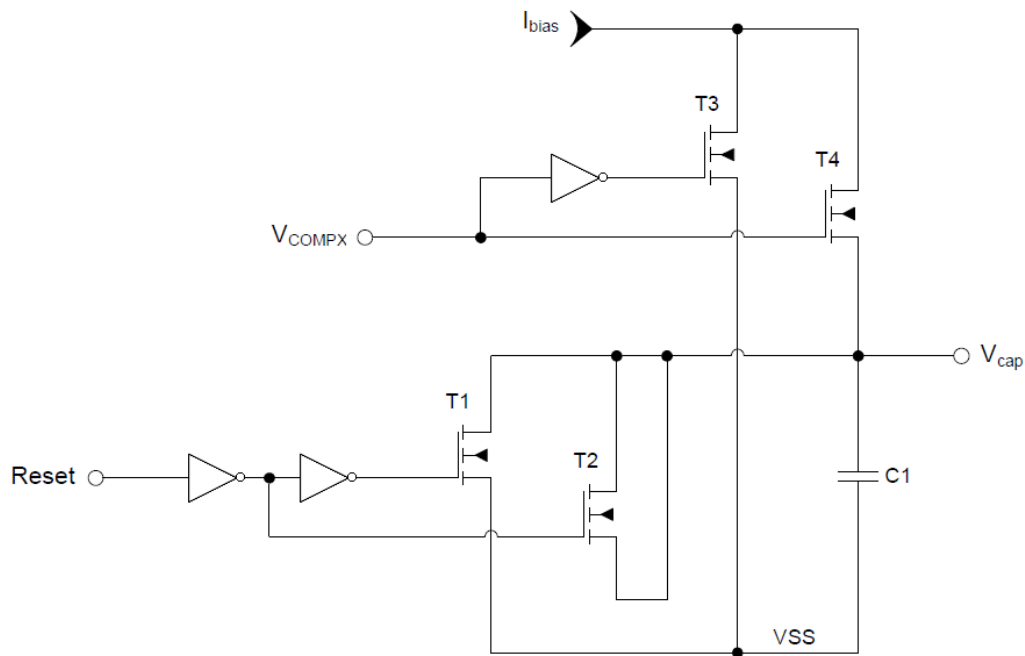


Abbildung 6.18: Schaltung zum Laden der Kondensatoren

die Offsetspannung an C_1 bei 0 V liegt, würde dies negative Spannungen mit sich bringen. Die resultierende Verschiebung ΔV_{cap} lässt sich annähernd berechnen zu

$$\Delta V_{cap} = \frac{W_1 L_1 C_{OX} (V_{DD} - V_{th})}{2C_1} \quad (6.35)$$

Da Drain und Source von T_2 miteinander verbunden sind, wirkt sich hier die Ladungsträgerinjektion in voller Größe aus. Wenn also $W_2 = 0,5W_1$ und $L_2 = L_1$ gewählt wird, sind die wirksamen Ladungsverschiebungen von T1 und T2 gleich groß. Durch eine komplementären Ansteuerung wird folglich eine Aufhebung der Ladungsträgerinjektion erzielt.[17, S. 417-423]

6.5 Komparator zum Vergleich der Spannungen

Geringste Änderungen der Slewrates von CANH und CANL können Spannungsunterschiede an den Kondensatoren von 1 mV oder weniger bewirken. Dies stellt hohe Herausforderungen an den Komparator K_2 . Die Verstärkung muss groß genug sein, um bei geringen Spannungsänderungen voll auszusteuern und die Offsetspannung muss deutlich unter 1 mV liegen.

Nachdem die Spannungen V_{CAP1} und V_{CAP2} nur zu einem bestimmten Zeitpunkt verglichen werden müssen, wird hier ein getakteter Komparator eingesetzt. Dieser hat die Möglichkeit einen Offsetabgleich durchzuführen. Um die hohe Verstärkung zu erzielen, werden 4 kaskadierte Differenzstufen verwendet. So wird trotz geringerer Verstärkung der Einzelstufen eine hohe Gesamtverstärkung erreicht. Die ersten 3 Differenzstufen weisen die gleiche Struktur auf, von denen eine in Abbildung 6.19 zu sehen ist. Diese Stufe DV3 besteht aus einem Differenzverstärker mit 2 wesentlichen Modifikationen:

- **Offsetabgleich**

Die Transistorpaare T6 und T7 bzw. T8 und T9 sind als Struktur eines Transmissionsgatter geschaltet. Während des Offsetabgleichs werden diese Transmissionsgatter durchgeschaltet und bewirken somit eine *unity-gain negative-feedback loop*. Der negative Ausgang wird dabei mit dem positiven Eingang verbunden und umgekehrt. Die differentielle Ausgangsspannung ergibt sich dann zu

$$V_{out} = V_{outp} - V_{outn} = \frac{A_V}{1 + A_V} V_{OS} \approx V_{OS} \quad (6.36)$$

A_V ... Verstärkung von DV3 [dB]
 V_{OS} ... Offsetspannung von DV3 [V]

Die Offsetspannung V_{OS} wird in den Kondensatoren C_1 und C_2 gespeichert und wirkt sich bei der Messung nicht mehr auf das Ergebnis aus.[17, S. 471-476]

- **Aussteuerbegrenzung**

Die beiden Transistoren T4 und T5 sind als Dioden geschaltet. Die Gates sind mit den Drains verbunden, wodurch sich nach Gleichung 6.37 die Transistoren in Sättigung befinden.

$$V_{DS} \geq V_{GS} - V_{th} \quad (6.37)$$

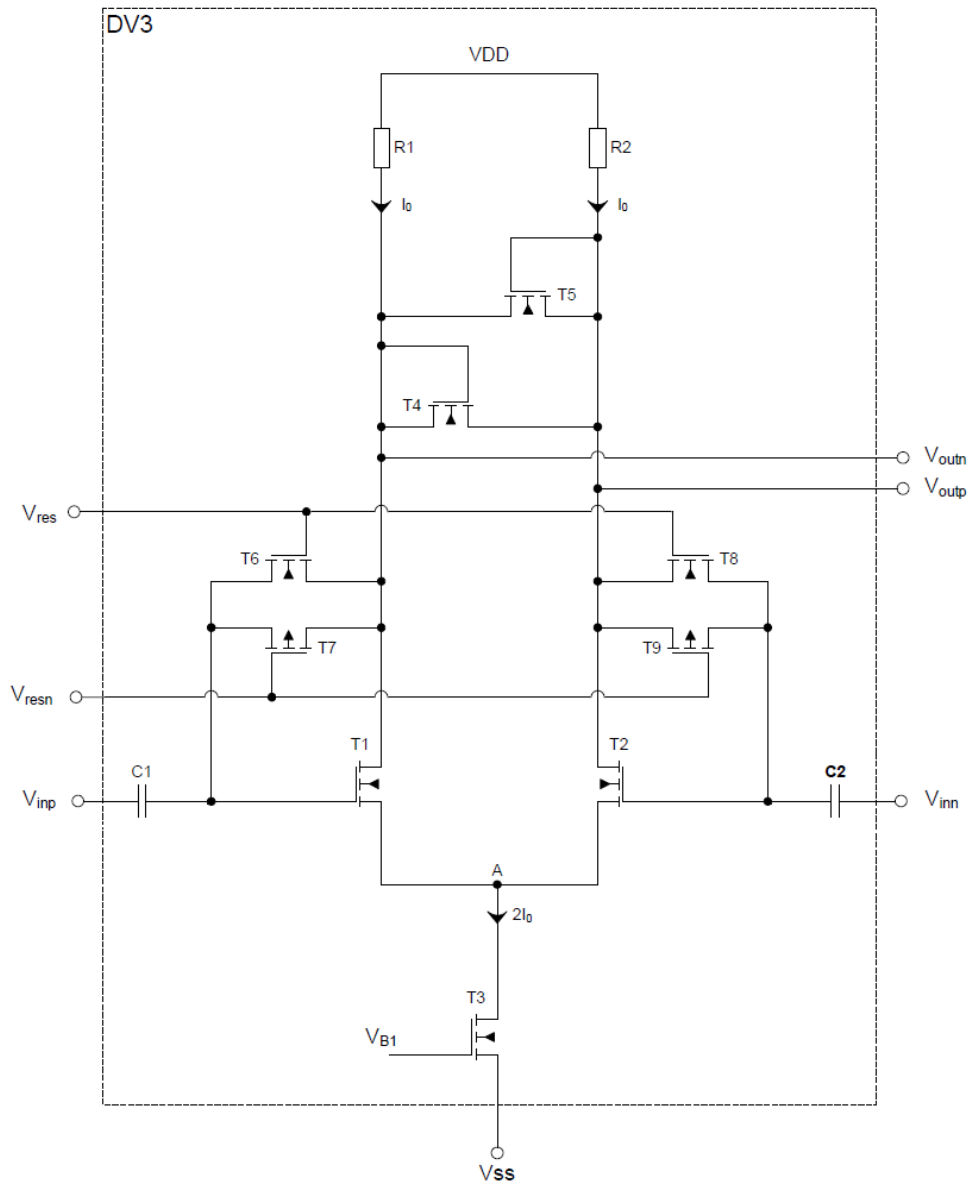


Abbildung 6.19: Differenzstufe mit Offsetabgleich und Aussteuerbegrenzung

Der Drainstrom verhält sich in diesem Arbeitsbereich wie der Strom einer MOS-Diode und lässt sich wie folgt berechnen:

$$I_D = \frac{1}{2} K (V_{GS} - V_{th})^2 \quad (6.38)$$

Wenn die differenzielle Ausgangsspannung über V_{th} steigt, beginnen die Transistoren zu leiten und begrenzen die Verstärkung. Dies wird aus Gründen der Schnelligkeit gemacht, weil zu hohe Aussteuerungen Umladezeiten von Kapazitäten zur Folge haben.

Als Ausgangsstufe wird die Schaltung in Abbildung 6.20 eingesetzt. Diese hat 2 Betriebsmodi, die über das En-Signal gesteuert werden:

1. **En = 'HIGH':**

T3 und T4 sind durchgeschaltet und die Stufe arbeitet als Differenzverstärker. In dieser Phase wird am Eingang gemessen, also die Ladungen an den Kapazitäten verglichen.

2. **En = 'LOW':**

T5 und T6 sind durchgeschaltet und aktivieren die Latch-Stufe. T7 und T8 sind kreuz-gekoppelt und bewirken eine maximale Aussteuerung der Ausgangssignale. Die Differenzstufe ist in dieser Phase deaktiviert, weil T3 und T4 sperren. So lange sich der Verstärker in dieser Phase befindet, haben die Eingänge keinen Einfluss auf die Ausgänge. Wenn En also auf 'LOW' schaltet, wird die Messung beendet und das Ergebnis bis zur nächsten Messung gespeichert.

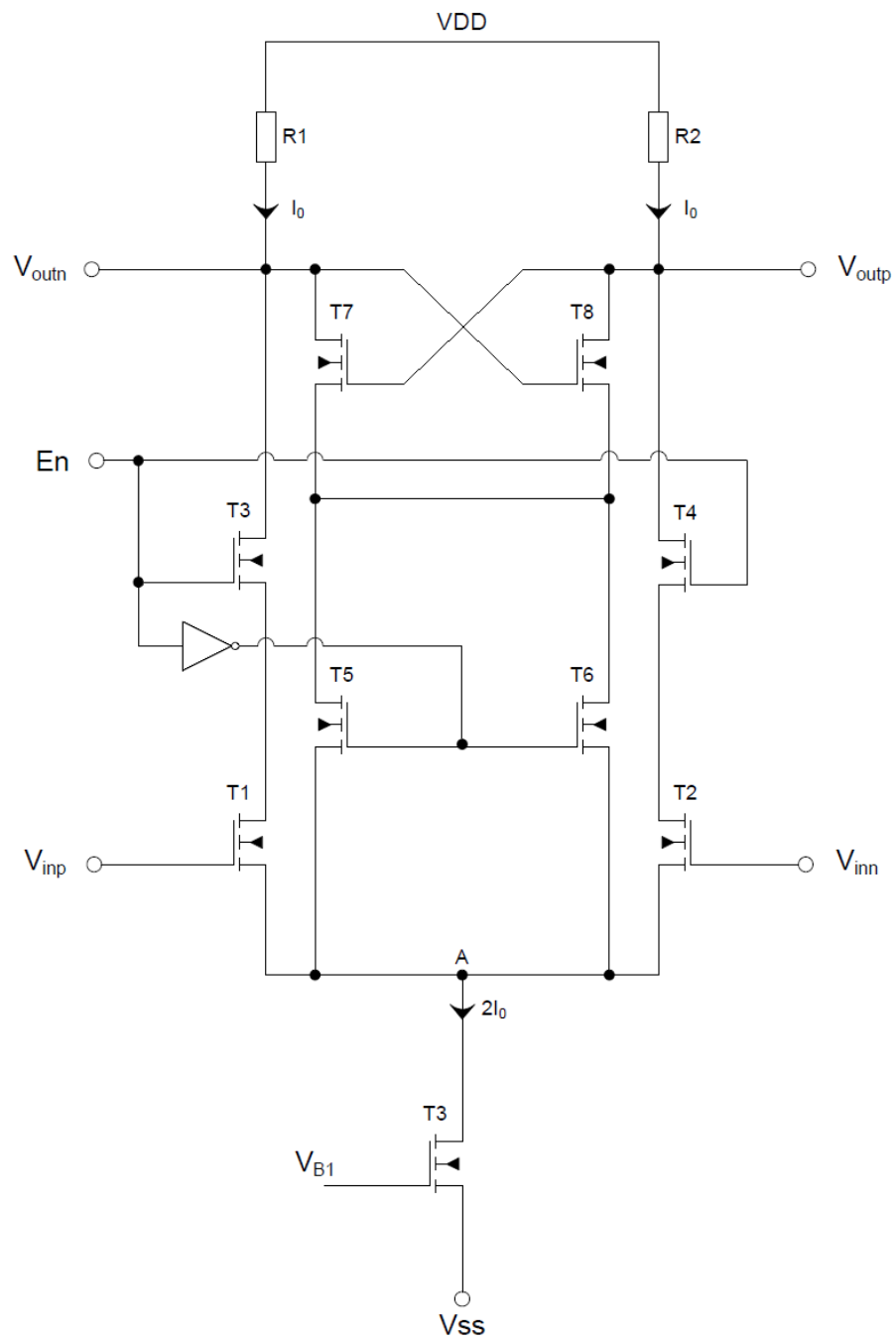


Abbildung 6.20: Ausgangsstufe mit Latch

Kapitel 7

Digitaler Schaltungsentwurf

Die digitalen Blöcke Algorithmus und Transmitter wurden als Modelle in Verilog-A [14] implementiert. Verilog-A ist eine Hardwarebeschreibungssprache für analoge Systeme. Sie wurde abgeleitet von der IEEE (Institute of Electrical and Electronics Engineers) 1364 Verilog HDL Spezifikation. In Verilog-A können *high-level* Module sowie analoge Komponenten beschrieben werden. Die generierten Module werden im Virtuoso® Schematic Editor eingebunden und sind bei der Simulation mit Spectre eingebunden.

7.1 Algorithmus

Im Algorithmus werden 8 8-Bit-Register (Ausgänge in Tabelle 5.5) generiert und mit dem Wert 128 initialisiert. Der Programmablauf ist im Flussdiagramm in Abbildung 7.1 zu sehen. Darin wird die Anpassung von 2 Registerwerten TCANH und TCANL betrachtet. Dieser Ablauf ist immer derselbe, und wird aufgrund der Übertragungsgeschwindigkeit den HSCAN von 1 Mbit/s jede Mikrosekunde durchlaufen. Alternierend einmal für den Übergang *Rezessiv auf Dominant* und anschließend *Dominant auf Rezessiv*.

7.2 Transmitter

Der Transmitter generiert die komplementären CAN-Signale mit einer Common-Mode Spannung von 2,5 V und den dominanten Pegel von 1,5 V bei CANL und 3,5 V bei CANH. Die anliegenden Pegel am Bus sind abhängig vom Eingangssignal TX. Ein 'LOW' an TX bedeutet Dominant, 'HIGH' bedeutet Rezessiv. Anhand der Trimmwerte werden die Flankenformen bei jedem Übergang verändert. Die Slewrates werden anhand der Anstiegszeiten getrimmt, die Schaltzeitpunkte

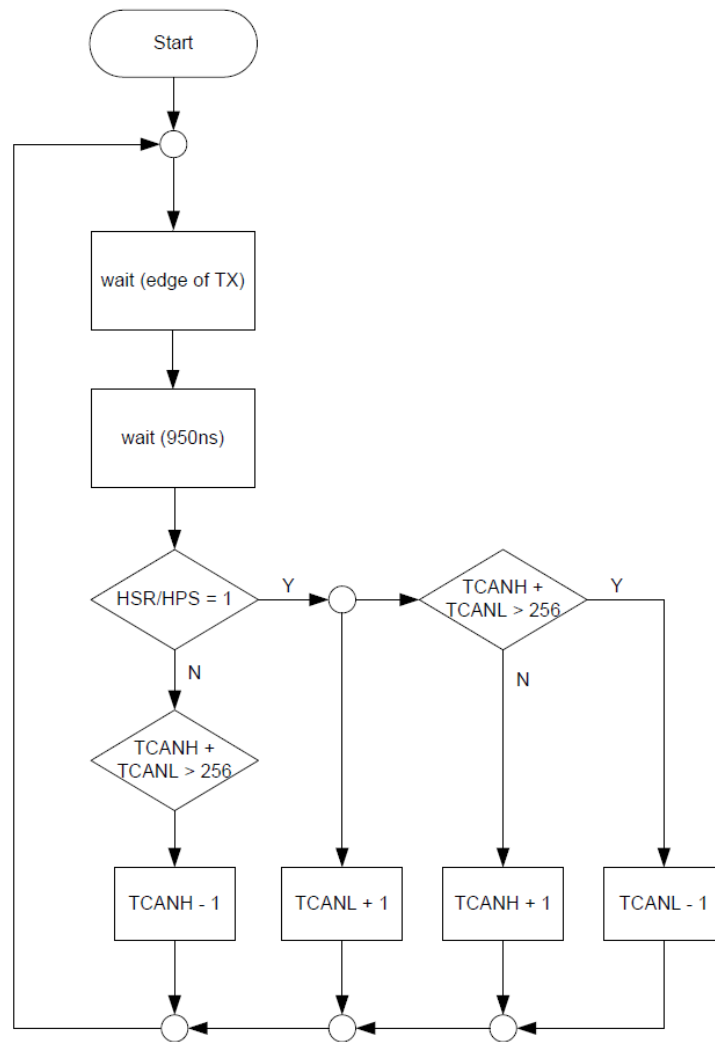


Abbildung 7.1: Flussdiagramm des Algorithmus

anhand der zeitlichen Verzögerung der Flanken. Die Auflösung der Regelschritte berechnet sich zu:

Aussteuergrenzen:

$$t_{anstieg} = \pm 100 \text{ ns} \quad (7.1)$$

$$t_{schalt} = \pm 50 \text{ ns} \quad (7.2)$$

Auflösung unter Verwendung von 8-Bit Register:

$$t_{res_anstieg} = \frac{2 \cdot t_{anstieg}}{2^8 - 1} = 784,31 \text{ ps} \quad (7.3)$$

$$t_{res_schalt} = \frac{2 \cdot t_{schalt}}{2^8 - 1} = 392,16 \text{ ps} \quad (7.4)$$

Für die realistische Modellierung der Flankenform wurde das Element *Relay* aus der *analogLib* in Cadence verwendet. Es generiert einen spannungsgesteuerten Widerstand, der einen nichtlinearen Verlauf aufweist. Der Ausgangsleitwert wird über eine Funktion 3.Ordnung bestimmt [15, S. 624-627]:

Wenn die Eingangsspannung V_{in} zwischen V_{t1} und V_{t2} liegt, gilt

$$G_{aus} = G_{min} + (G_{min} - G_{max}) \cdot \frac{2(V_{in} - V_{t1})^3 - 3(V_{t2} - V_{t1})(V_{in} - V_{t1})^2}{(V_{t2} - V_{t1})^3} \quad (7.5)$$

Wenn $V_{t1} < V_{t2}$ ist, gilt

$$G_{aus} = G_{min} \quad \text{für } V_{in} < V_{t1} \quad (7.6)$$

$$G_{aus} = G_{max} \quad \text{für } V_{in} > V_{t1} \quad (7.7)$$

bzw. wenn $V_{t1} > V_{t2}$ ist

$$G_{aus} = G_{min} \quad \text{für } V_{in} > V_{t1} \quad (7.8)$$

$$G_{aus} = G_{max} \quad \text{für } V_{in} < V_{t1} \quad (7.9)$$

Wobei folgende Parameter anzugeben sind:

$$\begin{aligned} G_{max} &= \frac{1}{R_{geschlossen}} && \dots \text{ maximaler Ausgangsleitwert [S]} \\ G_{min} &= \frac{1}{R_{offen}} && \dots \text{ minimaler Ausgangsleitwert [S]} \\ V_{t1} &&& \dots \text{ Spannung bei } G_{min} \text{ [V]} \\ V_{t2} &&& \dots \text{ Spannung bei } G_{max} \text{ [V]} \end{aligned}$$

Das Ergebnis der Flankenabrundung ist in Abbildung 7.2 zu sehen.

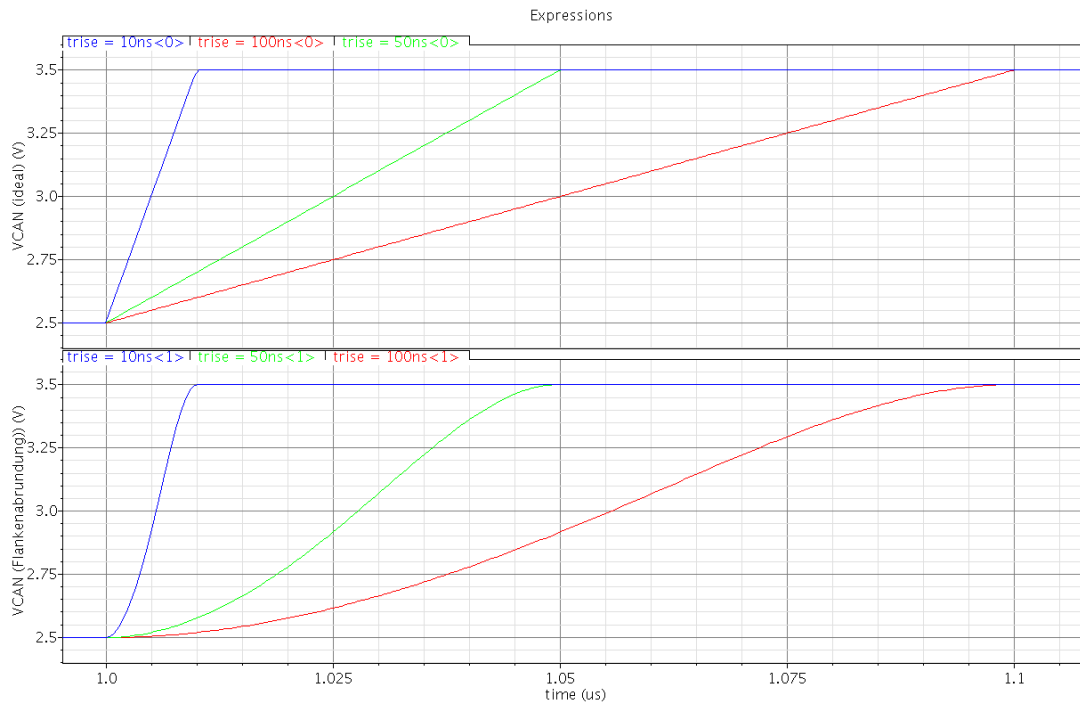


Abbildung 7.2: Ergebnis der Flankenabrundung

7.3 Steuersignale

Für die zeitliche Abfolge im analogen Schaltungsblock sind Steuersignale notwendig, welche im Digitalteil generiert werden. In Abbildung 7.3 wird das Zeitfenster von $1\ \mu\text{s}$ betrachtet. Die Messung muss in diesem Zeitraum abgeschlossen sein und wiederholt sich bei jedem Pegelwechsel. Im Folgendem wird der Ablauf beschrieben:

- t1:** Die Zustandsänderung an TX signalisiert den Beginn einer Messung. Die Kondensatoren werden nicht mehr entladen und sind bereit neu geladen zu werden. Zugleich wird der Offsetabgleich des geschalteten Komparators K_2 eingeleitet.
- t2:** Der Offsetabgleich wird unterbrochen und die Eingangsstufen von K_2 sind aktiv.

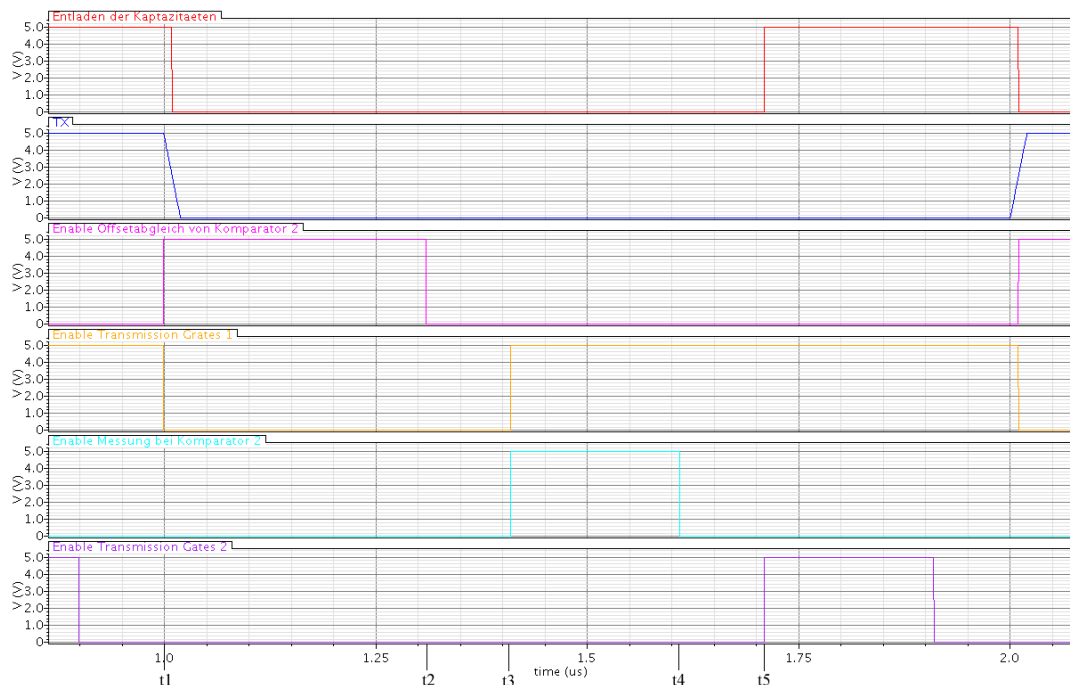


Abbildung 7.3: Steuersignale für die zeitliche Abfolge im analogen Block

- t3:** Über Transmissionsgatter werden die geladenen Kondensatoren an die Eingänge von K_2 geschaltet. Nachdem die Ausgangsstufe von K_2 auch aktiviert ist, beginnt dieser zu vergleichen.
- t4:** Die Messung wird durch Umschalten der Ausgangsstufe von K_2 beendet. Das Ergebnis wird in einem Latch temporär gespeichert.
- t5:** Über Transmissionsgatter wird ein RS-Fliflop bedient, das das Ergebnis dem Digitalteil zur Verfügung stellt. Die Kondensatoren werden für die nächste Messung wieder entladen.

Kapitel 8

Simulation des Reglers

Die digitalen und analogen Blöcke wurden im Virtuoso[®] Schematic Editor nach dem Konzept in Abbildung 5.1 zusammen geschaltet. Simulationen wurden mit Spectre durchgeführt. Als Quellen wurden die idealen Elemente *VDC* und *IDC* aus der *analogLib* verwendet. Der Strom wird als konstant angenommen und zur Modellierung einer realen Spannungsquelle dient ein Serienwiderstand zu *VDC*.

Durch eine transiente Simulation über einen Zeitraum von 40 μs , das entspricht 40 Regelschritten, wird die Funktion des Regelkreises untersucht. Es hat sich gezeigt, dass die Trimmwerte nach dem Einregeln des Systems um 1 LSB (Least Significant Bit) toggeln. Dies geschieht aufgrund der Tatsache, dass trotz Übereinstimmung der Flanken von CANH und CANL eine Trimmung durchgeführt wird. Der Regelkreis funktioniert in der Testumgebung wie es im Konzept spezifiziert wurde. Zur Bewertung der Regelgenauigkeit werden die idealen CAN-Signalfanken vor der Flankenabrundung betrachtet. Wenn man diese mathematisch differenziert, können Anstiegszeit und Schaltzeitpunkt genau verglichen werden. In Abbildung 8.1 werden die Zeiten nach einer Simulationszeit von 36 μs miteinander verglichen. Die hier gemessenen Zeitunterschiede entstehen durch den Fehler des Regelkreises. Anhand der Marker in Abbildung 8.1 lassen sich die Fehler nominell bestimmen:

Fehler der Anstiegszeit: $t_{error,anstieg} = 880 \text{ ps}$

Fehler der Schaltzeitpunkte: $t_{error,schalt} = 390 \text{ ps}$

Diese Fehler entsprechen, nach den Gleichungen 7.3 und 7.4, einem Regelschritt. Das bedeutet eine gute Messgenauigkeit der Detektionsschaltung, die höher als die Auflösung eines Regelschritts ist. Die Genauigkeit des gesamten Regelkreises ist somit durch die Auflösung der Regelschritte bestimmt.

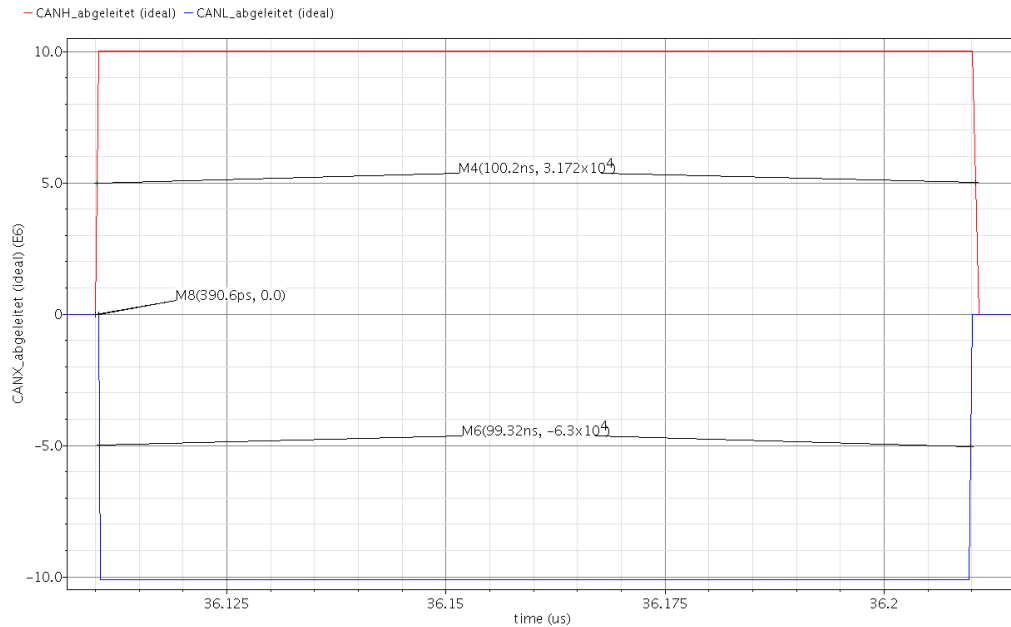


Abbildung 8.1: Regelfehler des Gesamtsystems

Um den Regelkreis genauer zu analysieren, werden die einzelnen Schaltungsteile bewertet. Dafür wurde eine parametrische Simulation, mit Variation der Anstiegszeiten der CAN-Signalfanken, durchgeführt. Beobachtet wurden die Fehler des Filter, des Komparators K_1 und der Ladeschaltung. Die Fehler sind die Differenzen (CANH minus CANL) der gemessenen Zeiten und Spannungen. Bei gleichen Anstiegszeiten von CANH und CANL sollten diese im Idealfall 0 ergeben. Die Ergebnisse für beide Übergänge sind in Abbildung 8.2 zu sehen.

Dominant auf Rezessiv

Der Fehler des Filters $t_{diff_2f_filter}$ weist eine nichtlineare Abhängigkeit von den Anstiegszeiten der CAN-Signalfanken auf und hat sein Maximum bei 200 ps. Der Fehler des Komparators $load1 - load2_2f$ ist nahezu konstant und beträgt weitere 200 ps. Der maximale Messfehler der Anstiegszeit beträgt somit 400 ps, welcher eine Spannungsdifferenz an den Kondensatoren ($vcaph - vcaphl_2f$) von 6 mV bewirkt.

Rezessiv auf Dominant

Die Kurven $t_{diff_1f_filter}$, $load1 - load2_1f$ und $vcaph - vcaphl_1f$ treten inver-

tiert zu den Kurven von Dominant auf Rezessiv auf. Bei beiden Übergängen wird CANH minus CANL gerechnet, die Flankenrichtung jedoch vertauscht. Der invertierte Verlauf der Kurven weist darauf hin, dass der Messfehler hauptsächlich durch die komplementäre Flankenform von CANH und CANL entsteht. Die Schaltung reagiert also auf positive und negative Flanken unterschiedlich.

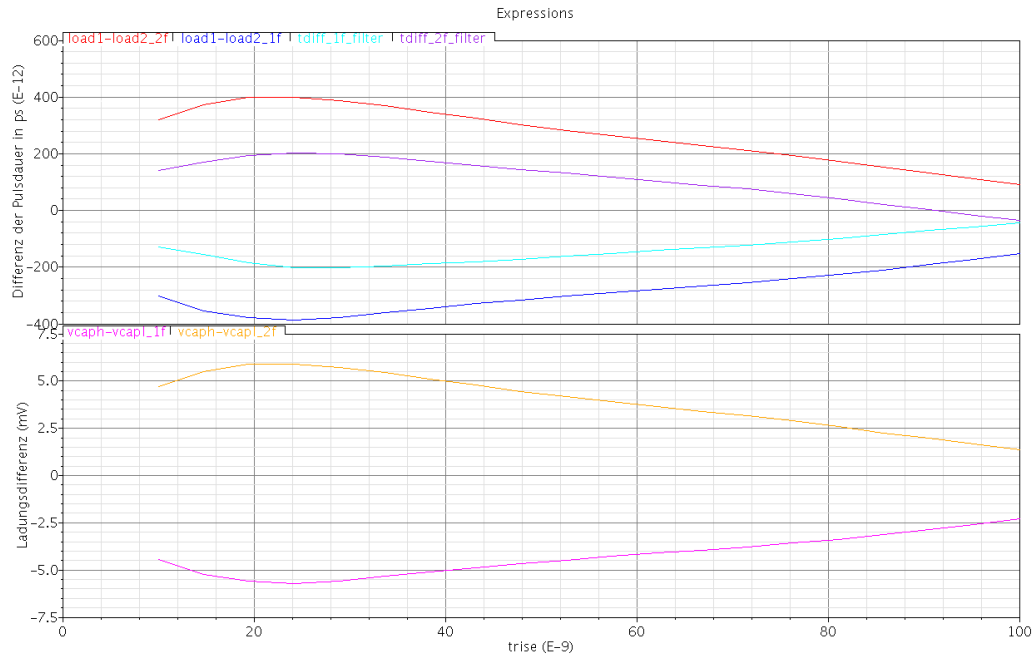


Abbildung 8.2: Abhängigkeit des Messfehlers von den Anstiegszeiten der CAN-Signalfanken

Die Relation von der Anstiegszeit der Signalfanken und der Spannungen an den Kondensatoren zeigt die Simulation in Abbildung 8.3. Einerseits ergibt sich ein nahezu linearer Zusammenhang und andererseits verhält sich der Messfehler indirekt proportional zur Anstiegszeit. Aus der Kurve kann man ablesen, dass bei Anstiegszeiten von 10 ns bis 100 ns Spannungen von 1,15 V bis 1,85 V erreicht werden. Das bedeutet eine Auflösung von 7,8 mV/ns. Der maximale Messfehler von 6 mV entspricht somit 769,23 ps der Anstiegszeit einer Signalfanke. Bei der Auflösung eines Regelschrittes von 781,25 ps, reicht diese Genauigkeit aus.

Abschließend wurden noch Monte-Carlo-Simulationen durchgeführt, um die Auswirkung von Prozessvariation und Mismatch auf den Regelkreis zu analysieren. Die Monte-Carlo-Simulation ist ein Verfahren, bei der über Zufallsexperimen-

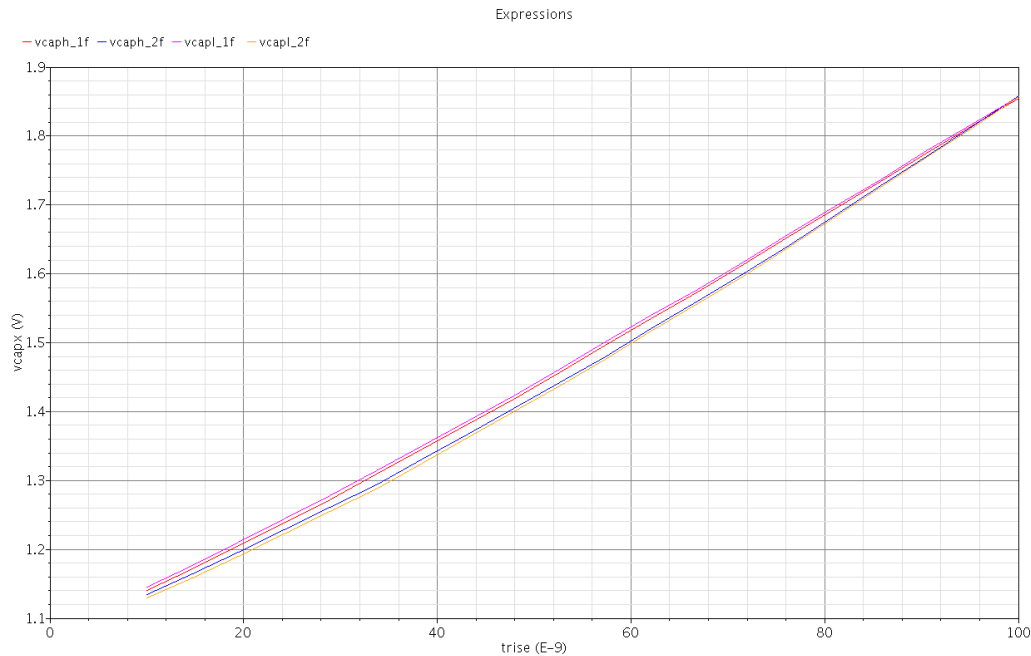


Abbildung 8.3: Relation von Anstiegszeit zu Kondensatorspannung

te und Wahrscheinlichkeitsrechnung Matching- und Prozesstoleranzen simuliert werden. Sie wird bei integrierten Schaltungen angewendet um die Designs stabiler zu machen. Als Bewertungskriterium wurde die Spannungsdifferenz der Kondensatoren herangezogen. Die Ergebnisse sind in Abbildung 8.6 zu sehen.

Beim nächsten Schritt wurde eine Variation der Parameter, bei der die Spannungsunterschiede in etwa $2 \cdot \sigma$ betragen, gespeichert. Eine weitere transiente Simulation soll nun den Regelfehler mit diesen Parametern zeigen. In Tabelle 8.1 sind die gemessenen Regelfehler nach einer Simulationslaufzeit von $37 \mu\text{s}$ aufgelistet.

Für die Bewertung des Regelfehlers bezüglich EMV wird die Messschaltung in Abbildung 3.4 verwendet. Bei der Simulation wird der Spektrumanalyzer durch einen 50Ω Widerstand ersetzt. In Abbildung 8.4 ist die gemessene Symmetriespannung von 2 Übergängen, unter Verwendung der Parameter aus Tabelle 8.1, bei einer Anstiegszeit von 50 ns zu sehen. Mit Hilfe der Fourier-Transformation wird das Frequenzspektrum der Symmetriespannung erzeugt. Dieses Spektrum wird in Abbildung 8.5 mit den Firmen internen Designvorgaben verglichen. Die violette Linie definiert dabei die Grenzwerte, die beim Design eines CAN-Transceivers nicht

Übergang	Anstiegszeit	CANH	CANL	$\Delta t_{diff,schalt}$
	ns	ns	ns	ns
Rezessiv auf Dominant	10	13,09	7,66	1,18
	50	53,04	48,13	1,15
	100	103,50	98,06	2,8
Dominant auf Rezessiv	10	7,67	13,07	1,18
	50	48	53,16	1,16
	100	98,45	103,3	1,93

Tabelle 8.1: Regelfehler durch Prozessvariation und Mismatch

überschritten werden dürfen. Das Spektrum liegt hier innerhalb dieser Grenzwerte. Es muss jedoch berücksichtigt werden, dass die Bussignale außer den Unsymmetrien der Flanken keine Störungen aufweisen.

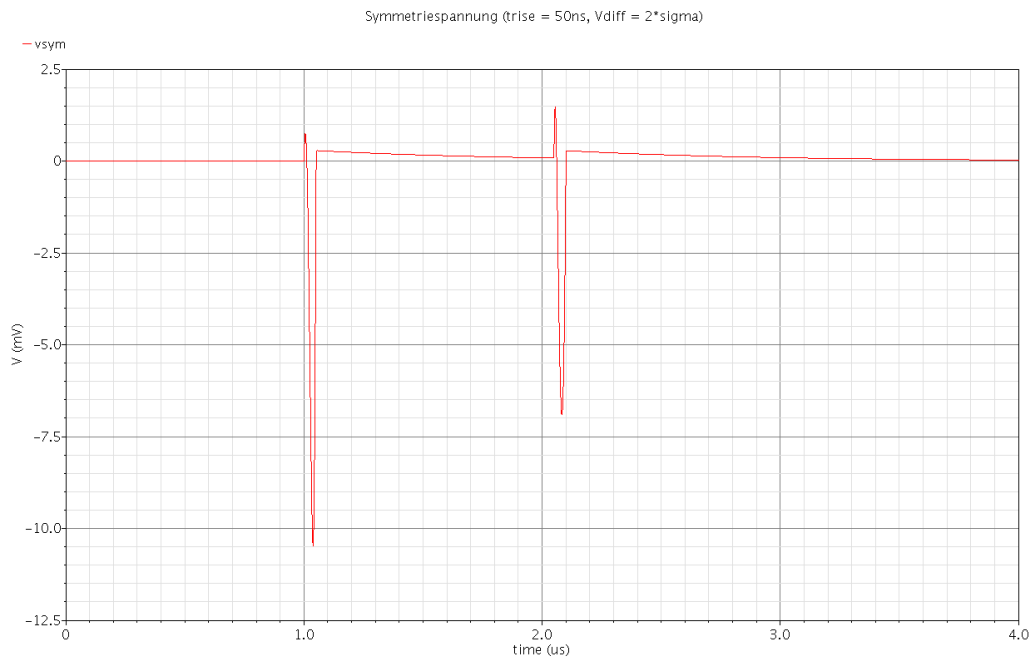


Abbildung 8.4: Symmetriespannung bei $V_{diff} = 2 \cdot \sigma$

Simulationen haben gezeigt, dass das Gesamtsystem korrekt arbeitet. Prozessvariation und Mismatch verursachen einen Regelfehler der bis zu 10 Prozent der

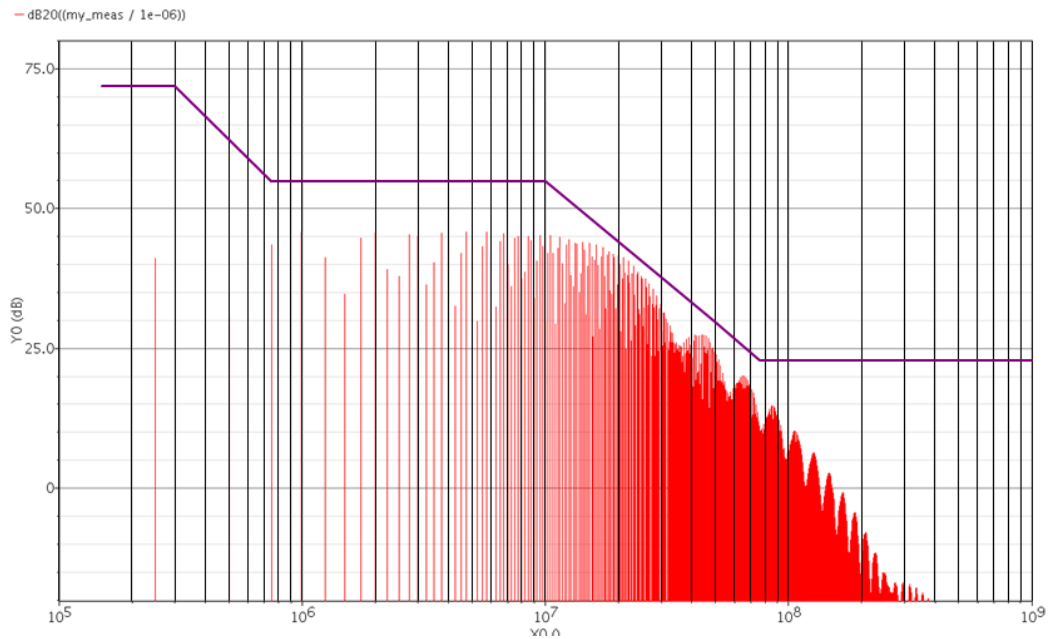


Abbildung 8.5: Spektrum der Symmetriespannung

Anstiegszeit der Signalfanken betragen kann. Die Elektromagnetische Abstrahlung erreicht dabei Grenzwerte, die für das Design eines CAN-Transceivers definiert sind, überschreitet diese jedoch nicht. Die Detektionsschaltung wurde mit Elementen der Technologie SPT7 entwickelt, der Algorithmus wurde in Verilog-A implementiert. Für die Einbindung des Regelkreises in einem CAN-Transceiver muss der Algorithmus noch in VHDL adaptiert werden.

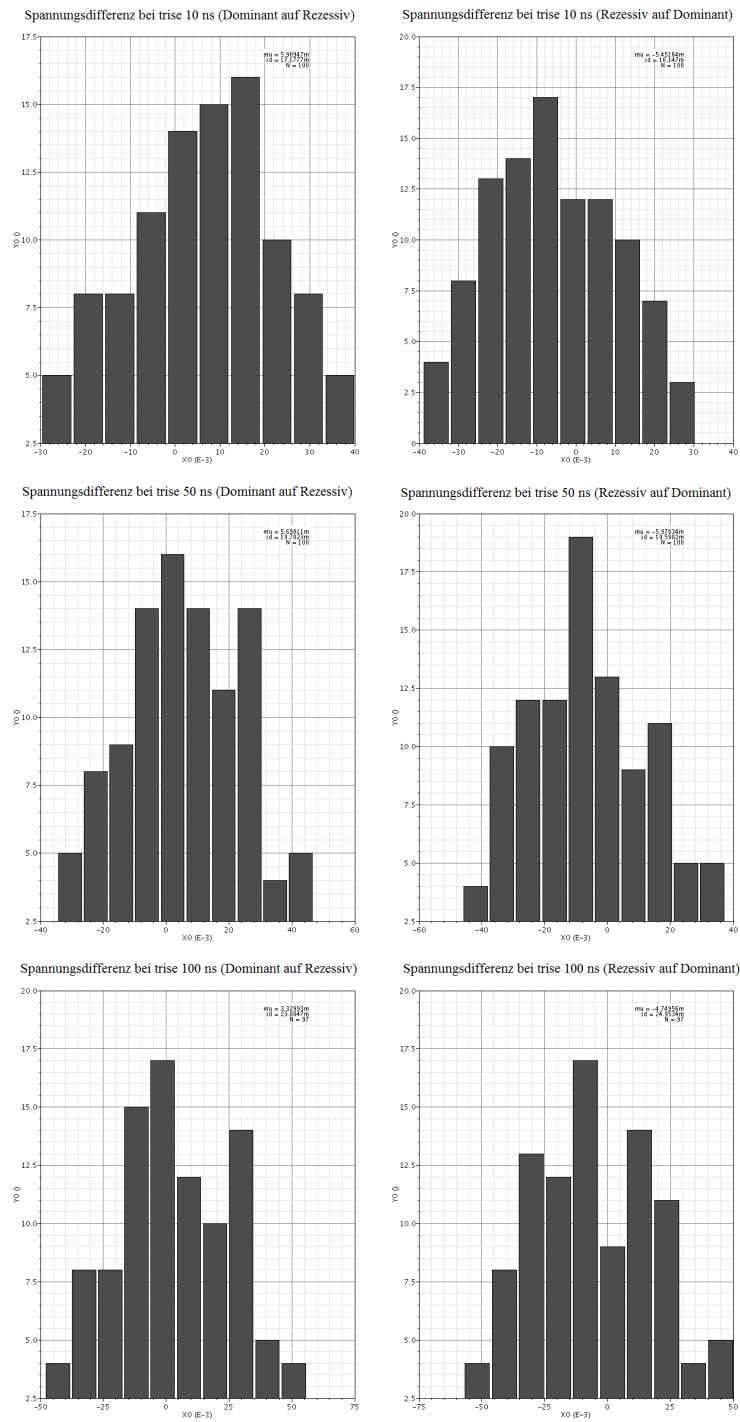


Abbildung 8.6: Monte-Carlo-Simulation für unterschiedliche Anstiegszeiten

Kapitel 9

Zusammenfassung und Ausblick

Am Anfang dieser Arbeit wurden die Feldbusprotokolle vorgestellt. Der CAN-Bus ist darunter einer der leistungsfähigsten und sichersten. Um stabiler gegenüber elektromagnetischen Störungen zu sein, wird beim HSCAN eine differenzielle Übertragung gewählt. Zur Minimierung der Elektromagnetischen Abstrahlung müssen die komplementären Signalfanken von CANH und CANL gleiche Slewrate und gleichen Schaltzeitpunkt aufweisen.

Es wurde ein Konzept vorgestellt, das Trimmwerte verwendet um die Treiberstärken der Ausgangsstufen des CAN-Transceivers zu verändern. Die Slewrates und Schaltzeitpunkte der Signalfanken von CANH und CANL werden bei jedem Pegelwechsel gemessen und verglichen. Anhand dieser Messergebnisse entscheidet ein Algorithmus, welche Trimmwerte angepasst werden müssen um einen Abgleich der Signalfanken zu erzielen. Nachdem das Konzept des adaptiven Regelkreises erarbeitet wurde, konnten die einzelnen Schaltungsblöcke entwickelt werden. Die Detektionsschaltung wurde in SPT7 entworfen, der Algorithmus und die Steuersignale wurden in Verilog-A implementiert.

Simulationen haben gezeigt, dass das Konzept erfolgreich umgesetzt wurde. Der Regelkreis bewertet die Signalfanken und führt eine korrekte Anpassung der Trimmwerte durch. Prozessvariation und Mismatch verursachen Regelfehler, die bis zu 10 Prozent der Anstiegszeiten der Signalfanken betragen können. Die resultierende Elektromagnetische Abstrahlung überschreitet dabei keine definierten Grenzwerte für den CAN-Transceiver. Um den Stromverbrauch des CAN-Transceivers möglichst gering zu halten, kann der gesamte Regelkreis über ein Power-Down-Signal deaktiviert werden.

Das Konzept setzt einen gleichen Spannungshub an CANH und CANL voraus. Bei

weiteren Überlegungen sollte das überprüft und bei der Bewertung miteinbezogen werden. Um den Regelkreis auf einen Testchip realisieren zu können, müssen noch das Layout und die Adaptierung der Verilog-A Blöcke in VHDL gemacht werden.

Abkürzungsverzeichnis

CAN	Controller Area Network
CMOS	Komplementärer Metall-Oxid-Halbleiter
CRC	Cyclic Redundancy Check
CSMA/CD+CR	Carrier Sense, Multiple Access/Collision Detection + Collision Resolution
DLC-Bits	Data Length Code Bits
DMOS	Doppelt Diffundierter Metall-Oxid-Halbleiter
DTI	Deep Trench Isolation
EME	Elektromagnetische Emission
EMS	Elektromagnetische Störfestigkeit
EMV	Elektromagnetische Verträglichkeit
ESD	Electrostatic Discharge
HSCAN	High-Speed-CAN-Bus
HSR	Higher Slewrate
IDE-Bit	Identifier Extension Bit
IEC	International Electrotechnical Commission
IEEE	Institute of Electrical and Electronics Engineers
ISO	International Standardisation Organisation
LIN	Local Interconnect Network
LSB	Least Significant Bit
NMOS	n-Kanal-Metall-Oxid-Halbleiter
NRZ	Non-Return-To-Zero
OSI	Open System Interconnect
PD	Power-Down
PMOS	p-Kanal-Metall-Oxid-Halbleiter
RFID	Radio Frequency Identification
RTR-Bit	Remote Transmission Request Bit
SAE	Society of Automotive Engineers
SRR-Bit	Substitute Remote Request Bit
VDE	Verband der Elektrotechnik, Elektronik und Informations-

WLAN technik
Wireless Local Area Network

Literaturverzeichnis

- [1] Wolfgang Kürner Adolf J. Schwab. *Elektromagnetische Verträglichkeit*. Springer, Heidelberg, 1990.
- [2] Infineon Technologies AG. *Halbleiter - Technische Erläuterungen, Technologien und Kenndaten*. Publicis Corporate Publishing, Erlangen, August 2003.
- [3] Mario Auer. *Analog Integrated Circuit Design 2*. Technische Universität Graz, 2010. Skriptum.
- [4] Klaus Beuth. *Digitaltechnik*. Vogel Buchverlag, Würzburg, 1998.
- [5] B. Claus, L. Körber. *CAN (High Speed) in Kraftfahrzeugen; EMV-Eigenschaften künftiger Bus-Topologien und Betriebsarten*. EMV 2000, Düsseldorf.
- [6] International Electrotechnical Commission. *Integrated circuits – Measurement of electromagnetic emission, 150 kHz to 1 GHz - Part 4: Measurement of conducted emissions – 1 Ohm/150 Ohm direct coupling method*. IEC 61967-4, 2005.
- [7] Verband der Elektrotechnik Elektronik und Informationstechnik. *Elektromagnetische Beeinflussung (EMB) - Begriffe*. DIN VDE 0870-1, 1984.
- [8] International Organization for Standardization. *Road vehicles - Controller area network (CAN) — Part 5: High-speed medium access unit with low-power mode*. ISO 11898-5, 2003.
- [9] International Organization for Standardization. *Road vehicles — Controller area network (CAN) — Part 2: High-speed medium access unit*. ISO 11898-2, 2003.
- [10] Robert Bosch GmbH. *CAN Specification*. Version 2.0, 1991.

- [11] M. Gursoy, S. Jahn, B. Deutschmann, and G. Pelz. Methodology to predict crosstalk effects in can bus systems using vhdl-ams. *Electromagnetic Compatibility, IEEE Transactions on*, 50(4):993 –1002, 2008.
- [12] Marion Hanstein. *Entwicklung eines Operationsverstärkers für die IMS GATE FOREST[®] 0,5 µm-Technologie*, 2008.
- [13] Wolfhard Lawrenz. *CAN(Controller Area Network) - Grundlagen und Praxis*. Hüthig Verlag, Heidelberg, 2000.
- [14] Open Verilog International. *Verilog-A Language Reference Manual - Analog Extensions to Verilog HDL*, 1.0 edition, 1996.
- [15] Open Verilog International. *Spectre[®] Circuit Simulator Reference*, 5.0 edition, 2003.
- [16] Wang Qingmainping, Zhang Zhengfan, Li Kaicheng, Guo Lin, Xiangdong Wu, and Wang Zihang. A deep trench isolation for silicon. In *Solid-State and Integrated Circuit Technology, 1998. Proceedings. 1998 5th International Conference on*, pages 172 –175, 1998.
- [17] Behzad Razavi. *Design of Analog CMOS Integrated Circuits*. Mc Graw Hill, New York, 2001.
- [18] Ch.Schenk U.Tietze. *Halbleiter-Schaltungstechnik*. Springer, Heidelberg, 2002.
- [19] Henning Wallentowitz and Konrad Reif. *Kraftfahrzeugelektronik - Grundlagen, Komponenten, Systeme, Anwendungen*. Vieweg, 2006.

Abbildungsverzeichnis

2.1	CAN Datenframe	13
2.2	CAN Signalpegel	16
2.3	Bustopologie	17
3.1	Störgrößen bei EMV	19
3.2	Beeinflussungsmodell von EMV	20
3.3	Symmetriespannung beim CAN-Bus	22
3.4	Messschaltung für EMV bei CAN	23
4.1	Schnittbild von SPT7	25
5.1	Regelkreis	26
5.2	Detektion der Slewrate	28
5.3	Vergleich der Ladungen	29
5.4	Detektion der Schaltzeitpunkte	30
5.5	Timingdiagramm zur Auswertung der Schaltverzögerungen	30
6.1	Early-Spannung des Mosfets	36
6.2	Stromspiegel mit High-Swing Kaskode	38
6.3	Passives Hochpassfilter 1. Ordnung	40
6.4	Aktives Hochpassfilter 2. Ordnung	42
6.5	Sallen-Key-Filter mit Sourcefolger	43
6.6	Amplituden-Frequenzgänge verschiedener Filtertypen	45
6.7	Bodediagramm Filter 1. Ordnung und 2. Ordnung	46
6.8	Ausgangssignale der Filter	47
6.9	Verhalten bei positiven und negativen Flanken	48
6.10	RC-Hochpasses bei verschiedenen Signalfanken	49
6.11	Relation von realer zu gemessener Anstiegszeit	49
6.12	Verstärkerstufen des Komparators	50
6.13	Offsetspannung bei mehrstufigen Verstärker	51
6.14	Schaltung des Komparators	52

6.15	Messschaltung für die Offsetspannung	54
6.16	Verlauf der Offsetspannung	54
6.17	Verhalten des Komparators	55
6.18	Ladeschaltung für Kondensatoren	56
6.19	Differenzstufe mit Offsetabgleich und Aussteuerbegrenzung	58
6.20	Ausgangsstufe mit Latch	60
7.1	Flussdiagramm des Algorithmus	62
7.2	Ergebnis der Flankenabrundung	64
7.3	Steuersignale für die zeitliche Abfolge im analogen Block	65
8.1	Regelfehler des Gesamtsystems	67
8.2	Abhängigkeit des Messfehlers von den Anstiegszeiten der CAN-Signalfanken	68
8.3	Relation von Anstiegszeit zu Kondensatorspannung	69
8.4	Symmetriespannung bei $V_{diff} = 2 \cdot \sigma$	70
8.5	Spektrum der Symmetriespannung	71
8.6	Monte-Carlos-Simulation	72
A.1	Testumgebung des Regelkreises	83
A.2	Schaltung der Slewrate-Detektion	84
A.3	RC-Hochpassfilter 1.Ordnung	85
A.4	Schaltung Bias-Stromspiegel	86
A.5	Komparator mit gefalteter Kaskode	87
A.6	Multiplexer mit Power-Down	88
A.7	Auswertung von HSR und HPS	89
A.8	Laden der Kapazität	90
A.9	Geschalteter Komparator	91
A.10	D-Flipflop	92
A.11	RS-Flipslop	93
A.12	Abrunden der Flanken	94
B.1	Statistische Auswertung (Anstiegszeit von 10 ns)	96
B.2	Statistische Auswertung (Anstiegszeit von 50 ns)	97
B.3	Statistische Auswertung (Anstiegszeit von 100 ns)	98

Tabellenverzeichnis

2.1	Zulässige Spannungswerte für die Buspegel	16
2.2	CAN Übertragungsraten	17
5.1	Wahrheitstabelle RS-Flipflop	30
5.2	Schnittstellen des Detektionsblocks	31
5.3	Trimmvorgabe bei unterschiedlichen Zählerständen	32
5.4	Auswertung der Eingangssignale	33
5.5	Schnittstellen des Algorithmus	34
5.6	Schnittstellen des Transmitters	35
8.1	Regelfehler durch Prozessvariation und Mismatch	70

Anhang A

Schematics

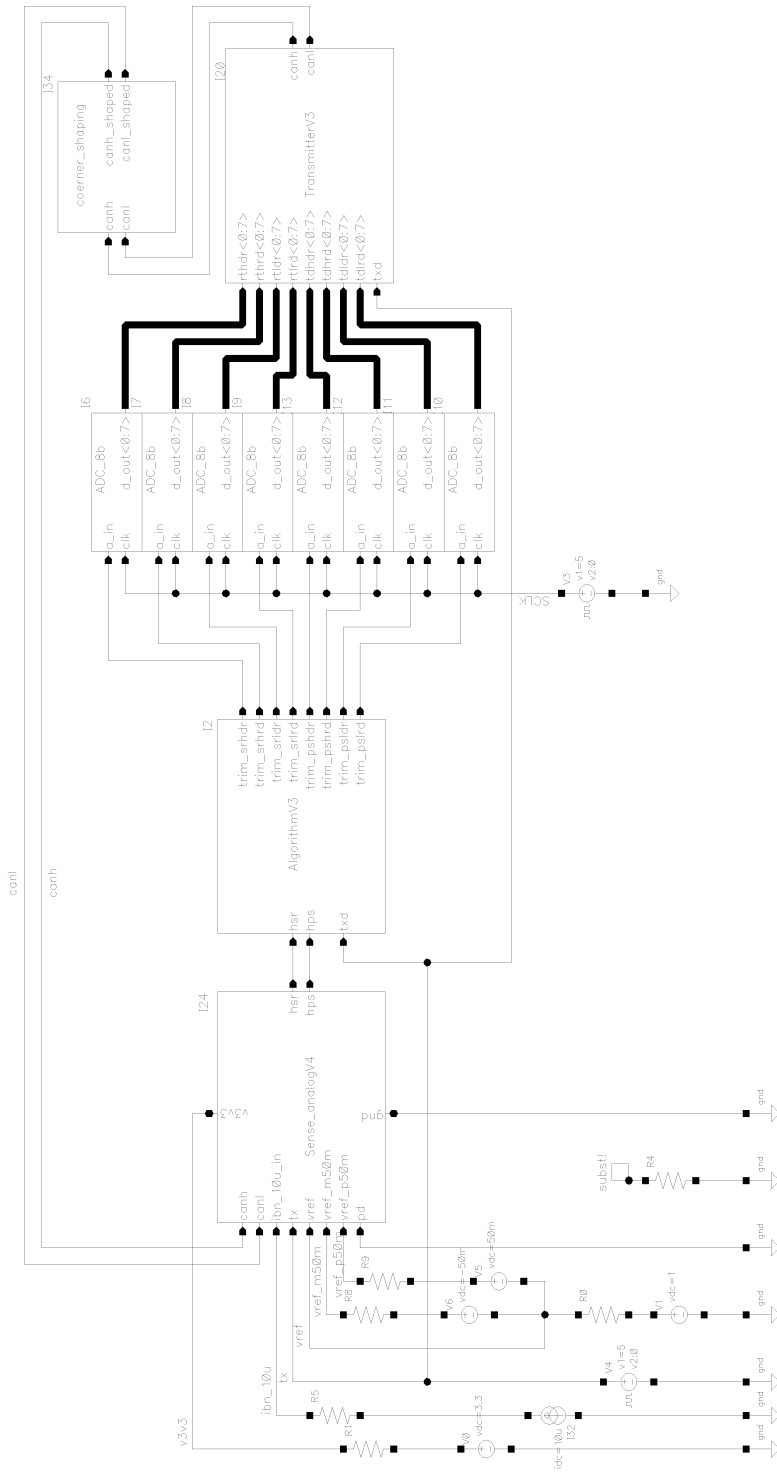


Abbildung A.1: Testumgebung des Regelkreises

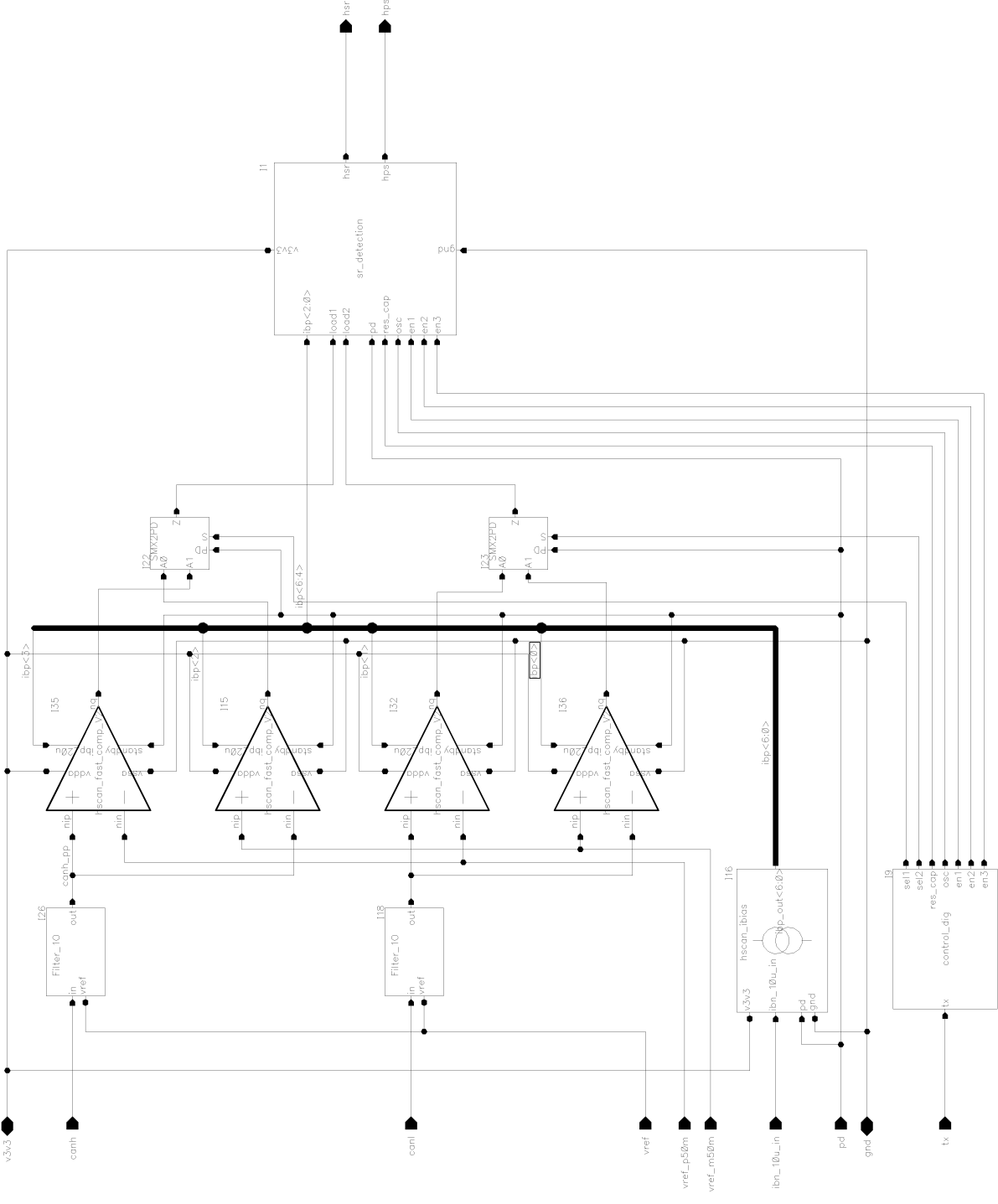


Abbildung A.2: Schaltung der Slewrate-Detektion

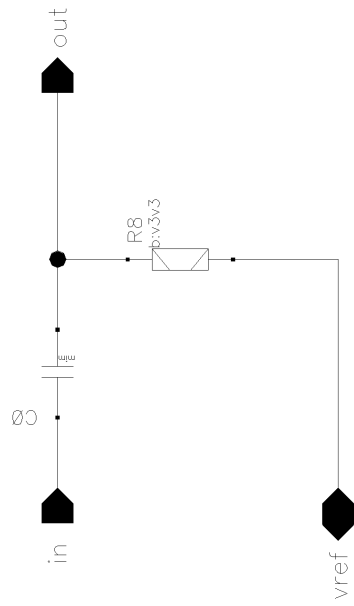


Abbildung A.3: RC-Hochpassfilter 1. Ordnung

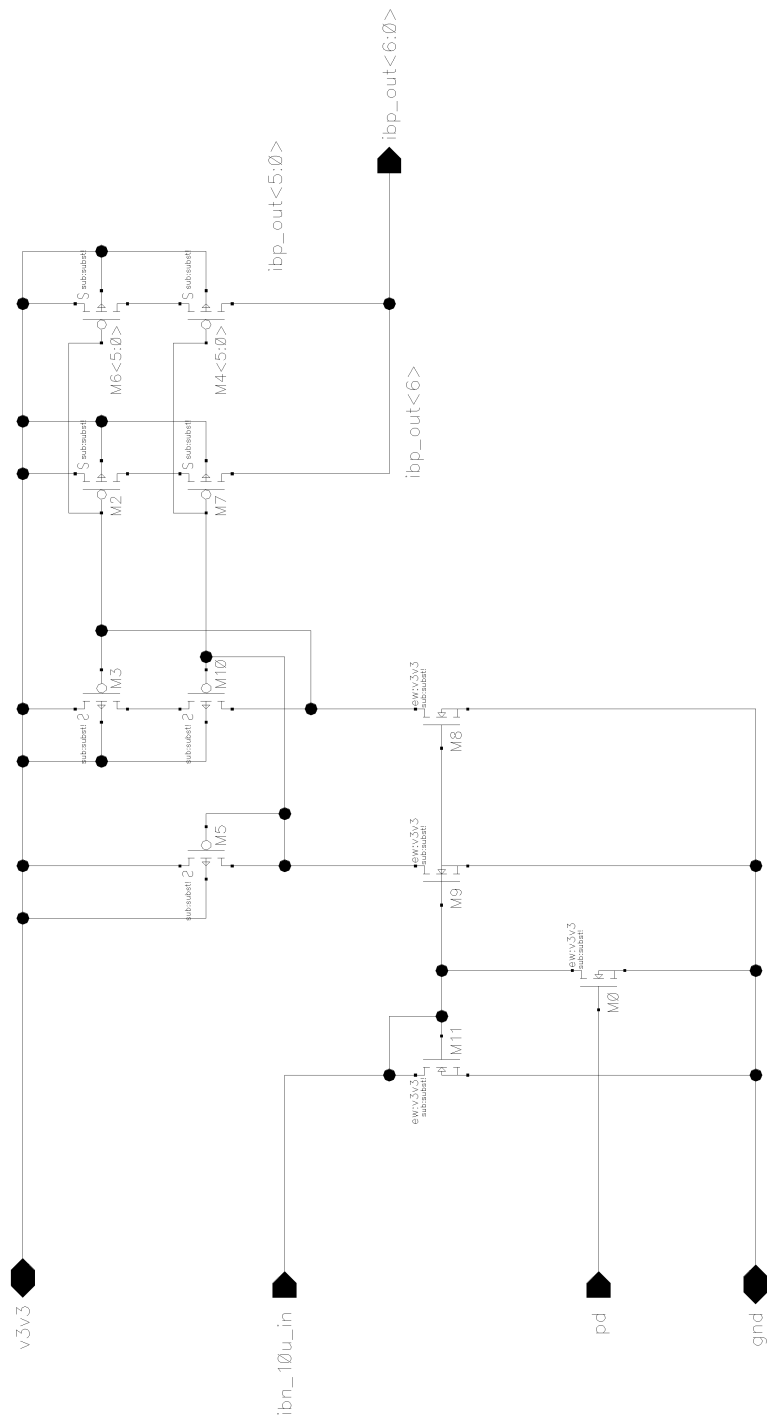


Abbildung A.4: Schaltung zur Erzeugung der Bias-Ströme

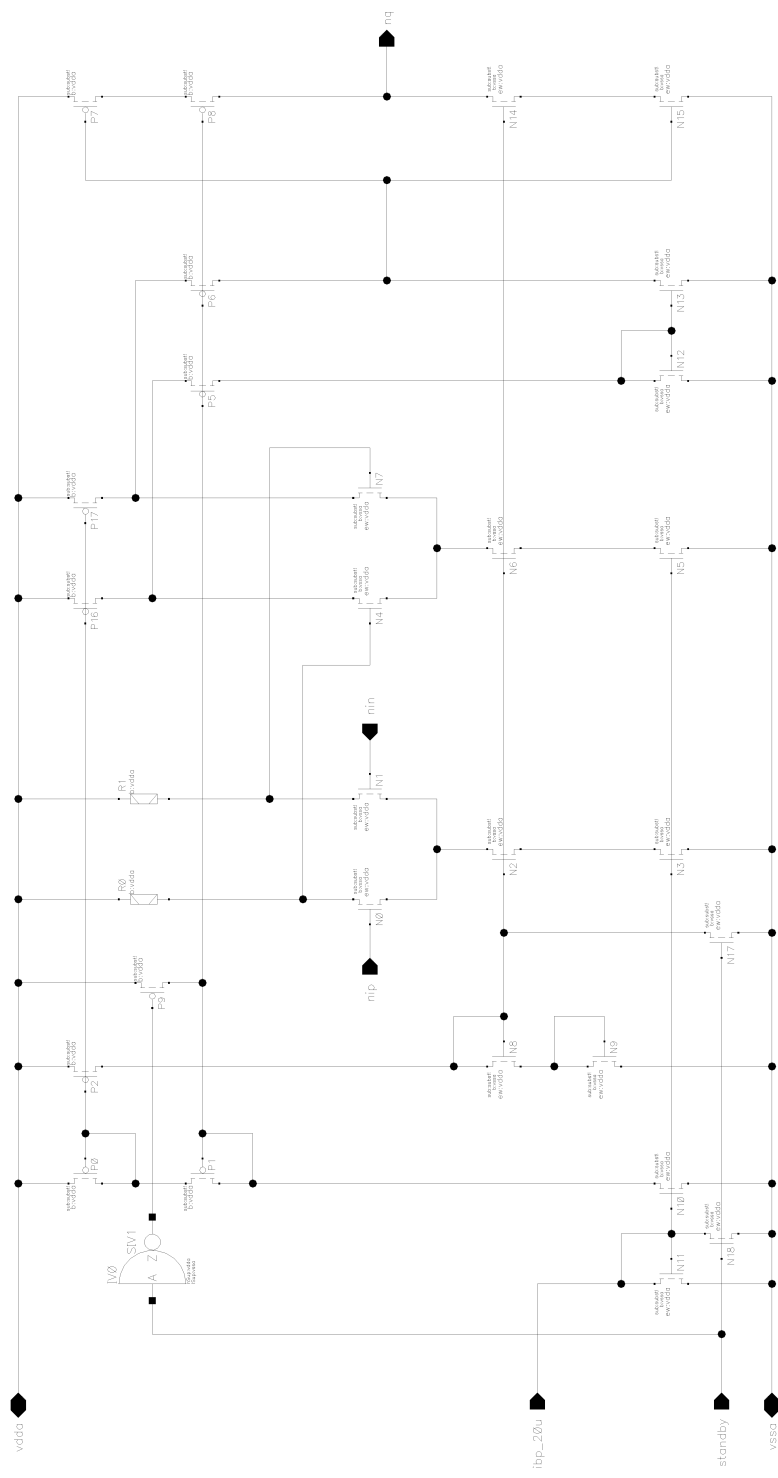


Abbildung A.5: Komparator K_1 mit gefalteter Kaskode

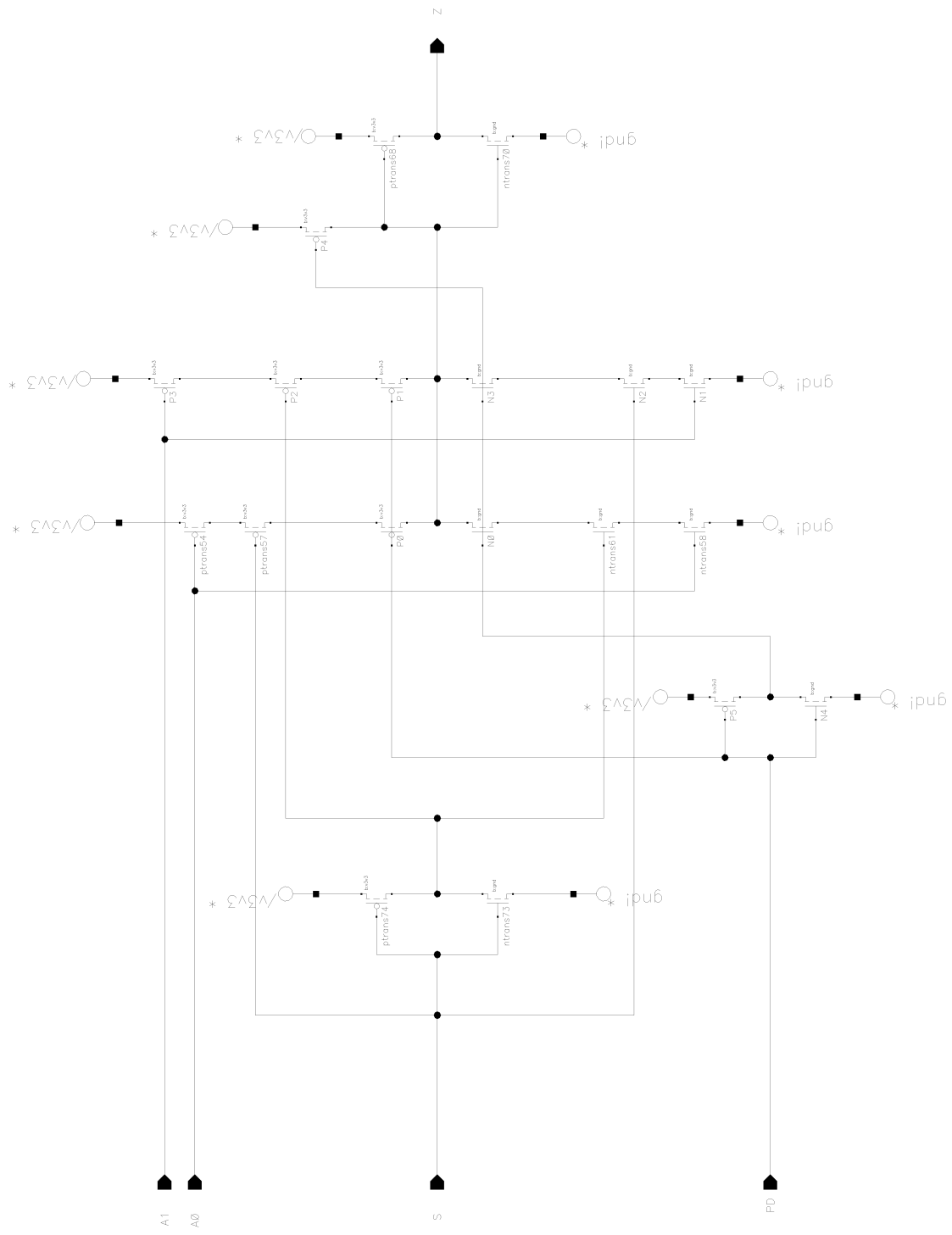


Abbildung A.6: Multiplexer mit Power-Down-Schaltung

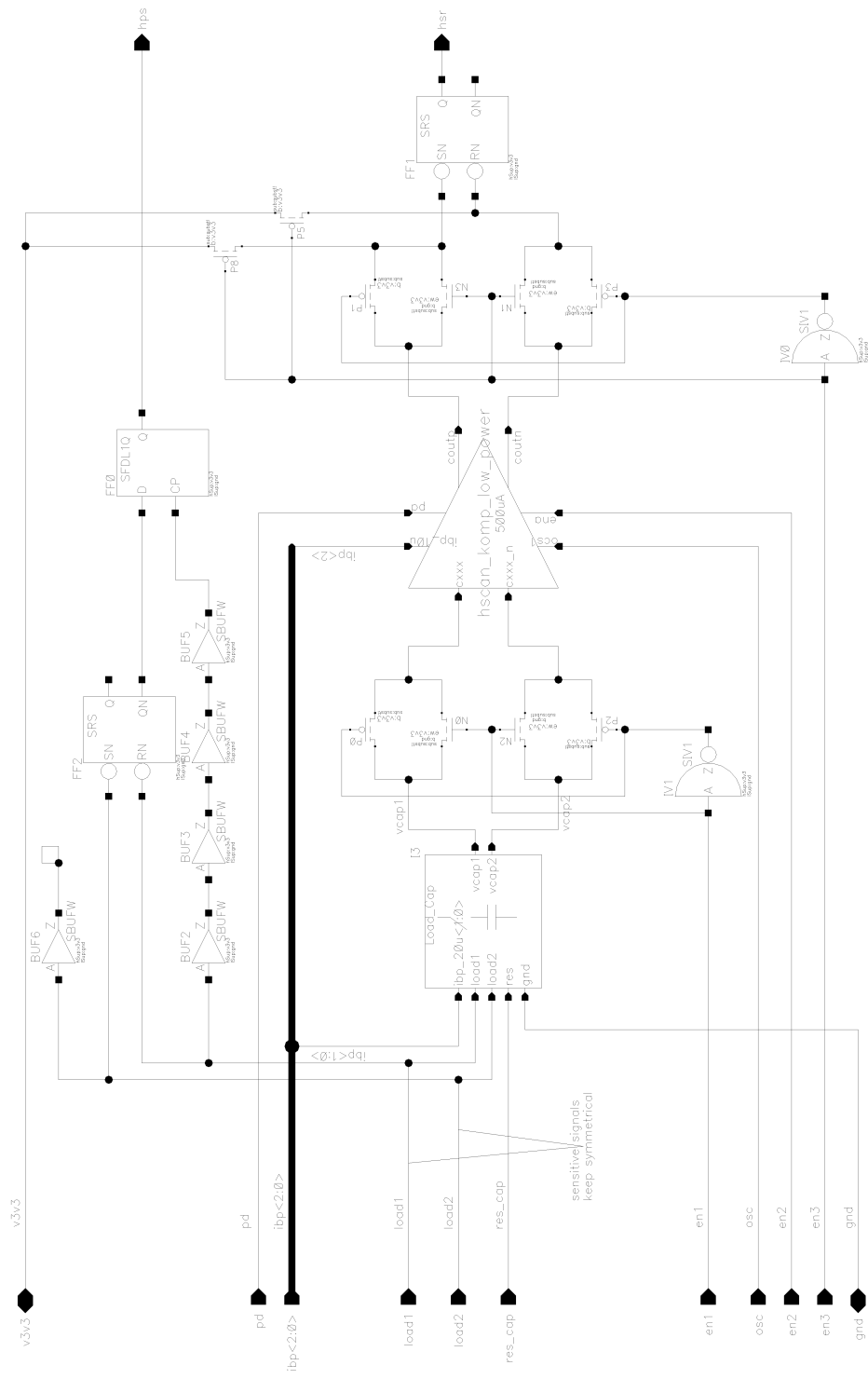


Abbildung A.7: Schaltungsblock zur Auswertung von HSR und HPS

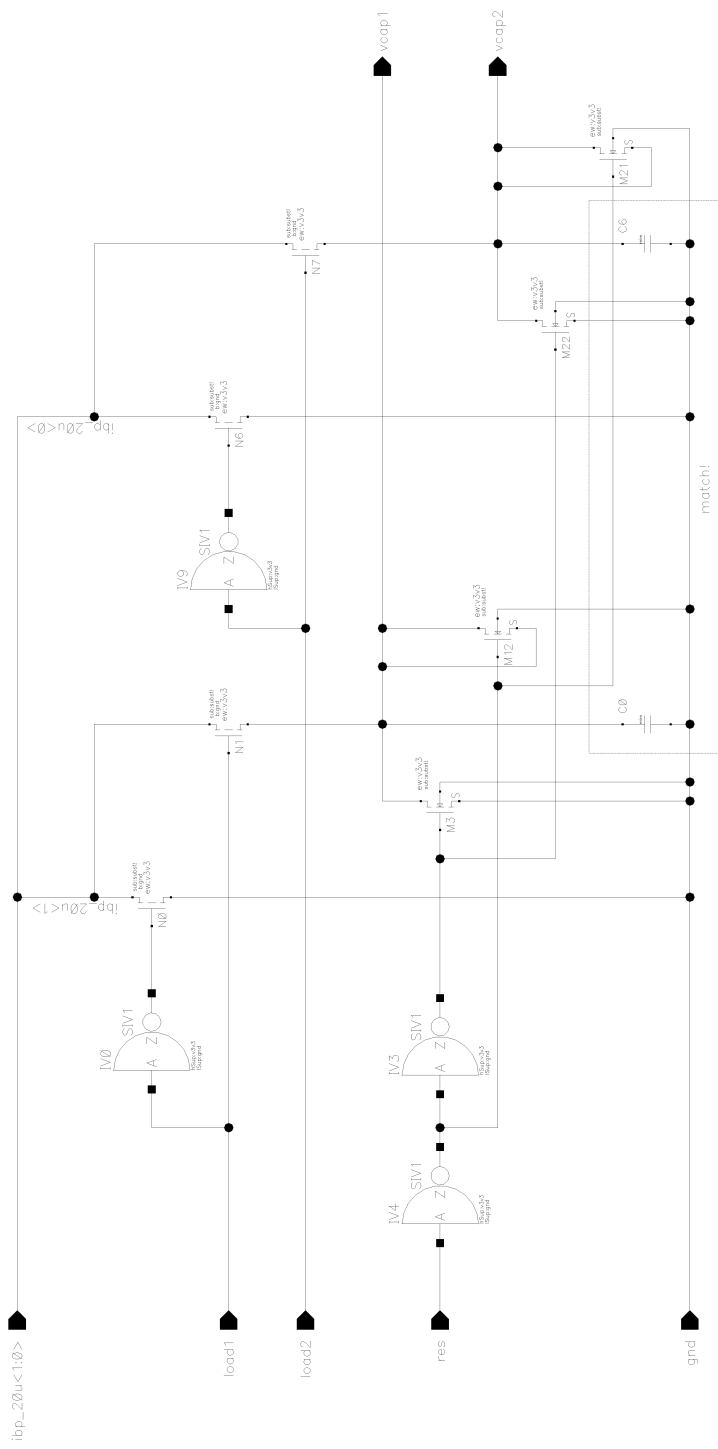


Abbildung A.8: Laden der Kondensatoren

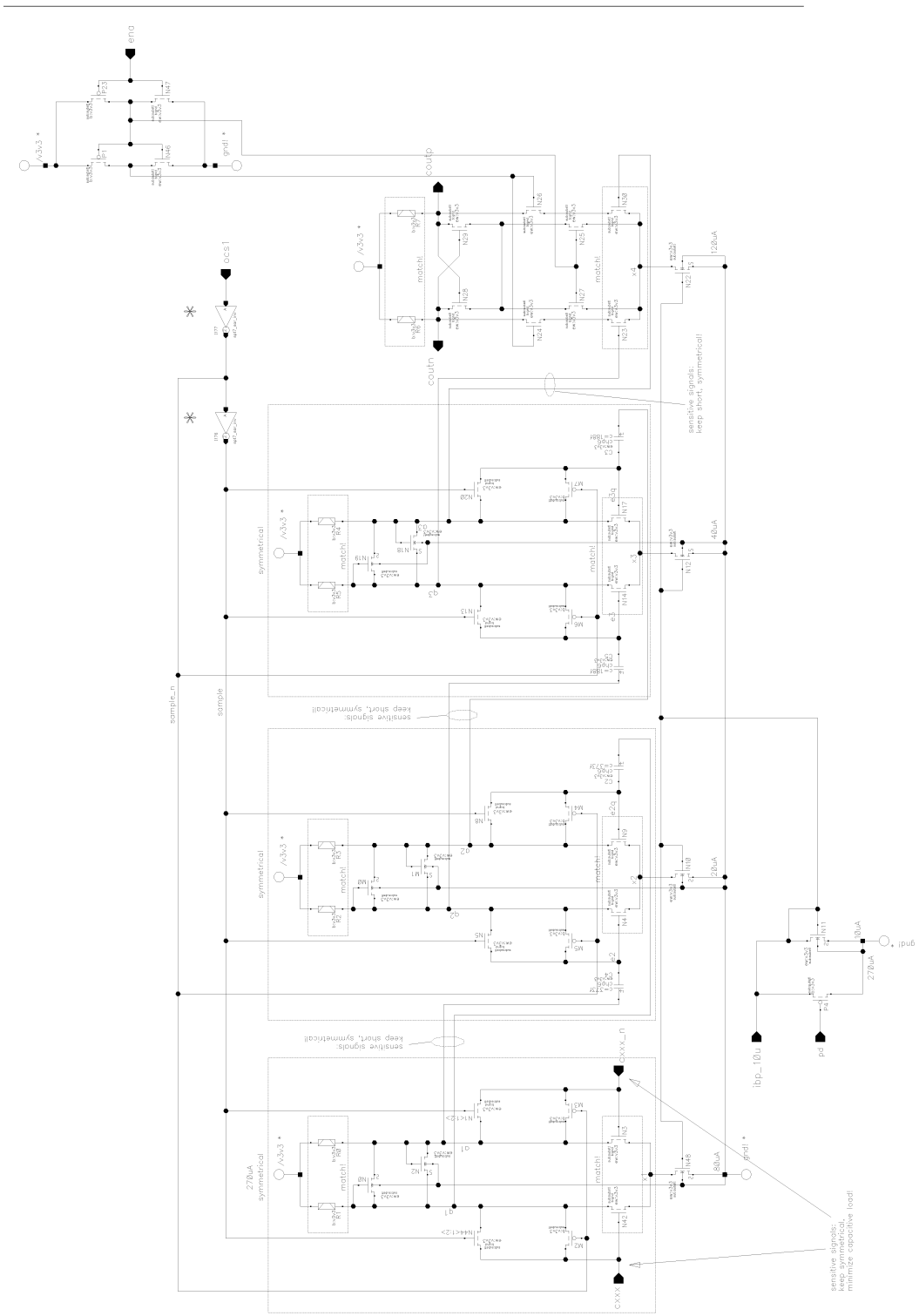


Abbildung A.9: Getakteter Komparator K_2

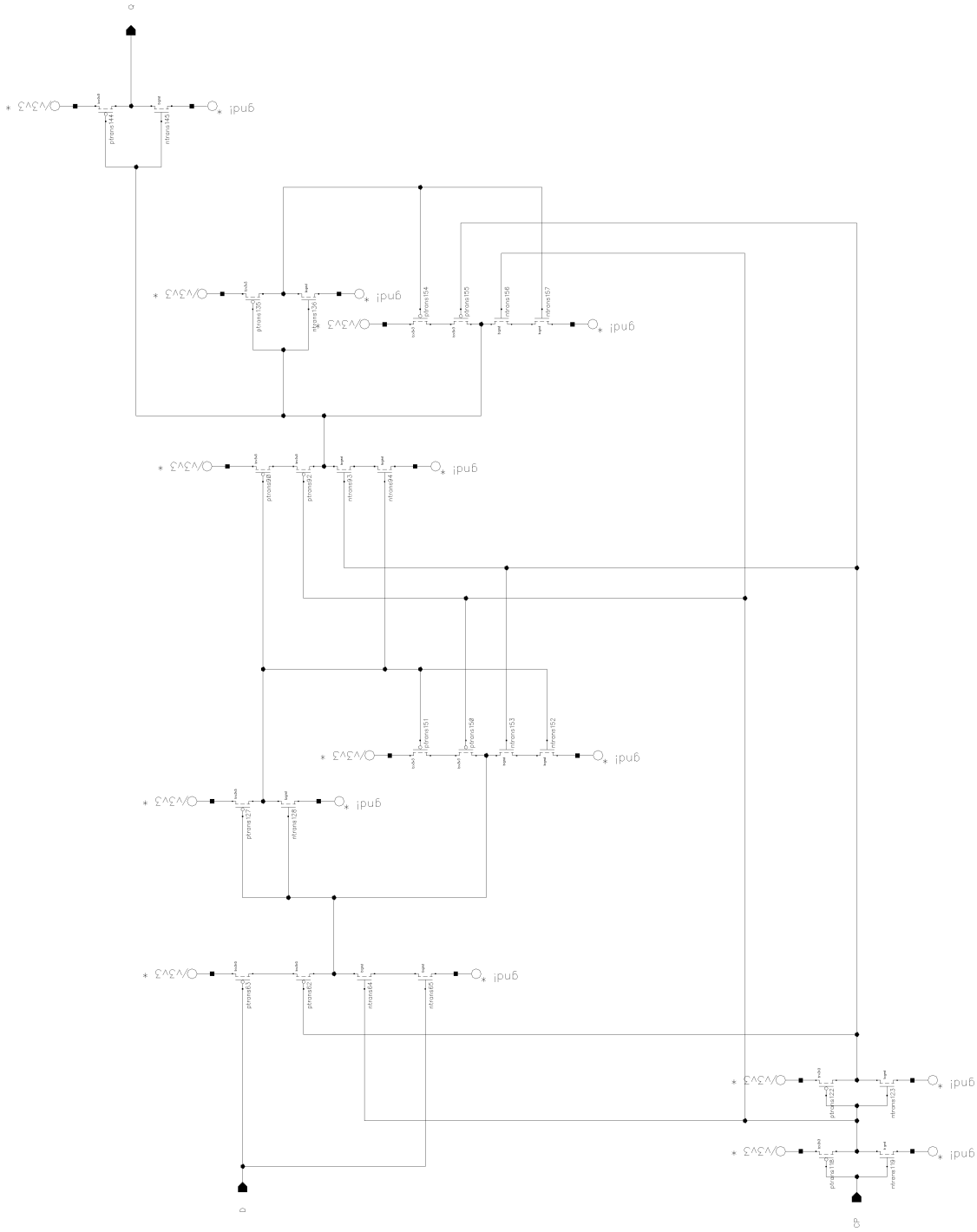


Abbildung A.10: D-Flipflop

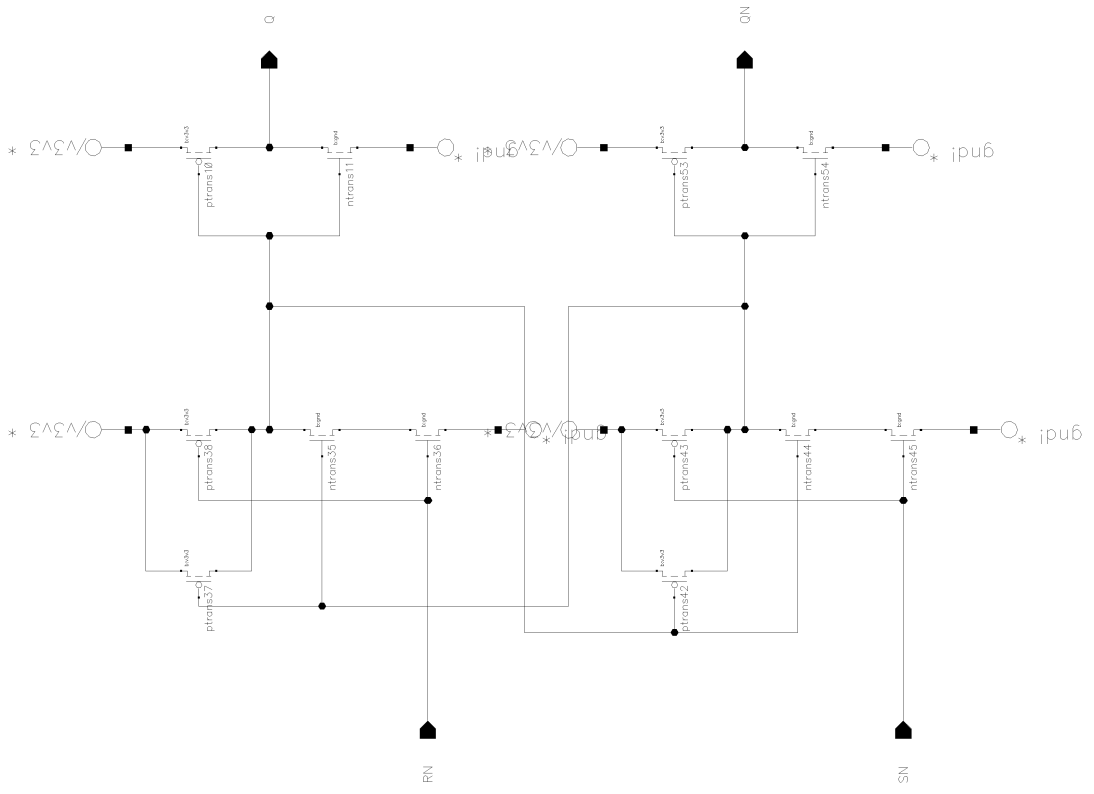


Abbildung A.11: RS-Flipslop

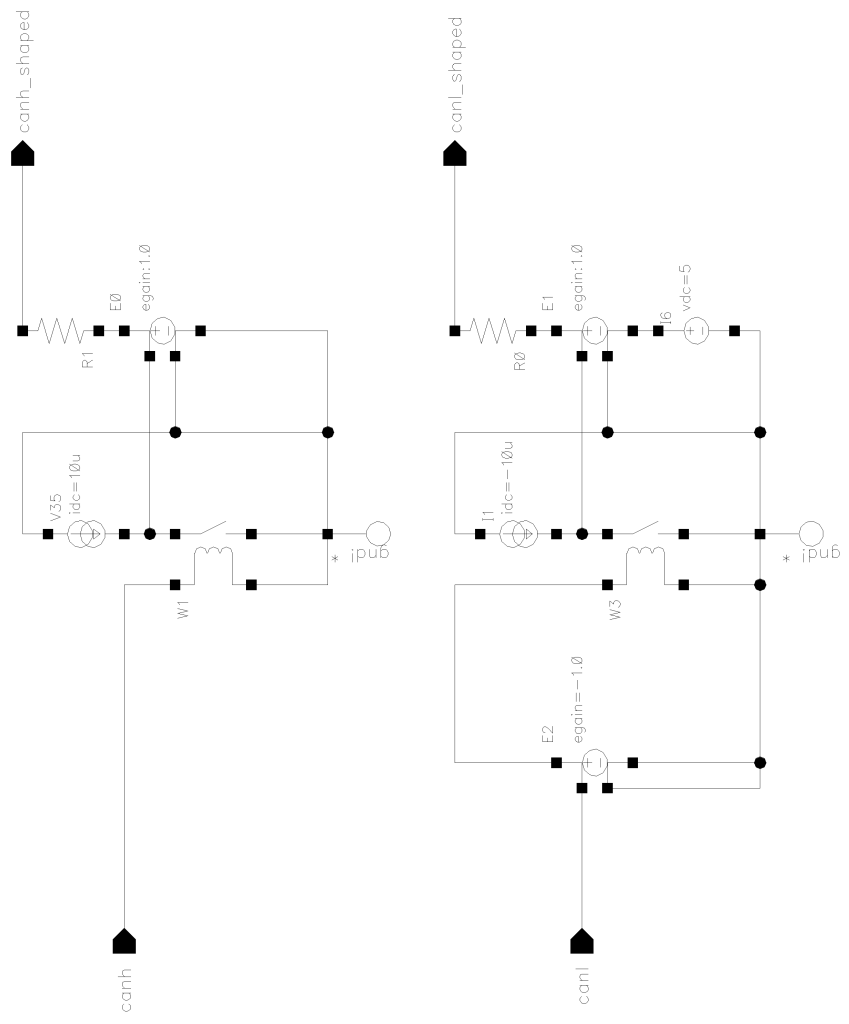


Abbildung A.12: Schaltung zum Abrunden der Flanken

Anhang B

Simulationen

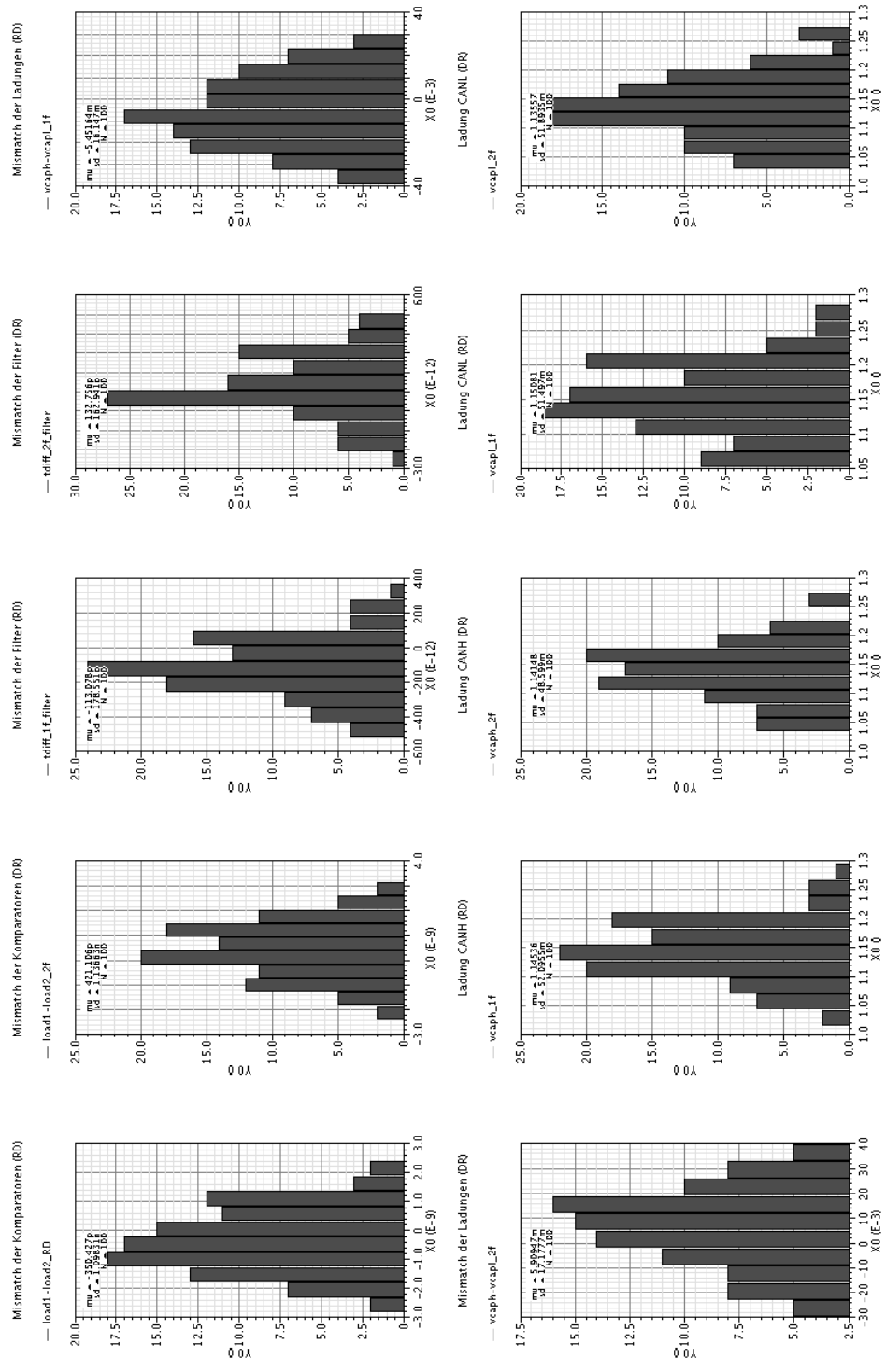


Abbildung B.1: Statistische Auswertung (Anstiegszeit von 10 ns)

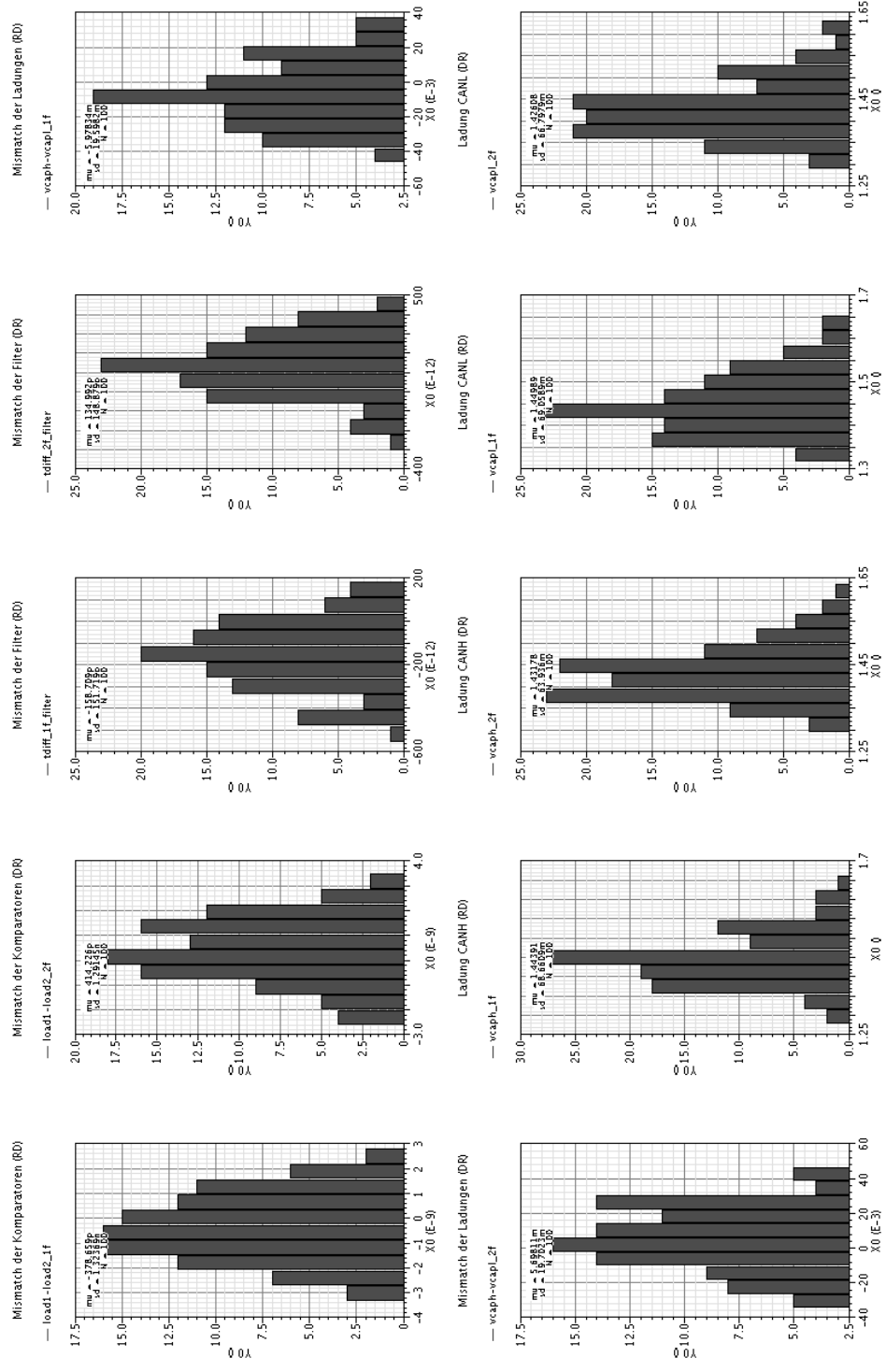


Abbildung B.2: Statistische Auswertung (Anstiegszeit von 50 ns)

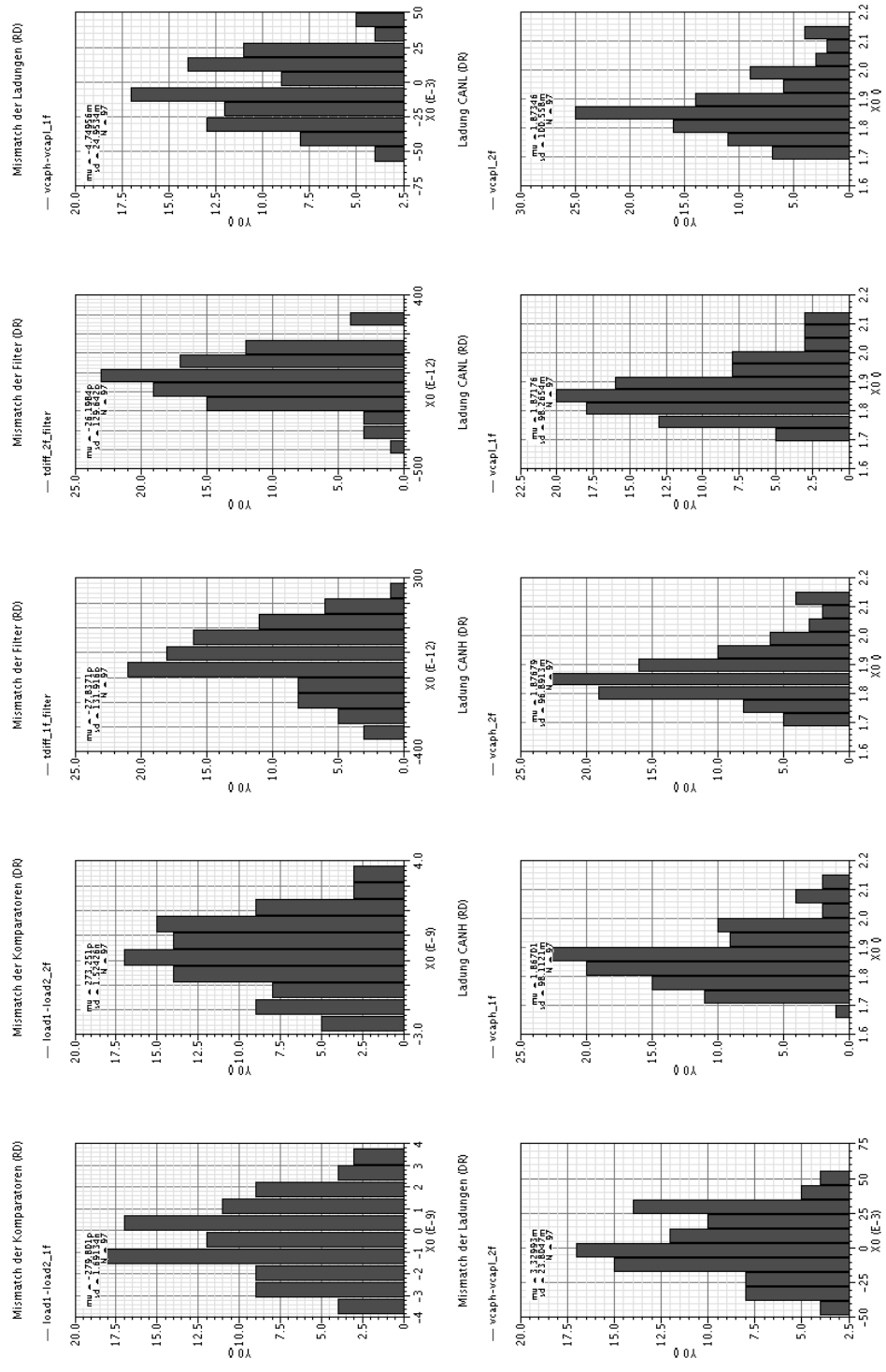


Abbildung B.3: Statistische Auswertung (Anstiegszeit von 100 ns)