

Roman Lassnig, BSc

Diffusionsbarrieren für die Kupfer-Silizium Grenzfläche in der Metallisierung von Leistungsfeldeffekttransistoren

MASTERARBEIT

zur Erlangung des akademischen Grades
Diplom-Ingenieur

Masterstudium Technische Physik



Technische Universität Graz

Betreuer:

Assoc.Prof. Dipl.-Phys. Dr.rer.nat. Wolfgang Sprengel
Institut für Materialphysik

Graz, April 2012

Abstract

In this thesis the possible realization of a copper-only power metallization instead of the standard aluminum variant for the Infineon power field effect transistor-technology SFET5 is discussed. On contact copper and silicon form a copper-rich silicide phase which leads to complications in the sensitive SFET5 layer array. As result interlayers have been introduced, which also function as diffusion barriers. An extensive literature review on this topic has been conducted at the beginning of the thesis. The first test-chips created through the limited possibilities of the standard process operations showed that, to obtain working devices with a copper-only metallization, this process has to be modified. Following these results a new process has been introduced that enabled the creation of working diffusion barriers consisting of titanium/titaniumnitrid and two different tungsten variants as well as tantalumnitrid/tantalum and tungsten, with tungsten thickness ranging from 25 to 300 nm. The new process yields fully functional transistors for almost all the diffusion barrier variants. Electrical analysis shows good results as well as good stability even at elevated temperatures of over 400 °C. Additionally processes and experiences which are not directly related to the goal of the thesis are documented, as long as parameters or the understanding of those could be of interest for future optimization processes.

Kurzzusammenfassung

Im Rahmen dieser Arbeit wurde die Realisierbarkeit einer neuen Metallisierung auf Reinkupferbasis für die SFET⁵-Leistungsfeldeffekttransistortechnologie von Infineon Technologies untersucht. Dabei ist ein zentraler Punkt die Vermeidung eines direkten Kupfer-Silizium Kontaktes. Dazu wurden Zwischenschichten entwickelt, die auch gleichzeitig die Funktion einer Diffusionsbarriere für das Kupfer übernehmen. Zu Beginn der Arbeit wurde eine umfassende Literaturrecherche durchgeführt. In einem ersten Schritt wurden dann unterschiedliche Diffusionsbarrieren in dem bis dato verwendeten Standardprozessierungsverfahren getestet. Dabei zeigte sich jedoch, dass für eine erfolgreiche Umsetzung dieser Standardprozess modifiziert werden muss. Nach entsprechender Anpassung konnten dann mit dem neu entwickelten Prozess erfolgreich Diffusionsbarrieren aus Titan/Titannitrid und zwei verschiedenen Wolfram-Varianten, sowie einer Kombination aus Tantalnitrid/Tantal und Wolfram, mit Wolframdicken zwischen 25 und 300 nm realisiert werden. Der neue Prozess liefert voll funktionsfähige Transistoren, deren elektrische Chipparameter innerhalb der Grenzwerte für Referenzbauteile mit Standard Aluminium Metallisierung liegen. Des Weiteren ist hervorzuheben, dass die Diffusionsbarrieren selbst bei Temperaturbelastungen von über 400 °C ihre Funktion behielten. In dieser Arbeit sind weiterhin auch die Prozesse und Erfahrungen dokumentiert, die nicht direkt zielführend waren, deren Parameter und deren Verständnis aber für zukünftige, weitere Optimierungsprozesse unter Umständen hilfreich sein können.

Inhaltsverzeichnis

Einleitung	1
1 Materialphysikalische Grundlagen	3
1.1 Das Kupfer-Silizium System	3
1.2 Diffusionsprozesse	6
2 Technologische Grundlagen	9
2.1 Die Trench-MOSFET Technologie.....	9
2.1.1 Die MOSFET-Technologie und deren Kenngrößen.....	9
2.1.2 Die Trench-Technologie	11
2.1.3 Die SFET5-Technologie	13
2.2 Die Leistungsmetallisierung	14
2.2.1 Die Vorteile der Reinkupfermetallisierung.....	17
2.2.2 Randkonstruktion in der SFET5 Technologie.....	19
2.3 Leitfähige Diffusionsbarrieren.....	20
2.3.1 Auswahlkriterien für Diffusionsbarrieren.....	21
2.3.2 Diffusionsbarrieren auf Wolfram-Basis	24
2.3.3 Diffusionsbarrieren auf Titan-Basis.....	25
2.3.4 Diffusionsbarrieren auf Tantal-Basis.....	26
2.4 Reinkupfermetallisierung in der SFET5-Technologie und Vergleiche mit anderen Technologien.....	30
2.4.1 Die Diffusionsbarriere der SFET5-Technologie	30
2.4.2 Barriereabscheidung und -strukturierung	32
2.4.3 Schichtdicke der Wolfram-Diffusionsbarriere	33
3 Probenpräparation und Analysemethoden	35
3.1 Temperprozesse	35
3.2 Analyseverfahren	35
3.2.1 Elektrische Analyse	35
3.2.2 Physikalische Analyse.....	36
4 Charakterisierung, Ergebnisse und Diskussion	38
4.1 Reinkupferleistungsmetallisierung mit dem Standardprozess	38
4.1.1 Elektrische Analyse: Standardprozess mit Kupfermetallisierung.....	40
4.1.2 Physikalische Analyse: Standardprozess mit Kupfermetallisierung	42
4.1.2.1 Rasterelektronische Untersuchungen (SEM)	43
4.1.3 Zusammenfassung und Ergebnisse	45

4.2	Verbesserter Prozess für Reinkupferleistungsmetallisierungen	47
4.2.1	Elektrische Analyse: Verbesserter Prozess mit Kupfermetallisierung..	48
4.2.2	Physikalische Analyse: Verbesserter Prozess mit Kupfermetallisierung	51
4.2.2.1	Transmissionselektronenmikroskopische Untersuchungen (TEM)	53
4.2.3	Zusammenfassung und Ergebnisse	54
4.3	Überblick aller Versuche zur Reinkupfermetallisierung.....	56
4.3.1	Titan-Wolfram-Diffusionsbarrieren	56
4.3.2	Katalytische Silizium-Oxidation.....	57
4.3.3	Kupferhaftungsprobleme.....	57
4.3.4	High-Temperature-Gate-Stress-Messungen (HTGS)	57
4.3.5	Tantal- und Tantalnitrid-Schichten.....	59
4.3.6	Metallablösungen im Randbereich.....	59
5	Zusammenfassung und Ausblick.....	61
	Literaturverzeichnis.....	63
	Abkürzungsverzeichnis	64

Einleitung

Die grundlegende Aufgabe eines Transistors ist Strom zu leiten und elektrisch zu schalten. Um dem „perfekten“ Schalter so nahe wie möglich zu kommen, war eine große Anzahl von Innovationen nötig, die eine ständige Umkonzipierung von Materialwahl und Aufbau des simpelsten Bausteins eines fertigen Leistungshalbleiterbauelements, des einzelnen Feldeffekttransistors, erforderten.

Die vorliegende Arbeit beschäftigt sich mit dem erstmaligen Einsatz einer Reinkupferleistungsmetallisierung in der Leistungsfeldeffekttransistortechnologie SFET5 von Infineon Technologies und wurde am Standort Villach durchgeführt.

Die Grundlagen der SFET5-Technologie werden erörtert, sowie die Schichten der Metallisierung, deren spezifische Aufgaben und die zur Verfügung stehenden Präparations- und Analysemethoden diskutiert. Dabei stehen einerseits das Prinzip einer Leistungsmetallisierung zur effizienten Stromleitung und andererseits die eingesetzte Diffusionsbarriere zwischen Kupfer und Silizium im Vordergrund. Die Notwendigkeit einer Diffusionsbarriere war bereits in der Standardaluminiumtechnologie gegeben und gilt in noch strengem Rahmen für ein Reinkupfersystem, wie Bauteilerstörungen durch direkten Kupfer-Silizium-Kontakt und daraus resultierende Silizidbildung zeigen.

Damit ergibt sich eine Reihe von prozesstechnischen und materialphysikalischen Problemstellungen, insbesondere im Zusammenhang mit der Wahl der geeigneten Diffusionsbarriere.

Das Spektrum an realisierbaren Diffusionsbarrieren wird durch die vorhandene Prozesstechnik eingeschränkt, die auf die momentan aktuelle Produktgeneration ausgelegt sind und damit sowohl bei der Auswahl von zu verarbeitenden Materialien, als auch bei der Prozessführung an sich, gewisse Pfade vorgeben. Des Weiteren sind beim direkten Ersetzen von Aluminium durch Kupfer, aufgrund der Ausrichtung vorhandener Prozesse und Barriersysteme auf das vorherrschende Material Aluminium Komplikationen zu erwarten, da die derzeit auf die Barriere aufgebrachte Aluminium-Kupfer-Metallisierung nur 0,5 % Kupfer enthält und das Abscheiden von reinem Kupfer direkt auf die Diffusionsbarriere somit einem Betreten von technologischem Neuland gleichkommt. Diffusionsbarriere und Prozessabläufe müssen also im Experiment auf Problemstellungen hin untersucht und dementsprechend angepasst werden.

Im Zeitraum der Arbeitserstellung wurden daher in Gesprächen mit Technologieentwicklern verschiedener Abteilungen die bekannten Ergebnisse und Problemstellungen

anderer Technologien im Zusammenhang mit Reinkupfermetallisierungen ermittelt. Besonders an Bipolartransistoren mit isolierter Gate-Elektrode (englisch Insulated Gate Bipolar Transistor, kurz IGBT) waren bereits Versuche durchgeführt worden, die einige Ausfallmechanismen, die unter Umständen auch beim SFET5 zu erwarten waren, aufzeigten. Während die SFET5- im Vergleich zur IGBT-Technologie derzeit sehr ähnliche Materialien in ihren Metallisierungssystemen verwendet, haben IGBT-Bauteile wesentlich höhere Ströme und Spannungen zu bewältigen. Diesem Umstand Rechnung tragend sind die Schichtdicken der einzelnen Ebenen größer und es wirken vor allem beim Bondprozess durch die relativ großen Bonddrähte wesentlich höhere thermische und mechanische Belastungen auf die Schichten ein. Aus diesem Grund und der planaren IGBT-Geometrie sind Schichtablösungen der Metallisierung ein großes Problem und haftungsverbessernde Schichten zwischen Wolfram und Kupfer notwendig. Des Weiteren wurde bestätigt, dass beim IGBT, bei direktem Kontakt von Kupfer mit Silizium, bereits bei niedrigen Temperaturen Kupfersilizidbildung auftritt. Elektrische Einflüsse einer möglichen Kupferdiffusion, vor der direkten Zerstörung von Bauteilen durch Silizidbildung, konnten jedoch innerhalb der Messungenauigkeit der verwendeten Methoden nicht detektiert werden.

Als erster Ansatz zur Umsetzung einer Reinkupfermetallisierung wird Aluminium direkt durch Kupfer ersetzt und die entstehenden Chips elektrisch und physikalisch analysiert. Auf dieser Basis wird ein neuartiger Prozess aufgebaut, um die notwendige Trennung von Kupfer und Silizium zu gewährleisten.

Schließlich wird ein verbesserter Prozess zur Erstellung von SFET5 Leistungshalbleitern mit Reinkupfermetallisierung sowohl materialphysikalisch als auch elektrisch so genau wie möglich auf etwaiges Versagen der Diffusionsbarriere bei Temperaturbelastungen untersucht, um zum Abschluss einen Überblick über alle durchgeführten Experimente und die quantifizierte Stabilität der eingesetzten Barrieren geben zu können und einen Ausblick auf die zukünftige Entwicklungsarbeit für die Reinkupfermetallisierung zu ermöglichen.

1 Materialphysikalische Grundlagen

1.1 Das Kupfer-Silizium System

Durch das Streben nach immer höheren Integrationsdichten beinahe aller Halbleitertechnologien war es nur eine Frage der Zeit, bis es erstrebenswert wurde, Aluminium (Al) durch wesentlich bessere, elektrische Eigenschaften aufweisendes, Kupfer (Cu) zu ersetzen. Dadurch ergibt sich zwangsläufig eine Reihe von Wechselwirkungen von Kupfer und Silizium (Si) in allen Dotierungsvarianten die eingängig bekannt sind und auch beherrscht werden müssen, um zuverlässige Halbleiterbauteile mit guten Langzeiteigenschaften herzustellen.

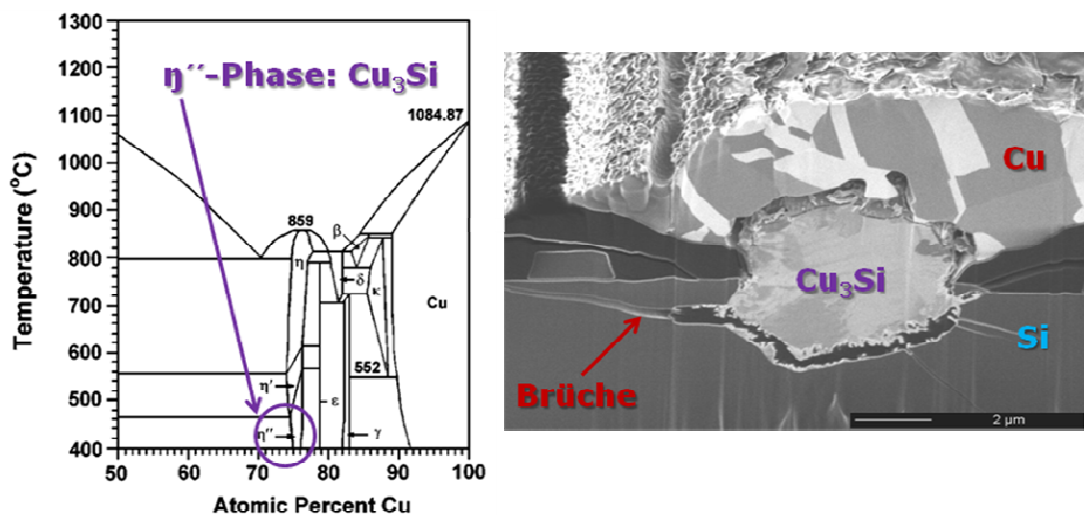


Abbildung 1-1: Phasendiagramm für Kupfer-Silizium mit markierter η'' -Phase (links) und Abbildung eines Bauteilausfalls durch Kupfersilizid (Cu_3Si)-Bildung: Aufspaltung der Struktur durch das größere Molvolumen von Cu_3Si (Quellen: J. Appl. Phys. 86, 4273 (1999) / Infineon Technologies Austria).

Die einfachste und direkteste Wechselwirkung zwischen Silizium und Kupfer ist Interdiffusion durch direkten Schichtkontakt. Das Phasendiagramm (siehe Abbildung 1-1) gibt Auskunft über die zu erwartenden Verbindungen, wobei vor allem Verbindungen bei jenen Temperaturen von Interesse sind, die im Standardprozessverlauf einer untersuchten Technologie zu erwarten sind. Für die SFET5 Technologie werden in den der Kupfer-Abscheidung nachfolgenden Prozessschritten Temperaturen von bis zu 400 °C erreicht, welche ohne Barriere zur annähernd vollständigen Vermischung von Kupfer und Silizium und der daraus resultierenden Kupfersilizidformation führen würden (siehe η'' -Phase in Abbildung 1-1). Die dominierende Phase unter den untersuchten Systemen

ist die sogenannte η -Kupfersilizid-Phase oder Cu_3Si . Bei direktem Kontakt beginnt Kupfer bereits ab $100\text{ }^\circ\text{C}$ zu silizidieren, während sich ab ca. $150\text{--}200\text{ }^\circ\text{C}$ eine sehr schnelle und bei ausreichend zur Verfügung stehendem Si annähernd vollständige Vermischung ausbildet [1,2,3]. Aufgrund der besonderen Diffusionseigenschaften von Kupfer, auf die im Folgenden noch genauer eingegangen wird, kann die Silizidierung nicht nur thermisch, sondern auch durch Elektromigration, also durch ein elektrisches Potential zwischen Kupfer und Silizium, weiter beschleunigt werden und bereits ab $50\text{ }^\circ\text{C}$ auftreten [4]. Generell steigt die Mischbarkeit von Kupfer und Silizium stark mit der Temperatur. Während bei direktem Schichtkontakt bei Raumtemperatur nur ein Kupfer Atom pro cm^3 Si zu finden ist, steigt dieser Wert bei $100\text{ }^\circ\text{C}$ bis auf 10^{18} Kupfer Atome pro cm^3 , also in etwa 20 ppm Cu an und erreicht damit bereits den Bereich industriell eingesetzter p- beziehungsweise n-Siliziumdotierungsgrade [4,5]. Dadurch ergeben sich auch eine sehr stark ausgeprägte Ausdiffusion und Ausscheidungs- und Defektbildung von nicht silizidiertem Cu mit sinkender Temperatur und in Folge eine Kupferanreicherung an Korngrenzen, Versetzungen und Kristallfehlern, die sogenannte Defektdekoration [6]. Kupfer als Diffusionspezies wird generell in einem Modell harter positiv geladener Sphären beschrieben, also Cu^+ -Ionen, die interstitiell ins Siliziumgitter eingebaut werden [1,7]. Dadurch bilden diese Kupferatome und etwaige Ausscheidungen Akzeptoren, deren Ladung und Formierungskinetik von der Dotierung des Si beeinflusst werden [1,5,7,8]. Die Präsenz solcher Defekte führt zur Beeinträchtigung annähernd aller elektrischen Eigenschaften des Siliziumbauteils wie zum Beispiel der Reduzierung der Sperrspannung und der Begünstigung von Leckströmen in Kanälen von MOSFETs [4,5,9] (Begriffserklärungen siehe 2.1.1). Diese Effekte treten bereits ab Kupferkonzentrationen von 10^{14} Atomen pro cm^3 auf [10]. Begünstigend für die schnelle Kupferdiffusion wirken dabei vor allem im Vergleich zu anderen 3d-Metallen, der geringe Ionenradius der Kupfer-Ionen durch die bei Elektronenabgabe abgeschlossene $3d^{10}$ -Konfiguration, sowie die schwache Wechselwirkung mit dem Si-Gitter und die sehr hohe Kupfermobilität bei Raumtemperatur [5].

Dadurch wird es notwendig, bereits das Eindringen geringster Cu-Konzentrationen ins Silizium zu verhindern. Das kann entweder durch eine dichte Barriere oder auch durch Einfangen der beweglichen Ladungsträger geschehen [4]. Ausscheidungen können durch möglichst perfekte Siliziumkristallstrukturen vermieden werden [5], wie sie bei industriell genutzten Wafern meistens gegeben sind.

Wirklich problematisch für die Leistungsfähigkeit von Siliziumbauteilen ist jedoch nicht die graduelle Verschlechterung von Eigenschaften, sondern die Zerstörung des gesamten Bauteils beim Auftreten von Silizidierung. Die Phase Cu_3Si hat ein ca. 50 % höheres Molvolumen als reines Si und erzeugt daher bei der Entstehung Aufspaltungen und Schichtablösungen im sensiblen Schichtaufbau (siehe Abbildung 1–1 rechts) [1,5,6,11]. Die Silizidierung erfolgt dabei aufgrund der hohen Kupfermobilität im Siliziummaterial. Bei direktem Kupfer-Silizium-Kontakt in Bereichen über der Silizidierungstemperatur, hervorgerufen durch direkten Schichtkontakt oder Barriereausfall, bildet sich zuerst eine dünne Cu_3Si -Schicht, welche in Folge als Katalysator für die weitere Silizidierung wirkt. Die beweglichen Kupfer-Ionen diffundieren sehr schnell durch das Cu_3Si und verbinden sich an der Cu_3Si -Si-Grenzschicht mit Si (siehe Abbildung 1–2).

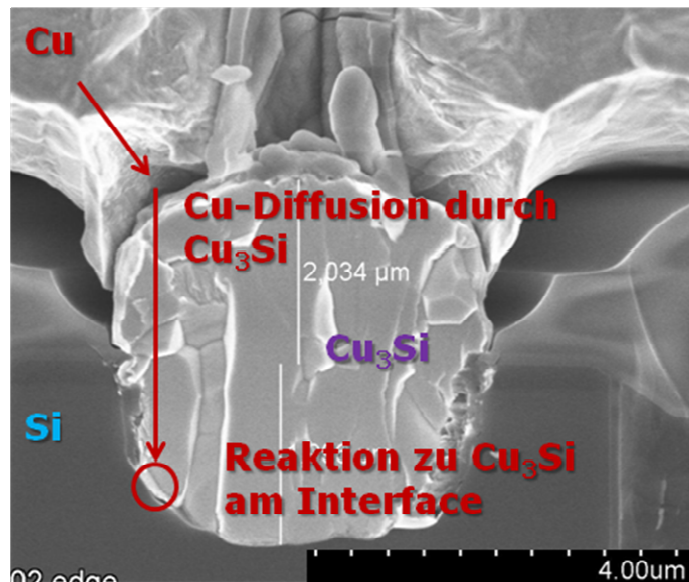


Abbildung 1–2: Reaktionskinetik der Kupfersilizidierung in Halbleiterbauelementen (Quelle: Infineon Technologies Austria).

Erschwerend kommt hinzu, dass Cu_3Si neben der Wirkung als Katalysator für die weitere Silizidierung von Cu auch für die Oxidation von Silizium durch Luftsauerstoff beschleunigend wirkt und der Prozess damit quasi unkontrollierbar wird [5]. Diese Prozesse sind daher unter allen Umständen zu vermeiden. Das gilt sowohl während der Produktion, als auch für die restliche Lebensdauer des Halbleiterbauteils.

1.2 Diffusionsprozesse

Im folgenden Kapitel wird auf die Grundlagen der Diffusion und deren Relevanz für die untersuchte Leistungshalbleitertechnologie eingegangen [6]. Der Prozess, der schließlich zum Ausfall von Bauteilen bzw. einzelnen Transistoren führt, ist, wie bereits in Kapitel 1.1 erwähnt, die Diffusion von Kupfer in Siliziumgebiete und eine, beim Erreichen einer ausreichenden Menge an Kupfer, resultierende Silizidierungsreaktion zwischen Kupfer und Silizium. Die für diese Arbeit namensgebenden Diffusionsbarrieren haben die Aufgabe, diesen Vorgang bei den auftretenden Temperaturen zu unterbinden.

Generell bezeichnet man als Diffusion den statistischen Massetransport von Atomen, Ionen und anderen kleinen Teilchen nach Überwindung einer spezifischen Aktivierungsenergie, welche bei Metallen meist proportional zu deren Schmelztemperatur ist.

Diffusionsprozesse werden in Selbst- und Fremddiffusion, sowie substitutionelle und interstitielle Diffusion eingeteilt und unterschieden (siehe Abbildung 1–3), wobei aus technologischer Sicht und auch im Hinblick auf die Diffusionsprozesse im Kupfer-Silizium System, Fremddiffusionsprobleme dominieren. Die Fremddiffusion stellt dabei das Streben einer Mischung zu einem thermodynamischen Gleichgewicht hin dar, welches von einem Konzentrationsgefälle beziehungsweise Unterschieden des chemischen Potentials zwischen den involvierten Stoffen getrieben wird und bei vollständiger Mischbarkeit erst beim Erreichen des Gleichgewichts endet.

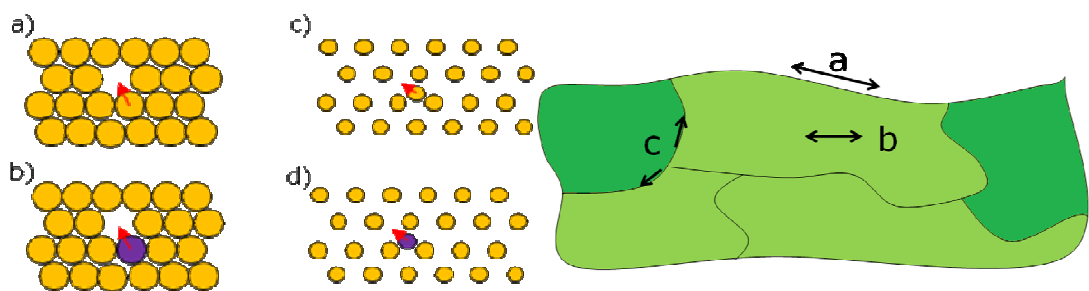


Abbildung 1–3: Die Diffusionsarten substitutionelle Selbst- (a) und Fremddiffusion (b), sowie interstitielle Selbst- (c) und Fremddiffusion (d) (links) und die Darstellung der Pfade für Oberflächen- (a), Volums- (b) und Korngrenzendiffusion (c) (rechts).

Der durch das Konzentrationsgefälle hervorgerufene Teilchenstrom \vec{j} kann dabei über das sogenannte 1. Fick'sche Gesetz beschrieben werden:

$$\vec{j} = -D \cdot \frac{dc}{dx} \quad [1-1]$$

wobei D den Diffusionskoeffizienten zwischen den Teilchenarten und dc den Konzentrationsunterschied über den Weg dx darstellt.

Unter Berücksichtigung der Kontinuitätsgleichung folgt die zeitliche und räumliche Änderung der Konzentration $c(x,t)$ dem 2. Fick'schen Gesetz gemäß

$$\frac{\partial c}{\partial t} = D \cdot \frac{\partial^2 c}{\partial x^2} \quad [1-2]$$

wenn der Diffusionskoeffizient D in erster Näherung als konzentrationsunabhängig angenommen wird.

Die Temperaturabhängigkeit des Diffusionsprozesses wird durch die Temperaturabhängigkeit des Diffusionskoeffizienten $D(T)$ beschrieben. Im Allgemeinen diese einem Arrhenius-Gesetz gemäß

$$D(T) = D_0 \cdot e^{-\left(\frac{E_A}{k_B T}\right)} \quad [1-3]$$

wobei D_0 ein Vorfaktor ist, k_B die Boltzmannkonstante und E_A die für die Diffusion notwendige Aktivierungsenergie bezeichnen.

Die tatsächlichen Diffusionsvorgänge in einem Mehrkomponentensystem, das heißt die atomaren Platzwechsel einzelner Atome können auf verschiedene Art und Weise und über verschiedene Wege, zum Beispiel Volumen, Korngrenzen etc. erfolgen. Jeder dieser Diffusionsvorgänge ist dabei durch eine eigene Aktivierungsenergie gekennzeichnet. Neben den, mit relativ hohen Aktivierungsenergien verbundenen, direkten Platzwechseln und der, eine etwas geringere Aktivierungsenergie aufweisenden, Leerstellendiffusion, dominiert in den untersuchten polykristallinen Diffusionsbarrieren die Diffusion über Korngrenzen.

In den eingesetzten dünnen Schichten ergeben sich grundsätzlich drei mögliche Diffusionspfade, namentlich die Volumen-, Oberflächen- und die Korngrenzendiffusion (siehe Abbildung 1–3). Für die zur Unterbindung eines Silizium-Kupfer-Kontakts eingesetzten

Diffusionsbarrieren dominiert, aufgrund der geringen Schichtdicken der polykristallinen Barrieren und der Prozess- und Betriebstemperaturen im Bereich von Raumtemperatur bis maximal 400 °C, die Korngrenzendiffusion aufgrund ihrer sehr niedrigen Aktivierungsenergie die Volumendiffusion, während eine Diffusion entlang der Oberfläche bis zum Durchbruch der Barriere nicht von Bedeutung ist.

Bei dickeren Schichten ist die Volumendiffusion, aufgrund des relativ geringen Anteils von Korngrenzen am Gesamtvolumen, für den Großteil des Materietransports verantwortlich. Bei dünnen Schichten können Korngrenzen in einer bambusartigen Struktur als schnelle Diffusionspfade zwischen beiden Seiten der durch die Diffusionsbarriere zu trennenden Schichten dienen und dominieren daher die Barrierestabilität.

Dadurch kommt der Korngrenzenstruktur eines potentiellen Barrierematerials eine sehr große Bedeutung zu. Um die Korngrenzen zu verlängern und damit die Stabilität einer Diffusionsbarriere zu erhöhen, bieten sich Mehrschichtsysteme mit heteroepitaxialen Wachstumsbedingungen an, um eine möglichst geringe Korngrenzenübereinstimmung an den Grenzschichten hervorzurufen [7]. Weiters gibt es die Möglichkeit, Korngrenzen beispielsweise durch den Zusatz von Stickstoff (N) zu „verstopfen“ und dadurch die Korngrenzendiffusion zu verringern.

Als weiterer, die Diffusion beeinflussender, Faktor sind mechanische Schichtverspannungen zu nennen, die ebenfalls zu erhöhter Diffusionsaktivität führen können und beim Auftragen von heterogenen Schichtsystemen zu einem gewissen Grad unvermeidbar sind .

Als generelles Indiz für die gewünschte, möglichst geringe, Diffusionsbereitschaft gilt ein hoher Schmelzpunkt, sowie eine teilweise damit verbundene geringe Reaktivität mit anderen Materialien. Aus diesem Grund und der guten Verarbeitbarkeit dienen die Übergangsmetalle Wolfram (W), Titan (Ti) und Tantal (Ta) sehr häufig als Basis für Diffusionsbarrieren in technologischen Anwendungen.

2 Technologische Grundlagen

2.1 Die Trench-MOSFET Technologie

2.1.1 Die MOSFET-Technologie und deren Kenngrößen

Leistungshalbleiter dienen dem möglichst effizienten Führen und Schalten von Stromflüssen, gesteuert durch die Ladung eines Gate-Kontakts. Realisiert wird dies durch das Konzept von Feldeffekttransistoren (FET, siehe Abbildung 2–1): Unter einem, vom Hauptstromleitungspfad des Transistors isolierten Kontakt, dem sogenannten Gate-Kontakt (G), bildet sich, bei entsprechender Bespannung, ein dünner Kanal von Minoritätsladungsträgern im Mittelbereich eines npn- beziehungsweise pnp-dotierten Halbleiterschichtsystems aus. Durch diesen Kanal wird der Transistor leitend und Strom kann zwischen den beiden n- bzw. p-Gebieten, genannt Source (S) und Drain (D), fließen. Im planaren Transistoraufbau wird auch das dotierte Siliziumgrundmaterial getrennt kontaktiert und als Bulk (B)-Kontakt bezeichnet (siehe Abbildung 2–1).

Durch diesen speziellen Aufbau ist es möglich, mit kleinen Steuerspannungen am Gate wesentlich größere Ströme zwischen Source und Drain zu schalten und dies darüber hinaus annähernd leistungslos zu vollziehen. Nur die Kapazität des Gatekontakts muss umgeladen werden, ansonsten fließt kein weiterer Schaltstrom. Die Abschirmung des Gates vom Kanalbereich erfolgt meist durch eine dünne Siliziumdioxidschicht (SiO_2), welche in den frühen Phasen der Technologie noch durch ein Metalloxid erreicht wurde, woraus sich die Bezeichnung MetallOxidHalbleiterFeldEffektTransistor beziehungsweise MetalOxideSemiconductorFieldEffektTransistor (MOSFET) ableitet.

Der Transistor durchläuft während eines Schaltprozesses bestimmte Zustände, welche vor allem durch den Zustand des Halbleitermaterials unter dem Gate unterschieden werden. Diese werden im Folgenden für den häufiger anzutreffenden npn- beziehungsweise n-Kanaltransistor näher ausgeführt (siehe Abbildung 2–1). Für p-Kanal Bauteile sind lediglich die Vorzeichen der angelegten Spannungen zu vertauschen.

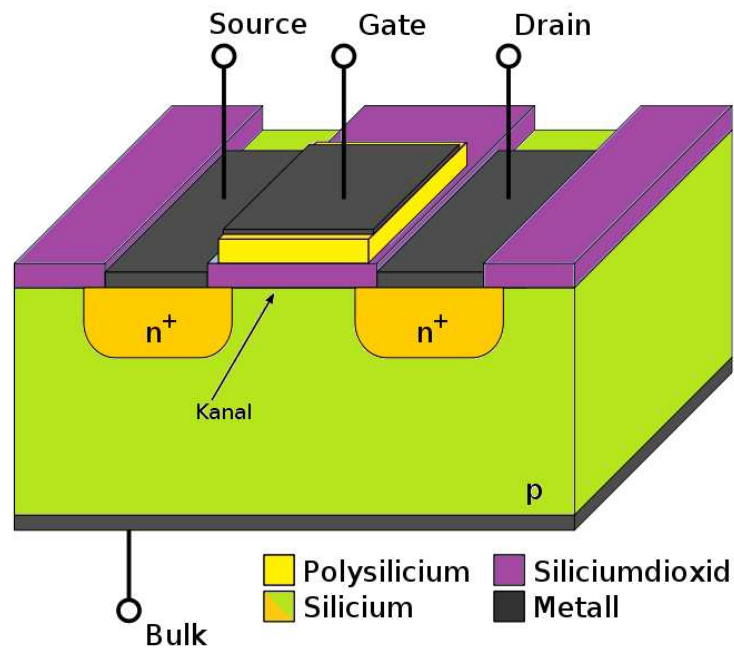


Abbildung 2–1: Planarer n-Kanal MOSFET im Querschnitt.

Im Grundzustand liegt eine Spannung zwischen den stark n-dotierten Siliziumgebieten Source und Drain an. Aufgrund der doppelten npn-Diodenstruktur kann jedoch kein Strom fließen. Wird nun das Gate bezüglich des p-Gebietes (Bulk) positiv geladen, werden die im p-Silizium beweglichen Majoritätsladungsträger, in diesem Fall Löcher, vom Gatekontakt weggedrückt. Es kommt mit steigender positiver Beladung des Gates zur sogenannten Verarmung von beweglichen Ladungsträgern im Gebiet unter dem Isolationsmaterial, welches Bulk und Gate trennt. Wird nun das Gate noch stärker positiv geladen, bleiben in einer dünnen Schicht, dem sogenannten Kanal, unter dem Gateisolator nur noch die unbeweglichen, negativ geladenen Siliziumgitterionen des p-Gebiets übrig. Es kommt zur sogenannten Inversion und damit zur Formierung eines leitenden Kanals aus Minoritätsladungsträgern zwischen den beiden n^+ -Gebieten: Strom kann zwischen Source und Drain fließen. Durch das Potential des Gates gegenüber dem Kanal- bzw. Bulk-Bereich, kann dadurch die Stromleitung von Source nach Drain zwischen Isolation und führen des gesamten anliegenden Source-Drain-Stroms gesteuert und reversibel geregelt werden.

Essentiell in Bezug auf die Leistungsfähigkeit des Feldeffekttransistors ist die Beschaffenheit und Länge des leitenden Kanals, der aufgrund der geringen Ladungsträgermobilität in diesem Bereich, entscheidenden Einfluss auf den Gesamtwiderstand der Source-Drain-Leitungsstrecke und damit des Transistors im eingeschalteten Zustand hat. Ande-

rerseits bietet aber ein größerer Abstand von Source- und Drain-Gebiet mehr Raum zum Abbau eines größeren anliegenden Feldes, bevor der Transistor aufgrund des Überschreitens einer kritischen Feldstärke zwischen Source und Drain, der sogenannten Sperrspannung, ohne Aufsteuerung des Gates durchbricht.

Ziel ist es nun, dieses Grundprinzip technologisch so zu realisieren, dass einerseits eine möglichst hohe Stromtragefähigkeit bei maximal erreichbarer Sperrspannung und minimalem Einschaltwiderstand erreicht wird und andererseits unweigerlich auftretende und den Schaltvorgang beeinflussende Kontakt- und Schichtwiderstände, sowie parasitäre Kapazitäten, minimiert werden.

Daraus ergeben sich Parameter zur Quantifizierung der Leistungsdaten eines Transistors, wie der Widerstand im aufgesteuerten Zustand, der Einschaltwiderstand (R_{On}), die maximale Sperrspannung, genannt Breakdown-Voltage (BV) zwischen den Kontakten Source (S) und Drain (D), also BV_{DS} , die sogenannte Schwell- oder Threshold-Spannung (V_{TH}), ab welcher der Transistor aufsteuert und schlussendlich die zwischen den Kontakten (G,S,D) fließenden Leckströme (I_{DS} , I_{GS} und seltener I_{GD}). Generell werden in der Halbleitertechnologie in Anlehnung an die international gültigen Konventionen Spannungen, wie zum Beispiel die Durchbruchspannung, mit V , anstatt dem hierzulande eher üblichen Symbol U , bezeichnet. Da alle Spannungsparameter, Infineon-intern, mit V bezeichnet werden, folgt diese Arbeit ebenfalls dieser Nomenklatur.

Obwohl es eine sehr große Anzahl von weiteren, messbaren Parametern gibt, die ebenso über die gesamte Produktlebensdauer sehr stabil innerhalb genau definierter Grenzen liegen müssen, werden meist die oben angeführten, bei neu entwickelten oder grundlegend veränderten Technologien, wie der in dieser Arbeit untersuchten, als Basis für die Beurteilung von Versuchen herangezogen.

2.1.2 Die Trench-Technologie

Um das volle Potential des in Abschnitt 2.1.1 beschriebenen Prinzips des Leistungs-MOSFETs auszunutzen ist es nötig, eine möglichst große Anzahl von einzelnen Feldefekttransistoren parallel zu schalten. Die Sperrspannung entspricht dann der niedrigsten Sperrspannung aller Transistoren während der Gesamteinschaltwiderstand durch das Parallelschalten der Einzeleinschaltwiderstände minimiert werden kann.

Das einfachste Prinzip ist das Parallelschalten planarer Transistoren nach dem in Abbildung 2–1 dargestellten Modell. Als erster Schritt zur Erhöhung der Effizienz erweist

sich ein Aufbau bei dem der Stromfluss vertikal erfolgt (siehe Abbildung 2–2). Hierdurch ist es möglich, zwei Kanäle mit nur einem Gate zu steuern und den begrenzten, auf einem Substrat-Wafer zur Verfügung stehenden, Raum besser zu nutzen. Im nächsten Schritt gelangt man schließlich zur in dieser Arbeit untersuchten SFET5-Technologie eingesetzten Graben- oder Trench-Technologie (siehe Abbildung 2–3). Die Trenchtechnologie baut den gesamten Transistor vertikal auf, dies bedeutet, dass das Gate in in das Silizium geätzten Gräben ausgeführt wird und wiederum ein Gate zwei Transistoren steuert. Im Gegensatz zu der in Abbildung 2–2 dargestellten Technologie liegt nun auch der Kanal nicht mehr parallel zur Waferoberfläche, sondern vertikal zu dieser. Durch den Trenchaufbau sind wesentlich höhere Integrationsdichten möglich. Auf der gleichen Waferfläche kann eine wesentlich höhere Anzahl von Transistoren realisiert und damit effektiv der Einschaltwiderstand eines fertigen Bauteils, welches aus einer Vielzahl von parallelgeschalteten Transistoren besteht, verringert werden.

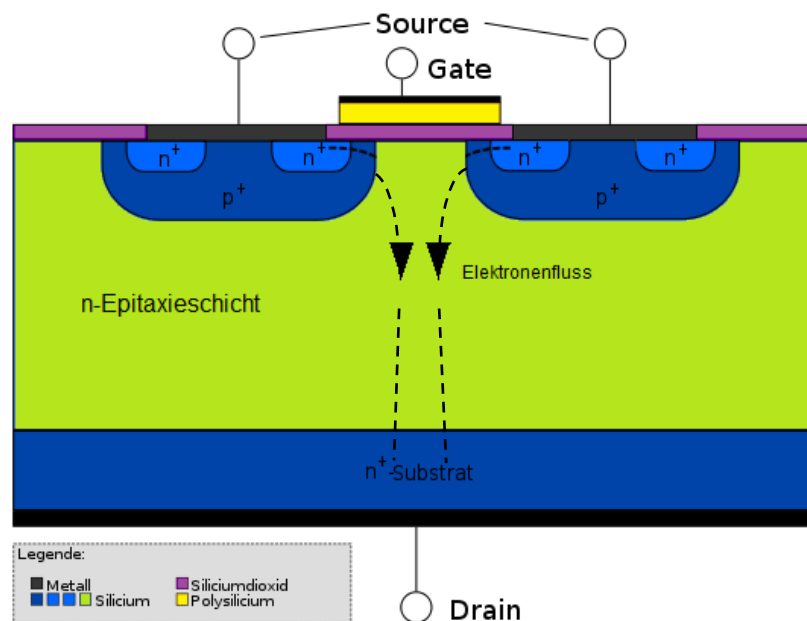


Abbildung 2–2: Planarer n-Kanal Leistungsmosfet mit vertikalem Stromfluss.

2.1.3 Die SFET5-Technologie

Hauptgegenstand dieser Arbeit war die Infineon-Trench-Leistungshalbleitertechnologie SFET5, deren Schichtaufbau und elektrische Kontaktierung in Abbildung 2–3 dargestellt sind. Die Stromführung erfolgt, wie in Trenchtechnologien üblich (siehe Strompfad in Abbildung 2–3), vertikal. Ein Gate-Kontakt steuert zwei spiegelverkehrte n-Kanaltransistoren. Als Source-Kontakt dient die Leistungsmetallisierung (siehe Kontaktierung in Abbildung 2–3 links), welche bei einem fertigen Chip annähernd die gesamte Chipoberfläche bedeckt, während das n-dotierte Siliziumsubstrat, also die gesamte Rückseite des Wafers und später der einzelnen Chips, als Drain-Anschluss fungiert.

Geringe elektrische Kontaktwiderstände zwischen Metallisierung und Source-Material werden durch eine passend gewählte Leistungsmetallisierung gewährleistet (siehe Kapitel 2.2). Durch den speziellen Aufbau ergeben sich einige Unterschiede im Vergleich zum planaren Transistor. Wird der Drain-Kontakt im Vergleich zum Source-Bereich negativ bespannt, öffnet sich die sogenannte Body-Diode und der Transistor wird unabhängig vom Gate-Zustand leitend. Im normalen Betrieb wird daher der Source-Kontakt auf Erdpotential belassen und Drain mit positiver Spannung belegt, wodurch der Transistor bis zum Überschreiten der maximalen Sperrspannung keinen Stromfluss zulässt. Durch eine positive Bespannung des Gates aus n-dotiertem, polykristallinem Silizium, welches durch eine Siliziumdioxidschicht vom npn-Gebiet isoliert ist, das sogenannte Gate-Oxid, kann der Transistor gesteuert werden. Mit steigendem positiven Gate-Potential gegenüber dem p-Gebiet bildet sich in diesem, entlang des Gate-Kontakts, ein n-Kanal aus, der eine steuerbare Stromleitung zwischen Source und Drain über den Kanal ermöglicht.

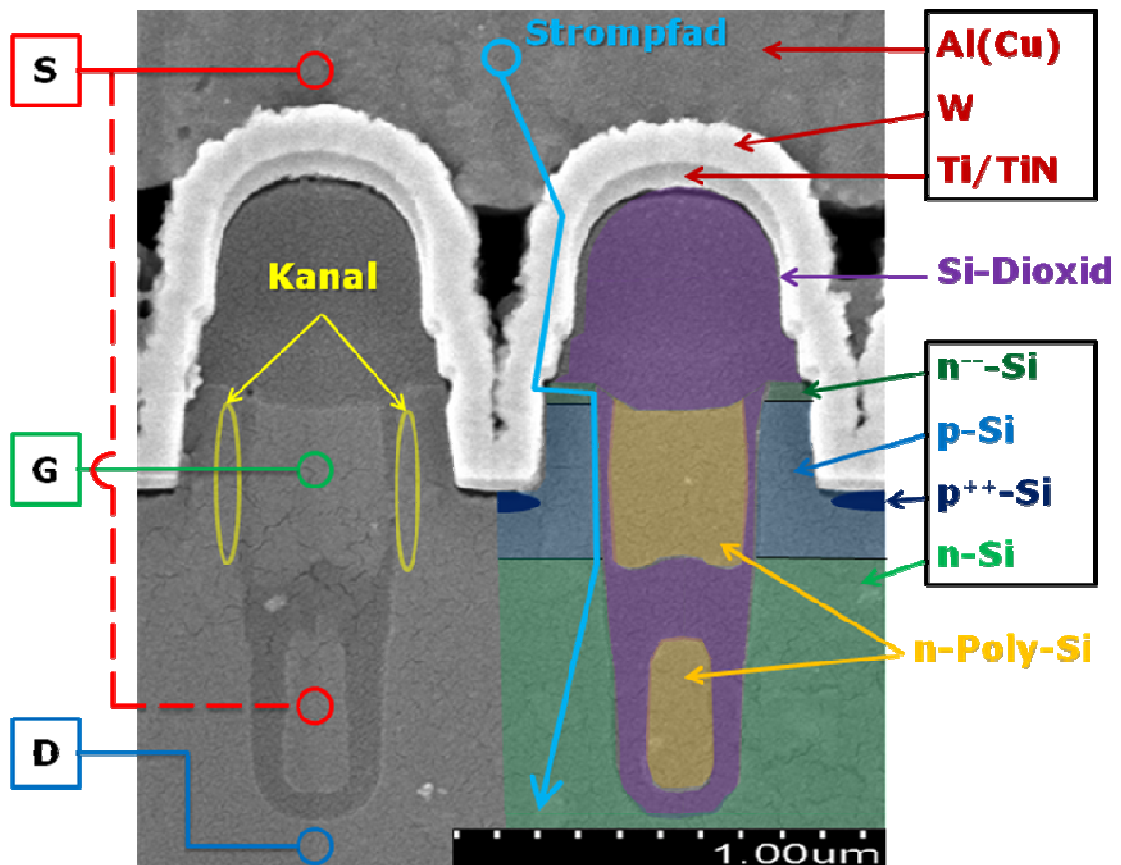


Abbildung 2-3: Aufbau bei der SFET5-Technologie mit Kontaktierung (links), Schichtaufbau (rechts) und skizziertem Strompfad (mitte) bei offenem Gate.

2.2 Die Leistungsmetallisierung

Einen wesentlichen Bestandteil der untersuchten Technologie und ihrer Prozessintegration stellt die sogenannte Leistungsmetallisierung dar, deren generelle Aufgabe die elektrische Kontaktierung der Halbleiterelemente ist und welche eine Vielzahl von Anforderungen erfüllen muss. Technologisch betrachtet handelt es sich dabei um ein Ein- oder Mehrschichtsystem aus Metallen und Metallnitriden, welches auf der Chipvorderseite einen ohmschen Kontakt zwischen den zuführenden Leitungen und den Halbleitergebieten von Source- und Gatekontakt herstellt. Abbildung 2-4 (oben) zeigt die Draufsicht eines einzelnen, fertigen Chips vor dem Bondingprozess (siehe Kapitel 2.2.1). Die großflächig ausgeführten Source-Metallkontakte ermöglichen die Leitung großer Source-Drain-Ströme, wobei die gesamte Chiprückseite als Drain-Kontakt fungiert. Um die, je nach Technologie, vielen hundert oder sogar tausend Einzeltransistoren zu kontaktieren, werden die Gate-Kontakte in sogenannten Gaterunnern und -fingern ausgeführt. Als Gaterunner werden Gateleitungen entlang des Chiprandes und zwischen den Sour-

ce-Flächen bezeichnet, während Gatefinger, durch eine dielektrische Schicht isoliert (ILD), unter diesen verlaufen (siehe Abbildung 2–4 unten).

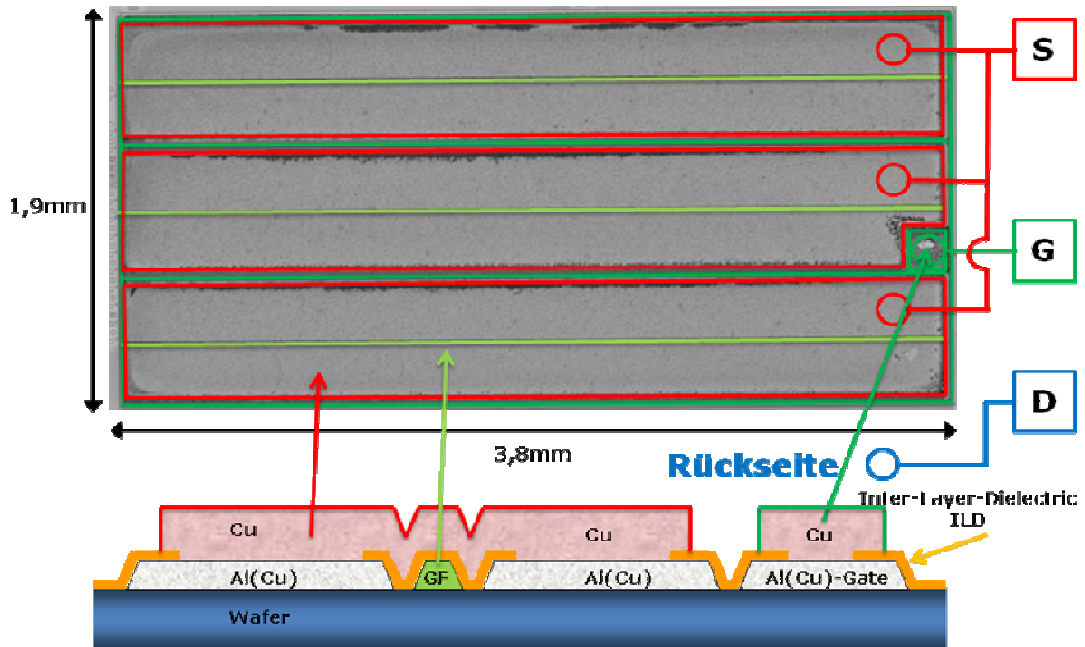


Abbildung 2–4: Draufsicht eines fertigen Chip (oben) mit markierten Source (rot)- und Gate (grün)-Kontaktfelder, sowie -Leitungsbahnen. Querschnitt der Leistungsmetallisierung (unten) mit hervorgehobenen Gatefingern (GF, hellgrün).

Grundsätzlich werden die für die Leistungsmetallisierung eingesetzten Materialien nach den Kriterien elektrischer Widerstand, Robustheit gegenüber Belastungen, thermischer und elektrischer Ankopplung an die umliegenden Materialien, Herstellungskosten und Realisierbarkeit des notwendigen Herstellungsprozesses unterteilt und ausgewählt. Industriell werden nach diesen Gesichtspunkten vor allem Aluminium- und Kupferschichten zur Bewältigung der notwendigen Stromdichten eingesetzt, während ein direkter Kontakt dieser beiden Metalle mit Silizium zu unerwünschten Effekten führt (siehe Kapitel 1.1). Die Ausbildung des niederohmigen Silizium-Metall-Kontakts und die Trennung der Aluminium- bzw. Kupferschichten vom Silizium werden daher durch leitfähige Diffusionsbarrieren realisiert, welche Teil der Leistungsmetallisierung sind.

Das Streben nach immer höheren Integrationsdichten und in direkter Folge kleineren Bauteilen bei gleichbleibenden oder sogar höheren Stromdichten führte dazu, dass die technologisch weit verbreiteten Aluminiummetallisierungen immer stärker durch Systeme mit steigendem Kupfergehalt ersetzt werden, bis hin zu den in der vorliegenden Arbeit untersuchten Reinkupfermetallisierungssystemen. Der Querwiderstand von Alumi-

nium stellte sich bei der Erhöhung der Stromdichten und gleichzeitiger Verkürzung der Schaltzeiten als zu groß heraus, um die zu leitenden Ströme ausreichend schnell über eine möglichst große Anzahl von Transistoren eines Chips verteilen zu können.

Daher wurden zunächst die reinen Aluminiumschichten durch einen Zweischichtaufbau aus Al und Cu ersetzt. Da sich bei dieser Struktur bei Temperaturbelastung intermetallische Al-Cu-Verbindungen an der Grenzschicht ausbilden können (siehe Abbildung 2–7), wurden zur Verbesserung der Schichtstabilität, der Elektromigrationsfestigkeit und der Haftung, die tieferliegenden Aluminiumschichten bis zum derzeitigen Stand der Technik entsprechenden Gehalt von 0,5 Volumenprozent mit Kupfer legiert.

Heutzutage werden immer mehr Technologien auf eine reine Kupfertechnologie umgestellt [4], um die elektrischen Eigenschaften der Metallisierung weiter zu verbessern und einem komplizierteren Mehrschichtsystem aus dem Weg zu gehen.

Die aktuell in der SFET5-Technologie eingesetzte Leistungsmetallisierung ist in Abbildung 2–5 dargestellt und besteht aus einer 3,2 μm dicken Al(Cu)-Schicht mit einem Kupfergehalt von 0,5 %, sowie einer nachfolgenden 5 μm dicken Reinkupferschicht zur möglichst schnellen Verteilung der Ströme über die Chipoberfläche.

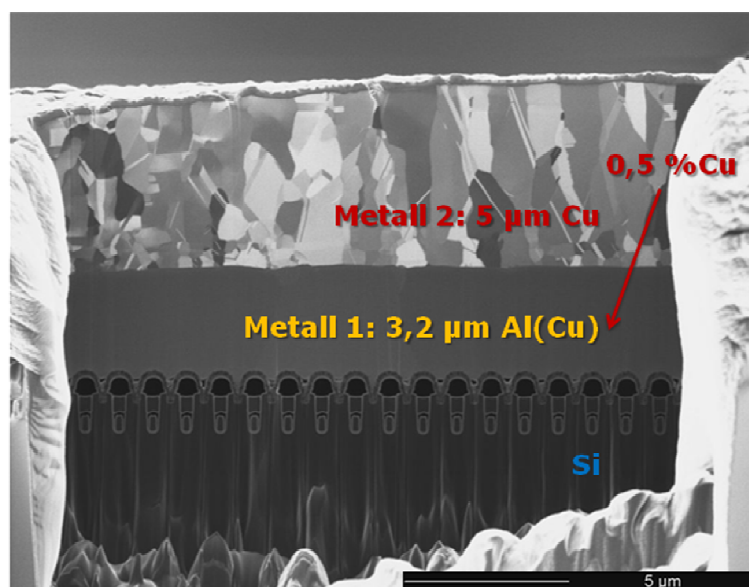


Abbildung 2–5: Querschnitt der SFET5 Leistungsmetallisierung.

2.2.1 Die Vorteile der Reinkupfermetallisierung

Besondere Aufmerksamkeit beim Entwickeln von Kupfersystemen ist dem Querwiderstand der Kombination von Diffusionsbarriere und Leitungsschicht zu widmen. Einerseits wird der Gesamtwiderstand des Bauteils zu über 60 % von Kanal- und Bulkwiderständen bestimmt und daher nur in geringem Ausmaß von der Metallisierung beeinflusst, andererseits muss bei immer schneller werdenden Schaltprozessen der zufließende Strom genügend schnell über so viele Trenches (siehe Kapitel 2.1.2), und damit in weiterer Folge Transistoren, wie möglich verteilt werden. Nur so lassen sich lokal erhöhte Stromdichten und damit Überhitzungen und daraus resultierende Zerstörungen unterbinden (siehe Abbildung 2–6).

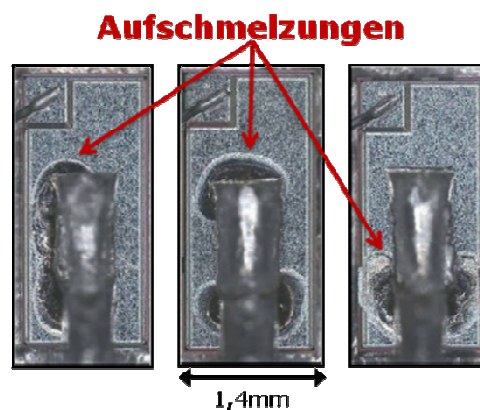


Abbildung 2–6: Lokales Aufschmelzen unter den Source-Kontakten bei Leistungsmosfets mit Aluminiummetallisierung (Quelle: Infineon Technologies Austria).

Stand der Technik in der SFET5 Technologie ist ein Mehrschichtsystem bestehend aus prozesstechnisch aufeinanderfolgenden Ti-, TiN- und W-Schichten als Diffusionsbarrieren mit nominellen Dicken von 30, 40 bzw. 150 nm und darauf abgeschiedenen Leitungsschichten bestehend aus 5 μm Al(Cu)-Verbindung, mit einem Cu-Anteil von 0,5 % und einer abschließenden 2 μm dicken Reinkupferschicht zur Verringerung des Querwiderstandes (siehe Abbildung 2–5). Das Materialsystem Al(Cu)/Cu hat sich in der Praxis bewährt und bleibt bei einer Prozessführung innerhalb der erlaubten Grenzen für den gesamten Lebenszyklus eines SFET5-Bauteils stabil. Bei zu hoher thermischer Belastung oder nicht genau kalibrierten und evaluierten, neuartigen Prozessschritten, kann es jedoch einerseits zur Ausbildung einer intermetallischen Verbindung zwischen der Al(Cu)- und der Cu-Schicht kommen, welche Delaminationsprobleme nach sich

zieht (siehe Abbildung 2–7), andererseits ist dieser Metallisierungsaufbau, wie bereits erwähnt, Einschränkungen bezüglich des erreichbaren Querwiderstandes unterworfen.

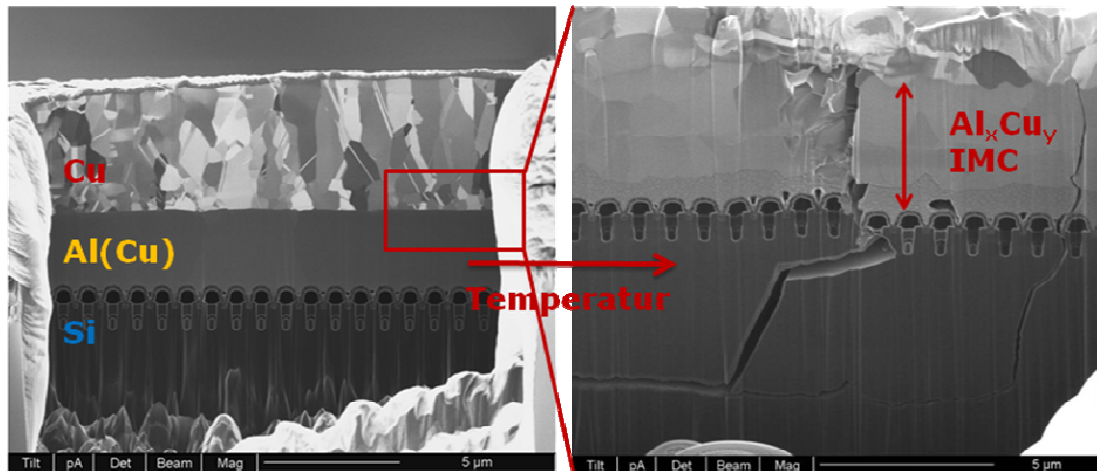


Abbildung 2–7: Ausfall der Leistungsmetallisierung durch Ausbildung einer intermetallischen Verbindung (IMV) an der Al(Cu)/Cu-Grenzfläche. Die rechte Abbildung zeigt einen vergrößerten Ausschnitt dieser Grenzfläche nach zu hoher Temperaturbelastung eines Bauteils (Quelle: Infineon Technologies Austria).

Ein weiterer Aspekt ist die Möglichkeit, die Kontaktierung der Source- und Gate-Gebiete am Chip im Zuge des sogenannten Bondingprozesses, bei dem die Kontakt-drähte auf die Source- und Gate-Metallisierung gelötet werden, zu optimieren. Die aktuell eingesetzten Goldbonding-Verfahren liefern sehr gute elektrische und mechanische Kontakte mit ausgezeichneten Langzeiteigenschaften, stellen jedoch auch aufgrund des Goldanteils auch ein relativ teures Bonding-Verfahren dar. Bei einer reinen Kupfermetallisierung könnte aufgrund der erhöhten Stabilität des Aufbaus der Bondprozess unter Umständen auch mit einem Kupferdraht erfolgen und damit wesentlich günstiger und effizienter durchgeführt werden.

Ziel ist es daher, die etablierten Al(Cu)/Cu-Schichten durch reines Cu zu ersetzen und damit den nächsten Schritt zur Verbesserung der Metallisierung zu gehen. Diese Reinkupferbeschichtung wird in der vorliegenden Arbeit auf ihre technologische und prozesstechnische Realisierbarkeit hin überprüft und analysiert.

2.2.2 Randkonstruktion in der SFET5 Technologie

Als Bereich von besonderem Interesse für die Studie von Ausfallmechanismen in der SFET5 Technologie hat sich der Randbereich der Chips, einschließlich der genauen Randkonstruktion, erwiesen. Die Randkonstruktion bezeichnet jenen in Abbildung 2–4 (unten) dargestellten Bereich, in dem sowohl die aktiven Trenches des Chips enden, als auch die einzelnen Metallisierungsschichten auslaufen (siehe Abbildung 2–8).

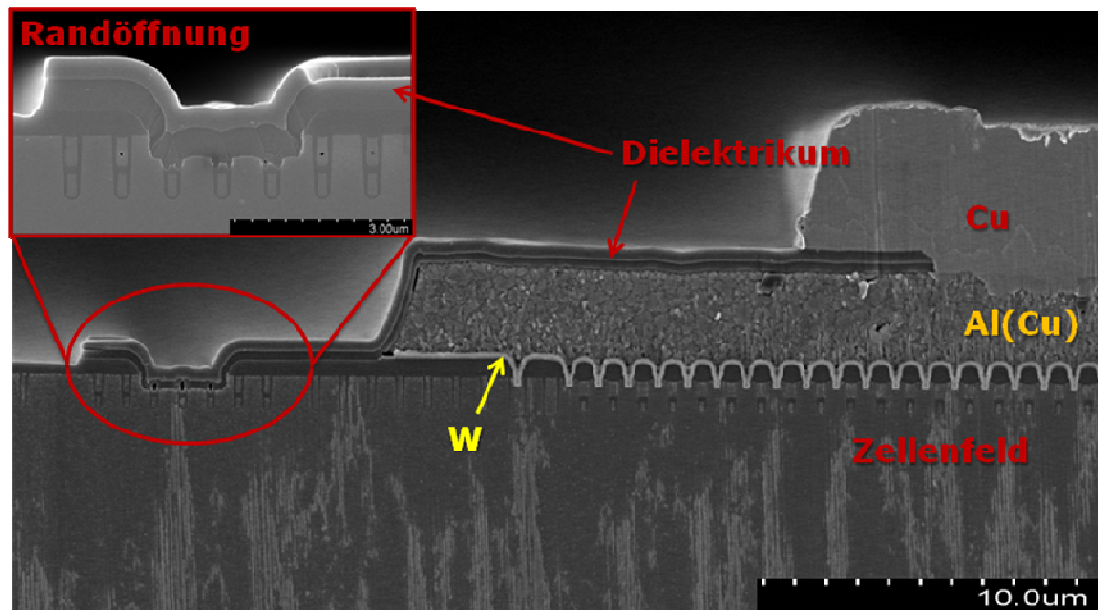


Abbildung 2–8: Querschnitt durch die Randkonstruktion eines SFET5 mit Standardmetallisierung mit vergrößerter Darstellung der Randöffnung (links oben).

Besondere Bedeutung kommt dabei der sogenannten Randöffnung zu, welche durch eine spezielle Konstruktion das Drain- und damit das Chiprückseitenpotential in Bahnen rund um den gesamten Chip anlegt, um so im Betrieb eine der Chipperformance zuträgliche elektrische Feldverteilung zu erreichen. Technologisch gesehen wird dabei im Randbereich des Chips, meist in einer der Ecken, in einem der Lithografie und Ätzschritte bis zum Siliziumsubstrat nach unten geätzt und dieser Bereich anschließend in, den Gatebereichen normaler Trenches entsprechenden, Polysiliziumbahnen rund um den Chip ausgeführt (siehe Abbildung 2–9). Des Weiteren erfolgt, im Unterschied zur restlichen Chipfläche, in diesem Bereich der Chips die Barrierestrukturierung nicht auf einer Siliziumdioxid-Schicht, sondern direkt auf elektrisch aktivem Silizium.

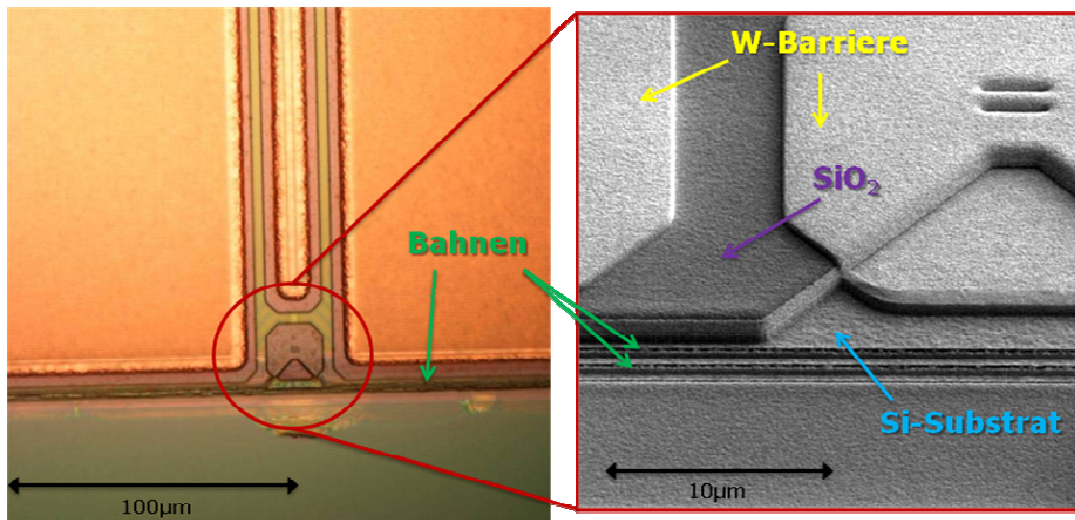


Abbildung 2-9: Darstellung der Randkonstruktion mit Drain-Potential führenden Polysiliziumbahnen (grün) und vergrößerter SEM-Darstellung desselben Bereichs (rechts).

2.3 Leitfähige Diffusionsbarrieren

Das Auffinden und technologische Realisieren der in der Leistungsmetallisierung essenziellen, optimalen Diffusionsbarriere in ihrer Funktion als Barriere und auch als Haftverbesserer ist ein Thema, das breites Interesse in der Literatur erfährt. Grund dafür ist die Omnipräsenz von Kupfer- und davor Aluminium-kontaktierten Siliziumtechnologien in annähernd allen Bereichen der modernen Halbleiterindustrie, sowie die steigende Komplexität des Themas mit zunehmenden lokalen Stromdichten bei gleichzeitig fortschreitender Miniaturisierung. Anwendungsabhängig werden als Resultat stabile Barrieren mit Dicken unter 5 nm, bei gleichzeitig vernachlässigbar geringen elektrischen Schichtwiderständen, notwendig.

Besonders die große Anzahl an schnellen Diffusionspfaden in Dünnschichtsystemen über Oberflächen, Versetzungen und insbesondere Korngrenzen, welche bei den meisten Barrieretypen für den Barriereausfall hauptverantwortlich sind und in den erwarteten Temperaturregimen die Gitterdiffusion um mehrere Größenordnungen übersteigen, stellen eine Herausforderung dar [12]. Ein anderer Ausfallmechanismus dominiert bei sogenannten, meist auf Ti basierenden, Opferbarrieren, bei welchen es zu einer kontrollierten Reaktion der Barriere mit einer der anschließenden Schicht kommt und die Barriere bei Temperaturbelastung somit langsam immer weiter, bis hin zum Verlust der Barriere Wirkung, von einer oder beiden Seiten her aufgezehrt wird [9]. Folglich sind die genannten Ausfallmechanismen stark von der gewählten Barriere Dicke abhängig und füh-

ren ab einer gewissen Temperaturbelastung und dem damit verbundenen Überschreiten einer Aktivierungsenergie für einen Ausfallprozess, zum Versagen der Barriere, wobei dickere Barrieren generell stabiler sind als dünnere [12]. Wichtig ist hierbei, dass der Ausfall der Barriere ein diffusionskontrollierter Prozess ist und damit kontinuierlich erfolgt und wesentlich langsamer verläuft als der direkte Silizidierungsvorgang. Das Hauptaugenmerk bei der Barriereauswahl und Herstellung liegt daher nicht direkt auf dem Verhindern der Barrierezerstörung, sondern auf dem Unterbinden von Diffusionsprozessen [2].

Bei der Analyse von in Frage kommenden Barriersystemen muss unbedingt darauf geachtet werden, ob es sich um eine Diffusionsbarriere zwischen Kupfer und Silizium oder Kupfer und Siliziumdioxid handelt, da die elektrischen Schichtwiderstände der Barriere bei ersterem Typ von entscheidender Wichtigkeit sind, während diese für den zweiten vernachlässigt werden können [6].

2.3.1 Auswahlkriterien für Diffusionsbarrieren

Als Grundlage bei der Suche nach Verbesserungen bestehender und dem Entdecken neuer Barriersysteme dienen thermodynamische Analysen der in Frage kommenden Materialien. In diesem Zusammenhang werden zuerst die Phasendiagramme der möglichen Metallsysteme untersucht, da grundlegende Barrierekriterien, wie zum Beispiel eine verschwindend geringe und wenn unvermeidbar, streng kontrollierte, selbstlimitierend ablaufende Reaktion mit umliegenden Schichten, aus diesen geschlossen werden können. Dadurch wird eine generelle Bewertung der potentiellen Stabilität einer Diffusionsbarriere aus dem untersuchten Material ermöglicht und voraussagbar [7,13].

Eine starke Interaktion kann meist auf starke Interdiffusion zurückgeführt werden und widerspricht damit dem Barrieregedanken an sich. Aus diesem Grund sind besonders Metalle und Legierungen mit hohen Schmelzpunkten, bei gleichzeitig passabler elektrischer Leitfähigkeit und Verarbeitbarkeit, interessant für die Barriereherstellung. Tendenziell weisen die stabilsten Barrieren die schlechteste Verarbeitbarkeit auf, wobei vor allem Schichthaftungsprobleme eine Rolle spielen [7].

In nächster Folge gilt es, die Diffusion bei den zu erwartenden Temperaturen so gut wie möglich zu unterbinden, welche bei Kupfersystemen im Vergleich zu Aluminium in etwa 15-mal schneller abläuft. Aufgrund der bereits signifikanten Raumtemperaturdiffusion von Kupfer spielt auch die Barrierehomogenität eine entscheidende Rolle [5].

Ziel ist es daher, die unweigerlich entstehenden Korngrenzen so weit als möglich zu verlängern beziehungsweise zu verdichten [14,15]. Als effektives Mittel hat sich dabei, neben der Auswahl von Materialien mit generell niedrigen Diffusionskoeffizienten, das Blockieren der in der Dünnschichtdiffusion vorherrschenden Korngrenzendiffusion, sowie eine geringstmögliche Überlappung der Korngrenzen aneinander liegender Schichten herausgestellt [15]. Die Schließung dieser schnellen Diffusionspfade durch Einbringen anderer Stoffe, in erster Linie durch den Einsatz von Stickstoff und daraus resultierender Nitridbildung sowie interstitiellen Einbau, führt zu stark verbesserten Barriereigenschaften [5,6].

Eine weitere Möglichkeit ist die Herstellung amorpher Schichten, welche in vielen aktuellen, wissenschaftlichen Arbeiten untersucht wird. Durch die amorphe Struktur können die schnellen Diffusionspfade polykristalliner Schichten umgangen werden, solange die Kristallisationstemperatur der Schicht nicht überschritten wird [5,6]. Bei sehr dünnen, polykristallinen Barrieren kann auch über die Wachstumsrichtung bei der Schichtherstellung Einfluss auf die Diffusion entlang schneller Diffusionspfade genommen werden. Liegen diese Schichten parallel zur Oberfläche, wird die Kupferdiffusion merklich stärker unterdrückt als bei vertikaler Ausrichtung [7].

Eine Barriere gilt als stabil, solange weder durch elektrische noch physikalische Analysemethoden eine messbare Kupferkonzentration im Si nachgewiesen werden kann bzw. elektrische Einflüsse einer Kupferdiffusion detektierbar sind. Als Mess- und Vergleichsgröße der Barrierewirkung verschiedener Materialkombinationen dient die Temperatur T_s , bis zu welcher die Barriere stabil bleibt, wobei sich die in der Literatur angegebenen Belastungszeiten teilweise um mehrere Größenordnungen unterscheiden und daher immer gemeinsam mit T_s angegeben werden müssen.

Ein generelles Problem aller Untersuchungen an Kupferbarrieren ist die, zwar fast immer zu erwartende elektrische Detektion eines bevorstehenden Barrieredurchbruchs, welche jedoch kaum gelingt. Bis zur Ausbildung von Cu_3Si und der damit verbundenen, sehr leicht detektierbaren Zerstörung, lässt sich in elektrischen Bauteilen, trotz der generell höheren Sensibilität elektrischer Methoden im Vergleich zu anderen zur Verfügung stehender Analysemethoden, keine bzw. nur eine verschwindend geringe Kupferanreicherung im Si feststellen, die meist keine bis sehr geringe Auswirkungen auf die Leistungsfähigkeit des untersuchten Halbleiterelements hat. Übliche Analysemethoden sind einerseits elektronenmikroskopische Strukturuntersuchungen und Auger-Elektronen-

Spektroskopie, sowie die Messung von Flachband-, Einsatz- und Sperrspannungen und Leckströmen andererseits [1,9,12].

Aufgrund der aufgezeigten Materialanforderungen konzentriert sich die Forschung für Kupferdiffusionsbarrieren, aufbauend auf bestehenden Lösungen für Aluminiumsysteme, besonders auf Refraktärmetalle und deren leitfähige Nitride und Silizide, im Besonderen auf W, Ta und Ti. Die relativ hohen Schmelzpunkte und elektrischen Leitfähigkeiten dieser Metalle und ihrer Verbindungen sind hierbei ein Indikator für schwache Interaktion mit umliegenden Schichten und geringe Diffusion im Metall [6,12].

Zusätzliche Kriterien für die Barriereauswahl resultieren schließlich aus den prozesstechnischen Rahmenbedingungen, wie Schichthaftung und Schichtverspannungen, den erwarteten Temperaturbelastungen in Höhe und Dauer, sowie etwaigen diffusionsfördernden, elektrischen Feldern und deren Feldstärken.

Ein objektiver Vergleich verschiedener in der Literatur vorgestellter Barrierevarianten und deren möglicher Umsetzung in einer kommerziellen Halbleitertechnologie wird dadurch erschwert, dass die angegebenen, erreichten Höchsttemperaturen, bei welchen die Barrieren des gleichen Typs noch sperren um teils mehrere hundert Grad voneinander abweichen und eine gewisse Tendenz feststellbar ist, seine eigene Barriere optimal zu präsentieren. Zudem werden annähernd alle Versuche auf völlig planaren Strukturen durchgeführten und sind dadurch nicht direkt auf eine Trenchstruktur anwendbar. Als Resultat sind technologisch wichtige Punkte wie die Schichthaftung, die Verfüllung hoher Aspektverhältnisse, der Einfluss erhöhter elektrischer Feldspitzen an Kanten und die Langzeitstabilität nicht direkt ableitbar. Ebenso steht bei den öffentlich zugänglichen, oft rein wissenschaftlichen Untersuchungen, der wirtschaftliche Aspekt von Material- und Prozesswahl nicht unbedingt im Vordergrund.

Recherchierte Literaturergebnisse, die die Stabilität der SFET5-Standardbarriere (siehe 2.1.3) bis zu den höchsten im Prozessfluss nach der Kupferabscheidung auftretenden Temperaturen vorausagten, lagen nur für planare Geometrien und nicht für Trenchstrukturen vor und wurden daher mit Vorsicht gehandhabt und experimentell anhand der SFET5-Technologie überprüft.

Neben den nachstehend genannten „Standardbarrieren“ (siehe Kapitel 2.3.2 - 2.3.4), gibt es auch experimentelle Ansätze zur Erzeugung von speziellen Legierungen von Cu mit z.B. Magnesium, Aluminium und Bor, die die Diffusion über sogenannte „zero-flux“-Ebenen unterdrücken sollen, bzw. Forschungen im Hinblick auf die Realisierbar-

keit von self-assembling-monolayers, kurz SAMs, als Barriere. Die SAMs zeichnen sich vor allem durch ihre sehr geringe Dicke bei gleichzeitig guter Kantenbedeckung aus und könnten durch spezifische Endgruppen an die vorliegenden Anforderungen angepasst werden. Die Entwicklung in Richtung Diffusionsbarriere steht hier allerdings noch am Anfang [6].

2.3.2 Diffusionsbarrieren auf Wolfram-Basis

Eine der am weitest verbreiteten und technologisch realisierten Diffusionsbarrieren ist die einfache Wolframbarriere. Diese zeichnet sich vor allem durch das beinahe vollständig inerte Mischungsverhalten von W mit den anderen eingesetzten Materialien bei den erwarteten Temperaturen [6,8], als auch durch relativ problemlose Haftung und Verarbeitung aus. Des Weiteren weist W eine passable elektrische Leitfähigkeit sowie den geringsten Selbstdiffusionskoeffizienten aller Übergangsmetalle im relevanten Temperaturbereich von 400-600 °C auf und ist damit prädestiniert für einen Einsatz als einfache und günstige Diffusionsbarriere. Beim Einsatz von W zwischen Si und Cu zeigt sich immer zuerst Silizidbildung (W_5Si_3) allerdings erst im Temperaturbereich von 525-650 °C, bevor es überhaupt zu einer, für den Barriereeinsatz nicht relevanten, W-Cu-Reaktion bei über 750 °C kommt [1,8].

Bei den standardmäßig in der Halbleiterindustrie verwendeten Abscheidetechniken für W formieren sich, aufgrund der relativ hohen Oberflächenmobilität des W während der Abscheidung, polykristalline Schichten, wobei vor allem Chemical-Vapor-Deposition (CVD)-Verfahren genutzt werden [1,6]. Bei Prozessführung ohne Unterbrechung des Vakuums bietet W auch sehr gute Wachstums- und Haftbedingungen für eine nachfolgende Cu-Schicht [11].

Die Herstellung amorpher Schichten ist in vielen der etablierten Produktionsanlagen nicht, oder nur sehr schwer, möglich, würde jedoch die Barrierestabilität, durch das Fehlen von Korngrenzen, als direkten, schnellen Diffusionspfade zwischen Cu und Si erhöhen, sowie zu einer nochmals verringerten Selbstdiffusion bei relativ guter Kantenbedeckung führen [1].

Durch die Verbindung von W mit Stickstoff oder Silizium lassen sich hochschmelzende Nitride und Silizide herstellen, bei welchen etwaig vorhandene, schnelle Diffusionspfade im W vom Zusatzstoff verschlossen werden und damit die Barrierestabilität weiter zunimmt. Zurückzuführen ist dies bei N auf die fehlende Ausbildung von starken kovalenten oder ionischen W-N-Bindungen und einer daraus resultierende Tendenz der N-

Atome zu interstitiellem Einbau, beziehungsweise Anreicherung an Korngrenzen als Verunreinigungen [1]. Ein Problem beim Einsatz von W-N-Verbindungen in Cu-Si-Systemen ist die schlechte Schichthaftung [7].

Wie in Abschnitt 2.3.4 erläutert, ist das Auskristallisieren und damit Umwandeln der amorphen in eine polykristalline Struktur der dominante Ausfallmechanismus bei amorphen Barrierevarianten [1]. Lediglich WN zeigt thermische Auflösung der Verbindung und damit einen anderen Ausfallmechanismus [8].

In der Literatur angegebene Werte für die Barrierestabilität von Wolfram und dessen Nitride und Silizide streuen sehr stark im Bereich von 200 bis über 790 °C [1,6,8] (siehe Tabelle 2-1). Barrieren aus polykristallinem W fallen bei Temperaturbelastungen von einer Stunde zwischen 200 und 500 °C aus, während 70 nm amorphes CVD-W bis zu ungefähr 650 °C bei halbstündiger Belastung stabil bleibt.

Schichten aus WN, W₂N sowie WN/W-Doppelschichten zeigen gutes Barriereverhalten und keinerlei nachweisbare Kupferdiffusion bis zu hohen Temperaturen, was auf das Verschließen von schnellen Diffusionspfaden durch den eingebrachten Stickstoff zurückzuführen ist. Zum Beispiel erwies sich eine 50 nm WN/20 nm W Kombinationen trotz einer halbstündigen Belastung bei 750 °C als stabil.

Die Anreicherung von Si im W führt zu einer starken Erhöhung der Barrierestabilität, allerdings auf Kosten des elektrischen Widerstandes und der Verarbeitbarkeit [1].

2.3.3 Diffusionsbarrieren auf Titan-Basis

Ein weiteres sehr oft eingesetztes Barrierematerial ist Ti, vor allem in Verbindung mit Stickstoff als TiN. Bei direktem Kontakt zwischen Ti und Si bildet sich Titansilizid, welches in vielen Halbleitertechnologien dazu genutzt wird, um einen guten ohmschen Kontakt zwischen der Metallisierung und dotierten Halbleitergebieten herzustellen (siehe 2.4.1). Im Vergleich zu W reagiert Ti also relativ leicht mit anschließenden Si- und auch Cu-Schichten. Die Ti-Barrieren fallen deshalb in die Klasse der Opferbarrieren, welche bei langfristiger Belastung immer weiter aufgezehrt werden.

Weniger reaktive TiN-Schichten können diesen Prozess stoppen und damit die Barriere stabilisieren, wodurch der Hauptbarriereausfallmechanismus wiederum der schnellen Cu-Diffusion über die Korngrenzen der polykristallinen, kolumnaren Kristallstruktur des TiN zuzuordnen ist [2].

Eine wesentliche Verbesserung der Barrierewirkung erlaubt die Konstruktion von Ti/TiN-Doppelschichten, was auf eine Verdichtung der Diffusionspfade durch Stickstoffbelegung sowie eine direkte Verlängerung dieser durch die nicht übereinstimmenden Korngrenzen an der Grenzschicht zwischen Ti und TiN zurückzuführen ist [14].

Ebenfalls als sehr erfolgversprechend hat sich die Kombination von Ti und W herausgestellt. Barrieren aus TiW mit einer Dicke von 100 nm sind, je nach Quelle, bis zu Temperaturen über 775 °C bei 30 Sekunden andauernder Belastung stabil gegen Kupferdurchtritt [1]. Problematisch für Reinkupfermetallisierungen ist die sehr schlechte Haftung von Kupfer auf TiW, wenn das Vakuum vor der Kupferabscheidung gebrochen wird.

2.3.4 Diffusionsbarrieren auf Tantal-Basis

In annähernd allen wissenschaftlichen Arbeiten, die sich dem Vergleich mehrerer, verschiedener Barrierematerialien und ihrer Performance widmen, stellen sich Ta-Schichten und im Besonderen Kombinationen von Ta mit W, Si, und N als am stabilsten heraus [6,7,11].

Während Ta bei extrem hochintegrierten Halbleitertechnologien aufgrund des Potentials zur Herstellung extrem dünner, aber dennoch stabiler Barrieren bereits weite Verbreitung findet, ist Ta in nicht so stark miniaturisierten Systemen aufgrund anderer wirtschaftlicherer Lösungen weniger stark vertreten.

Die Forschung im Bereich Ta-Diffusionsbarrieren konzentriert sich hauptsächlich auf die Herstellung amorpher Ta- und TaN-Schichten in Dicken um oder unter 5 nm. Diese amorphen Schichten bieten bis zum Überschreiten der Kristallisationstemperatur eine sehr dichte Barriere gegenüber Kupferdiffusion und gute Schichthaftung. Aufgrund der heteroepitaxialen Wachstumsbeziehung zwischen Cu und Ta entstehen an deren Grenzschicht von selbst dünne, amorphe Schichten deren Dicke auf etwa 5 nm beschränkt bleibt und die Barriereigenschaften verbessert. Diese Eigenschaft weisen Ti-Systeme nicht auf.

Probleme ergeben sich bei der Homogenität der Ta-Schicht, welche mit dem Einsatz von CVD- an Stelle von Sputter-Techniken, verbessert werden kann. Ein weiteres Problem stellt die partielle Auskristallisation dar. Polykristalline-Schichtsysteme zeigen schlechtere Barriereigenschaften, sind aber wesentlich einfacher herzustellen [7]. Der Ausfallsmechanismus für Ta-Barrieren ist, wie bei anderen inerten Barrieren, wieder die

schnelle Diffusion über Korngrenzen und Defekte, die durch einwirkende Belastungen an lokalisierten Schwachstellen, ab einem gewissen Punkt, ermöglicht wird. Eine etwaige Silizidierung der Ta-Schicht ist weniger problematisch [12]. Ausschlaggebend ist dabei die Kristallisation der oben genannten, dünnen amorphen Schicht zwischen Cu und Ta, die ansonsten Kupferdiffusion annähernd vollständig unterdrückt [10]. Reines polykristallines Ta zeigt zuerst Silizidbildung im Temperaturbereich von 525-650 °C, bevor es zu einer Ta-Cu-Reaktion bei über 750 °C kommt [6].

Auch bei Ta führt, wie bei W, eine vorsätzliche Verbindung mit Stickstoff oder Silizium zu stark verbesserter Barrierewirkung, ebenso wie die Abscheidung einer, oft durch die oben genannten Materialien erreichten, amorphen Phase anstatt der üblichen polykristallinen. Dabei ist TaSiN sogar die stabilste bekannte Kupferdiffusionsbarriere, die aber aus prozesstechnischen Gründen aktuell in keiner Technologie realisiert ist [6].

Neben TiN ist TaN das weitest verbreitete Nitrid in der Barriereforschung, mit einem sehr hohen Schmelzpunkt von 3087 °C und inertem Verhalten gegenüber Si und Cu, wobei Cu zwar als Katalysator für die Ta-Silizidierung dient, diese aber sehr gering bleibt und selbstlimitierend abläuft [12]. Problematisch bei TaN ist die geringe Verfüllung hoher Aspektverhältnisse bei Sputterabscheidung und der erhöhte, elektrische Schichtwiderstand von CVD-abgeschiedenen Systemen [2]. Bei Stresstests erweist sich die stöchiometrische Verbindung von Ta und Stickstoff als stabiler als Barrieren mit erhöhtem Stickstoffanteil [3]. Über die bestmöglichen Eigenschaften verfügt eine Kombination von Ta und TaN. Ta bietet gute Haft- und Nukleationsbedingungen für nachfolgende Cu-Schichten, während TaN eine stabilere Diffusionsbarriere ausbildet, mit vorteilhafter amorpher oder nanokristalliner Struktur und gut auf Si haftet. Des Weiteren führt die Kombination der beiden Schichten zu einer Erhöhung der Kristallisationstemperatur in der amorphen TaN-Schicht und dadurch zu einer höheren Barrierestabilität [15]. Interessanterweise steigt die Kristallisationstemperatur mit abnehmender Barriere-
dicke, während die Barrierewirkung logischerweise abnimmt. Dadurch gilt es, eine optimale Dicke für die gewünschte Anwendung zu finden, um eine ausreichende Dicke zur Diffusionsunterdrückung bei möglichst geringer Dicke zur Erhöhung der Kristallisationstemperatur zu erhalten. Ausfallmechanismus bei den extrem stabilen Doppelschichten ist die mit steigender Temperatur zunehmende N-Anreicherung im reinen Ta, wodurch sich schlussendlich Ta und TaN mischen und die amorphen Schichten auskristallisieren [15].

Das gleichzeitige Sputtern von Ta und W führt zu leicht realisierbaren Barrieren, die bei einer Schichtdicke von 100 nm bis ca. 680 °C bei einer Stunde Belastung stabil bleiben und damit die kritischen Temperaturen von reinem W bzw. Ta übersteigen. Bei richtig gewählten Sputterbedingungen formiert sich eine kubisch raumzentrierte TaW-Phase, welche den geringsten Schichtwiderstand aller TaW-Phasen aufweist.

Experimentelle, amorphe TaWN-Barrieren in einer Dicke von 50 nm zeigen stabiles Verhalten bis über 700 °C bei halbstündiger Temperbelastung und fallen ebenfalls durch das Überschreiten der Kristallisationstemperatur von etwa 800 °C und damit verbundener Korngrenzendiffusion aus. Die geringere Stabilität von WN (siehe 2.3.2) wird dadurch umgangen, dass eine geringe Zugabe von W zu einer TaN-Komposition zur Formierung einer vorteilhaften, amorphen Schicht führt. Diese ermöglicht eine Schließung von schnellen Diffusionspfaden im Ta durch die wesentlich größeren W-Atome [3]. Durch die Kombination von 30 nm TaWN und 20 nm W können, ohne Verschlechterung des Schichtwiderstandes, bis über 800 °C stabile Barrieren erzeugt werden [11].

Basis	Variante	Dicke	T_s	t	Kommentar	Quelle
W	W		200-500 °C			[6]
	W	15 nm	550 °C	60 min	CVD-Prozess	[2]
	W	25 nm	650 °C	30 min		[8]
	WN	20 nm	>550 °C	30 min		[7]
	WN	25 nm	500 °C	30 min		[8]
	W ₂ N	15 nm	>600 °C	60 min	CVD-Prozess	[2]
	W ₂ N	25 nm	790 °C	30 min		[8]
	Ti	Ti		200 °C		
Ti		20 nm	400-450 °C	60 min	Sputter-Prozess	[2]
TiN			400-700 °C	30 min		[6]
TiN		10 nm	550 °C	1 min	auf SiO ₂	[7]
TiN		50 nm	550-650 °C	60 min	auf SiO ₂	[7]
TiN/Ti		15/5 nm	600 °C	1 min	auf SiO ₂	[9]
Ta		Ta		200-650 °C	60 min	
	Ta	5 nm	450 °C	30 min	Sputterprozess	[12]
	Ta	10 nm	500 °C	30 min	Sputterprozess	[12]
	Ta	20 nm	550-575 °C	60 min	Sputterprozess	[2]
	Ta	25 nm	550 °C	30 min	Sputterprozess	[12]
	Ta	30 nm	775 °C	1 min		[15]
	Ta	60 nm	600 °C	60 min		[7]
	TaN	5 nm	500 °C	30 min	Sputterprozess	[12]
	TaN	8 nm	>700 °C	30 min		[2]
	TaN	10 nm	600 °C	30 min	Sputterprozess	[12]
	TaN	20 nm	650-700 °C	60 min		[2]
	TaN	25 nm	700 °C	30 min	Sputterprozess	[12]
	TaN	25 nm	>800 °C	90 min		[2]
	TaN	30 nm	700 °C	1 min		[15]
	TaN	100 nm	750 °C	60 min		[7]
	TaWN	50 nm	700 °C	30 min		[3]
	Ta	50 nm	400 °C	1 min	auf SiO ₂	[9]
	TaN	50 nm	630 °C	1 min	auf SiO ₂	[9]
	TaN/Ta	80/5 nm	400 °C		auf SiO ₂	[9]
	Ta/TaN	20/10 nm	950 °C	1 min	auf SiO ₂	[15]
	TaSi ₂ /TaSiN	30/80 nm	900 °C	30 min	auf SiO ₂	[8]

Tabelle 2-1: Übersicht über die thermische Stabilität verschiedener Diffusionsbarrieren mit der Temperatur T_s und Dauer t der thermischen Belastung.

2.4 Reinkupfermetallisierung in der SFET5-Technologie und Vergleiche mit anderen Technologien

Die Relevanz der Leistungsmetallisierung für die Leistungsfähigkeit der untersuchten Halbleitertechnologie, lässt sich nicht nur aus dem Wort „Leistung“ im Namen ableiten, sondern auch aufgrund der Tatsache, dass mit jeder neuen Technologiegeneration die Metallisierung grundlegend überarbeitet wurde. Im Zuge mehrerer Chipgenerationen führte der Weg von einfachen AlSiCu-Schichten zu Al(Cu)/Cu-Metallisierungen mit Ti/TiN/W-Systemen als Barriere- und Nukleationsschichten.

Eine Möglichkeit zur weiteren Verbesserung der Metallisierungseigenschaften, vor allem des Querwiderstandes (siehe 2.2.1), bietet sich durch den Einsatz eines Reinkupfersystems anstelle des etablierten Al(Cu)/Cu-Zweilagensystems, welches jedoch auch gravierende, technologische und prozesstechnische Einschränkungen und Herausforderungen mit sich bringt.

2.4.1 Die Diffusionsbarriere der SFET5-Technologie

Die in der SFET5-Technologie eingesetzte Standardleistungsmetallisierung ist in Abbildung 2–10 nochmals genauer dargestellt.

Von besonderem Interesse für die Untersuchung und Evaluierung etablierter und neuartiger Diffusionsbarrieren für eine Reinkupfermetallisierung ist jener Bereich, in dem die Barrierschichten in Kontakt mit Halbleitergebieten treten. Die Wechselwirkungen in diesem Bereich bestimmen alle essentiellen Eigenschaften wie Kontakt- und Schichtwiderstände, Verfüllung hoher Aspektverhältnisse und Schichthaftung beziehungsweise das Potential als Nukleationsschicht für nachfolgende Materialien zu dienen.

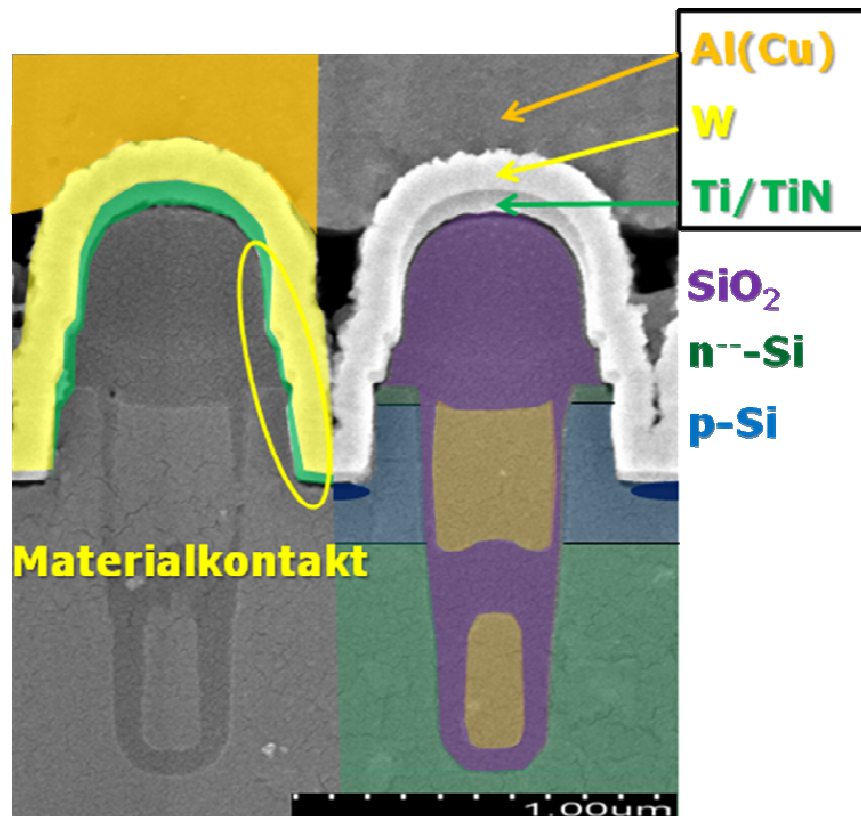


Abbildung 2–10: Diffusionsbarriere in der SFET5-Technologie mit farblicher Trennung der Metallisierungsschichten.

In der SFET5-Technologie wird zunächst eine 30 nm dicke Ti-Schicht abgeschieden, welche zum Großteil silizidiert und dadurch einen guten Halbleiter-Metall-Kontakt herstellt. Alle angegebenen Schichtdicken sind dabei als nominelle Dicken zu verstehen, welche aber aufgrund der Grabengeometrie Schwankungen unterworfen sind. Auf die Ti-Schicht folgt die Abscheidung einer 40 nm dicken TiN-Schicht, welche einerseits als Nukleationsschicht für die nachfolgende W-Schicht wirkt und andererseits relativ gute Barrierewirkung bei gleichzeitig, aufgrund der geringen Dicke, vernachlässigbarem Schichtwiderstand zeigt. Den Abschluss der Diffusionsbarriere bildet, wie bereits angesprochen, eine 150 nm dicke W-Schicht. Diese stellt gute Nukleationsbedingungen für die nachfolgende Leitungsschicht her und dient als nicht reaktive Barriere gegen Al- und Cu-Diffusion.

Im eigentlichen Experiment zur Untersuchung der Stabilität etablierter und neuartiger Barrierekonfigurationen gegen Kupferdiffusion ist man bei der Anzahl der möglichen Materialien und auslenkbaren Parameter den oben angeführten Einschränkungen unterworfen. Zusammengefasst muss die Barriere daher Schichtablösungen verhindern, gute Nukleationsbedingungen bereitstellen und Kupferdiffusion unterbinden, ohne da-

bei nicht selbstregulierend verlaufende Reaktionen mit umlegenden Schichten einzugehen. Als Parameter stehen die Schichtdicken und Materialwahl der Barrierschichten, sowie die Prozessführung an sich zur Verfügung. Für die Durchführung von Versuchen im Zuge der Arbeitserstellung beschränkte sich daher die Materialauswahl durch die vorhandenen Produktionsanlagen im Endeffekt auf die etablierten Materialien Ti, W, und Ta in allen Kombinationen, sowie deren Nitride.

2.4.2 Barriereabscheidung und -strukturierung

Ein essentieller Aspekt der Prozessschritte „Aufbringen der leitfähigen Diffusionsbarriere“ und „Abscheiden der Leistungsmetallisierung“ an sich, ist die Reihenfolge der Strukturierung der aufzutragenden Schichten. Um die gewünschten Strukturen aufbauen zu können, sind Lithografie und Ätzschritte notwendig, die die Basis moderner Halbleitertechnologie darstellen. Mittels einer photoreaktiven Substanz wird dabei eine genau definierte Maske erstellt, die beim Ätzprozess nicht angegriffen wird und damit die unter ihr liegenden Schichten schützt. Durch diese Methode ist es möglich, präzise Strukturen in der Größenordnung der zur Belichtung des Fotolacks verwendeten Lichtwellenlänge zu erzeugen. Für die in dieser Arbeit untersuchten Schichtsysteme ist es von besonderem Interesse, ob es bei der angestrebten Prozessführung zu Kontakten zwischen dem Kupfer der Leistungsmetallisierung und Silizium in nicht oxidierten Form kommt. Die Barrierestrukturierung erfolgt normalerweise auf einer darunterliegenden Siliziumdioxidschicht, um eine weitere stabile Barriere zwischen Metall und elektrisch aktivem Halbleiter zur Verfügung zu haben. Im Randbereich der Chips wird die Metallisierung jedoch direkt auf elektrisch aktivem Silizium geätzt, wodurch diesem Bereich, wie auch in Kapitel 2.2.2 dargestellt, besondere Bedeutung zukommt.

Bei der Prozessführung im Randbereich der Al(Cu)-Metallisierung wird zunächst die Diffusionsbarriere, bestehend aus Ti/TiN und W abgeschieden und anschließend die Al(Cu)-Leistungsmetallisierung aufgetragen. In den nächsten Prozessschritten werden nun zunächst die Al(Cu)- und die W-Schicht über eine nasschemische Fotolackmaskenätzung und anschließend die Barriere mittels einer Plasmaätzung strukturiert, um zum Beispiel die Source- und Gate-Kontakte auf der Chipoberfläche elektrisch zu trennen. Durch diese Prozessführung wird bei jedem Prozessschritt ein maximal möglicher Abstand der Al(Cu)-Schicht von allen aktiven Siliziumgebieten am Wafer sichergestellt und damit eine Kupfersilizidierung unterbunden (siehe Abbildung 2–11).

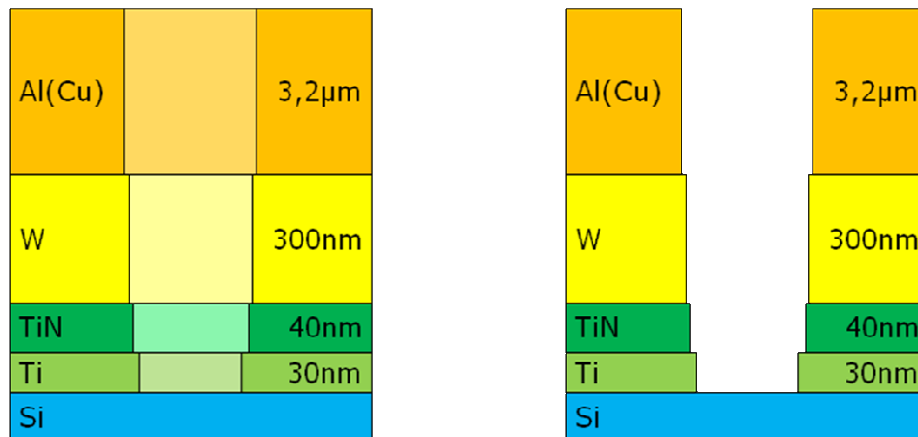


Abbildung 2–11: Standard-Metallisierung im Chiprandbereich vor (links) und nach (rechts) der Strukturierung. Die helleren Gebiete links werden dabei nacheinander von oben nach unten freigelegt.

2.4.3 Schichtdicke der Wolfram-Diffusionsbarriere

Die Dicke der in der Standardprozessführung 300 nm starken W-Barriere und W-Nukleationsschicht ist der zugänglichste Parameter zur Variation der Diffusionsbarriere in der SFET5-Technologie. Die W-Schicht kann problemlos in nominellen Dicken von mehreren 100 nm bis hin zu der dünnsten, eingesetzten Stärke von 25 nm aufgetragen werden. Um vor der Durchführung der Experimente den Einfluss einer sehr geringen W-Dicke auf den entscheidenden Bauteilparameter des Einschaltwiderstands auszuschließen, wurde in Näherung der elektrische Widerstand R des W-Anteils am Strompfad durch die Metallisierung gemäß:

$$R = \rho \cdot \frac{l}{A} \quad [2-1]$$

abgeschätzt, wobei ρ den spezifischen Widerstand von W, l die Länge und A die Querschnittsfläche des zu untersuchenden Bereichs darstellt. Zusätzlich wurde in der Auswertung eine so bezeichnete Längenkorrektur abgeschätzt, die dem Umstand Rechnung trägt, dass mit verringerter W-Dicke eine verbesserte Cu-Verfüllung des Grabens zu erwarten war und so die effektiv im W verlaufende Strecke des Strompfades abnimmt. Um den Einfluss der W-Dicke auf den Gesamtwiderstand eines Bauteils gegenüber anderen Schicht- und Kontaktwiderständen, sowie dem üblicherweise dominanten Kanalwiderstand, vernachlässigen zu können, muss dessen Wert unterhalb von ca. $1 \mu\Omega$ liegen.

Die Ergebnisse der Rechnungen sind in Abbildung 2–12 dargestellt und bestätigen die Annahme, dass bis zur minimalen eingesetzten W-Dicke von 25 nm kein relevanter Beitrag der Schicht zum Gesamtwiderstand des Bauteils entsteht.

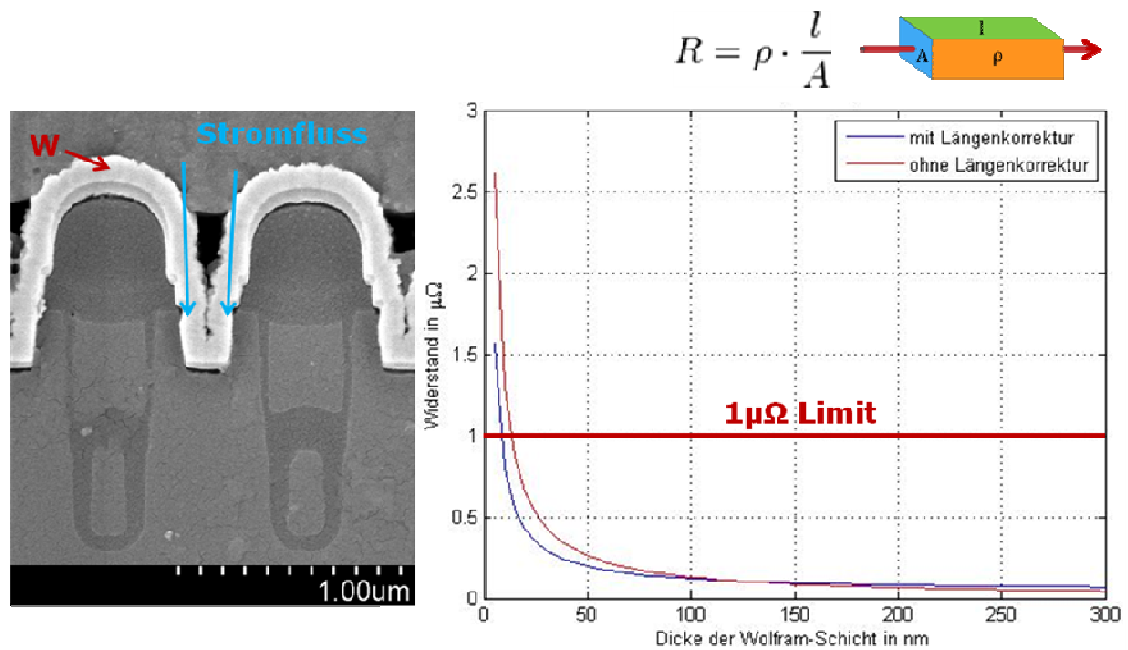


Abbildung 2–12: Darstellung zur Berechnung des Einflusses der W-Dicke auf den Bauteilwiderstand mit Strompfad (links), eingesetzter Formel (rechts oben) und Auswertung mit (blau) und ohne (rot) Berücksichtigung der Änderung der Cu-Verfüllung mit der W-Dicke (rechts unten).

3 Probenpräparation und Analysemethoden

3.1 Temperprozesse

Eine für annähernd alle Barriereuntersuchungen relevante Test-Methode ist die Möglichkeit, vorliegende Konfigurationen einer Temperaturbelastung in gewünschter Höhe und Dauer auszusetzen. Zu diesem Zweck wurden die in der Chipproduktion genutzten Öfen eingesetzt, welche unter wählbarer Atmosphäre Temperaturen von bis zu über 1000 °C ermöglichen. Für die Analyse von Diffusionsbarrieren sind wesentlich geringere Temperaturen ausreichend, um zeitbeschleunigte Messungen durchzuführen, welche das Langzeitverhalten des Barriersystems simulieren. Alle in dieser Arbeit untersuchten Systeme wurden Temperaturbehandlungen zwischen 300 °C für 5 Minuten und maximal 430 °C für 30 Minuten unter Stickstoff-Atmosphäre ausgesetzt. Damit bewegen sich die Versuche im Bereich der höchsten erreichten Temperatur, welcher die Chips nach der Fertigstellung der Leistungsmetallisierung ausgesetzt sind, in diesem Fall der Ausheilung einer Imid-Isolatorschicht bei 380 °C. Die im normalen Chipbetrieb erreichten Höchsttemperaturen bewegen sich im Bereich von 120-130 °C in Folge von in Wärme umgesetzter Verlustleistung bei hochfrequenten Schaltvorgängen. Die maximal zulässigen Temperaturen unterscheiden sich je nach eingesetztem Chipgehäuse und belaufen sich auf 150-175 °C.

3.2 Analyseverfahren

Zur Analyse der erzeugten Barriersysteme und der Auswirkung oben angesprochener Temperaturbelastungen stehen eine Reihe von Verfahren zur Verfügung, welche sich grob in elektrische und physikalische Methoden unterscheiden lassen.

3.2.1 Elektrische Analyse

Die elektrische Analyse dient der Überwachung der elektrischen Kennwerte einer Halbleitertechnologie. Ziel ist es, die Auswirkungen von Temperaturbelastungen und neuartigen Materialsystemen auf charakteristische Parameter eines Halbleiterelements, wie Sperrspannung, Leckströme und Einsatzspannung, zu bestimmen und zu dokumentieren. Während der Chipproduktion wird jeder einzelne Chip automatisch kontaktiert und eine Vielzahl von Parametern ausgelesen. Die aussagekräftigste Vermessung findet dabei am Ende der Produktionskette im sogenannten Scheibenprüffeld (SPF) statt. Da sich Versuche großteils nur für einen ganzen Wafer und damit in etwa 5000 Einzelchips realisieren lassen, erhält man durch die SPF-Messung bereits eine sehr gute und statistisch

relevante Analyse des Experiments, welche anschließend in Summenhäufigkeits-Plots ausgewertet wird [16].

Im Gegensatz zur Massenvermessung im Scheibenprüffeld steht die manuelle Nadelkontaktierung einzelner untersuchungswürdiger Systeme unter dem Mikroskop zur Verfügung. Diese Methode dient dazu, die Veränderung einzelner Chips durch elektrische und auch thermische Belastungen auszulesen. Durch die Erstellung von Messprogrammen an semiautomatischen Messplätzen ist es auch möglich, eine größere Anzahl von genau auswählbaren Chips zu vermessen und damit statistisch relevante Ergebnisse zu erhalten.

Als besondere Variante der semimanuellen Analyse ist die High-Temperature-Gate-Stress-Methode (HTGS) zu nennen, bei welcher die Gate-Kontakte von vier Chips über einen Zeitraum von 24 Stunden bei 200 °C mit einer Spannung weit über der normalen Gate-Steuerspannung, in diesem Fall ± 16 bzw. ± 20 V, belegt werden und schließlich durch das Auslesen in bestimmten Zeitintervallen, die Veränderung der Einsatzspannungen der Chips, durch die Belastung, dokumentiert werden kann. Durch die hohen positiven und negativen Gate-Spannungen wird versucht, unerwünschte bewegliche Ladungsträger an das Gateoxid zu bewegen und damit das System und den verwendeten Produktionszyklus auf deren Stabilität hin zu überprüfen. Die HTGS-Messung ist daher eine beschleunigte Ausfallmessung, die dazu dient, das Verhalten von fertigen Bauteilen in der Anwendung für Monate oder gar Jahre in einem gewissen Ausmaß vorausszusagen.

3.2.2 Physikalische Analyse

Neben den elektrischen Analysemethoden stehen auch eine Reihe von physikalischen Messmethoden zur Verfügung, um insbesondere jene Chips zu untersuchen, die bereits bei den elektrischen Analysen Auffälligkeiten zeigten.

Von großem Interesse für weitere Barriereuntersuchungen an Chips, welche grobe Überschreitungen der zulässigen Grenzwerte eines oder mehrerer elektrischer Parameter zeigen, ist die möglichst genaue Lokalisierung des Ausfalls am Chip. Hierzu wird die Technik der Flüssigkristallthermografie (Liquid-Cystal-Thermography, LCT) angewandt. Kommt es zum Versagen eines oder mehrerer Transistoren auf einem Chip, zum Beispiel durch eine direkte elektrische Verbindung von Source und Drain in Folge von Aufbrüchen im Schichtgefüge, fließt der gesamte angelegte Strom über diesen Defekt ab und erwärmt das umliegende Gebiet durch die erhöhte Stromdichte. Unter einer Wär-

mekamera kann dieser Bereich daher sichtbar gemacht werden und genauere Untersuchungen können genau an diesem Ort angesetzt werden (siehe Abbildung 3–1). Ebenso können mittels LCT flächige von punktuellen Ausfällen unterschieden und damit die Suche nach dem Grund des Versagens weiter eingeschränkt werden.

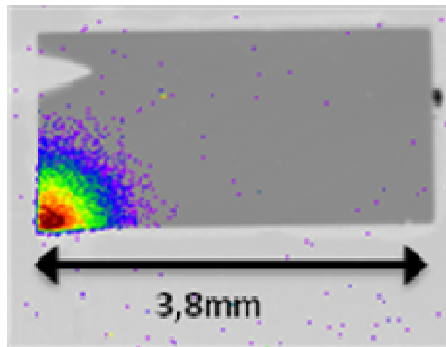


Abbildung 3–1: Flüssigkristallthermografie (LCT) an einem Chip mit erhöhter Leckstromdichte im Eckbereich links unten.

Anschließend an eine LCT oder bei bekanntem Ort eines Chipausfalls beziehungsweise zur Untersuchung der generellen Chipstruktur und -oberfläche, bietet sich die Kombination aus Focused-Ion-Beam (FIB)-Schnitten und Sekundär-Elektronen-Mikroskopie (SEM) an. Bei der FIB-Methode erfolgt eine Fokussierung eines beschleunigten Ionenstrahls, meistens mit dem Ziel einen hochpräzisen Materialabtrag durchzuführen. In der Halbleitertechnologie wird dieses Mittel genutzt, um exakte Schnitte im nm-Bereich zu erhalten und damit den inneren Chipaufbau untersuchbar zu machen.

Nach einem FIB-Schnitt lassen sich die erzeugten Proben leicht mit Hilfe eines SEM analysieren, welches die Probe mit Elektronen beschießt und die Energie der von der Probe rückgestreuten Elektronen registriert. Da jedes Material spezifisch auf den Elektronenbeschuss reagiert, lässt sich in der anschließenden Auswertung ein kontrastreiches Bild der Probe bis in den Nanometerbereich erzeugen. Genügt die mittels SEM erreichbare Auflösung nicht, um zu untersuchende Bereiche adäquat darzustellen ist es möglich, die Proben mittels FIB als dünne Scheibchen auszuführen, wodurch diese mittels eines Elektronenstrahls durchleuchtbar werden und auf diese Weise Transmissions-Elektronen-Mikroskopie (TEM) durchzuführen. Die durch die Probe geschossenen Elektronen treten in Wechselwirkung mit dieser und hinterlassen bei ihrer Analyse nach dem Probendurchtritt ein charakteristisches Muster, welches nach der Umwandlung in ein Bild Auflösungen bis in den Sub-nm-Bereich ermöglicht.

4 Charakterisierung, Ergebnisse und Diskussion

4.1 Reinkupferleistungsmetallisierung mit dem Standardprozess

Die naheliegendste und grundlegendste Methode zur Erzeugung eines SFET5-Bauteils mit Reinkupfermetallisierung ergibt sich durch das direkte Ersetzen von Al(Cu) durch Cu. Um dieses System zu untersuchen wurden Versuchsreihen durchgeführt, bei denen anstatt der üblichen 5 μm Al(Cu)-Schichten 2 μm Cu abgeschieden wurden. Zu beachten ist dabei, dass die Kupferabscheidung in der SFET5-Technologie über einen Sputterprozess erfolgt. Dieser Prozess führt, im Gegensatz zu der industriell vorrangig eingesetzten, galvanischen Abscheidung, zu Problemen bei der Verfüllung hoher Aspektverhältnisse, da die gesputterten Kupferteilchen beim Auftreffen auf die Chipoberfläche nur über eine relativ geringe Mobilität verfügen und daher sehr schnell Nukleation stattfindet.

Besonderes Augenmerk bei der Prozessführung galt der generellen Stabilität der Standarddiffusionsbarriere, insbesondere in Bezug auf die zu erwartenden Cu-Diffusions- und Haftungsprobleme der Schichten. Um mögliche Langzeitdegradationsmechanismen erkennen zu können, wurden nach der standardisierten Nullstundencharakterisierung auch Temperaturbelastungen durchgeführt. Als Diffusionsbarriere diente die Standarddreifachschicht aus 30 nm Ti- und 40 nm TiN, sowie einer 300 nm dicken W-Schicht. Die Proben wurden nach der Abscheidung und Strukturierung der Kupferleistungsmetallisierung elektrisch und physikalisch analysiert.

Zum Zeitpunkt der Planung dieses Versuchs war es noch nicht möglich gewesen, die Kupferschicht, wie es bei der Standardaluminiumtechnologie üblich ist, gemeinsam mit der W-Barriere nasschemisch zu strukturieren und anschließend als Maske für die Plasmaätzung der Ti/TiN-Barrierschichten zu nutzen (siehe Kapitel 2.4.2 und Abbildung 2–11). Diesem Umstand Rechnung tragend, wurde eine neue Prozessvariante eingesetzt, bei welcher noch vor der Kupferabscheidung die W-Schicht nasschemisch strukturiert und anschließend die Ti/TiN-Schicht plasmageätzt wird (siehe Abbildung 4–1).

Diese Prozessvariante birgt jedoch das Problem, dass es im Randbereich des Chips damit kurzfristig, genauer gesagt im Zeitraum zwischen der Abscheidung des Kupfers und dessen nasschemischer Ätzung, zum direkten Kontakt zwischen Cu und Si kommt. Wie in Abschnitt 1.1 dargestellt, wird dadurch die Bildung von Kupfersilizid ermöglicht, falls die nötigen Formierungsbedingungen erfüllt sind.

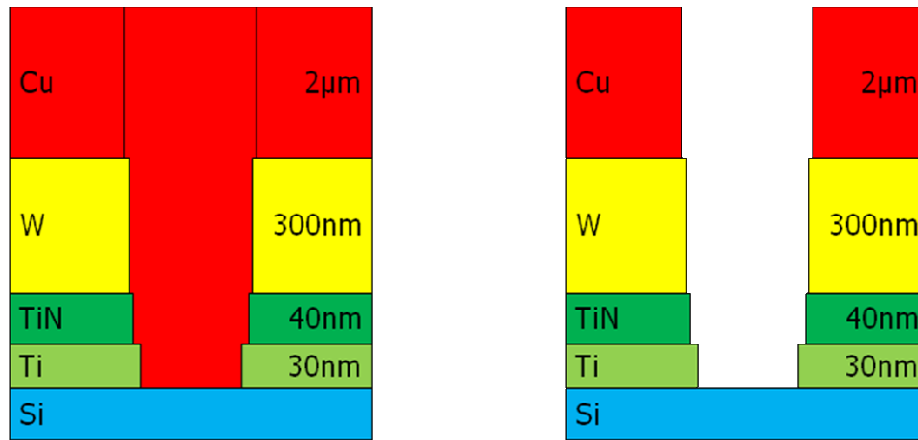


Abbildung 4-1: Modifizierter Standardprozess für Reinkupfer vor (links) und nach (rechts) der Cu-Ätzung im Randbereich des Chips. Das mittlere rote Gebiet links wird nasschemisch entfernt. Es kommt während des Prozesses zu einem kurzfristigen direkten Cu-Si Kontakt.

Da die Silizidierung unter Standardbedingungen allerdings erst bei etwa 200 °C einsetzt und der gleiche Prozess mit einer Aluminiummetallisierung generell funktionierende Chips lieferte, wurden Versuche über den Einfluss der Kupferabscheidungstemperatur auf die Silizidierung durchgeführt. Wie in Abbildung 4-2 dargestellt, lässt sich die Silizidbildung durch die Wahl der Kupferabscheidung mit der geringstmöglichen Abscheidungstemperatur, auf ein Minimum reduzieren.

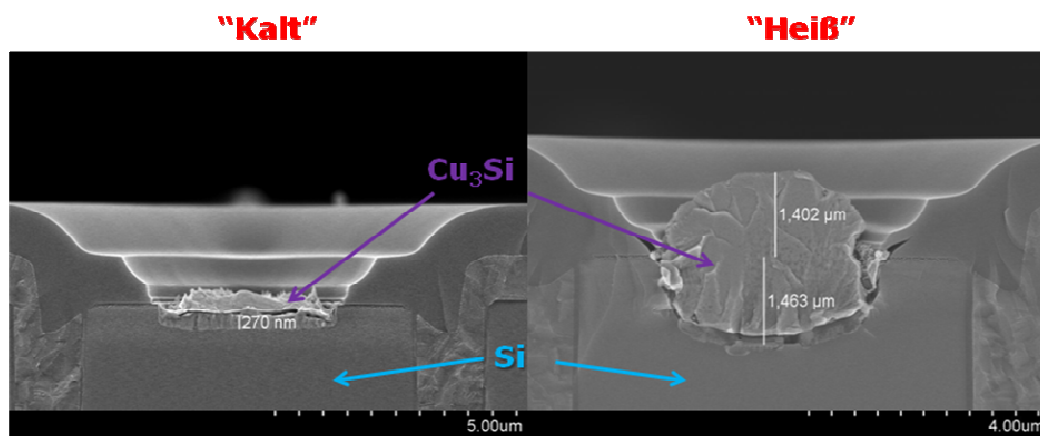


Abbildung 4-2: Einfluss der Kupferabscheidungstemperatur auf die Ausbildung von Kupfersilizid (Quelle: Infineon Technologies Austria).

4.1.1 Elektrische Analyse: Standardprozess mit Kupfermetallisierung

Eine erste elektrische Analyse der neuartigen Reinkupfersysteme erfolgte direkt basierend auf händischen Nadelkontaktmessungen unter Verwendung des im Labor zur Verfügung stehenden Spitzenmessplatzes.

Im Folgenden wurden insgesamt 40 Chips jedes Versuchswafers einzeln kontaktiert, vermessen und die Ergebnisse mit Standardwerten der Al(Cu)-Technologie verglichen. Die zu analysierenden Systeme wurden nach einem Raster ausgewählt, um etwaige Einflüsse der Position des vermessenen Chips am Wafer hervorheben zu können. Nach der Nullstundencharakterisierung wurden die Versuchswafer zunächst fünf Minuten bei 300 °C und nach erneuter Vermessung fünf Minuten bei 380 °C getempert, um vorhandene Ausfallmechanismen zu beschleunigen. Um einen Einfluss der Messung auf den weiteren Versuchsverlauf auszuschließen, wurden nach jedem Messschritt mit Temperaturbelastung, zusätzlich stets 40 zuvor unvermessene Systeme charakterisiert.

Aufgrund des Status von Vorversuchen wurde das Augenmerk vor allem auf die grundlegendsten Parameter eines Trench-MOSFETs, also Einsatz- und Durchbruchspannungen, sowie Gate-, Source- und Drain-Leckströme gerichtet, um ein generelles Gefühl für die Realisierbarkeit einer Reinkupfermetallisierung durch den neuen Prozessfluß zu erhalten.

Die Kennlinien für den Source-Drain-Leckstrom bewegten sich, mit Ausnahme einiger Ausreißer, selbst nach den Temperaturbelastungen noch im Rahmen der vorgegebenen Grenzen (siehe Abbildung 4–3). Lediglich eine leichte Erhöhung des Basisleckstroms durch die Temperbehandlung kann festgestellt werden.

Ein vollkommen anderes Ergebnis ergibt sich bei der Leckstromanalyse durch die Vermessung der Durchbruchspannungen (siehe Abbildung 4–4). Die Drain-Source Leckströme annähernd aller Bauteile sind stark erhöht und überschreiten das eingesetzte Durchbruchskriterium von 0,1 mA bereits weit unter der nominellen Sperrspannung von 25 V für diese Technologievariante. Ebenso ist eine stark ausgeprägte Verschlechterung dieser Kennlinien durch die Temperaturbelastung erkennbar.

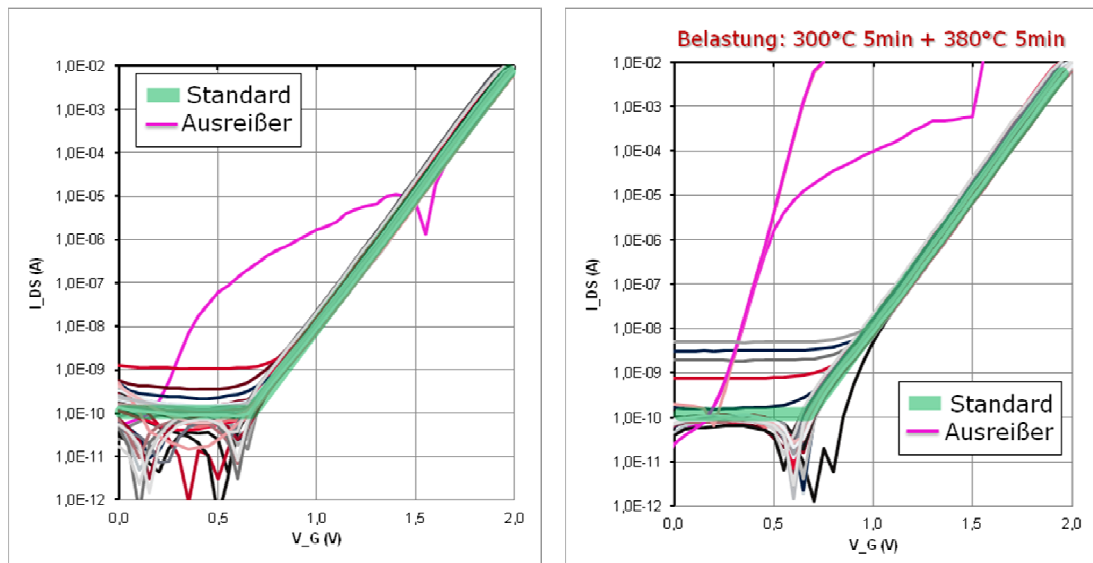


Abbildung 4-3: Transferkennlinien von 40 Kupfersystemen vor (links) und nach (rechts) Temperaturbelastung mit hervorgehobenen Standardwerten (grün) und Ausreißern (pinkfarben).

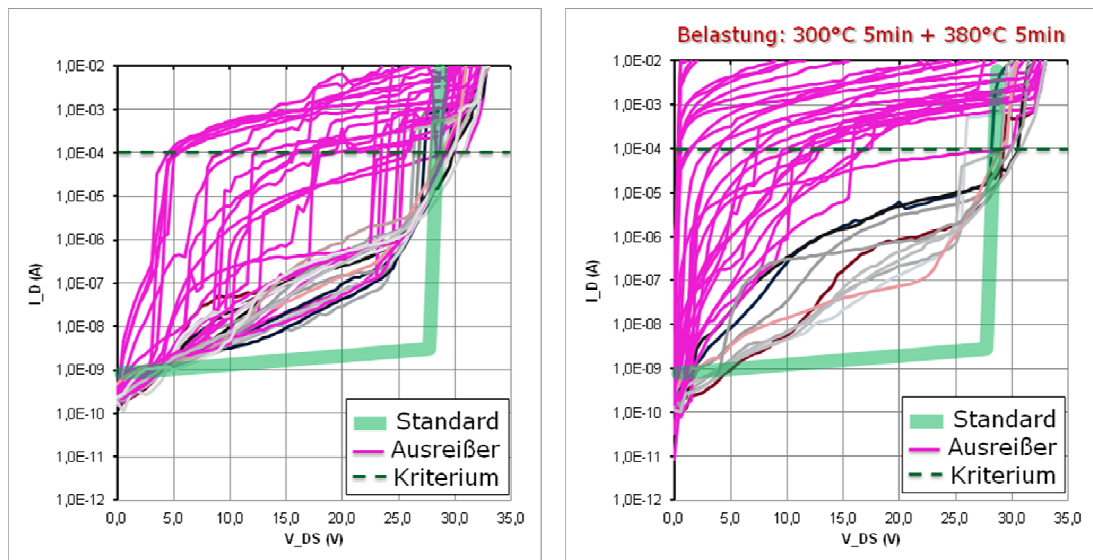


Abbildung 4-4: Durchbruchkennlinien von 40 Kupfersystemen vor (links) und nach (rechts) Temperaturbelastung mit hervorgehobenen Standardwerten (grün) und Ausreißern (pinkfarben) und dem Ausfallkriterium für Leckströme (dunkelgrün).

4.1.2 Physikalische Analyse: Standardprozess mit Kupfermetallisierung

Die in Kapitel 4.1.1 beschriebenen Auffälligkeiten im oberflächennahen Bereich der Ausfallsysteme legten eine genauere Untersuchung dieser nahe. Als schnelle und einfache Methode wurden daher lichtmikroskopische Untersuchungen von Systemen mit erhöhten Leckströmen vorgenommen, um Auffälligkeiten der Waferoberfläche so genau wie möglich zu identifizieren und grob für nachfolgende Untersuchungen zu lokalisieren.

Bereits unter dem Lichtmikroskop waren unübliche Veränderungen des Chiprandes erkennbar, welche bereits unmittelbar nach der Strukturierung der Kupfermetallisierung vorhanden waren (siehe Abbildung 4–5). Es handelt sich dabei um unregelmäßige Verfärbungen des sogenannten Sägerahmens, jenes Bereiches des Wafers, in welchem die einzelnen Chips schlussendlich mittels einer Säge voneinander getrennt werden.

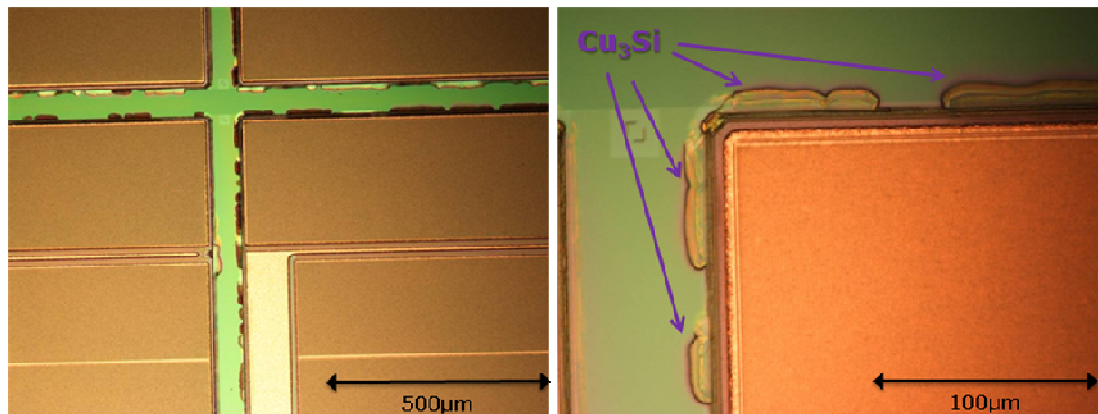


Abbildung 4–5: Indizien für Cu_3Si -Bildung im Sägerahmen zwischen den Chips.

Zur weiteren Analyse dieser unüblichen Verfärbungen wurden aus den elektrisch charakterisierten Chips zwei ausgewählt, die besonders schlechte Werte zeigten und einer LCT unterzogen, um den Bereich der höchsten Stromdichte und damit des Versagens, genauer zu lokalisieren. Dabei stellte sich heraus, dass, wie nach der optischen Kontrolle erwartet, der Hotspot und damit die höchste Leckstromdichte punktuell am Rand des Chips auftritt und nicht ein flächiger Effekt für die Durchbrüche verantwortlich ist (siehe Abbildung 4–6).

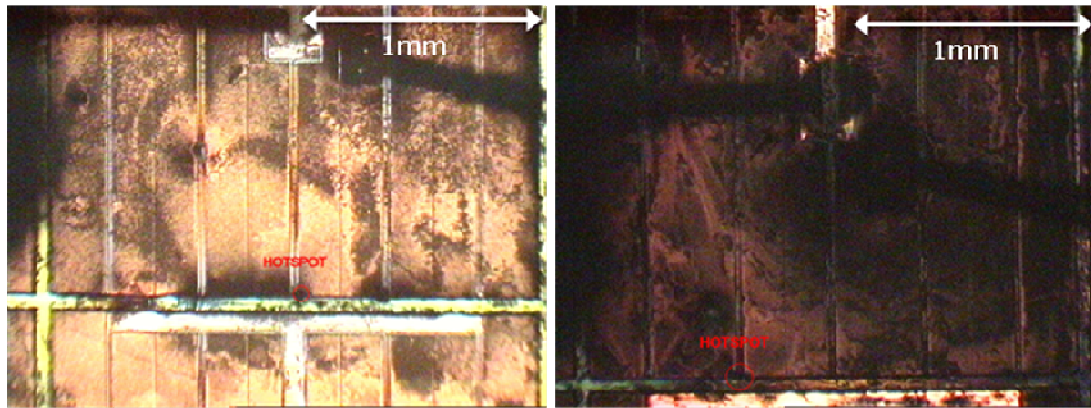


Abbildung 4–6: Lokalisierung der Hot-Spots mittels Liquid Crystal Thermografie (LCT). Der Sägerahmen ist als grünlich-gelber Bereich erkennbar.

Durch die Ergebnisse der LCT bestätigt, galt dem Randbereich des Wafers sowie dessen genauem Schichtaufbau besonderes Augenmerk (siehe Kapitel 2.2.2). Durch die geänderte Prozessführung ergibt sich ein bereits angesprochener, kurzzeitiger, direkter Kontakt zwischen Kupfer und Siliziumsubstrat, sowie den Polysiliziumbahnen, welche das Rückseitenpotential um den Wafer führen (siehe Kapitel 4.1). Bei der gewählten Prozessführung wurden die Ti/TiN- und W-Barriereschichten im Gegensatz zur Al(Cu)-Technologie vor der Kupferleitungsschicht strukturiert. Obwohl das Kupfer, um eine Silizidbildung zu vermeiden beziehungsweise zu minimieren, mit der geringstmöglichen Abscheidungstemperatur aufgebracht wurde, stellt sich ein Kontakt von Kupfer und Silizium als kritisch für die Bauteileigenschaften heraus.

4.1.2.1 Rasterelektronische Untersuchungen (SEM)

Um einen genauen Einblick in die Vorgänge zu erhalten, die zu den stark erhöhten Leckströmen führen, wurden an den lokalisierten Hot-Spots zunächst SEM-Aufnahmen und in weiterer Folge FIB-Schnitte und SEM-Querschnitte an diesen durchgeführt. Dabei zeigen sich bereits in den SEM-Übersichtsaufnahmen Brüche im Sägerahmen, sowie ein Abheben einer Seite des Chipzwischenraumes vom Untergrund, verbunden mit der Ausbildung eines Grabens auf der gegenüberliegenden Seite (siehe Abbildung 4–7).

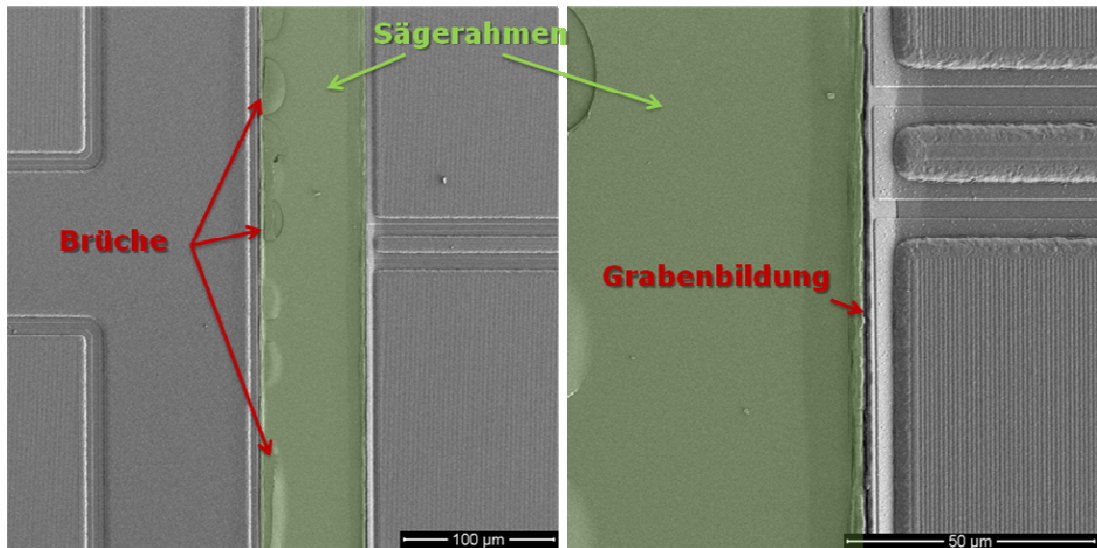


Abbildung 4-7: Übersichtsaufnahmen (SEM) des Randbereichs eines Ausfallwafers.

Erst im Schnittbild durch einen dieser Gräben wird schließlich der gravierende Unterschied zu einem stabilen Randbereich (siehe Abbildung 2–8) und das gesamte Ausmaß der Zerstörung klar (siehe Abbildung 4–8). In einer Vergrößerung des Grabenbereichs ist die genaue Ausbreitung der Bruchlinien dargestellt (siehe Abbildung 4–9). Auffällig ist dabei die Verfärbung der zur Führung des Drainpotential genutzten Polysiliziumbahnen im mit „Cu₃Si und SiO₂“ markierten Bereich: Es ist eine frappierende Ähnlichkeit zu der Färbung der Kupfermetallisierung erkennbar, ein weiteres Indiz für Silizidbildung.

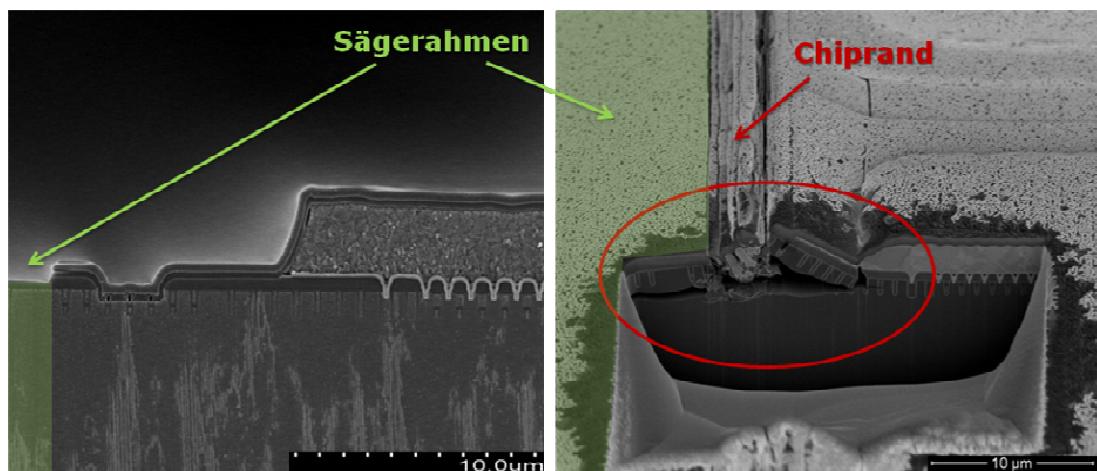


Abbildung 4-8: Vergleich von Querschnitten (SEM) durch die Randkonstruktion in der Standardprozessführung (links) und der ersten Reinkupfervariante (rechts).

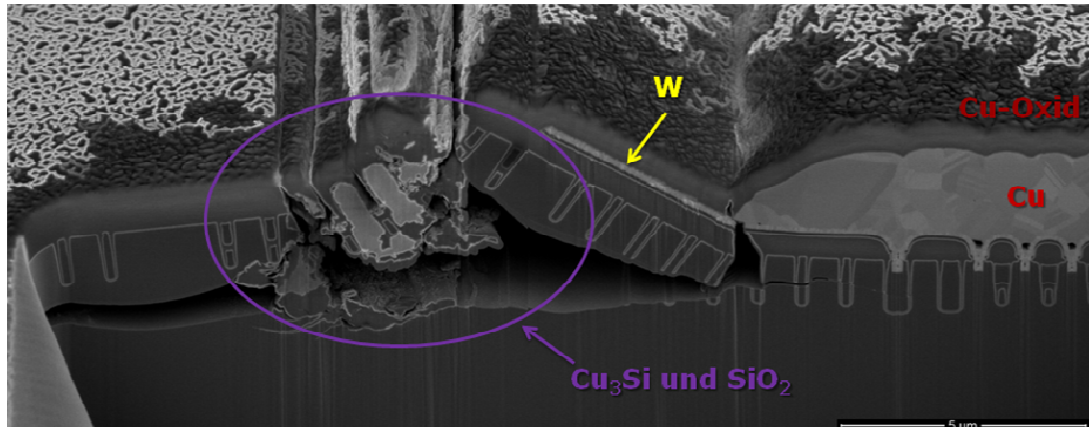


Abbildung 4–9: Vergrößerung des in Abbildung 4–8 dargestellten Querschnitts (SEM).

Aus diesen Bildern kann geschlossen werden, dass es durch eine Verunreinigung der Randöffnung oder anderer nicht oxidiertes Siliziumbereiche mit Kupfer zu irgendeinem Zeitpunkt der Prozessführung, zur Silizidbildung kommt. Aus Untersuchungen an planaren Strukturen kann geschlossen werden, dass diese geringe Menge an Kupfersilizid ausreicht, um als Katalysator für weitere Oxidationsprozesse des Siliziumsubstrats zu fungieren [17].

Durch die Volumenzunahme bei der Silizidierung und Oxidation kommt es zu Aufsprüngen, die bis tief ins Zellenfeld des Chips reichen und damit die gesamte elektrische Trennung von Source, Gate und Drain aufheben und für die hohen Leckströme verantwortlich zu machen sind.

4.1.3 Zusammenfassung und Ergebnisse

In den Versuchen mit der in Kapitel 4.1 dargestellten, neuartigen Prozessführung zur Umsetzung einer Reinkupfermetallisierung in der SFET5-Technologie, konnte klar gezeigt werden, dass der direkte Kontakt von Kupfer mit Silizium unter allen Umständen ständig zu vermeiden ist.

Experimente bestätigten sowohl Kupfersilizidbildung als auch Oxidation von Silizium in Anwesenheit des Silizids im Randbereich der Chips, hervorgerufen durch die kurzzeitige Freisetzung des Siliziumsubstrats mit direkt nachfolgender Cu-Abscheidung in diesen Bereich, welcher sich in LCT Messungen durch die stark erhöhten Stromdichten auch als Ort des elektrischen Durchbruchs darstellt. Die Silizidierung setzt dabei bereits während der Abscheidung ein und läuft schließlich bei Raumtemperatur weiter, wobei es

auch zu einer Oxidation von Si zu SiO_2 kommt und vorhandenes Cu_3Si für beide Reaktionen als Katalysator auftritt.

Die Basis für die Realisierung von Kupfer auf der Diffusionsbarriere ist daher das ständige technologische Trennen von Kupfer und Silizium. Kann dies nicht sichergestellt werden, zeigen die erzeugten Testsysteme sowohl sehr stark erhöhte Leckströme, auch in Richtung des Gates, welche sich unter Temperaturbelastung noch weiter verschlechtern, als auch mechanische Zerstörungen des Aufbaus, hervorgerufen durch die Volumenzunahme bei der Reaktion von Silizium mit Kupfer und Silizium-Oxidation.

Hervorzuheben ist dennoch, dass sogar Aufbrüche in dem in Abbildung 4–9 gezeigten Ausmaß, keinen nennenswerten Einfluss auf die Transferkennlinien der Bauteile zeigen. Ein Ausfall der Bauteile rein über eine elektrisch aktive Verunreinigung des Kanalbereichs wird so also sehr unwahrscheinlich und zugleich mit den zur Verfügung stehenden Messmethoden kaum detektierbar. Als Konsequenz wurde bei nachfolgenden Untersuchungen, neben der elektrischen Basischarakterisierung, in zusätzlichen SEM- und TEM-Analysen, besonderes Augenmerk auf die Schichtstruktur und deren Homogenität gelegt, da Unregelmäßigkeiten in diesem Bereich, gemäß den erfolgten Vorversuchen, den schnellsten Weg zu einem Bauteilversagen darstellen.

4.2 Verbesserter Prozess für Reinkupferleistungsmetallisierungen

Aus den Versuchsergebnissen für den Standardprozess mit Reinkupfermetallisierung wurde deutlich (siehe Kapitel 4.1.3), dass eine Prozessführung, die zu irgendeinem Zeitpunkt den direkten Kontakt zwischen Kupfer und Silizium herstellt, nicht zielführend sein kann. Daher wurden neue Prozessschritte entwickelt, die sicherstellen, dass die Abscheidung und Strukturierung der einzelnen Barriere- und Metallisierungsschichten wieder nach dem in Kapitel 2.4.2 vorgestellten Muster erfolgten und damit nicht, wie im Kapitel 4.1 besprochenen Prozess, die Barriere vor der Metallabscheidung strukturiert wird. Im neuartigen Prozessfluss wurden daher die Metallisierung und die W-Barriere wieder zuerst geätzt und diese Schichten anschließend als Maske für die Ätzung der Ti/TiN-Schichten genutzt.

Aufbauend auf den dennoch stabilen Transferkennlinien der gemäß Kapitel 4.1.3 erstellten Transistoren, wurde daher nach Literaturrecherche und Zusammenstellen der zum Zeitpunkt der Arbeitserstellung technologisch zur Verfügung stehenden Metallisierungssysteme, eine möglichst große Anzahl von für sinnvoll erachteten Schichtsystemen realisiert. Dabei war darauf zu achten, eine für die Bestätigung von Ergebnissen ausreichende Redundanz zu erhalten.

Völlig neuartig für die SFET5-Technologie war dabei, in Anlehnung an aktuelle Barriersysteme in ultrahochintegrierten Technologien, der Einsatz von TaN/Ta-Schichten (siehe Kapitel 2.3.4) als Ersatz für die üblichen Ti/TiN-Schichten und der Einsatz von, durch wesentlich geringere Korngrößen gekennzeichnetem, sogenanntem Pulsed-Nucleation-Layer (PNL)-W als W-Alternative. Die verfügbaren Wafer wurden in mehrere sogenannte Splits aufgeteilt, um für verschiedene Versuchsreihen immer möglichst alle Barrieretypen zur Verfügung zu haben.

Sowohl ein Wafer mit Standardbarrierekonfiguration, als auch ein Wafer bei dem W durch PNL-W ersetzt wurde, erhielten eine Standard Al(Cu)-Leistungsmetallisierung, um Referenzmessungen durchführen zu können. Neben dem Ta-Split heben sich die restlichen Wafer durch Variation der W-Dicke und dem verwendeten Typ von W-Schicht (PNL bzw. Standard) voneinander ab.

Der Gedankenansatz dahinter war, durch Barrieren mit Wolframdicken im Bereich von 25 bis 300 nm und Temperaturbelastungen variierenden Umfangs, die in den Chips

vorhandenen Kupferdiffusionsmechanismen zu beschleunigen und dadurch Stabilitätsunterschiede zwischen dickeren und dünneren, sowie PNL- und normalen Wolframbarrieren, sowie solchen mit neuartiger Tantal-Metallisierung, mittels elektrischer und physikalischer Analysemethoden herauszuarbeiten.

4.2.1 Elektrische Analyse: Verbesserter Prozess mit Kupfermetallisierung

Die Grundlage der elektrischen Charakterisierung bildeten Scheibenprüffeld (SPF)-Messungen (siehe Kapitel 3.2.1), die direkt im Anschluss an die Fertigstellung, noch im Zuge der Produktion der Wafer, durchgeführt wurden.

Nach erfolgten Temperaturbelastungen in Temperöfen im Bereich von 300 °C für fünf Minuten bis zu maximal 430 °C für 30 Minuten, konnten die Wafer jedoch nur noch händisch per Spitzenmessplatz charakterisiert werden, da Cu-Ablösungen vom äußersten Waferrand ansonsten die SPF-Testanlagen verschmutzt hätten.

Aus den Parametern, die nach der Chipcharakterisierung im SPF zur Verfügung standen, wurden wie in Kapitel 4.1.1 wiederum die Leckströme und Durchbruchspannungen als einfache Indizien für die Prozess- und Barrierestabilität herangezogen.

Die Leckströme der verschiedenen, umgesetzten Barrierekonfigurationen sind in Abbildung 4–10 dargestellt und zeigen bereits auf den ersten Blick eine deutliche Verbesserung im Vergleich zu Abbildung 4–4. Beim für die Leckstrommessung eingesetzten Spannungskriterium von 25 V liegen nun weit über 90 % der Chips mit normaler W-Metallisierung unter der oberen Schranke von 80 nA. Lediglich die Systeme mit 25 nm dicker PNL-W-Barriere, bzw 150 nm dicker PNL-W-Barriere und Al(Cu)-Standardmetallisierung, zeigen stark erhöhte Leckströme für mehr als 30 % bzw. 75 % der Bauteile. Hervorzuheben sind auch die wesentlich geringeren, minimalen Leckströme beim Einsatz der stabilen und etablierten Al(Cu)-Standardmetallisierung (siehe Abbildung 4–10 (orange)), die aufgrund einer nicht vermeidbaren Defektdichte im Prozessfluss dennoch eine geringe Anzahl von Ausfallchips hervorbringt. Beide Wafer mit Al(Cu)-Metallisierung weisen auch eine Reihe von Bauteilen mit hohen Leckströmen und damit eine wesentlich höhere Streuung als die Reinkupferversuche auf.

Ein sehr ähnliches Bild ergibt sich auch für die in Abbildung 4–11 dargestellten Durchbruchspannungen, die, bis auf die PNL-Versuche, wiederum alle gut innerhalb der festgesetzten Grenzen für produktive Chips liegen.

Die sogenannte Nullstundencharakterisierung liefert zusammenfassend also gute Ergebnisse für alle realisierten Barrierevarianten, wobei nur das schlechte Abschneiden von PNL-W hervorzuheben ist.

Besonders ersichtlich wird der Unterschied zwischen normalem und PNL-W beim Auftragen der Durchbruchspannungen in der sogenannten Wafermap-Darstellung der 25 nm W- im Vergleich zur 25 nm PNL-W-Barriere (siehe Abbildung 4–12). Während sich normales W selbst für die geringste, ausgeführte W-Dicke als sehr stabil erweist, zeigt die 25 nm PNL-W-Schicht unregelmäßige Ausfälle über den ganzen Wafer, welche auf ein systematisches Problem in der Wechselwirkung zwischen dem Bauteil und der Barrierschicht zurückzuführen sind.

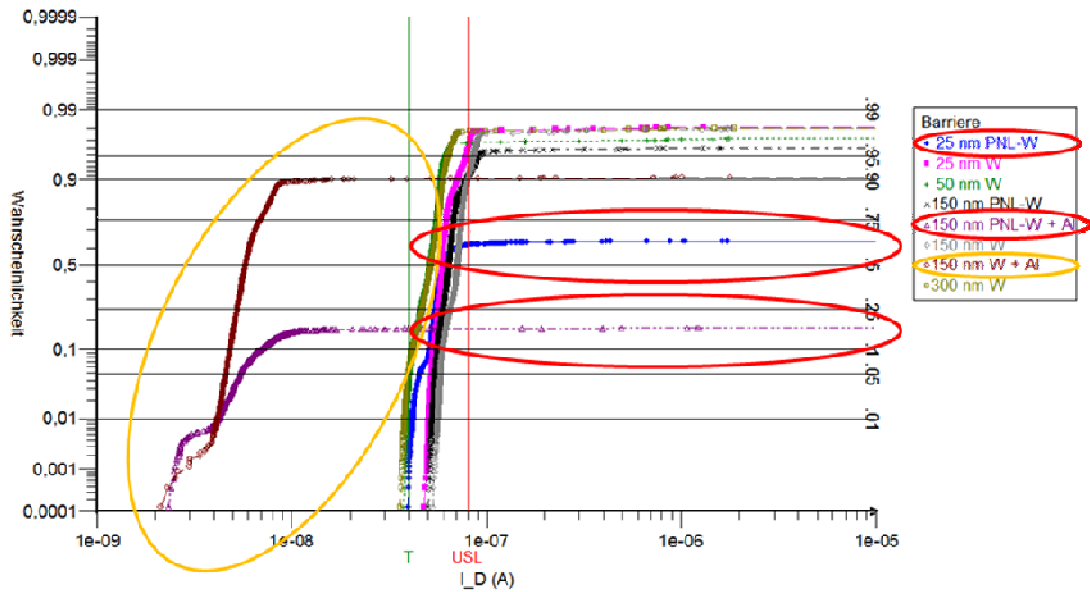


Abbildung 4-10: Summenhäufigkeits-Plots der Drain-Leckströme der verschiedenen Barrierekonfigurationen mit hervorgehobenen Ergebnissen der PNL-W-BARRIEREN (rot) und Al(Cu)-METALLISIERUNGEN (orange).

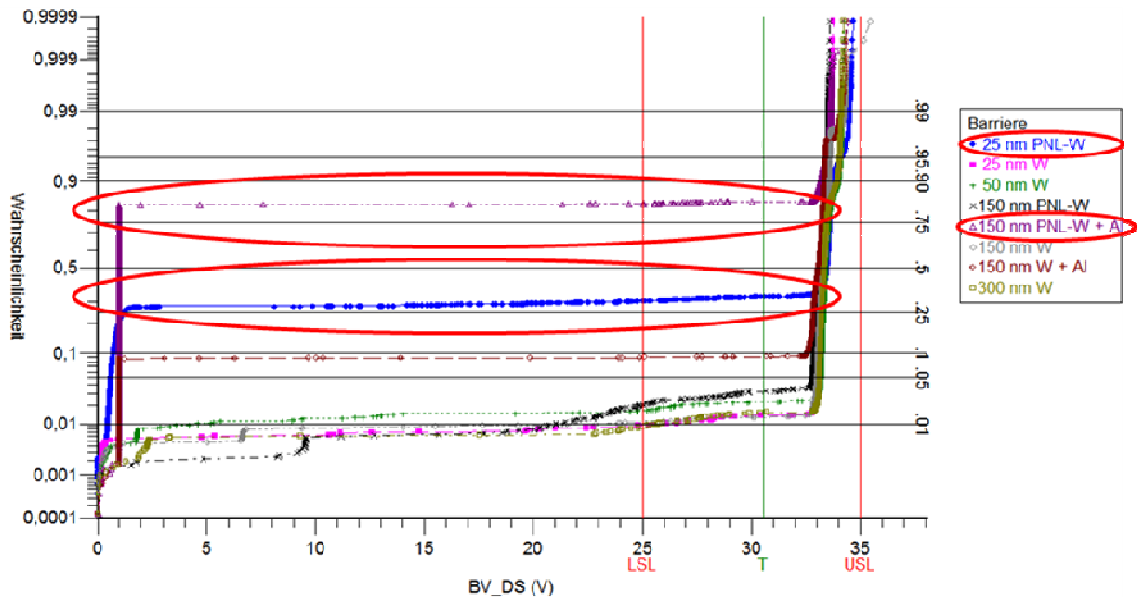


Abbildung 4-11: Summenhäufigkeits-Plots der maximalen Durchbruchspannungen (BV_{DS}) der verschiedenen Barrierekonfigurationen mit hervorgehobenen Ergebnissen der PNL-W-BARRIEREN (rot).

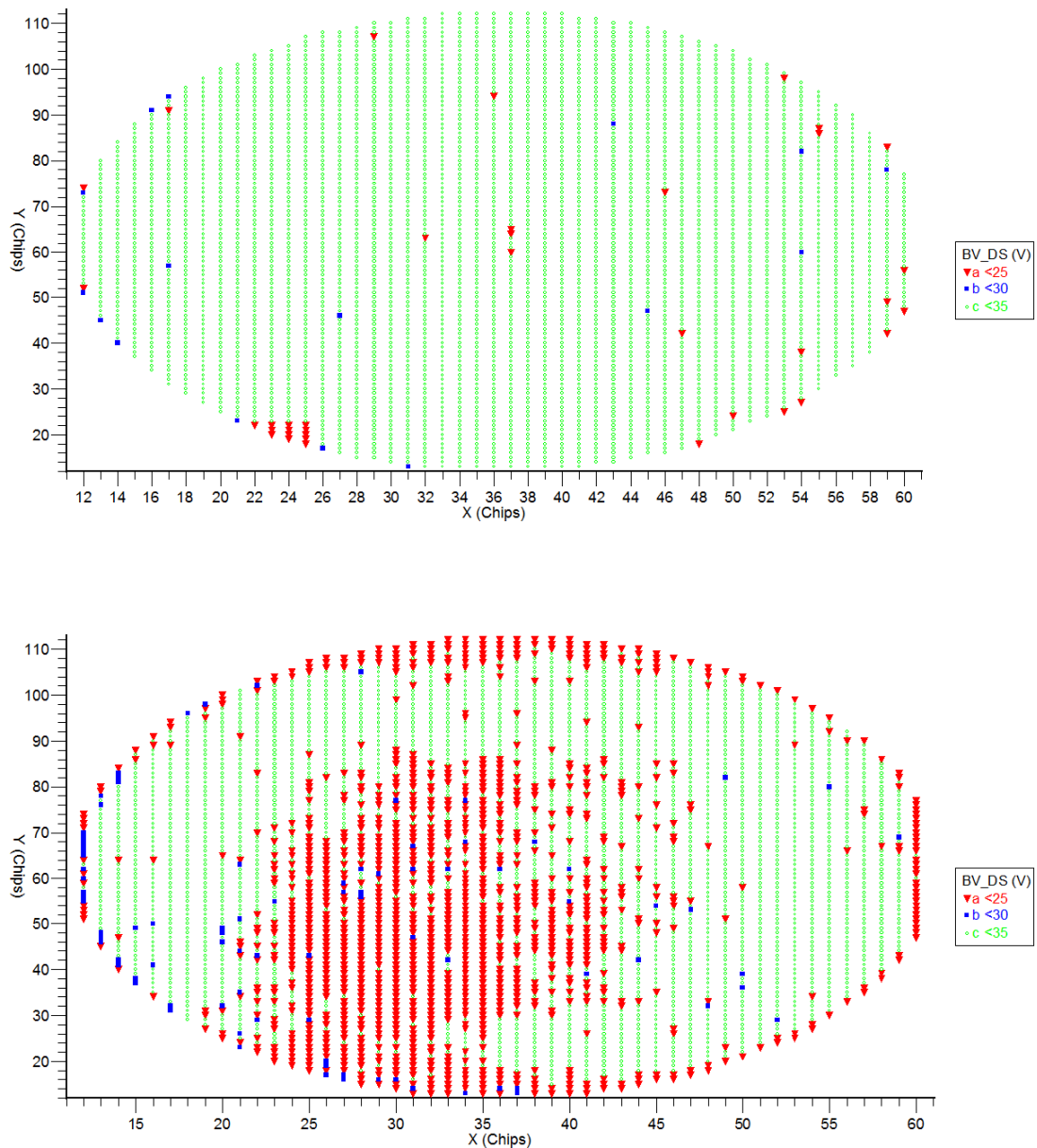


Abbildung 4–12: Durchbruchspannungen in Wafermap-Darstellung der 25 nm W-Barriere (oben) und 25 nm PNL-W-Barriere (unten). Ausfälle sind mit roten Dreiecken markiert.

4.2.2 Physikalische Analyse: Verbesserter Prozess mit Kupfermetallisierung

Entsprechend der Vorgehensweise bei den Standardprozessversuchen wurde an die elektrische Charakterisierung anschließend eine genauere Untersuchung der Ausfallsursachen an auffälligen Chips jeder umgesetzten Barrierekonfiguration durchgeführt. In Folge von Hotspot-Lokalisierungen mit Hilfe von LCT-Untersuchungen, konnte der Ort der höchsten Stromdichte im Durchbruchfall, und damit ebenso der kritische

Punkt für den Chipausfall, wiederum dem Randbereich der Chips zugeordnet werden. Als Konsequenz wurden FIB-Schnitte angefertigt und die erhaltenen Querschnitte im SEM untersucht.

Bereits in den ersten erhaltenen SEM-Bildern der Wafer mit 25 nm W-Barriere war, ein vorher nicht bekanntes Problem mit der Kupferverfüllung der Kontaktgräben, zu erkennen. Während es zwar auch im Prozess mit normaler Al(Cu)-Metallisierung zur Ausbildung kleinerer Hohlräume unter der Al(Cu)-Metallisierung kommt (siehe Abbildung 2–3), wird dies durch den Umstand ausgeglichen, dass die relativ dicke W-Schicht zur Verfügung steht, deren Schichtwiderstand im Vergleich zu Al beziehungsweise Cu zwar sehr hoch ausfällt, jedoch im Vergleich zum Kanalwiderstand vernachlässigbar klein ist. Mit immer geringerer W-Dicke kommt nun der schlechten Verfüllung hoher Aspektverhältnisse bei direkter Sputter-Kupferabscheidung auf W, mit zwischenzeitlichem Brechen des Vakuums, eine weitaus größere Bedeutung zu. Während die galvanische Kupferabscheidung in der Industrie weit verbreitet und sehr gut zur Verfüllung hoher Aspektverhältnisse geeignet ist, zeigen SEM- und TEM-Bilder der im Zuge der Arbeitserstellung gesputterten, dünnen Kupferschichten sogar die Ausformung von bogenförmigen Aufwürfen des Kupfers über den Kontaktgräben und damit zu massiver Hohlraumbildung (siehe Abbildung 4–13).

Um die wirklich effektiv an der Stromleitung und Barrierewirkung teilhabenden Schichtdicken zu ermitteln, wurden anschließend bei Infineon München zusätzliche TEM-Analysen der verschiedenen Barriersysteme durchgeführt.

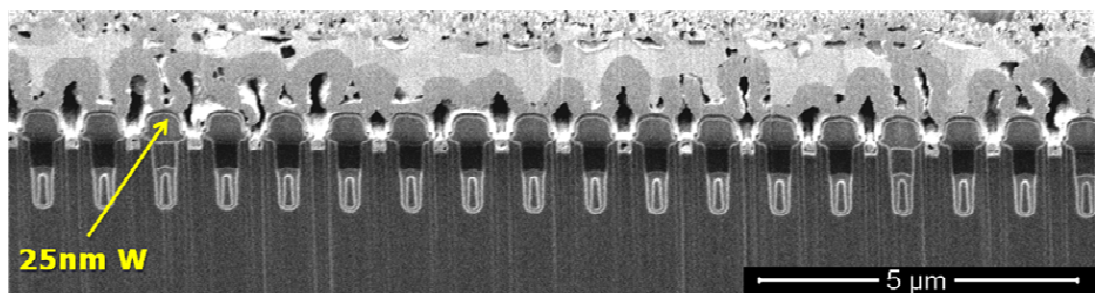


Abbildung 4–13: SEM-Darstellung der schlechten Kupferverfüllung bei Sputterabscheidung und damit verbundener Hohlraumbildung bei Barrieren mit 25 nm W-Barriere.

4.2.2.1 Transmissionselektronenmikroskopische Untersuchungen (TEM)

Die TEM-Analysen lieferten sowohl die gewünschten Einblicke in die Kupferverfüllung der Grabenbereiche, als auch die exakten Barrieredicken im Rand des Grabens, in dem die nominellen Schichtdicken aufgrund der teilweise annähernd vertikalen Geometrie nie erreicht werden.

Abbildung 4–14 zeigt eine Gegenüberstellung der TEM-Analysen dreier Barrierekonfigurationen. Augenscheinlich ist die Kupferverfüllung sehr stark von der Barrieredicke und deren Material abhängig: Während die Kupferschicht, wie in der SEM-Analyse bereits erkannt, bei der 25 nm W-Barriere sogar Aufwürfe in Richtung der Kupferebene ausbildet, sind diese bereits ab Barrieredicken von 50 nm W-Barriere massiv reduziert. Besonders wichtig ist dabei die Ausbildung einer „Kupferinsel“ am Grund des Grabens, die trotz der teilweise schlechten Verfüllung, für Diffusionsprozesse als unendlich große Kupferquelle in direkter Nähe zum Kanalbereich angesehen werden kann (siehe Abbildung 4–15). Im Gegensatz dazu bildet sich bei der neuartigen PNL-W-Barriere eine in etwa 50 nm dicke Cu-Schicht entlang der gesamten PNL-W-Schicht aus, was vor allem auf die geringeren Korngrößen und damit verbesserten Cu-Wachstumsbedingungen zurückzuführen ist. Ebenso zeigt sich die generelle Cu-Verfüllung der Gräben im Vergleich zur normalen 25 nm W-Schicht stark verbessert.



Abbildung 4–14: Gegenüberstellung von TEM-Analysen der Grabenstrukturen bei Barrieredicken von 25 nm W, 50 nm W und 25 nm PNL-W.

Umso überraschender ist daher das, trotz der weitaus besseren Kupferverfüllung, besonders schlechte Abschneiden der PNL-Schichten in den elektrischen Analysen, wäh-

rend sich die stark verformten Kupferschichten bei der normalen 25 W-Schicht als elektrisch unproblematisch erweisen.

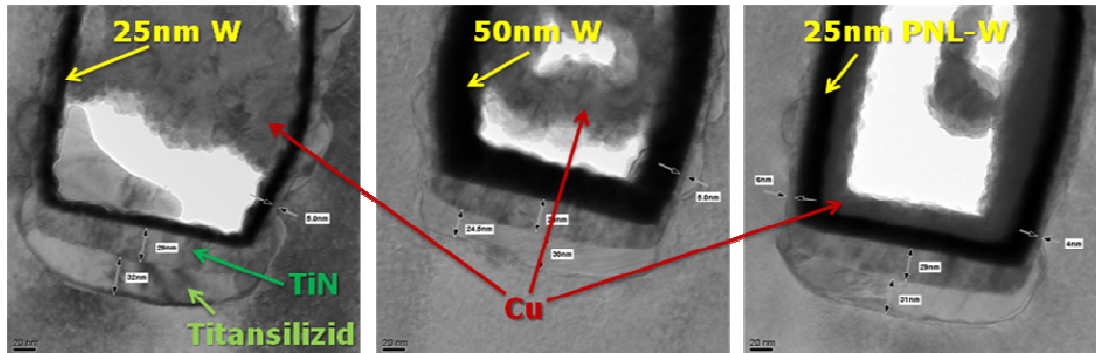


Abbildung 4-15: TEM-Großaufnahmen der Grabenstruktur in der Nähe des Kanalbereichs für drei Barrierekonfigurationen mit genauer Angabe der minimalen Barrieredicke, gut erkennbarer Ti-Silizidierung im Kontaktbereich, sowie Markierung der Kupferstrukturen am Grabenboden.

4.2.3 Zusammenfassung und Ergebnisse

Aus den erfolgten Analysen kann geschlossen werden, dass die neuartige Prozessführung zur Realisierung einer Reinkupfermetallisierung für die SFET5-Technologie generell möglich und auch zielführend ist. Es konnten Leistungshalbleiter mit W-Barrieren bis zu einer minimalen Dicke von 25 nm erzeugt werden ohne eine wesentliche Verschlechterung elektrischer Eigenschaften festzustellen.

Diese Aufbauten erwiesen sich auch für Temperaturbelastungen von 430 °C über eine halbe Stunde als stabil und sind damit in der Lage, alle im normalen Produktionsablauf nachfolgenden Temperaturbelastungen unbeschadet zu überstehen.

Der Einsatz neuartiger PNL-W-Schichten führte nicht zum gewünschten Erfolg, da diese Systeme die Vorgaben der elektrischen Charakterisierung nur unzureichend erfüllen konnten und daher eine viel zu große Anzahl an Ausfallbauteilen hervorbrachten. Die Gründe dafür sind nur bedingt erklärbar, da an dieser Technologie noch nie zuvor Versuche mit PNL-W-Schichten durchgeführt und ausgewertet wurden.

Die LCT-, SEM- und TEM-Analysen markierten wiederum den Rand der Chips als Ort des Durchbruchs und damit Ausfalls und legten daher prozess- und materialtechnische Ausfallursachen, im Zusammenspiel zwischen Barriere- und Metallisierungsabscheidung, sowie deren Strukturierung, nahe.

Die Transistoreigenschaften wie Leckströme und Durchbruchspannungen bleiben damit, außer beim Einsatz von PNL-W, annähernd unabhängig von Barriere- und Metallisierungswahl. Ebenso erwies sich auch eine äußerst schlechte und unregelmäßige Kupferverfüllung als relativ unproblematisch für die elektrischen Parameter der erzeugten Chips. Diese stellt jedoch aufgrund der nachfolgenden Prozessschritte mit höheren mechanischen Belastungen ein wichtiges Thema für die Gesamtleistungsfähigkeit der Technologie dar.

4.3 Überblick aller Versuche zur Reinkupfermetallisierung

Zusätzlich zu den bereits in den Kapiteln 4.1 und 4.2 beschriebenen Prozessführungen und Analysen wurden noch eine Reihe weiterer Versuche durchgeführt, welche jedoch nicht im direkten Fokus dieser Arbeit standen oder wenig aussagekräftige Ergebnisse lieferten. Ein Überblick über alle vorgenommenen Untersuchungen ist in Abbildung 4–16 zu finden.

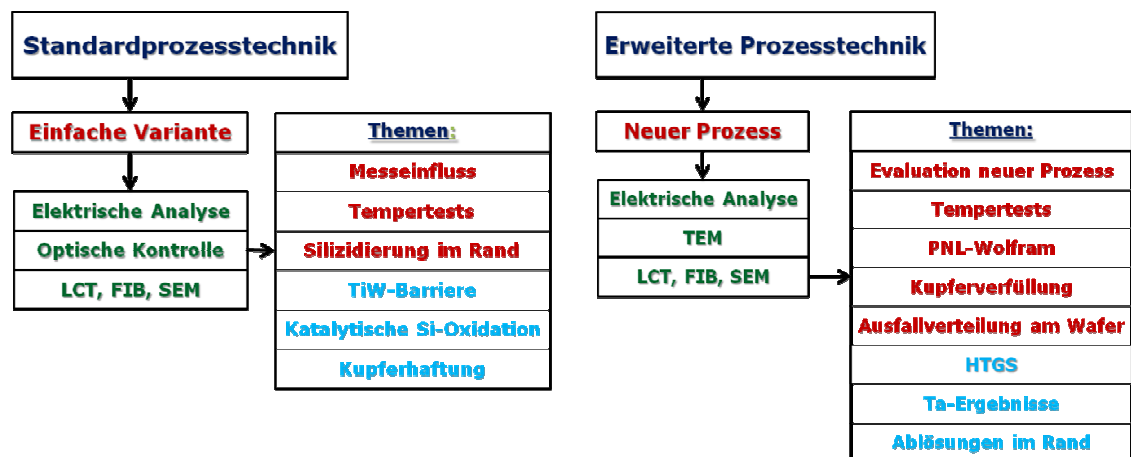


Abbildung 4–16: Übersicht aller Versuche anhand der Standardprozesstechnik (links) und erweiterter Prozesstechnik (rechts). Genauer diskutierte Ergebnisse sind in rot und Nebenversuche in hellblau dargestellt.

Nachfolgend werden die im Hauptteil nicht besprochenen Versuche, sowie die wichtigsten, daraus resultierenden Erkenntnisse kurz im Überblick dargestellt.

4.3.1 Titan-Wolfram-Diffusionsbarrieren

Als Teil der in Kapitel 4.1 beschriebenen Versuche zur Umsetzung einer Reinkupfermetallisierung auf Basis der zur Verfügung stehenden Standardprozesse, wurden auch Versuche mit TiW-Schichten durchgeführt, da sich dieses Material in mehreren Vorversuchen als sehr stabile Diffusionsbarriere erwiesen hat.

TiW-Schichten verschiedener Dicken wurden, im Anschluss an die Standard-W-Schicht, aufgebracht und sollten die erwartete Kupferdiffusion unterdrücken. Da sich aber bereits die Standardbarriere für Aluminiummetallisierungen als ausreichend dichte Diffusionsbarriere darstellte und es aufgrund des Unterbrechen des Vakuums zwischen den

beiden Abscheidungsschritten zu Haftungsproblemen zwischen der TiW- und der nachfolgenden Kupfer-Schichten kam, sowohl in der Form von Ablösungen ganzer Source- und Gate-Kontaktmetallflächen, als auch einzelner Gaterunner, wurden keine weiteren, tiefergehenden Untersuchungen an TiW-Schichten durchgeführt.

4.3.2 Katalytische Silizium-Oxidation

Um die in Kapitel 4.1.2 beobachtete Zerstörung der Chips durch Kupfersilizidbildung erklären zu können wurde eine Literaturrecherche zu diesem Thema durchgeführt. Das große Ausmaß der Aufsprengungen konnte dabei allerdings nicht nur auf einen reinen Silizidierungseffekt zurückgeführt werden. Ausschlaggebend war daher auch eine Oxidation des Siliziums, für welche Cu_3Si als Katalysator wirkt und damit die Temperaturen zur Oxidbildung wesentlich herabsetzt [17].

Die entstehenden Aufbrüche wurden jedoch stets in Folge von direktem Kontakt zwischen Kupfer und Silizium, wie er beim zuerst untersuchten Standardprozess vorkommt, beobachtet. Da durch die erweiterte Prozesstechnik dieser Cu-Si-Kontakt vermieden werden konnte, wurden die genauen Abläufe nach der Silizidbildung nicht weiter untersucht.

4.3.3 Kupferhaftungsprobleme

Beim Einsatz der Standardprozesstechnik zur Erzeugung von Chips mit Reinkupfermetallisierung kam es wiederholt zu Haftungsproblemen zwischen Kupfer- und W-Schichten.

Die schlechte Schichthaftung von Kupfer auf Wolfram in der Standardprozessführung ist auf das Brechen des Vakuums zwischen den Abscheideprozessen der beiden Metalle zurückzuführen und in der IGBT-Technologie sehr problematisch. Aufgrund der welligen Topologie der W-Schichten, hervorgerufen durch die einzelnen Kontaktgräben und durch die Optimierung der Ätzprozesse (siehe Kapitel 4.2) kann die Kupferhaftung in der SFET5-Technologie zwar verbessert werden, jedoch nicht in einem Ausmaß wie es für einen stabilen und kontrollierbaren, nachfolgenden Bondprozess nötig wäre.

4.3.4 High-Temperature-Gate-Stress-Messungen (HTGS)

Zusätzlich zu den genannten Standardcharakterisierungen der Wafer mit verbesserter Prozessführung wurden auch HTGS-Messungen durchgeführt, die auf Diffusionsvorgänge im Bereich des elektrischen Kanals besonders sensibel sind. Das generelle Ziel

dabei war, bei den dünnsten eingesetzten Barrierevarianten eine Diffusion von positiv geladenen Kupfer-Ionen in den Kanal der Transistoren thermisch zu forcieren und quantitativ auszuwerten (siehe Kapitel 3.2.1). Die Chips wurden dabei, wie im Grundlagenteil beschrieben, jeweils nach der Fertigstellung der Chips, der ersten Temperaturbelastungen von 300 °C für 5min und einer weiteren von 380 °C für eine Stunde, einer HTGS-Messung unterzogen. Diese stellt ebenfalls eine Belastungsmessung dar, da während der 24-stündigen Messung bei einer Temperatur von 200 °C stets eine sehr hohe Spannung von -16 V am Gate anliegt. Einen Überblick über die erhaltenen Ergebnisse liefert Abbildung 4–17. Alle Ti/TiN/W-Barrieren, bis auf die 25 nm Variante, zeigten dabei keine besonderen Auffälligkeiten und es werden für negative Belastungen, welche am ehesten vorhandene Kupfer-Ionen zum Kanalbereich ziehen sollten, sogar ansprechende Ergebnisse für die Tantal-Versuche (siehe Kapitel 4.3.5) erzielt. Die Barriere mit 25 nm W zeigte jedoch stark auffälliges Verhalten mit einer Verschiebung der Einsatzspannung um bis zu ca. 1,3 V. Dies entspricht im Prinzip einer Verdopplung der Einsatzspannung durch die Belastung und ist besonders im Hinblick auf die sehr guten elektrischen Nullstundencharakterisierungsergebnisse der 25 nm W-Schicht überraschend. Im Kontrast dazu zeigt die, bei der ersten Charakterisierung nach Abschluss der Produktion auffällige, 25 nm PNL-W-Schicht gutes Verhalten bei den erfolgten Langzeitbelastungstests. Aufgrund der generell sehr guten Stabilität der Barrierevarianten wurde auf weitere Untersuchungen verzichtet.

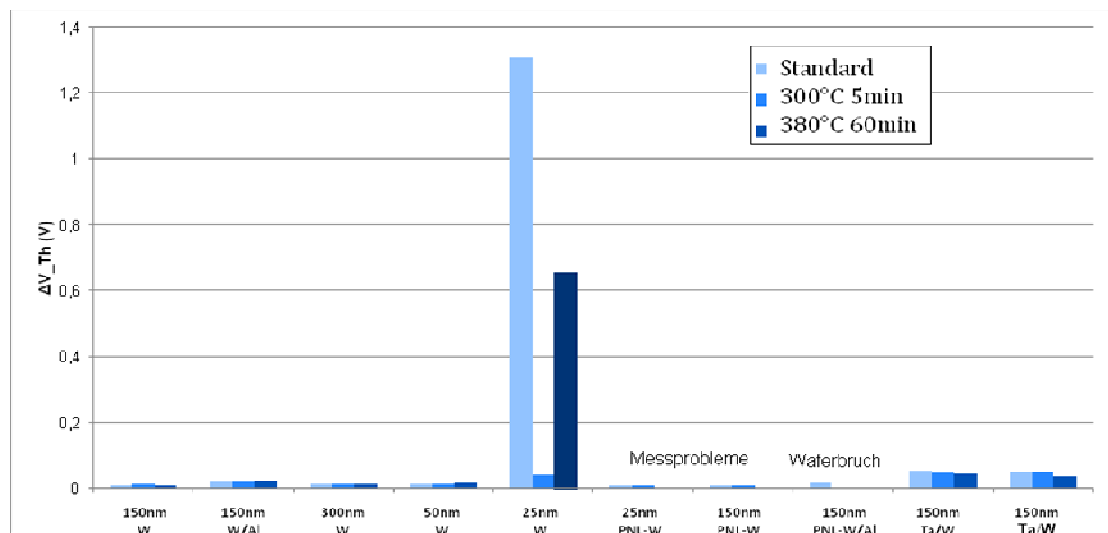


Abbildung 4–17: Übersicht über die Verschiebung der Einsatzspannung (V_{Th}) beim Auslesen über die HTGS-Methode nach verschiedenen Temperaturbelastungen.

4.3.5 Tantal- und Tantalnitrid-Schichten

Wie bereits mehrmals erwähnt wurden im Zuge der Versuche zur verbesserten Prozessführung für Reinkupfermetallisierungen auch TaN/Ta-Barriereschichten eingesetzt. Ta- und TaN-Schichten sind in der Halbleiterlogik, in Verbindung mit dem dort eingesetzten, sogenannten Damascene-Prozess und nachfolgender Kupferabscheidung ohne Brechen des Vakuums, Teil der Standardmetallisierung. Da es momentan bei Infineon Villach keine Leistungshalbleitertechnologie mit Ta-Anteilen in der Metallisierung gibt, ergeben sich sowohl Einschränkungen bezüglich der Prozessführung, als auch ein Mangel an Vergleichswerten zur Quantifizierung der erhaltenen Ergebnisse.

Ziel war die generelle technologische Realisierbarkeit von Ta-Systemen für die SFET5-Technologie zu überprüfen, ohne wirklich detaillierte Untersuchungen an den Ta-Schichten durchzuführen.

Trotz der geringen Erfahrung im Bezug auf Abscheidung und Strukturierung von Ta-Schichten, bewegten sich die erzeugten Transistoren im Bereich der normalen Grenzwerte der elektrischen Parameter von SFET5-Chips. Auffällig waren lediglich die HTGS-Ergebnisse, da bei Ta-Schichten eine sehr große Verschiebung der Einsatzspannung bei positiver Belastung erfolgte, ganz im Gegensatz zu der höchsten Verschiebung bei negativer Belastung bei Barrieren mit Ti/TiN-Schichten.

Aufgrund der fehlenden Erfahrung im Einsatz von Ta in der SFET5-Technologie und da Ta in naher Zukunft nicht als potentiell Barrierematerial für die Leistungshalbleitertechnologien gesehen wird, wurden keine genaueren Versuche an den Ta-Schichten durchgeführt.

4.3.6 Metallablösungen im Randbereich

Nach Abschluss der Temperaturbelastungen an den Chips mit verbesserter Prozessführung zur Erstellung von Reinkupfermetallisierungen, kam es zu vorher nicht beobachteten Ablösungen aus dem Randbereich der Chips (siehe Randkonstruktion in Kapitel 2.2.2).

Diese wurden als Produkt der neuartigen Ätzung gesehen (siehe neue Prozessführung in Kapitel 4.2) und auf unzureichende Genauigkeit bei der Entfernung von Barrieremetallen aus diesem Bereich zurückgeführt. Durch die, teilweise eine Stunde langen, Temperaturbelastungen bei bis zu 430 °C lösten sich Bahnen vom Untergrund ab, deren Zusammensetzung nicht genau bekannt ist.

Bei Messungen an betroffenen Wafern musste daher darauf geachtet werden, dass es zu keinen Kurzschlüssen durch diese Strukturen kommt (siehe Abbildung 4–18). Da die genaue Einstellung der Ätzung nicht teil dieser Arbeit war, wurde nicht näher auf dieses Problem eingegangen.

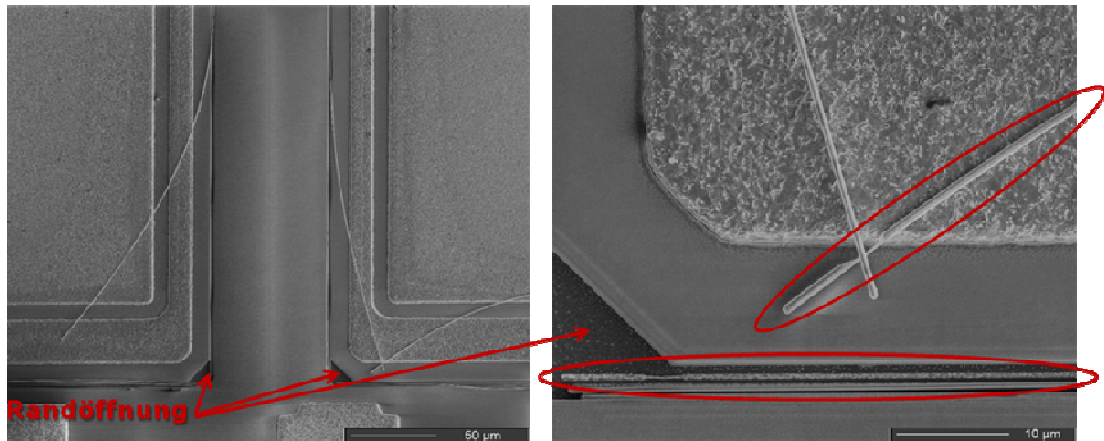


Abbildung 4–18: Elektronenmikroskopische (SEM) Aufnahmen von Metallablösungen aus der Randkonstruktion mit genauer Darstellung des Orts der Ablösung (rechts)

5 Zusammenfassung und Ausblick

Im Rahmen dieser Arbeit wurde die Realisierbarkeit einer Reinkupfermetallisierung anhand der SFET5-Leistungsfeldeffekttransistortechnologie von Infineon Technologies untersucht. Dazu wurden zunächst die Wechselwirkungen des Systems Kupfer-Silizium in Literaturrecherche und aufgrund von Praxiserfahrungen der Infineon-Technologieentwickler erörtert und darauf aufbauend die Notwendigkeit einer Barriere zwischen Kupfer- und Silizium-Schichten dargestellt. Interdiffusion der beiden Stoffe führt zur Ausbildung eines kupferreichen Silizides, welches, aufgrund eines erhöhten Molvolumens im Vergleich zu den Ausgangsmaterialien und daraus resultierenden Aufspaltungen, zu Zerstörungen in den Halbleiterbauteilen führt. Um einen Einstieg in das Thema Leistungsfeldeffekttransistoren im speziellen zu ermöglichen, werden die allgemeinen Grundlagen der Trench-MOSFET-Technologie erörtert, sowie der spezielle Aufbau und die Herstellung der einzelnen SFET5-Schichten besprochen. Um Kupfer als Leistungsmetallisierung einzusetzen und gleichzeitig den ohm'schen Kontakt zwischen Kupfer und Silizium zu erhalten, werden daher leitfähige Diffusionsbarrieren eingeführt. Die Metallisierung der SFET5-Technologie, mit den Bereichen Diffusionsbarriere und Leistungsmetallisierung werden besprochen, sowie die wichtigsten Vorteile einer Reinkupfermetallisierung dargestellt. In einem Überblick werden Literaturergebnisse für, zu der SFET5-Standarddiffusionsbarriere verwandten, Barrierevarianten aufgeführt, um einen Überblick über die Stabilität verschiedener Kombinationen der zur Verfügung stehenden Materialien Wolfram, Titan und Tantal, sowie deren Nitride, zu erhalten.

In einem ersten Schritt zur Erstellung von SFET5-Transistoren mit Reinkupfermetallisierung wurden die zur Verfügung stehenden Standardprozessierungsverfahren getestet. Ungeachtet guter Transferkennlinienergebnisse stellte sich in der Leckstromanalyse, mit nachfolgenden materialphysikalischen Untersuchungen, ein kurzzeitiger Kupfer-Silizium-Kontakt im Chiprandbereich als Ausfallgrund dar. Es bildet sich in diesem Bereich Kupfersilizid, welches zu Aufspaltungen der gesamten Schichtstruktur führt.

Um diese Chipausfälle zu verhindern wurde ein neuartiger Prozessfluss eingeführt, bei dem die Strukturierung der einzelnen Schichten so erfolgt, dass jeglicher Kupfer-Silizium-Kontakt vermieden wird und die beiden Schichten ständig von einer Diffusionsbarriere getrennt werden. Der neue Prozess lieferte voll funktionsfähige Transistoren, deren elektrische Chipparameter innerhalb der Grenzwerte für Referenzbauteile mit Standardaluminiummetallisierung lagen. Als Materialien für die Diffusionsbarrieren dienten dabei Kombinationen aus Titan/Titannitrid und zwei verschiedenen Wolfram-

Varianten, sowie eine Kombination aus Tantalnitrid/Tantal und Wolfram, mit Wolframdicken zwischen 25 und 300 nm.

Trotz der Neuartigkeit der Metallisierung bleiben die guten elektrischen Eigenschaften auch bei thermischen Belastungen zur Kupferdiffusionsbeschleunigung von über 400 °C erhalten. Dementsprechend kann auch nach diesen Belastungen weder elektrische noch physikalisch ein Versagen der Diffusionsbarriere und damit ein Eindringen von Kupfer in den Kanalbereich der Transistoren nachgewiesen werden. In dieser Arbeit sind weiterhin auch die Prozesse und Erfahrungen dokumentiert, die nicht direkt zielführend waren, deren Parameter und deren Verständnis aber für zukünftige, weitere Optimierungsprozesse unter Umständen hilfreich sein können.

Zusammenfassend kann gesagt werden, dass die, im Rahmen dieser Arbeit entwickelte, modifizierte Prozessführung eine vielversprechende Prozessvariante zur Erstellung von SFET5-Transistoren mit Reinkupferleistungsmetallisierung darstellt, wobei der experimentelle Charakter des Prozesses noch sehr stark ausgeprägt ist und daher trotz der guten elektrischen Ergebnisse noch weit von einer Routineanwendung entfernt ist.

Als wichtigstes Ergebnis soll noch einmal die, von der Literatur für planare Strukturen bereits vorausgesagte, Dichtheit der untersuchten Diffusionsbarrieren gegen Kupferdiffusion, auch bei Temperaturbelastungen von über 400 °C, hervorgehoben werden. In der Literatur finden sich kaum Analysen komplexer Strukturen, wie zum Beispiel der vorliegenden Trench-MOSFET-Technologie, weshalb die vorliegende Arbeit eine durchaus wesentliche Bestätigung der theoretisch vorhergesagten Ergebnisse liefert.

Literaturverzeichnis

- [1] K.-M. Chang, T.-H. Yeh, I.-C. Deng, C.-W. Shih, *Amorphouslike chemical vapor deposited tungsten diffusion barrier for copper metallization and effects of nitrogen addition*, J. Appl. Phys. **82**, 1469-1475 (1997)
- [2] B. H. Lee, K. Yong, *Diffusion barrier properties of metalorganic chemical vapor deposition -WN_x compared with other barrier materials*, J. Vac Sci. Technol. B **22**, 2375-2379 (2004)
- [3] Y. Liu, S. Song, D. Mao, H. Ling, M. Li, *Diffusion barrier performance of reactively sputtered Ta-W-N between Cu and Si*, Microelectron. Eng. **75**, 309-315 (2004)
- [4] A. Feybesse, I. Deram, J.-M. Reynes, E. Moreau, *Copper metallization influence on power MOS reliability*, Microelectron. Reliab. **43**, 571-576 (2003)
- [5] A. A. Istratov, E. R. Weber, *Physics of Copper in Silicon*, J. Electrochem. Soc. **149**, G21-G30 (2002)
- [6] D. Gupta, S. P. Murarka: *Diffusion processes in advanced technological materials*, Springer-Verlag GmbH & Co. KG, New York, (2005)
- [7] S. S. Wong, C. Ryu, H. Lee, K.-W. Kwon, *Barriers for copper interconnections*, Solid State Technol. **42**, 53-56 (1999)
- [8] M. Uekubo, T. Oku, K. Nii, M. Murakami, K. Takahiro, S. Yamaguchi, T. Nakano, T. Ohta, *WN_x diffusion barriers between Si and Cu*, Thin Solid Films **286**, 170-175 (1996)
- [9] V. S.C. Len, R.E. Hurley, N. McCusker, D.W. McNeill, B.M. Armstrong, H.S. Gamble, *An investigation into the performance of diffusion barrier materials against copper diffusion using metal-oxide-semiconductor (MOS) capacitor structures*, Solid State Electron. **43**, 1045-1049 (1999)
- [10] A. Noya, M. B. Takeyama, T. Sase, *Diffusion-barrier properties of Ta_{1-x}W_x alloy films and silicidation-induced Cu penetration in Cu/Si contacts*, J. Vac Sci. Technol. B **23**, 280-287 (2005)
- [11] S. Son, Y. Liu, M. Li, D. Mao, C. Chang, H. Ling, *Diffusion barrier performance of W/Ta-W-N double layers for Cu metallization*, Microelectron. Eng. **83**, 423-427 (2006)
- [12] M. T. Wang, Y.C. Lin, M. C. Chen, *Barrier properties of very thin Ta and TaN layers against copper diffusion*, J. Electrochem. Soc. **145**, 2538-2544 (1998)
- [13] T. Oku, E. Kawakami, M. Uekubo, K. Takahiro, S. Yamaguchi, M. Murakami, *Diffusion barrier properties of TaN between Si and Cu*, Appl. Surf. Sci. **99**, 265-272 (1996)
- [14] S.-K. Rha, W.-J. Lee, S.-Y. Lee, Y.-S. Hwang, Y.-J. Lee, D.-I. Kim, D.-W. Kim, S.-S. Chun, C.-O. Park, *Improved TiN film as a diffusion barrier between copper and silicon*. Thin Solid Films **320**, 134-140 (1998)
- [15] Q. Xie, X.-P. Qu, J.-J. Tan, Y.-L. Jiang, M. Zhou, T. Chen, G.-P. Ru, *Superior thermal stability of Ta/TaN bi-layer structure for copper metallization*, Appl. Surf. Sci. **253**, 1666-1672 (2006)
- [16] J. B. Kennedy, A. M. Neville: *Basic statistical methods for engineers and scientists*, 3. Edition, Harper & Row, New York (1986)
- [17] J. M. E. Harper, A. Charai, L. Stolt, F. M. d'Heurle, P. M. Fryer, *Room-temperature oxidation of silicon catalyzed by Cu₃Si*, Appl. Phys. Lett. **56**, 2519-2521 (1990)

Abkürzungsverzeichnis

AES	Auger-Elektronen Spektroskopie
BV_{GSD}	Maximal erreichbare Sperrspannung (Breakdown-Voltage) zwischen zwei der drei möglichen Kontakte Gate (G), Source (S) und Drain (D)
CVD	Chemische Gasphasenabscheidung, Chemical Vapor Desposition
D	Drain-Kontakt eines Transistors bzw. Chips
FIB	Focused-Ion-Beam
G	Gate-Kontakt eines Transistors bzw. Chips
HTGS	High Temperature Gate Stress
I_{DGS}	Leckstrom zwischen zwei der drei möglichen Kontakte Gate (G), Source (S) und Drain (D)
IGBT	Insulated Gate Bipolar Transistor
LCT	Liquid Crystal Thermography
LSL	Lower-Side-Limit oder unteres Limit
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
PNL-W	Pulsed Nucleation Layer Wolfram
R_{On}	Widerstand eines Transistor mit geöffnetem Gate
S	Source-Kontakt eines Transistors bzw. Chips
SEM	Sekundär Elektronen Mikroskop bzw. Mikroskopie
SFET5	Siemens Feld Effekt Transistor der Generation 5
SPF	Scheiben Prüf Feld
TEM	TransmissionsElektronenMikroskop bzw. -Mikroskopie
USL	Upper-Side-Limit oder unteres Limit
V_{TH}	Einsatzspannung (bzw. threshold-voltage) ab der ein Transistorgate aufsteuert

Danksagung

An dieser Stelle möchte ich mich bei all jenen bedanken, die dazu beigetragen haben diese Arbeit zu einem erfolgreichen Abschluss zu bringen.

Zu Beginn möchte ich Dr. Oliver Häberlen danken, der mir nicht nur die Möglichkeit einräumte meine Diplomarbeit bei Infineon Villach zu erstellen, sondern auch dafür hauptverantwortlich ist, dass ich insgesamt sechs Ferialpraktika bei Infineon absolvieren durfte, bei denen ich stets sowohl gefordert als auch gefördert wurde und der mich während der gesamten Zeit der Arbeitserstellung unterstützte.

Besonderer Dank gilt auch Prof. Dr. Wolfgang Sprengel, der sich bereiterklärte, mit mir den Weg einer Industriediplomarbeit zu gehen und mich durch seine große fachliche und menschliche Kompetenz, ausdauernd meinem Ziel näherbrachte.

Des Weiteren möchte ich mich bei Dr. Paul Ganitzer bedanken, der während der gesamten neun Monate in Villach in seinem engen Terminplan stets Zeit für meine vielen Fragen fand und den Großteil zu meinem Verständnis der SFET5-Technologie, sowie dem Design der Experimente beigetragen hat und dennoch meine work-life-balance im Auge behielt.

Bedanken möchte ich mich auch beim gesamten SFET-Team für die Unterstützung in allen kleinen und großen Fragen der Halbleitertechnik, darunter besonders bei Dr. Martin Pölzl für die wiederholten Einführungen in die elektrischen Chipparameter, sowie bei Dr. Steffen Sack für die HTGS-Analysen und deren Diskussion.

Neben den bereits angeführten möchte ich auch ein Dankeschön an einige weitere Kollegen richten, die ich in meinen Jahren bei Infineon kennenlernen durfte und die die Zeit bei Infineon sowohl in fachlicher Hinsicht, als auch in persönlicher Hinsicht zu einer so positiven Erfahrung machten:

Dipl.-Ing.(FH) Andreas Kassmannhuber, Dr. Helmut Langfischer, Dipl.-Ing. (FH) Michael Leutschacher, Josef Mohammed, Rudolf Rothmaler, Dipl.-Ing Andrej Steinberger, Dipl.-Ing. (FH) Harald Thurner, Dipl.-Ing. Martin Vielemeyer, Britta Wutte, sowie dem gesamten Automotive-Team, dass mich in ihrem Büro so herzlich aufnahm.

Abschließend gilt mein herzlichster Danke meiner Familie, die stets die finanziellen Rahmenbedingungen für mein Studium zur Verfügung stellten, sowie meiner Freundin Chi, die zusammen stets den nötigen Rückhalt in schwierigeren Zeiten boten und mich in allen Bereichen meines Studiums unterstützten.

