

Masterarbeit

Konzeption und Entwurf eines NFC und EPC-HF kompatiblen analogen Frontends mit Lastregler

Philipp Greiner

Institut für Elektronik
Technische Universität Graz
Vorstand: Univ.-Prof. Dipl.-Ing. Dr.techn. Wolfgang Bösch



unterstützt durch Infineon Technologies Austria AG

Betreuer: Dipl.-Ing. Dr.techn. Mario Auer

Externer Betreuer: Dipl.-Ing. Martin Wiessflecker, BSc

Graz, Oktober 2013

Kurzfassung

Im Rahmen dieser Diplomarbeit soll ein analoges Frontend für passive RFID-Transponder entstehen. Dieses soll möglichst universell einsetzbar sein. Es soll Kompatibilität mit NFC (Near Field Communication) sowie mit EPC-HF (Electronic Product Code standard at 13.56 MHz) ermöglichen. Weiters soll die Energie aus dem elektromagnetischen Feld möglichst effizient genutzt werden und den Betrieb verschiedener Lasten sicherstellen.

Um eine Kommunikation zu gewährleisten, enthält das analoge Frontend einen ASK-Demodulator (Amplitude Shift Keying) für die Datenübertragung vom Reader zum Transponder. Dieser ist für einen Modulationsgrad von 100% ausgelegt. Weiters ist ein Modulator implementiert, welcher durch Modulation des elektromagnetischen Feldes eine Datenübertragung vom Transponder zum Reader ermöglicht. Da passive RFID-Transponder aus dem elektromagnetischen Feld heraus versorgt werden müssen, steht nur begrenzt Leistung zur Verfügung. Es muss daher besonderes Augenmerk auf Effizienz gelegt werden. Dies wird durch einen Last-Regler in Kombination mit einem besonders effizienten Gleichrichter erreicht. Der Last-Regler wird dazu verwendet die bereitgestellte Leistung zu nutzen und zu verteilen, wodurch der Betrieb verschiedener Lasten ermöglicht wird.

Die Schritte des Analog-Designs umfassen die Konzeptionierung, die Schaltungsentwicklung sowie das Erstellen des Layouts. Zum Abschluss der Diplomarbeit wird ein Testchip gefertigt. Dadurch können die einzelnen Funktionen getestet und verifiziert werden.

Abstract

The target of this diploma thesis is the development of an analog front-end for passive RFID-transponders. It should be applicable to various fields of application. Therefore it is necessary to ensure compatibility to NFC (Near Field Communication) as well as EPC-HF (Electronic Product Code standard at 13.56 MHz). One of the main aims is the efficient use of the energy supplied by the electromagnetic field in order to drive a wide range of different loads.

To ensure communication, the analog front-end includes an ASK-demodulator (Amplitude-shift keying) for the data transfer from the reader to the transponder, which is optimized for a modulation index of 100%. Furthermore a modulator is realized which allows data transmission from the transponder to the reader by modulating the electromagnetic field. Since the passive RFID transponder is supplied via the electromagnetic field, the available power is limited. Hence, particular attention must be paid to efficiency. This is accomplished by a load-regulator in combination with a highly efficient rectifier. The load-regulator offers the possibility for efficient use and distribution of the provided power, making the operation of different loads possible.

The process of analog design can be further decomposed into steps of finding a concept, the circuit design and finally the layout. The result of the thesis is an analog front-end, which meets the given boundary conditions and is suitable for many applications. A prototype has been implemented, which allows to test and verify the simulation results.

Eidesstattliche Erklärung

Ich erkläre an Eides statt, dass ich die vorliegende Arbeit selbstständig verfasst, andere als die angegebenen Quellen/Hilfsmittel nicht benutzt, und die den benutzten Quellen wörtlich und inhaltlich entnommene Stellen als solche kenntlich gemacht habe.

Ort

Datum

Unterschrift

Danksagung

Diese Masterarbeit wurde im Jahr 2013 am Institut für Elektronik an der Technischen Universität Graz in Zusammenarbeit mit Infineon Technologies Austria AG durchgeführt und stellt den Abschluss meines Studiums der Elektrotechnik mit der Vertiefungsrichtung Mikroelektronik und Schaltungstechnik dar.

Ich möchte an dieser Stelle Mario Auer danken, welcher nicht nur die Betreuung dieser Arbeit seitens der Technischen Universität Graz übernommen hat, sondern darüber hinaus durch das Herstellen des Kontaktes zu Infineon Technologies Austria AG diese Arbeit überhaupt erst ermöglicht hat.

Weiters gilt mein Dank dem Leiter der Contactless and RF Exploration (CRE) Gerald Holweg sowie Günter Hofer welche ihr Vertrauen in mich gesetzt haben.

Mein besonderer Dank gilt meinem Betreuer seitens Infineon Martin Wiessflecker der bei diversen Problemen mit kompetenter Hilfestellung und Know-How zur Seite stand.

Außerdem möchte ich mich bei all meinen Kolleginnen und Kollegen der Abteilung CRE für die interessanten Anregungen sowie das nette und kollegiale Arbeitsklima bedanken.

Zu guter Letzt gilt mein Dank noch meinen Eltern, meiner Schwester und all meinen Wegbegleitern, welche mich während meines Studiums unterstützt haben.

Inhaltsverzeichnis

1	Motivation	1
2	Grundlagen	2
2.1	RFID-System	2
2.2	Shunt-Regelung	3
2.3	Gleichrichter	4
2.3.1	Active MOS-Diode Rectifier	5
2.3.2	MOS-Diode mit V_{TH} -Cancellation	7
2.4	Prozess/Technologie	8
2.5	Standards	8
3	Implementierung	9
3.1	Übersicht	9
3.1.1	Anforderungen an das AFE	9
3.1.2	Aufbau	10
3.1.3	Layout Gesamtschaltung	11
3.2	Gleichrichter	12
3.2.1	Aufbau	12
3.2.2	Layout Gleichrichter	13
3.2.3	Simulation	14
3.3	Shunt/Modulator	15
3.3.1	Kombination von Shunt und Modulator	15
3.3.2	Aufbau Shunt	16
3.3.3	Aufbau Modulator	17
3.3.4	Testbench	18
3.3.5	Simulation Shunt	19
3.3.6	Simulation Modulator	20
3.3.7	Layout Shunt/Modulator	21
3.4	Last-Regler	22
3.4.1	Aufbau Last-Regler	24
3.4.2	Stromregelung	25
3.4.3	Strommessung	28

3.4.4	Last-Detektor	29
3.4.5	Gesamtschaltung Last-Regler	29
3.4.6	Layout Last-Regler	31
3.4.7	Simulation Last-Regler	32
3.4.8	Anwendung des Last-Regler	35
3.5	CLK-Recovery	38
3.5.1	Aufbau	38
3.5.2	Layout CLK-Recovery	39
3.5.3	Simulation	39
3.6	Data-Detector	41
3.6.1	Aufbau	41
3.6.2	Layout Data-Detector	41
3.6.3	Simulation	42
3.7	CLK/Data Control	44
3.7.1	Aufbau	44
3.7.2	Layout CLK/Data Control	45
3.7.3	Simulation	46
4	Testchip	48
4.1	Aufbau Testchip Analog	48
4.2	Layout Testchip Analog	49
4.3	Layout Testchip HF/UHF	52
5	Schlussbemerkung und Ausblick	54

Abkürzungsverzeichnis

AC	Alternating Current (= Wechselstrom)
AFE	Analog Front-End
ASK	Amplitude Shift Keying
CLK	Clock
CMOS	Complementary Metal Oxide Semiconductor
DC	Direct Current (= Gleichstrom)
DFE	Digital Front-End
DMOD	Demodulator
EPC	Electronic Product Code
HF	High Frequency
High	Zustand logisch 1
LA	Antennenanschluss A
LB	Antennenanschluss B
Low	Zustand logisch 0
MOD	Modulator
MOS	Metal Oxide Semiconductor
MOS-Diode	Diode-Connected Transistor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
NFC	Near Field Communication
NMOS	N-Channel Metal Oxide Semiconductor
OTA	Operational Transconductance Amplifier
PMOS	P-Channel Metal Oxide Semiconductor
PWR	Power
Rect	Rectifier (= Gleichrichter)
RF	Radio Frequency
RFID	Radio Frequency Identification
RX	Receive
TX	Transmit
UHF	Ultra High Frequency
V_{TH}	Schwelspannung eines MOS-Transistors

Abbildungsverzeichnis

1.1	NFC-Anwendungsmöglichkeiten [3]	1
2.1	RFID-System	2
2.2	Antennenspannung in Abhängigkeit der Kopplung [2]	3
2.3	Spannungsregelung mittels Voltage-Limiters [2]	3
2.4	Beispielschaltung eines AFE [2]	4
2.5	Diode-Connected Transistor [1]	4
2.6	CMOS-Brückengleichrichter	4
2.7	Active MOS-Diode Rectifier	5
2.8	Active MOS-Diode Rectifier	6
2.9	Modifizierter Active MOS-Diode Rectifier	6
2.10	MOS-Diode mit V_{TH} -Cancellation	7
2.11	Kennlinien verschiedener MOS-Dioden	7
3.1	Übersichtsbild des AFE	10
3.2	Layout des gesamten AFE ($360 \times 285 \mu m^2$)	11
3.3	Gleichrichter	12
3.4	Layout Gleichrichter ($12 \times 25 \mu m^2$)	13
3.5	Simulation von Spannungen und Strömen des Gleichrichters	14
3.6	Shunt und Modulator separat und kombiniert	15
3.7	Shunt und Gleichrichter	16
3.8	Aufbau Shunt-Regelung	16
3.9	Aufbau Modulator	17
3.10	Kopplung zwischen Reader und Transponder	18
3.11	Testbench	18
3.12	Shunt-Regelung beim Startup	19
3.13	Simulation Modulation	20
3.14	Layout Shunt-Regler und Modulator ($40 \times 22 \mu m^2$)	21
3.15	Layout T_{SH} , C_{SH} , Shunt-Regler und Modulator	21
3.16	Blockschaltbild DC-Shunt	22
3.17	Blockschaltbild AC-Shunt	22
3.18	Blockschaltbild AC-Shunt, DC-Shunt und Last	23

3.19	Stromaufteilung verschiedener Shunt-Realisierungen	23
3.20	Blockschaltbild AC-Shunt und Last-Regler	24
3.21	Übersicht Last-Regler	24
3.22	Innenwiderstand Gleichrichter	25
3.23	Schaltung Stromregelung	25
3.24	DC-Simulation der Stromregelung	26
3.25	Kombination von Shunt- mit Last-Regler	27
3.26	Schaltung zur Stromreduktion des Last-Reglers	27
3.27	Schaltung Stromdetektor	28
3.28	Schaltung Last-Detektor	29
3.29	Gesamtschaltung des Last-Reglers mit Shunt und Gleichrichter	30
3.30	Layout Last-Regler ($38 \times 41 \mu m^2$)	31
3.31	Layout C_{CL} und Last-Regler	32
3.32	Stromaufteilung zwischen Shunt und Last-Regler	33
3.33	Stromaufteilung zwischen DC-Shunt und Last	34
3.34	Versorgung einer Last mit schwankender Stromaufnahme	35
3.35	Schaltung zur Überbrückung einer Pause mittels Last-Regler	35
3.36	Simulation Spannungsversorgung während einer Pause	36
3.37	Energy Harvesting unter Verwendung des Last-Reglers	37
3.38	CLK-Recovery	38
3.39	Layout CLK-Recovery ($15 \times 15 \mu m^2$)	39
3.40	CLK während Modulation	40
3.41	CLK während Pause	40
3.42	Data-Detector	41
3.43	Layout Data-Detector ($20 \times 8 \mu m^2$)	41
3.44	DATA während Pause	42
3.45	DATA während Modulation	43
3.46	CLK/Data Control	44
3.47	Layout CLK/Data Control ($29 \times 33 \mu m^2$)	45
3.48	DATA während Pause	46
3.49	DATA während Modulation	47
4.1	Blockschaltbild Testchip [11]	48
4.2	Blockschaltbild Ladungspumpe [11]	49
4.3	Bondplan Testchip Analog (nicht maßstabsgetreu)	50
4.4	Layout Testchip Analog	51
4.5	Bondplan Testchip HF/UHF (nicht maßstabsgetreu)	52
4.6	Layout Testchip HF/UHF	53

Kapitel 1

Motivation

Die meisten neuen Mobiltelefone (Smartphones) bieten eine Near Field Communication (NFC) -Schnittstelle. Für den Betrieb eines NFC-Transponders ist ein Reader erforderlich. Diese Reader-Funktionalität ist dank Smartphone nun immer und überall verfügbar. Dadurch ergeben sich viele neue Einsatzmöglichkeiten, wie in Abbildung 1.1 dargestellt. Im Rahmen dieser Diplomarbeit soll ein AFE entstehen, welches mit den beiden weit verbreiteten Standards NFC sowie EPC-HF kompatibel ist. Außerdem soll ein spezieller Last-Regler die einfache Stromversorgung unterschiedlicher Lasten ermöglichen.



Abbildung 1.1: NFC-Anwendungsmöglichkeiten [3]

Kapitel 2

Grundlagen

2.1 RFID-System

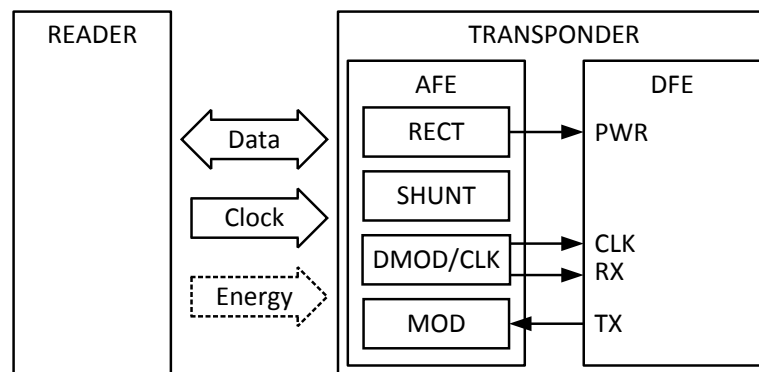


Abbildung 2.1: RFID-System

Abbildung 2.1 zeigt ein RFID-System, welches aus einem Reader und einem Transponder besteht. Sowohl Reader als auch Transponder sind mit einer Antenne (meist induktiv) ausgestattet, wodurch eine Kopplung ermöglicht wird. Der Transponder enthält ein analoges (AFE) sowie ein digitales Frontend (DFE). Das AFE bildet die Schnittstelle zwischen dem HF-Feld des Readers und dem DFE. Es ermöglicht unter Verwendung eines Modulators sowie eines Demodulators die Datenübertragung zwischen Reader und Transponder, indem das HF-Feld des Readers moduliert wird. Das benötigte Taktsignal wird aus dem Träger des HF-Feldes erzeugt. Der Transponder kann entweder passiv aus dem Feld des Readers oder aktiv aus einer anderen Energiequelle (Batterie) versorgt werden. Im Falle eines passiven Transponders muss das AFE weiters die Stromversorgung generieren. Dafür wird die Wechselfrequenz an der Antenne gleichgerichtet. Eine weitere Funktion des AFEs stellt die Shunt-Regelung dar, wodurch die Spannung an der Antenne begrenzt wird. Die Aufgaben des DFE umfassen das Interpretieren der empfangenen sowie das Generieren der zu sendenden Daten und somit die Abwicklung des NFC- bzw. EPC-HF-Protokolls.

2.2 Shunt-Regelung

Zur Versorgung eines RFID-Bausteins wird eine konstante Gleichspannung benötigt. Die Antennenspannung U_2 ist jedoch, wie in Abbildung 2.2 dargestellt, vom Koppelfaktor k zwischen Reader- und Transponderinduktivität abhängig und unterliegt damit starken Schwankungen. Im Betrieb wird daher eine Spannungsregelung benötigt. Eine einfache Spannungsregelung kann mittels eines Voltage-Limiters erreicht werden, der die DC-Ausgangsspannung V_{CC} des Gleichrichters begrenzt. Abbildung 2.3 zeigt eine mögliche Realisierung. Alternativ kann auch ein MOSFET als Shunt-Widerstand direkt an der Antenne verwendet werden.

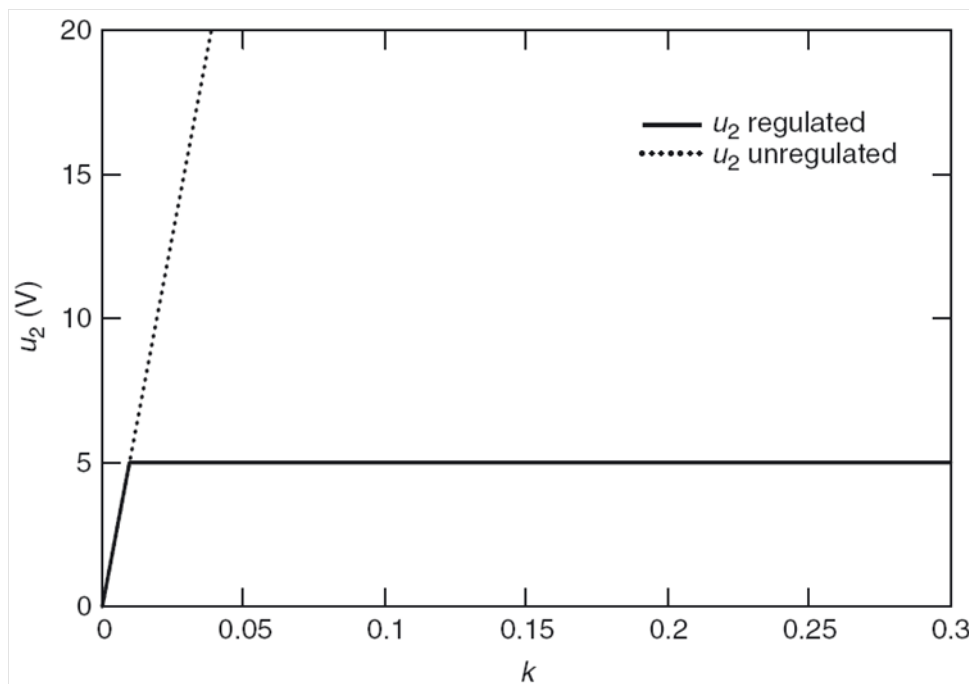


Abbildung 2.2: Antennenspannung in Abhängigkeit der Kopplung [2]

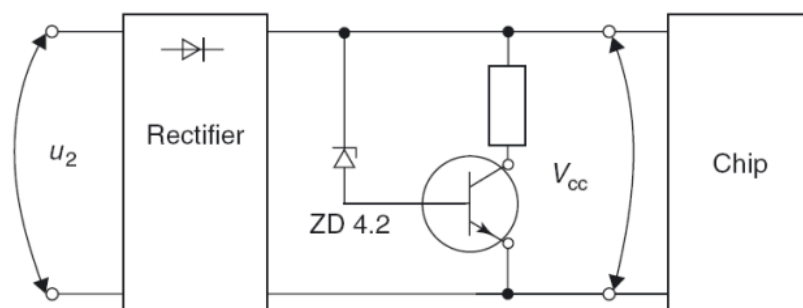


Abbildung 2.3: Spannungsregelung mittels Voltage-Limiters [2]

2.3 Gleichrichter

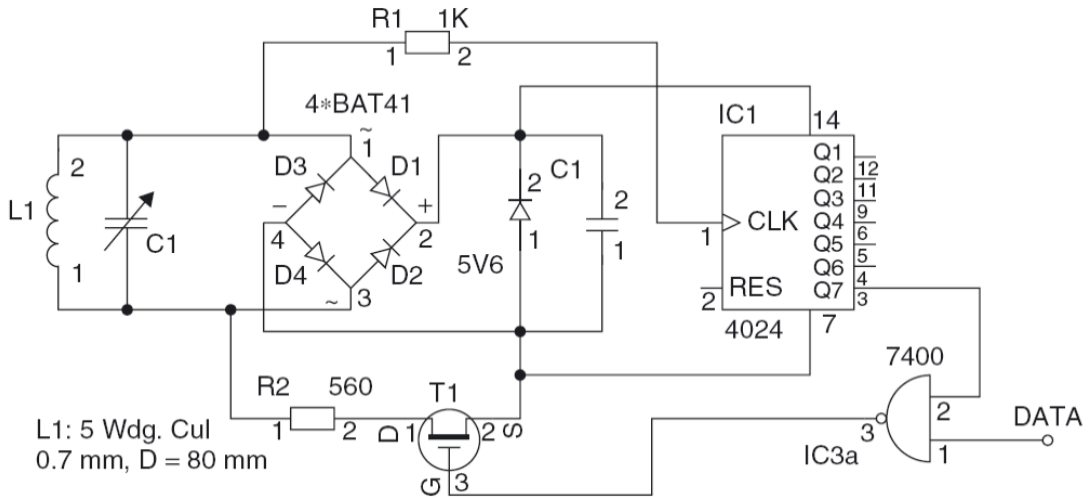


Abbildung 2.4: Beispielschaltung eines AFE [2]

Abbildung 2.4 zeigt eine einfache Beispielschaltung des AFE eines diskret aufgebauten RFID-Transponders. Im Kern der Schaltung befindet sich ein Brückengleichrichter, welcher mit vier Dioden aufgebaut ist. In CMOS-Technologie werden anstelle von Dioden MOSFETs verwendet, welche durch die Verbindung von Gate und Drain als MOS-Diode (Diode-Connected Transistor) geschaltet sind, wie in Abbildung 2.5 dargestellt ist. Abbildung 2.6 zeigt den Aufbau eines einfachen Gleichrichters unter Verwendung von NMOS-Transistoren. Die beiden Anschlüsse LA, LB bilden die Wechselspannungseingänge des Gleichrichters. Die gleichgerichtete Ausgangsspannung liegt zwischen VDD und GND an.

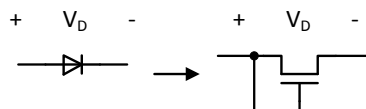


Abbildung 2.5: Diode-Connected Transistor [1]

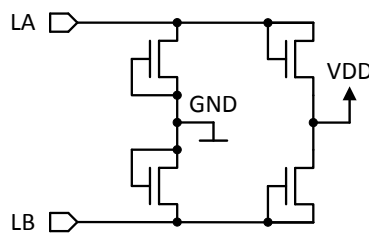


Abbildung 2.6: CMOS-Brückengleichrichter

Um die Sendeleistung des Readers gering zu halten und trotzdem eine große Reichweite zu ermöglichen, muss die Spannungsversorgung des RFID-Transponders möglichst effizient arbeiten. Durch die typischerweise niedrige Spannung am Chip kann dies besonders dadurch erzielt werden, indem die Spannungsabfälle an den Schaltelementen des Gleichrichters minimiert werden. Durch Kombination verschiedener Schaltungstechniken können sehr effiziente Gleichrichter aufgebaut werden. Die negative Gleichrichterhälfte wird typischerweise immer mit überkreuzt geschalteten NMOS-Transistoren (Active MOS-Diode Rectifier) ausgeführt. Dadurch sind die Spannungsabfälle an der negativen Gleichrichterhälfte besonders niedrig, was eine Verwendung eines NMOS-Transistors als Shunt- oder Modulationswiderstand an der AC-Seite des Gleichrichters ermöglicht. Die positive Gleichrichterhälfte wird, je nach Anforderung als PMOS-Diode, NMOS-Diode oder als MOS-Diode with V_{TH} -Cancellation ausgeführt. Im Folgenden werden verschiedene gebräuchliche Schaltungen vorgestellt.

2.3.1 Active MOS-Diode Rectifier

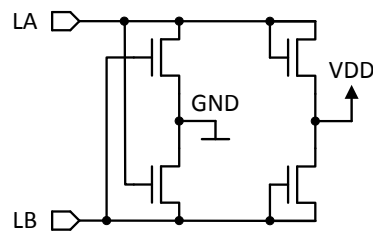


Abbildung 2.7: Active MOS-Diode Rectifier

Eine Verbesserung zum konventionellen Gleichrichter stellt der Active MOS-Diode Rectifier [4] dar. Hierbei werden passive MOS-Dioden durch aktiv geschaltete MOSFETs ersetzt. Als Signal zur Ansteuerung der Schaltelemente dient dabei direkt die AC-Eingangsspannung. Wie in Abbildung 2.7 gezeigt, ist die negative Gleichrichterhälfte als Active MOS-Schaltung ausgeführt. Der jeweils positivere Antennenanschluss schaltet einen der beiden NMOS-Transistoren ein, wodurch der andere Antennenanschluss auf den negativen Gleichrichterausgang geschaltet wird. Mit dieser Schaltung kann ohne zusätzlichen Bauteil Aufwand der Spannungsabfall einer MOS-Diode eingespart werden.

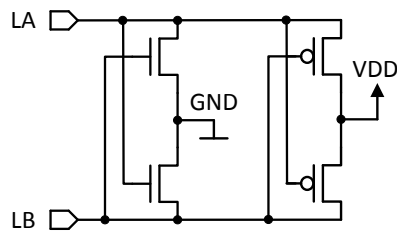


Abbildung 2.8: Active MOS-Diode Rectifier

In Abbildung 2.8 ist sowohl die negative als auch die positive Gleichrichterhälfte als Active MOS-Schaltung ausgeführt. Spannungsabfälle können dadurch fast gänzlich vermieden werden. Im Betrieb tritt allerdings ein beträchtlicher Reverse-Strom auf, wodurch das Einsatzgebiet dieses Gleichrichters stark eingeschränkt ist. Die Schaltung kann jedoch für einen kleinen Leistungsbereich optimiert werden.

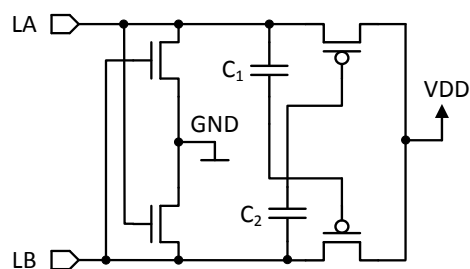


Abbildung 2.9: Modifizierter Active MOS-Diode Rectifier

Die in Abbildung 2.9 gezeigte Schaltung stellt eine Modifikation des Active MOS-Diode Rectifiers dar. Beide Gleichrichterhälften werden aktiv geschaltet. Die Eingangsspannung, ab der die beiden PMOS-Transistoren leitend werden, kann durch eine Vorladung der Kondensatoren C_1 und C_2 eingestellt werden. Folglich kann auch der Reverse-Strom verringert werden.

2.3.2 MOS-Diode mit V_{TH} -Cancellation

Eine Effizienzsteigerung kann auch durch Verwendung von MOS-Dioden mit V_{TH} -Cancellation [10] erreicht werden. Dabei wird die MOS-Dioden-Schaltung mit einer Spannungsquelle zwischen Gate und Drain erweitert. Dafür wird typischerweise der Spannungsabfall eines zweiten MOS-Transistors in Kombination mit einer Stromquelle genutzt. Abbildung 2.10 zeigt den entsprechenden Aufbau. Der Spannungsabfall an der MOS-Diode kann mit dieser Schaltung um bis zu eine Threshold-Spannung (V_{TH}) verringert werden. Allerdings erhöht sich dadurch der Reverse-Strom in Abhängigkeit der Spannung V_B . In Abbildung 2.11 ist der Strom I_{MD} einer einfachen MOS-Diode dargestellt. Außerdem sind die Stromverläufe zweier MOS-Dioden mit zusätzlicher Spannung V_B dargestellt. I_{MDA} stellt den Strom für eine große Spannung V_B dar, wobei die Spannung in Durchlassrichtung der Dioden möglichst klein ist aber ein beträchtlicher Reverse-Strom auftritt. Bei I_{MDB} hingegen fließt kaum Reverse-Strom, die Spannung in Durchlassrichtung ist dafür jedoch geringfügig höher. Die Spannung V_B muss daher der jeweiligen Anforderung entsprechend dimensioniert werden.

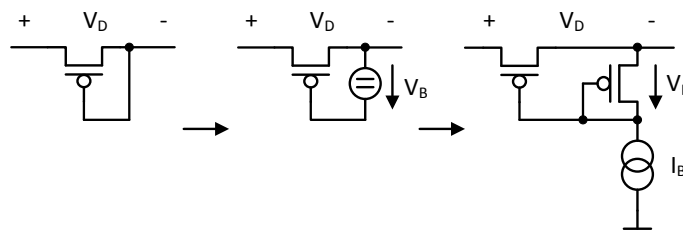


Abbildung 2.10: MOS-Diode mit V_{TH} -Cancellation

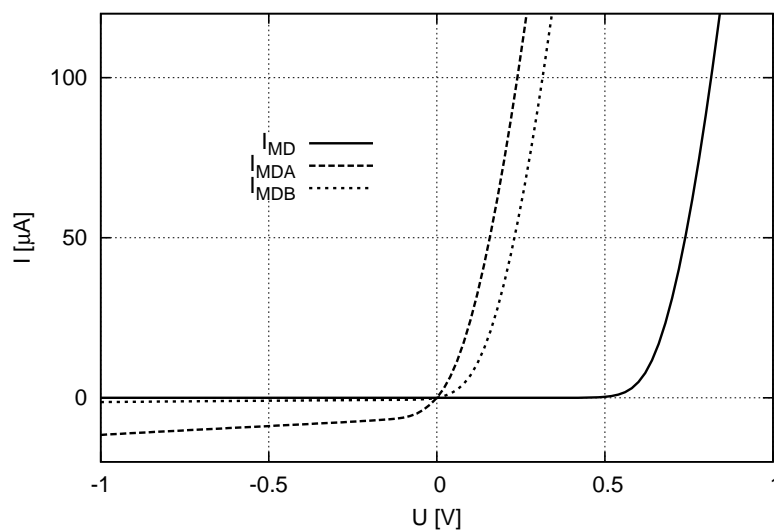


Abbildung 2.11: Kennlinien verschiedener MOS-Dioden

2.4 Prozess / Technologie

Bei der verwendeten Technologie handelt es sich um einen P-Substrat/N-Wannen-Prozess. Die minimale Länge der MOS-Transistoren beträgt 130 nm. Der Prozess bietet verschiedene MOS-Transistoren welche für das jeweilige Anwendungsgebiet optimiert sind. Somit stehen sowohl für digitale, als auch für analoge Anwendungen optimierte MOS-Transistoren zur Verfügung. Für Anwendungen mit höherer Spannung sind spezielle MOS-Transistoren verfügbar, welche eine größere Spannungsfestigkeit aufweisen. Diese kommen bei den hier vorgestellten Schaltungen zum Einsatz.

2.5 Standards

Für RFID-Systeme gibt es viele verschiedene Standards. Um eine einwandfreie Funktion sicherzustellen ist es erforderlich, alle Anforderungen der entsprechenden Standards zu erfüllen. Für das, im Rahmen dieser Diplomarbeit entworfene, AFE soll Kompatibilität mit NFC und EPC-HF gewährleistet werden. Die Funktionsweise und Betriebsparameter dieser beiden Standards, welche die analoge Schaltungsentwicklung beeinflussen, sind größtenteils identisch und sind in folgenden Normen festgelegt:

- ISO/IEC 13157 [5]
- ISO/IEC 14443 [6]
- ISO/IEC 15693 [7]
- ISO/IEC 18000 [8]
- ISO/IEC 18092 [9]

Kapitel 3

Implementierung

3.1 Übersicht

3.1.1 Anforderungen an das AFE

Wie bereits in Kapitel 2 beschrieben, besteht ein RFID-System grundsätzlich aus einem Reader und einem Transponder. Entsprechend der Art der Stromversorgung wird zwischen aktiven und passiven Transpondern unterschieden. Aktive Transponder benötigen eine Stromversorgung, während passive Transponder ausschließlich aus dem HF-Feld der Antenne versorgt werden. Das hier vorgestellte AFE soll in einem passiven Transponder zum Einsatz kommen. Es muss daher eine Spannungsversorgung aus der Antennenspannung generiert werden.

Zwischen Transponder und Reader kommt es zu einer induktiven Kopplung. Diese Kopplung ist von verschiedenen Einflussfaktoren abhängig und kann daher stark variieren. Um einen Betrieb des Transponders bei verschiedenen Kopplungen zu ermöglichen, muss das AFE eine Shunt-Regelung beinhalten. Dadurch wird die Antennenspannung auf den gewünschten Wert geregelt und eine Zerstörung der Chipelektronik vermieden.

Die Kommunikation zwischen Reader und Transponder erfolgt durch Amplitudenmodulation. Um bidirektionale Kommunikation zu ermöglichen, muss das AFE sowohl demodulieren als auch modulieren können.

Außerdem soll das AFE einen Last-Regler beinhalten, welcher den Betrieb verschiedener Lasten mit stark schwankender Stromaufnahme ermöglicht, ohne dass andere Funktionen des AFEs negativ beeinflusst werden.

3.1.2 Aufbau

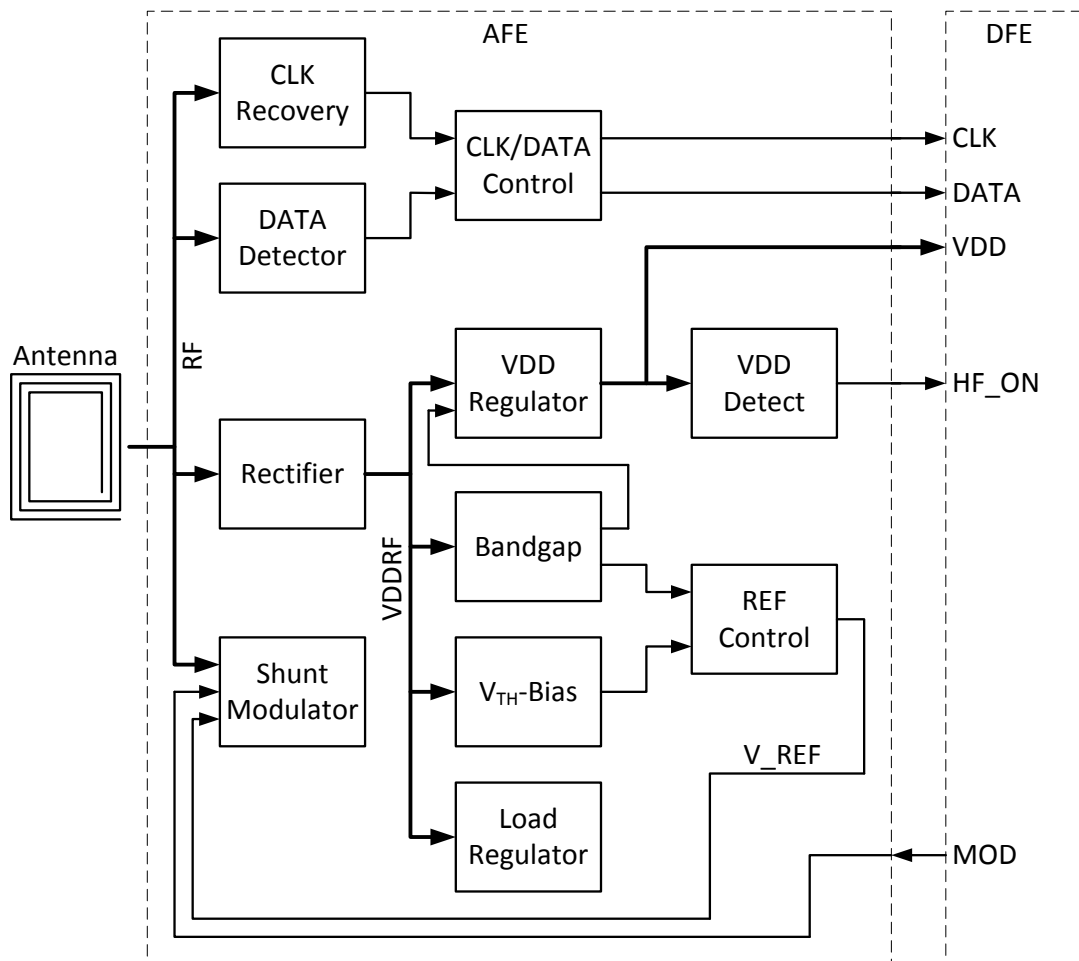


Abbildung 3.1: Übersichtsbild des AFE

In der oben gezeigten Abbildung 3.1 wird der Aufbau des AFEs veranschaulicht. Auf der linken Seite ist die Antenne zu sehen. Diese ist über das RF-Netz mit vier Funktionsblöcken verbunden. Dazu zählt der kombinierte Shunt/Modulator, welcher für die Spannungsregelung sowie für die Modulation der Antennenspannung benötigt wird. Weiters hängt direkt an der Antenne der Gleichrichter, welcher über das VDDRF-Netz den gesamten Transponder versorgt. Über den VDD-Regulator wird die Spannungsversorgung des ebenfalls am Transponder befindlichen DFEs erzeugt. Der Funktionsblock VDD-Detect erkennt beim Startup das Überschreiten einer bestimmten Spannungsschwelle um dann das DFE über das Signal HF_ON zu aktivieren. Für die Regelung der Antennenspannung benötigt der Shunt/Modulator eine Referenzspannung V_{REF} . Diese wird für einen sicher funktionierenden Startup-Vorgang zuerst über ein einfaches V_{TH} -Bias erzeugt. Dabei wird eine kleine Spannung erzeugt, welche gerade groß genug ist um den Betrieb der Bandgap-Referenz sicherzustellen. Sobald die Bandgap-Referenz arbeitet wird an V_{REF} die ge-

naue und höhere Bandgap-Referenzspannung von 2,4 V angelegt. Die hohe Genauigkeit einer Bandgap-Referenz ist nötig, um eine möglichst große Spannung V_{DDRF} zu erzielen, ohne die für den Prozess zulässige Maximalspannung zu überschreiten.

Für den Betrieb des DFE ist ein Takt-Signal erforderlich. Dieses wird mit Hilfe der CLK-Recovery aus dem Träger gewonnen. Die Demodulation der Antennenspannung erfolgt über den DATA-Detektor. Dabei werden durch den Reader erzeugte Unterbrechungen des HF-Feldes (Pausen) detektiert. Die CLK/DATA-Control-Einheit sorgt für eine Signalaufbereitung um die Kompatibilität zwischen AFE und DFE zu gewährleisten. Auf den folgenden Seiten werden die wichtigsten der vorhin angesprochenen Funktionsblöcke genauer beschrieben.

3.1.3 Layout Gesamtschaltung

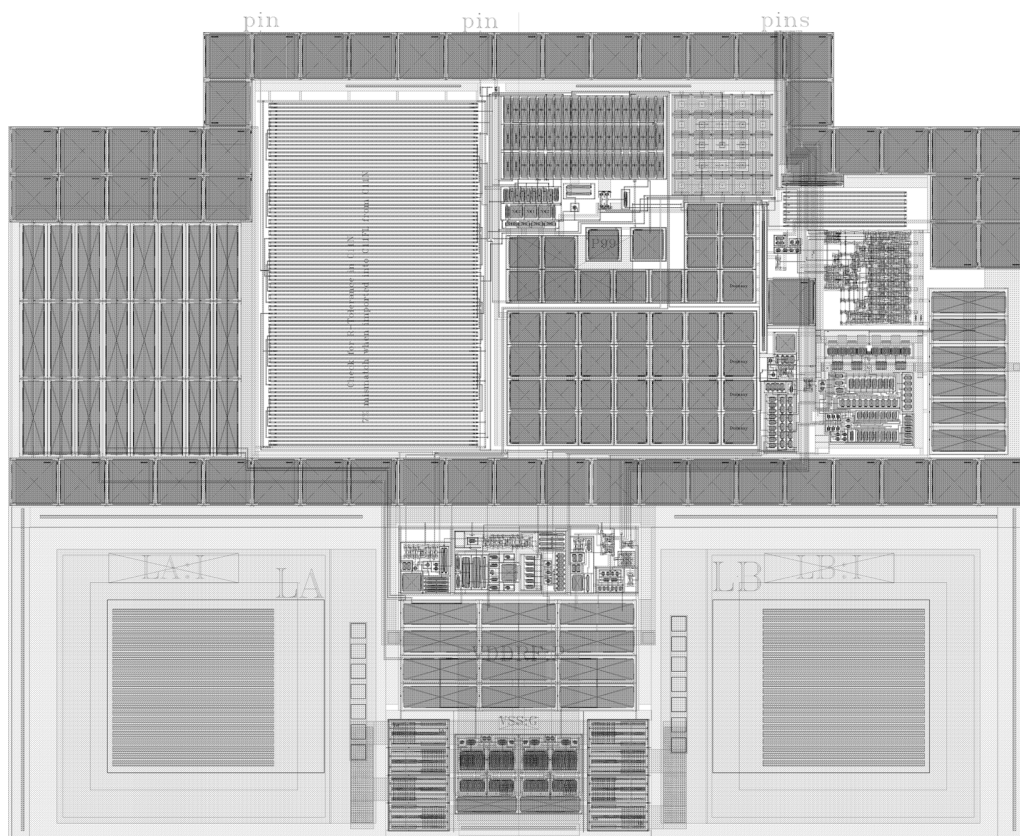


Abbildung 3.2: Layout des gesamten AFE ($360 \times 285 \mu\text{m}^2$)

Das AFE wird im späteren Einsatz an eine externe Antenne angeschlossen. Dafür sind die beiden Anschluss pads LA, LB vorgesehen. Die gesamte Schaltung wird möglichst nahe und platzsparend um die beiden Anschluss pads platziert. Bauteile, welche hohen Strom führen, wie der Shunt/Modulator-Transistor und der Gleichrichter werden direkt zwischen

den Pads platziert, um lange Anschlussleitungen zu vermeiden. Der freie Platz wird für Stützkondensatoren des Versorgungsnetzes VDDRF genutzt. Dabei ist nur ein kleiner Teil direkt um das AFE gelayoutet. Weitere Kondensatoren müssen je nach Bedarf am Chip vorgesehen werden.

3.2 Gleichrichter

Das NFC-Frontend soll für passive RFID-Tags verwendet werden. Die Stromversorgung muss daher aus dem Feld generiert werden. Dies wird durch eine Gleichrichtung der Antennenspannung erreicht. Die Ausgangsspannung des Gleichrichters soll mindestens 3 V bei einem Strom von 1 mA betragen. Außerdem darf die maximale Spannung an der Antenne 4 V nicht überschreiten. Aufgrund des geringen erlaubten Spannungsabfalls ist es daher erforderlich den Gleichrichter möglichst effizient zu bauen.

3.2.1 Aufbau

Die negative Seite des Gleichrichters ist unter Verwendung von NMOS-Transistoren aufgebaut, welche überkreuzt an die Antennenanschlüsse LA, LB geschaltet sind. Dadurch wird der Antennenanschluss mit dem jeweils niedrigerem Potential leitend mit dem Masseanschluss des Gleichrichters verbunden, wodurch der Spannungsabfall an den beiden NMOS-Transistoren minimiert wird. Die positive Seite des Gleichrichters ist mit PMOS-Transistoren aufgebaut. Um die Effizienz zu verbessern, sind diese, wie in Kapitel 2.3.2 beschrieben, als MOS-Diode mit V_{TH} -Cancellation geschaltet. Dadurch erhöht sich die Ausgangsspannung des Gleichrichters um ca. $1 V_{TH}$. Aufgrund hoher parasitärer Kapazitäten der beiden PMOS-Transistoren ist es erforderlich die Spannung V_B mittels eines Kondensators C_B konstant zu halten, da es ansonsten zu hohen Reverse-Strömen im Gleichrichter kommen würde. Zum Glätten der Ausgangsspannung wird der Kondensator C_L verwendet.

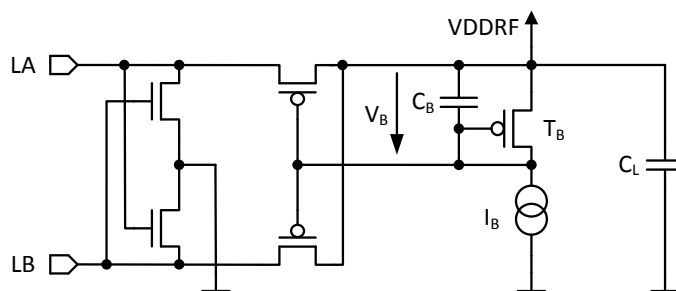


Abbildung 3.3: Gleichrichter

3.2.2 Layout Gleichrichter

Abbildung 3.4 zeigt das Layout des Gleichrichters. Die PMOS-Transistoren des Gleichrichters liegen in einer negativ dotierten Wanne. Das Wannenspotential wird unter Verwendung zweier Diode-Connected Transistoren aus der Antennenspannung LA, LB generiert. Die in Abbildung 3.3 eingezeichneten Kondensator C_B und C_L sind sehr groß und daher nicht in dieser Layoutansicht enthalten.

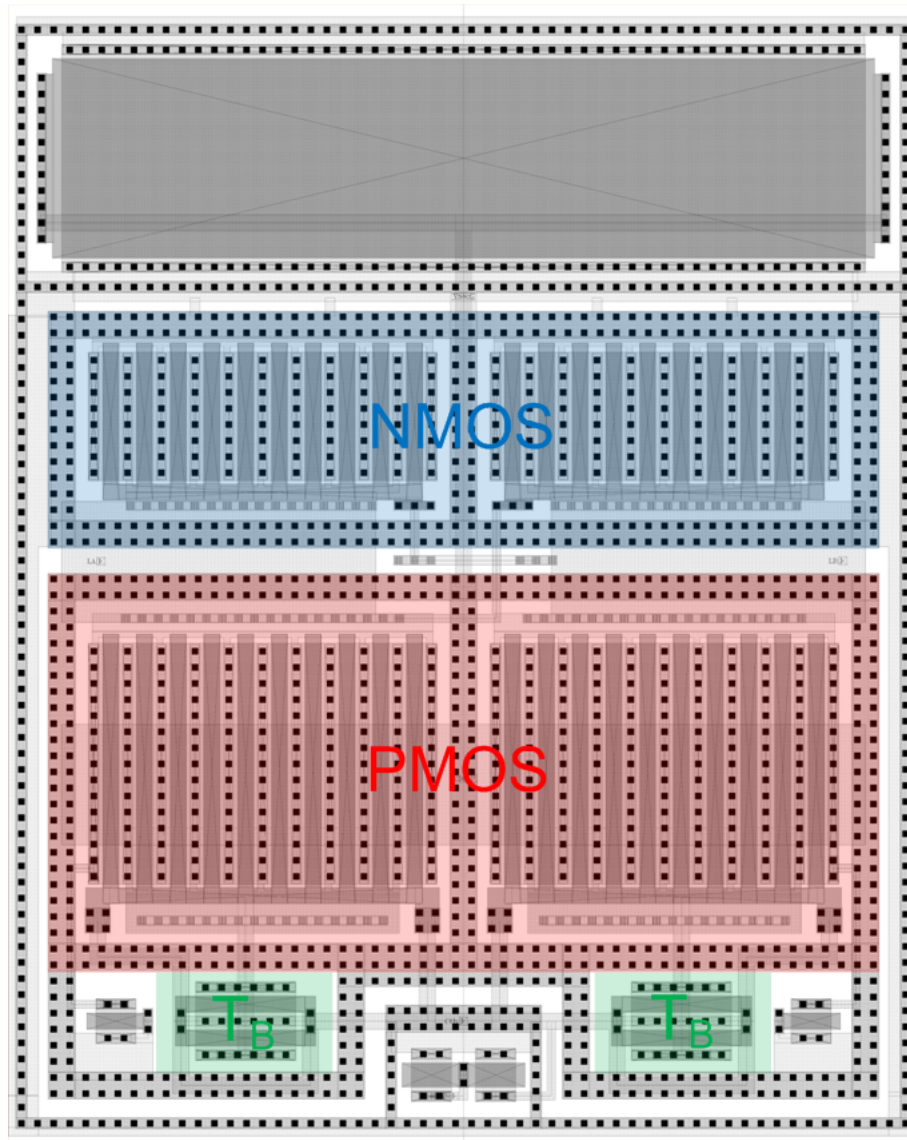


Abbildung 3.4: Layout Gleichrichter ($12 \times 25 \mu m^2$)

3.2.3 Simulation

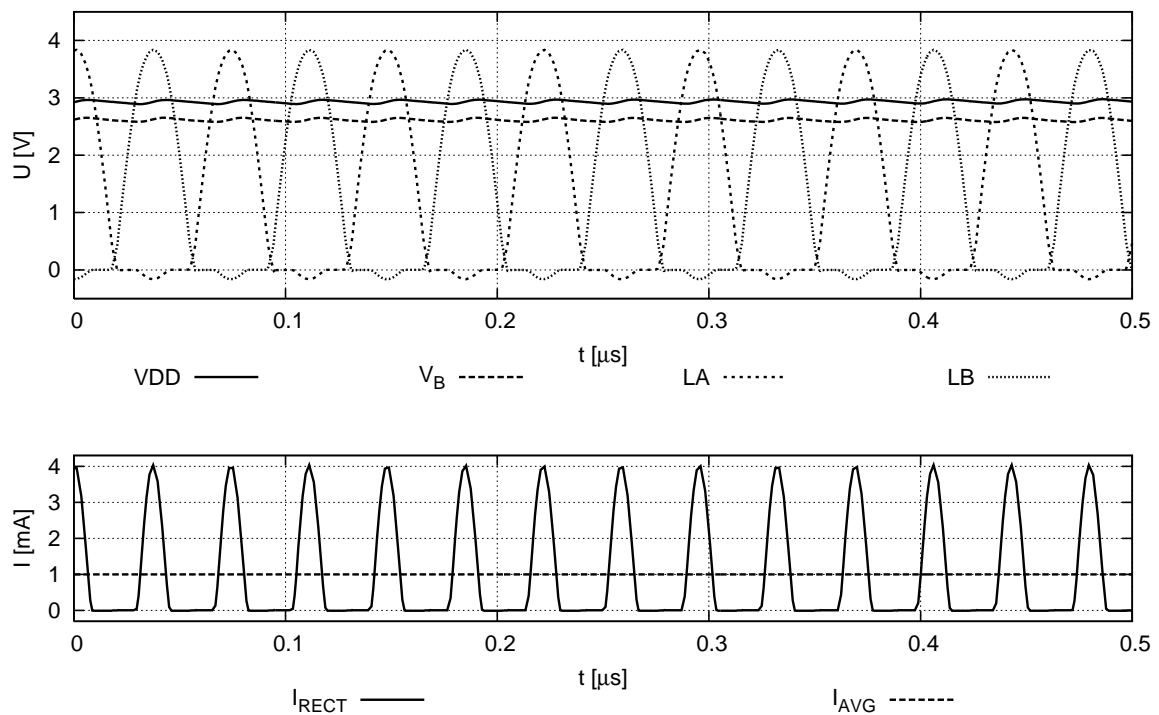


Abbildung 3.5: Simulation von Spannungen und Strömen des Gleichrichters

Abbildung 3.5 zeigt Ergebnisse einer Simulation des Gleichrichters. Im ersten Diagramm sind die Spannungen der Antennenanschlüsse LA und LB, sowie die Ausgangsspannung des Gleichrichters VDD und die Spannung V_B dargestellt. Zwischen den beiden Wechselspannungseingängen LA und LB liegt eine näherungsweise sinusförmige Spannung mit einer Amplitude von ca. 4 V an. Die Ausgangsspannung VDD des Gleichrichters beträgt ca. 3 V. Der Ladekondensator C_L glättet die Ausgangsspannung, sodass nur eine geringe Restwelligkeit bleibt. Im zweiten Diagramm ist der Ausgangsstrom des Gleichrichters dargestellt. Dieser beträgt im Mittel für diese Simulation 1 mA. Weiters ist aus dem Diagramm ersichtlich, dass kein nennenswerter Reverse-Strom auftritt, was in Kombination mit der hohen Ausgangsspannung einen sehr guten Wirkungsgrad des Gleichrichters ermöglicht.

3.3 Shunt/Modulator

Um unabhängig von der Kopplung eine konstante Spannung an den Antennenanschlüssen LA, LB zu generieren, ist eine Spannungsregelung erforderlich, wie in Kapitel 2.2 beschrieben. Diese besteht aus einem Shunt-Regler, welcher die überschüssige Leistung in Wärme umwandelt. Weiters ist für den Betrieb des NFC-Frontends ein Modulator erforderlich. Dieser ermöglicht die Datenübertragung, indem die Antennenspannung während der Modulation verringert wird. Dafür wird wie beim Shunt ein MOS-Transistor verwendet.

3.3.1 Kombination von Shunt und Modulator

Sowohl Shunt als auch Modulator müssen für den maximalen Antennenstrom ausgelegt sein und benötigen daher viel Fläche. Es ist deshalb sinnvoll, die Funktion von Shunt und Modulator mit einem einzigen MOS-Transistor zu realisieren.

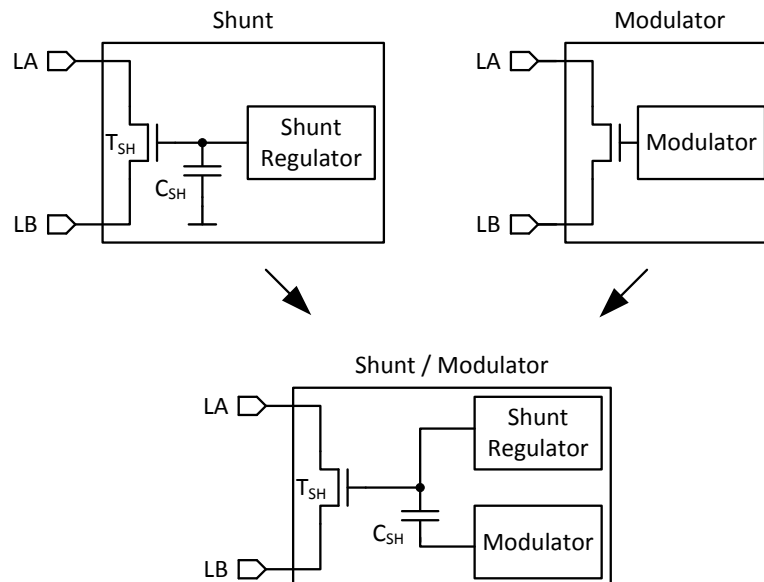


Abbildung 3.6: Shunt und Modulator separat und kombiniert

3.3.2 Aufbau Shunt

Wie in Abbildung 3.3 ersichtlich, ist aufgrund des Aufbaus des Gleichrichters der jeweils negativere Antennenanschluss mit Masse verbunden. Der Shunt kann daher einfach unter Verwendung eines NMOS-Transistors T_{SH} realisiert werden. Der jeweilige Source-Anschluss des NMOS-Transistors liegt immer auf Massepotential. Dadurch kann der Shunt mit einer auf Masse bezogenen Spannung angesteuert werden. Abbildung 3.7 zeigt den Shunt sowie die negative Seite des Gleichrichters. Zur Ansteuerung des Shunt-Transistors T_{SH} wird die Spannung am Kondensator C_{SH} verwendet. Der Kondensator C_{SH} bildet den dominanten Pol und bestimmt daher das Verhalten des Regelkreises.

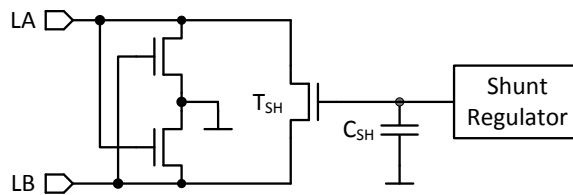


Abbildung 3.7: Shunt und Gleichrichter

Die Shunt-Regelung erfolgt mithilfe eines PMOS-Transistors wie in Abbildung 3.8 dargestellt. Der Gate-Anschluss liegt an der Referenzspannung. Der Source Anschluss ist durch zwei NMOS-Dioden mit LA, LB verbunden. Dadurch fließt über den PMOS-Transistor ein Strom, welcher vom Spitzenwert der Antennenspannung an LA, LB abhängig ist. Gemeinsam mit einer Stromquelle wird so über die Spannung am Kondensator C_{SH} die Spannung an der Antenne auf den gewünschte Wert geregelt.

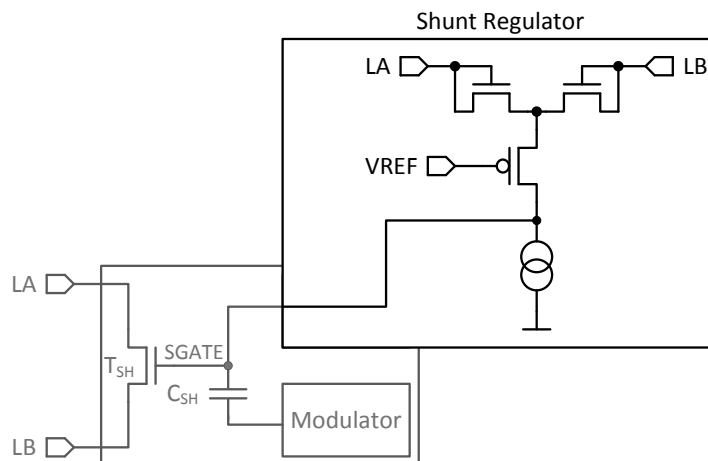


Abbildung 3.8: Aufbau Shunt-Regelung

3.3.3 Aufbau Modulator

Für die Kombination von Shunt und Modulation wird wie in Abbildung 3.9 ersichtlich der negative Anschluss des Kondensators C_{SH} genutzt. Dieser wird während des normalen Betriebs mittels T_S auf Masse geschaltet. Um eine Modulation zu ermöglichen, wird T_M ein- und T_S ausgeschaltet. Somit wird der negative Anschluss des Kondensators C_{SH} über NMOS-Dioden mit LA, LB verbunden, wodurch die Spannung an diesem Knoten erhöht wird. Dadurch verringert sich die Antennenspannung auf etwa $1 V_{TH}$. Diese Mindestspannung an der Antenne ist erforderlich, um auch während der Modulation ein Taktsignal erzeugen zu können.

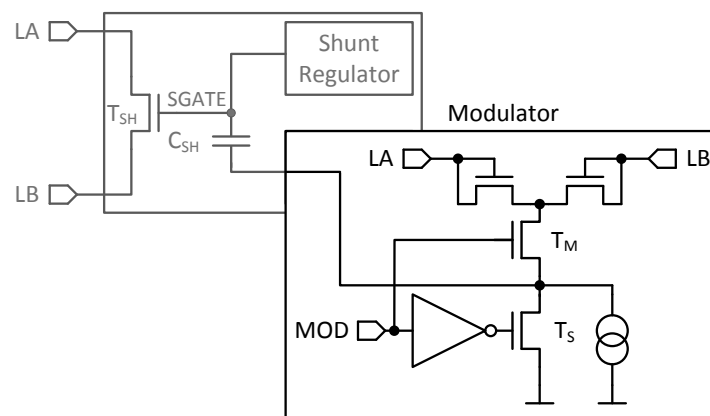


Abbildung 3.9: Aufbau Modulator

3.3.4 Testbench

Für die weiteren Simulationen wird eine Testbench benötigt. Diese soll das Verhalten der Antenne des Transponders im HF-Feld des Readers nachbilden. Sowohl die Antenne des Readers als auch die des Transponders stellt eine Induktivität (Spule) dar. Zwischen den beiden Antennen gibt es eine induktive Kopplung K , wie Abbildung 3.10 zeigt.

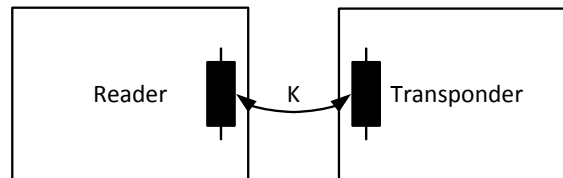


Abbildung 3.10: Kopplung zwischen Reader und Transponder

In der Antenne des Transponders wird aufgrund der induktiven Kopplung eine Spannung induziert. Diese Spannung wird für die Testbench durch eine Spannungsquelle V_{ANT} nachgebildet. Die Rückwirkung auf den Reader wird dabei vernachlässigt. Weiters beinhaltet die Testbench einen Widerstand R , welcher das Verhalten der realen Antenne nachbildet. Für die Abstimmung der Antenne auf die Frequenz des Readers von 13,56 MHz wird der Kondensator C verwendet. Abbildung 3.11 zeigt den Aufbau der Testbench.

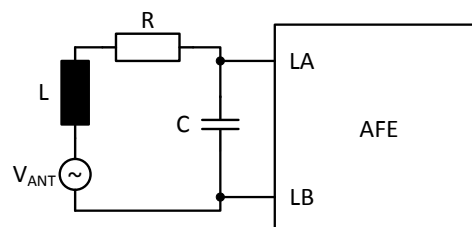


Abbildung 3.11: Testbench

3.3.5 Simulation Shunt

In Abbildung 3.12 soll die Funktion des Shunt-Reglers anhand einer Simulation des Startup-Vorgangs dargestellt werden. Unmittelbar nach dem Einschalten steigt die Spannung SGATE am Gateanschluss von T_{SH} sehr schnell an, wodurch über den Shunt-Transistor sofort Strom fließen kann und das Überschreiten der maximal zulässigen Spannung sicher verhindert wird. Durch den langsamen Anstieg der Referenzspannung V_{REF} stellt sich auch die gewünschte Antennenspannung erst verzögert ein.

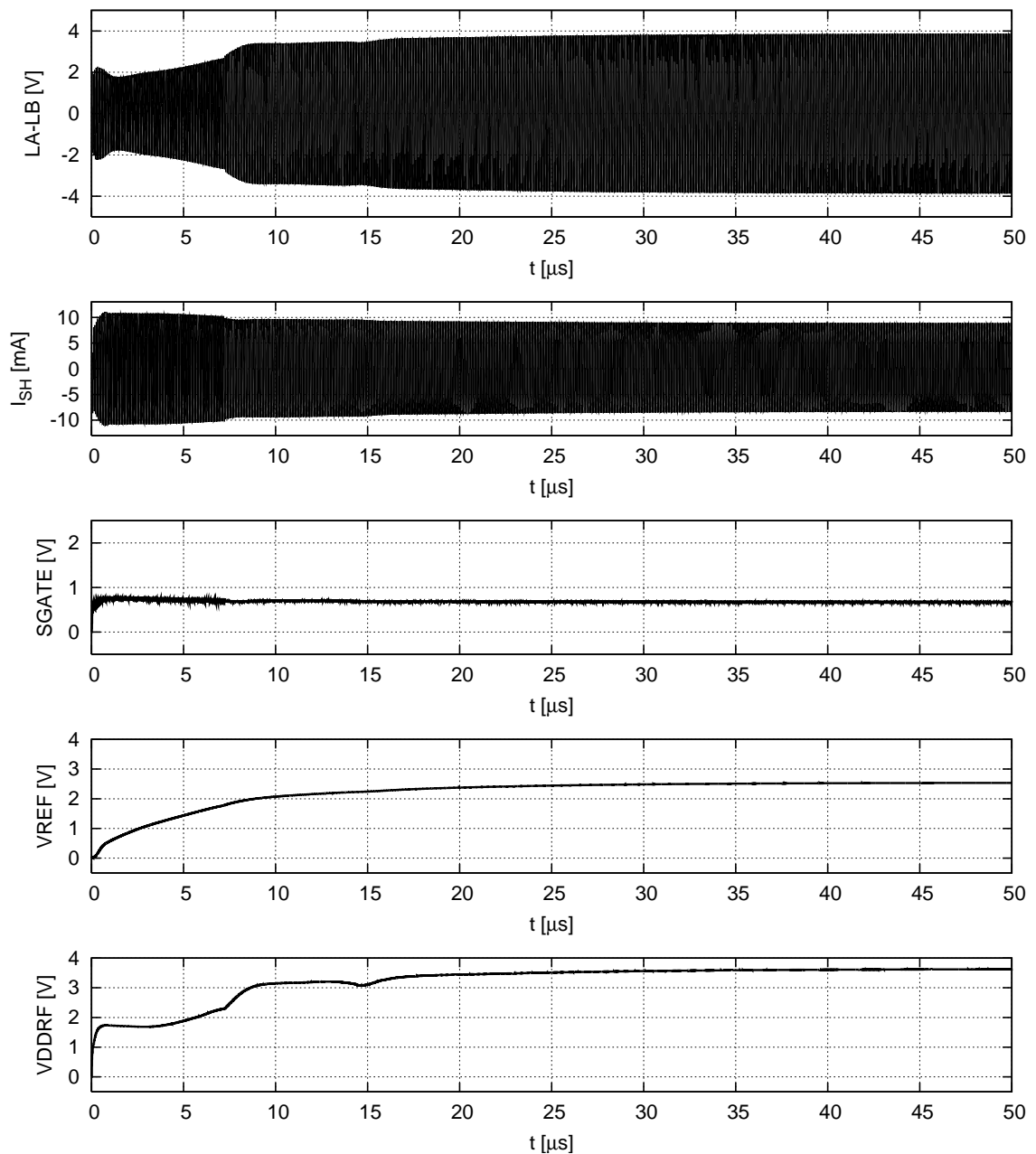


Abbildung 3.12: Shunt-Regelung beim Startup

3.3.6 Simulation Modulator

Abbildung 3.13 zeigt die Funktion des Modulators. Der Digitalteil erzeugt das Signal MOD welches den Modulator aktiviert. Die Modulation führt zu einer Erhöhung der Spannung an SGATE, wodurch sich die Antennenspannung LA-LB verringert.

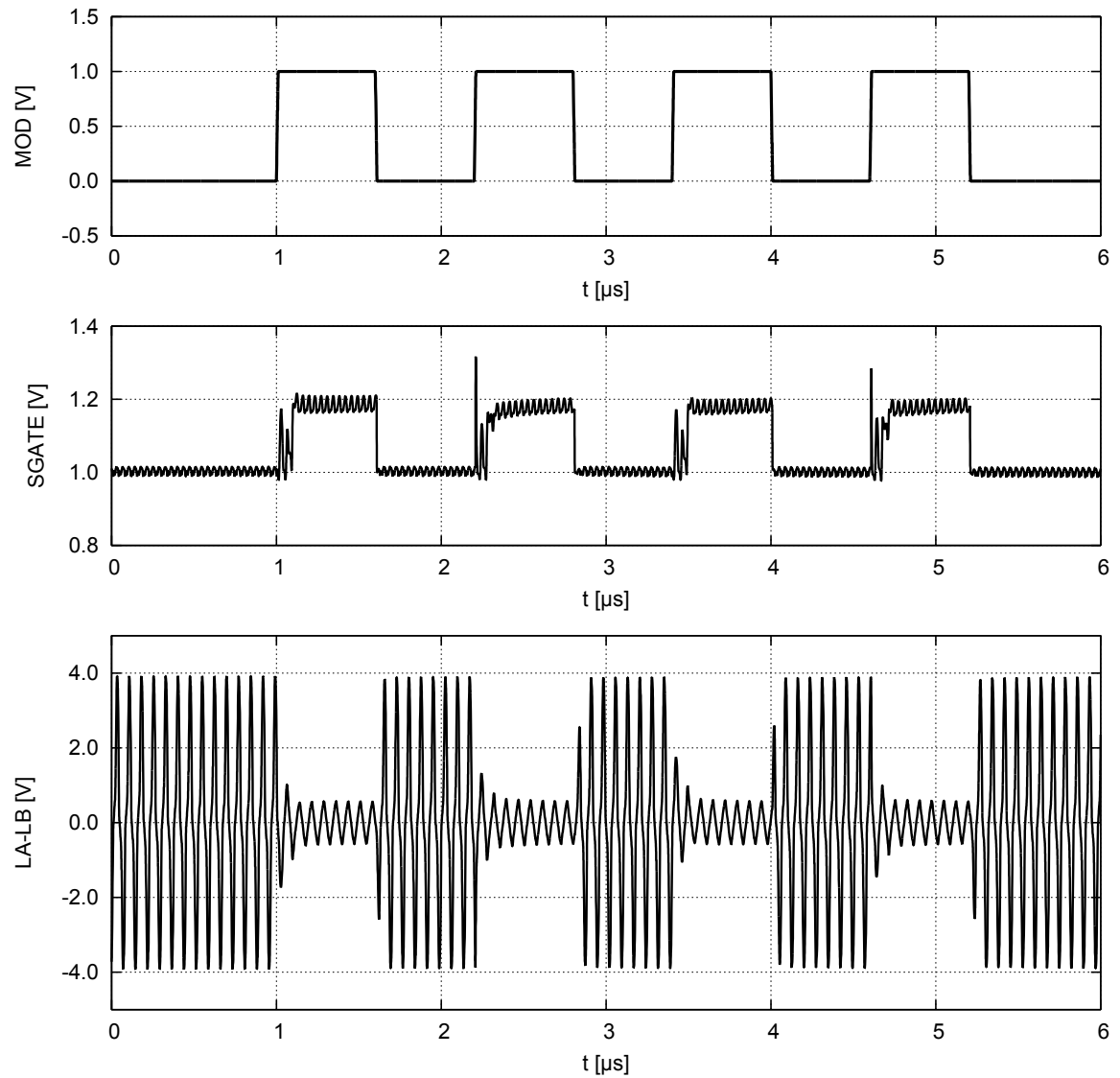


Abbildung 3.13: Simulation Modulation

3.3.7 Layout Shunt/Modulator

Abbildung 3.14 zeigt das Layout vom Shunt-Regler und Modulator. Das Layout beinhaltet zusätzliche Bauteile, welche für den Startup-Vorgang benötigt werden, jedoch hier nicht näher beschrieben sind. Abbildung 3.15 zeigt die Anordnung der einzelnen Komponenten im Gesamtlayout. Der Shunt-Transistor T_{SH} muss direkt zwischen den beiden Antennenanschlüssen LA, LB platziert werden um die Anschlussleitungen so kurz wie möglich zu halten. Der Kondensator C_{SH} benötigt sehr viel Fläche und wurde daher auf noch vorhandene freie Flächen aufgeteilt.

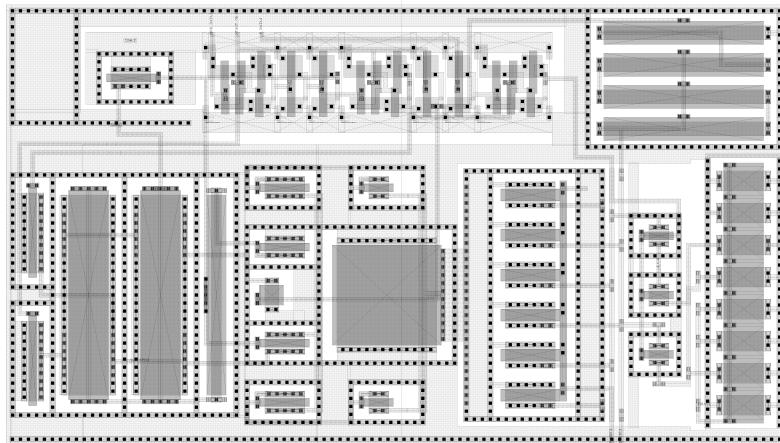


Abbildung 3.14: Layout Shunt-Regler und Modulator ($40 \times 22 \mu m^2$)

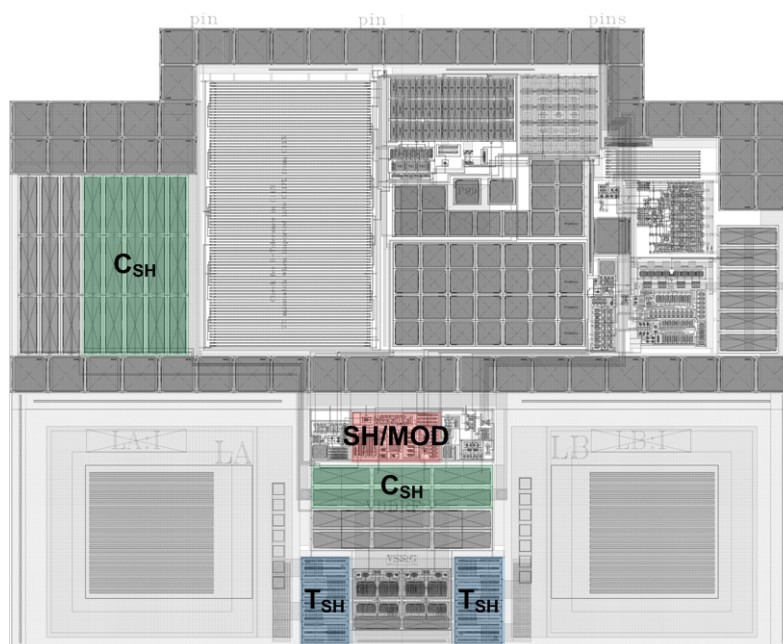


Abbildung 3.15: Layout T_{SH} , C_{SH} , Shunt-Regler und Modulator

3.4 Last-Regler

Grundsätzlich steht im HF-Bereich dank der induktiven Kopplung Strom in der Größenordnung mehrerer mA zur Verfügung. Je nach Realisierung der Shunt-Regelung kann es jedoch schwierig sein diesen Strom zu nutzen. Wie in Kapitel 2.2 beschrieben, sorgt der Shunt-Regler für die gewünschte Antennenspannung, indem überschüssiger Strom über den Shunt fließt. Diese Spannungsregelung mittels Shunt-Regler kann auf verschiedene Arten aufgebaut werden. Abbildung 3.16 zeigt das Blockschaltbild einer einfachen Realisierung der Spannungsbegrenzung mit einer DC-Shunt-Regelung durch Begrenzung der Spannung am Gleichrichterausgang. Unter Verwendung einer Shunt-Regelung auf der DC-Seite stellt das Handling der Last kein Problem dar. Der gesamte Strom teilt sich je nach Bedarf auf Last und DC-Shunt auf. Auch schnelle Änderungen des Laststromes können einfach ausgegletet werden. Allerdings muss der Gleichrichter für den maximalen Antennenstrom dimensioniert werden, was einen beträchtlichen Nachteil darstellt.

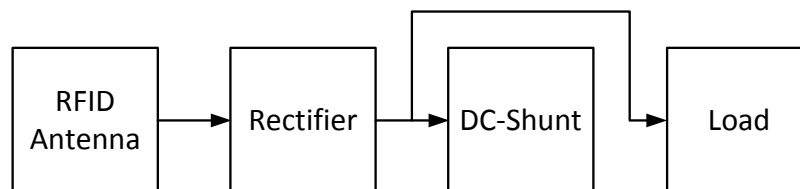


Abbildung 3.16: Blockschaltbild DC-Shunt

Deshalb kommt bevorzugt ein AC-Shunt wie in Abbildung 3.17 zum Einsatz. Dabei muss der Gleichrichter lediglich für den maximalen Laststrom dimensioniert werden. Bei Verwendung eines AC-Shunt entsteht jedoch, wie in Abbildung 3.8 ersichtlich, durch den Kondensator C_{SH} eine sehr langsame Spannungsregelung. Schnelle Änderungen des Laststromes würden daher auch zu großen Spannungssprüngen führen. Diese Realisierung ist daher nur für einen konstanten oder sehr kleinen Laststrom geeignet.

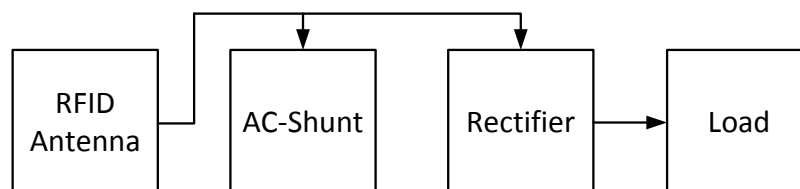


Abbildung 3.17: Blockschaltbild AC-Shunt

Abhilfe schafft hier eine Realisierung mittels AC-Shunt, kombiniert mit einem zusätzlichen DC-Shunt wie in Abbildung 3.18 ersichtlich. Dadurch erhält man die Vorteile beider Architekturen. Der AC-Shunt führt den hohen Antennenstrom, der DC-Shunt kann schnelle

Stromänderungen der Last ausregeln und der Gleichrichter muss nur für den maximalen Laststrom dimensioniert werden. Abbildung 3.19 zeigt die Stromverteilung der verschiedenen Realisierungen.

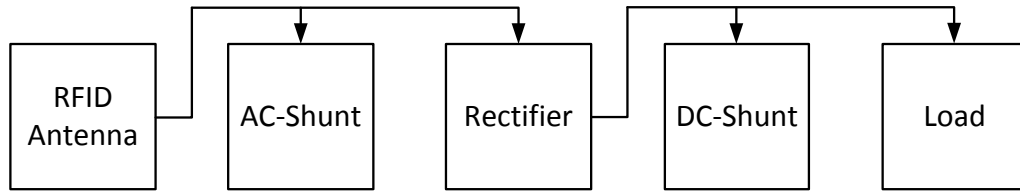


Abbildung 3.18: Blockschaltbild AC-Shunt, DC-Shunt und Last

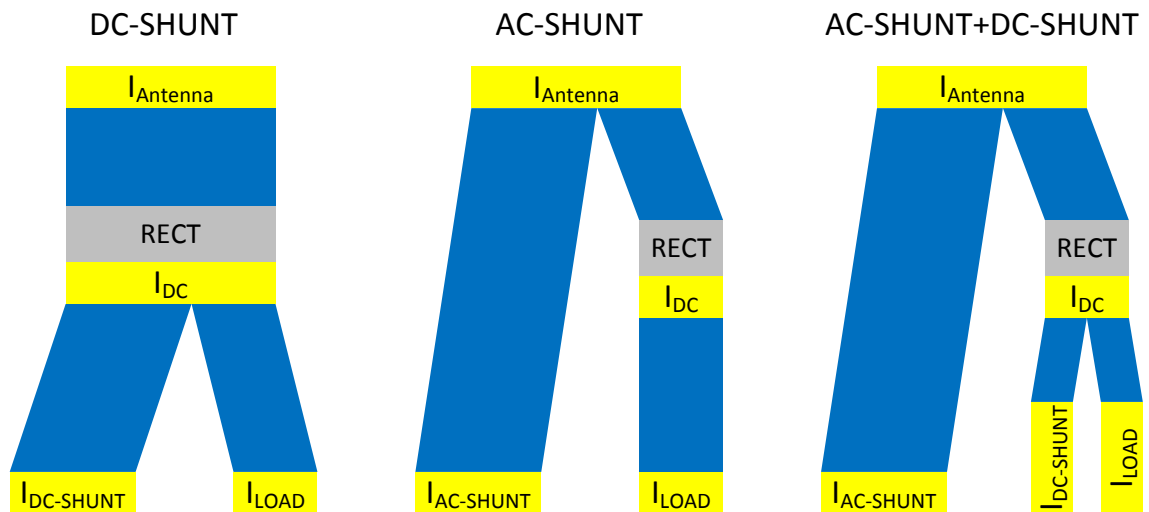


Abbildung 3.19: Stromaufteilung verschiedener Shunt-Realisierungen

3.4.1 Aufbau Last-Regler

Der Last-Regler soll den DC-Shunt gemeinsam mit einem Last-Schalter, einer Unterspannungs- und einer Strombegrenzung inkludieren und damit den Betrieb verschiedener Lasten am NFC-Frontend ermöglichen.

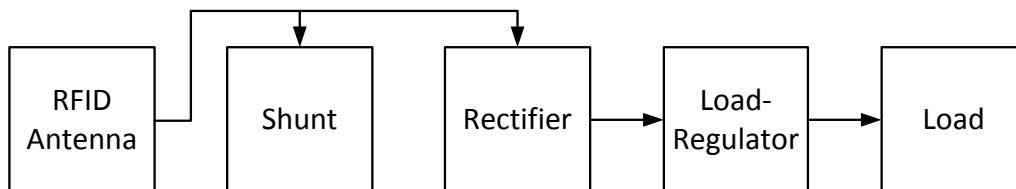


Abbildung 3.20: Blockschaltbild AC-Shunt und Last-Regler

Abbildung 3.21 zeigt den Aufbau des Last-Reglers. Um die Funktion des Shunt-Reglers sicherzustellen, darf sich die Stromaufnahme des Last-Reglers I_{LR} nicht sprunghaft, sondern nur langsam ändern. Für die Betrachtung schneller transienter Vorgänge kann daher angenommen werden, dass I_{LR} konstant bleibt. Der Strom I_{LR} teilt sich zwischen DC-Shunt und Last auf:

$$I_{LR} = I_{DCSHUNT} + I_{LOAD}$$

Der Strom des DC-Shunts $I_{DCSHUNT}$ muss so eingestellt werden, dass der Strom I_{LR} konstant bleibt. $I_{DCSHUNT}$ kann somit Werte zwischen null und I_{LR} annehmen. Da der Strom $I_{DCSHUNT}$ keine negativen Werte annehmen kann, muss der Laststrom I_{LOAD} auf den Maximalwert I_{LR} begrenzt werden. Diese Funktionen übernimmt die in Kapitel 3.4.2 beschriebene Stromregelung. Der Wert des Stroms I_{LR} ergibt sich je nach Anwendung und Konfiguration des Last-Reglers, wird jedoch auf einen Maximalwert von 1 mA begrenzt. Dafür kommt die Strommessung aus Kapitel 3.4.3 zum Einsatz. Die Betriebsart des Last-Reglers lässt sich über die Steueranschlüsse CURR EN und LOAD EN einstellen.

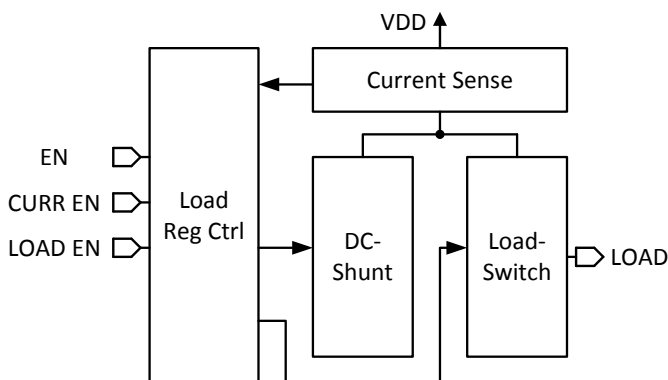


Abbildung 3.21: Übersicht Last-Regler

3.4.2 Stromregelung

Die Schaltelemente des Gleichrichters weisen einen Spannungsabfall auf, welcher vom Belastungsstrom abhängt. Mit steigendem Ausgangsstrom sinkt daher die Spannung am Ausgang des Gleichrichters ab. Der Gleichrichter kann daher wie in Abbildung 3.22 gezeigt als Gleichspannungsquelle mit Innenwiderstand betrachtet werden.

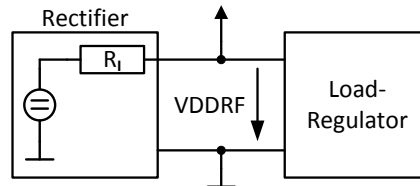


Abbildung 3.22: Innenwiderstand Gleichrichter

Diese Eigenschaft wird für die Stromregelung des Last-Reglers genutzt. Die richtige Strom-einstellung wird über eine Regelung der Spannung V_{DDRF} erreicht. Dafür kommt die in Abbildung 3.23 gezeigte Schaltung zum Einsatz.

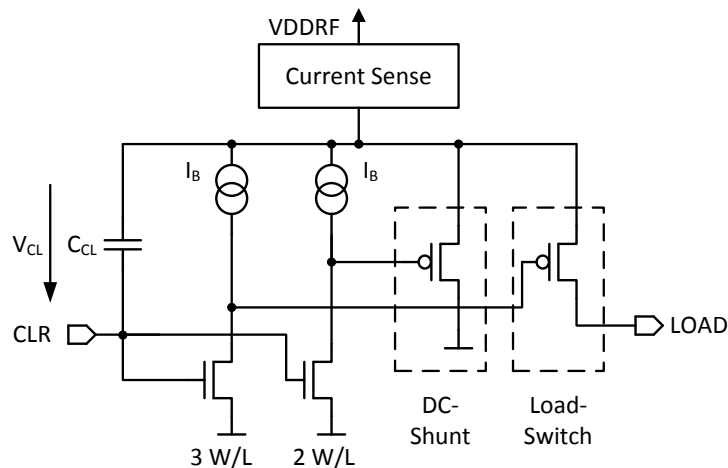


Abbildung 3.23: Schaltung Stromregelung

Diese stellt einen Regelkreis dar, welcher die Spannung am Knoten CLR auf ca. $1 V_{TH}$ regelt. Die Spannungsverstärkung wird durch NMOS-Transistoren in Source-Schaltung in Kombination mit Stromquellen erzeugt. Die nachgeschalteten PMOS-Transistoren bilden einerseits den DC-Shunt und andererseits den Last-Schalter. Durch unterschiedliche Dimensionierung des Weiten-Längen-Verhältnisses der beiden NMOS-Transistoren wird sichergestellt, dass erst Strom über den DC-Shunt fließen kann wenn der Last-Schalter eingeschaltet ist. Der Strom über DC-Shunt und Last-Regler führt zu einem Spannungsabfall am Messwiderstand des Stromsensors welcher über den Kondensator C_{CL} zum Knoten CLR zurückgeführt wird und die negative Rückkopplung bildet. Es entsteht somit ein

schneller Regelkreis der Änderungen von V_{DDRF} verhindert. Über die Spannung am Kondensator C_{CL} kann in weiterer Folge die Gleichspannung V_{DDRF} geregelt werden. Der Strom ergibt sich durch den Innenwiderstand des Gleichrichters. Abbildung 3.24 zeigt die Stromaufnahme des Lastreglers I_{LR} in Abhängigkeit der Spannung V_{DDRF} für verschiedene Spannungen V_{CL} des Kondensators C_{CL} . Die Kennlinien I_{LR} zeigen das langfristige Verhalten mit Strombegrenzung. Der strichlierte Bereich zeigt das kurzfristige transiente Verhalten. Der lineare Anstieg entsteht durch den Messwiderstand des Stromdetektors. Weiters ist der Strom des Gleichrichters I_{RECT} in Abhängigkeit der Spannung V_{DDRF} dargestellt. Der Betriebspunkt stellt sich beim Schnittpunkt von I_{LR} und I_{RECT} ein.

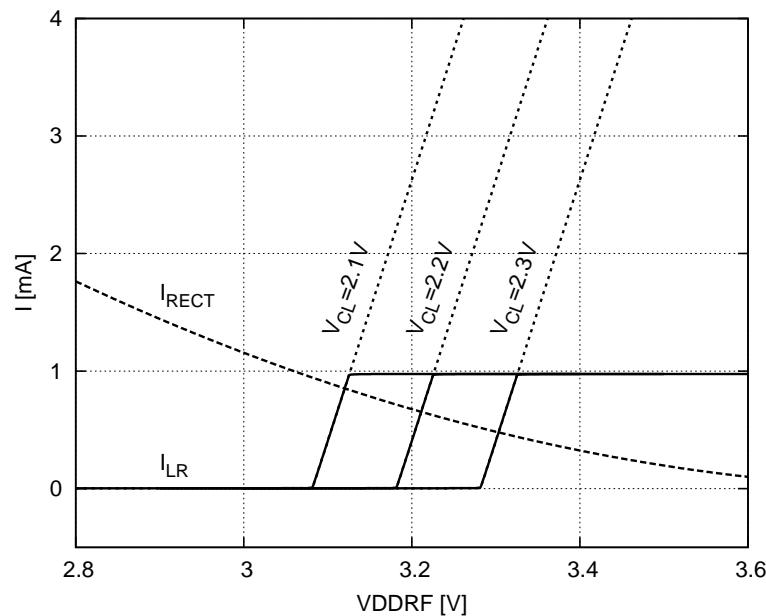


Abbildung 3.24: DC-Simulation der Stromregelung

Durch Einbringen von Ladung in den Knoten CLR kann die Spannung am Kondensator C_{CL} und in weiterer Folge der Strom I_{LR} eingestellt werden. Die so aufgebaute Schaltung erfüllt mehrere Funktionen. Bei einem konstanten Strom in den Knoten CLR entsteht am Kondensator C_{CL} eine rampenförmige Spannung. Dadurch kann sich die Spannung V_{DDRF} nur langsam ändern und der Strom I_{LR} kann nur langsam auf- und abgebaut werden. Bei Spannungseinbruch während Pause oder Modulation wird I_{LR} sofort abgeschaltet und ein Spannungseinbruch von V_{DDRF} verhindert. Um den Strom I_{LR} zu erhöhen muss der Last-Regler die Spannung V_{DDRF} verringern. Dies wird erreicht indem Strom in den Knoten CLR fließt. Dafür wird der Last-Regler mit dem Shunt-Regler kombiniert, wie in Abbildung 3.25 ersichtlich ist. Der DC-Shunt verhält sich dabei ähnlich wie der AC-Shunt. Wenn nicht genug Strom zur Verfügung steht übernimmt der Last-Regler den gesamten Strom und erfüllt die Funktion der Shunt-Regelung.

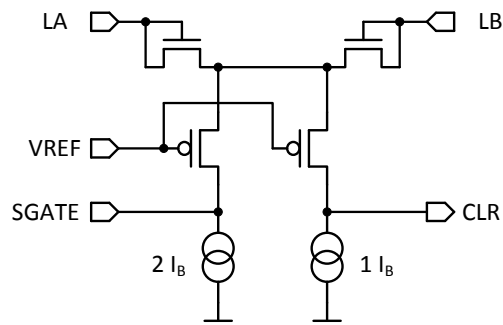


Abbildung 3.25: Kombination von Shunt- mit Last-Regler

Für eine Reduktion des Stromes I_{LR} muss Strom aus dem Knoten CLR fließen. Dies ist erforderlich um nach Erreichen des gewünschten Wertes für I_{LR} den Strom des Shunt-Reglers in CLR abzuleiten, oder um I_{LR} zu reduzieren. Hierfür wird wie in Abbildung 3.26 gezeigt eine zuschaltbare Stromquelle verwendet. Diese muss der gewünschten Betriebsart entsprechend geschaltet werden. Die Schaltung zeigt die logische Funktion. Wenn der Steuereingang CURR EN auf LOW liegt, fließt Strom aus dem Knoten CLR ab, sobald LOAD OK auf HIGH geht und somit die gesamte Spannung VDDRF an der Last anliegt. Die Strom I_{LR} passt sich somit dem Strom der Last I_{LOAD} an. Liegt der Steuereingang CURR EN jedoch auf HIGH, so fließt erst Strom aus dem Knoten CLR wenn CURR OK auf HIGH geht. Somit wird bei dieser Betriebsart der Strom I_{LR} immer auf den Maximalwert von 1 mA eingestellt. Die genaue Realisierung dieser Schaltung ist in Abbildung 3.29 ersichtlich.

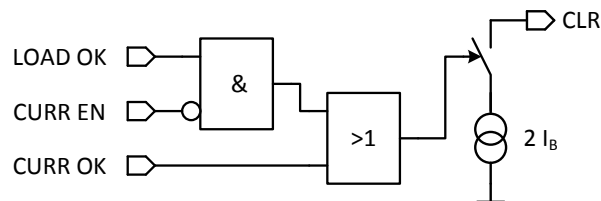


Abbildung 3.26: Schaltung zur Stromreduktion des Last-Reglers

3.4.3 Strommessung

Zur Strommessung wird eine Schaltung benötigt, welche das Überschreiten eines Stromes von 1 mA erkennt. Dafür wird der Spannungsabfall über einen Messwiderstand herangezogen. Überschreitet dieser Spannungsabfall einen bestimmten Wert, so wird dies detektiert. Dafür wird das Verhalten der MOS-Transistoren im Subthreshold-Bereich genutzt. Gleichung (3.1) beschreibt den Drainstrom I_D eines MOS-Transistoren im Subthreshold-Bereich in Abhängigkeit der Gate-Source Spannung V_{GS} , wie in Referenz [1] beschrieben.

$$I_D = \frac{W}{L} \cdot I_t e^{(V_{GS}-V_T)/n\Phi} \quad (3.1)$$

Unter Verwendung zweier Transistoren, welche mit dem Strom I_B betrieben werden, jedoch unterschiedliche Weiten- bzw. Längenverhältnisse aufweisen, werden zwei Spannungen V_{GS1} und V_{GS2} erzeugt. Die Spannungsdifferenz ΔV_{GS} wird als Referenz genutzt. Abbildung 3.27 zeigt den Aufbau der Schaltung. Der Absolutwert des Stromes geht nicht ein, solange die Transistoren im Subthreshold-Bereich arbeiten.

$$\frac{W_1/L_1}{W_2/L_2} = \frac{I_t e^{(V_{GS2}-V_T)/n\Phi}}{I_t e^{(V_{GS1}-V_T)/n\Phi}} = e^{(V_{GS2}-V_{GS1})/n\Phi} = e^{\Delta V_{GS}/n\Phi}$$

Durch eine Skalierung der W/L-Verhältnisse von 1 : 4 wird ein Spannungsabfall von ca. 50 mV erreicht, was über den 50 Ω -Messwiderstand den gewünschten Strom von 1 mA ergibt.

$$\Delta V_{GS} = n\Phi \cdot \ln\left(\frac{W_1/L_1}{W_2/L_2}\right) \approx 80mV \cdot \log(4) = 48.16mV$$

$$I = \frac{\Delta V_{GS}}{R_M} = \frac{48.16mV}{50\Omega} \approx 1mA$$

Die hier vorgestellte Schaltung ermöglicht eine High-Side Strommessung mit geringem Bauteilaufwand. Außerdem ist sowohl der Spannungsabfall am Messwiderstand als auch die Stromaufnahme der Schaltung gering. Nachteilig ist die schlechte Genauigkeit sowie die starke Temperaturabhängigkeit, was für diese Anwendung jedoch unbedeutend ist.

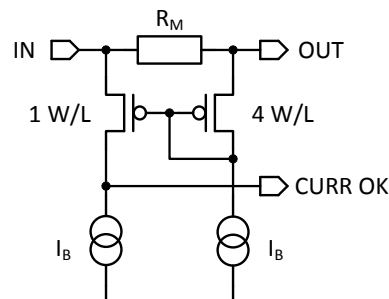


Abbildung 3.27: Schaltung Stromdetektor

3.4.4 Last-Detektor

Der Last-Detektor ermittelt den Betriebszustand der Last. Dafür soll erkannt werden, ob an der Last die Spannung V_{DDRF} anliegt und der Last-Regler den Strom der Last nicht begrenzt. Dies wird benötigt um bei entsprechender Betriebsart den Strom des Last-Reglers zu begrenzen. Um diese Funktion zu realisieren, wird detektiert, ob der Lastschalter eingeschaltet ist. Wie in Kapitel 3.4.2 erklärt, kann erst Strom über den DC-Shunt fließen, wenn der Lastschalter eingeschaltet ist. Somit kann der Last-Detektor einfach realisiert werden, indem überprüft wird, ob der DC-Shunt einen Mindeststrom führt. Der DC-Shunt wird dafür mit einem zweiten PMOS-Transistor verbunden, wodurch ein Stromspiegel entsteht. Überschreitet der Strom dieses PMOS-Transistors den Biasstrom I_B , so geht der Steuerausgang $LOAD OK$ auf logisch 1.

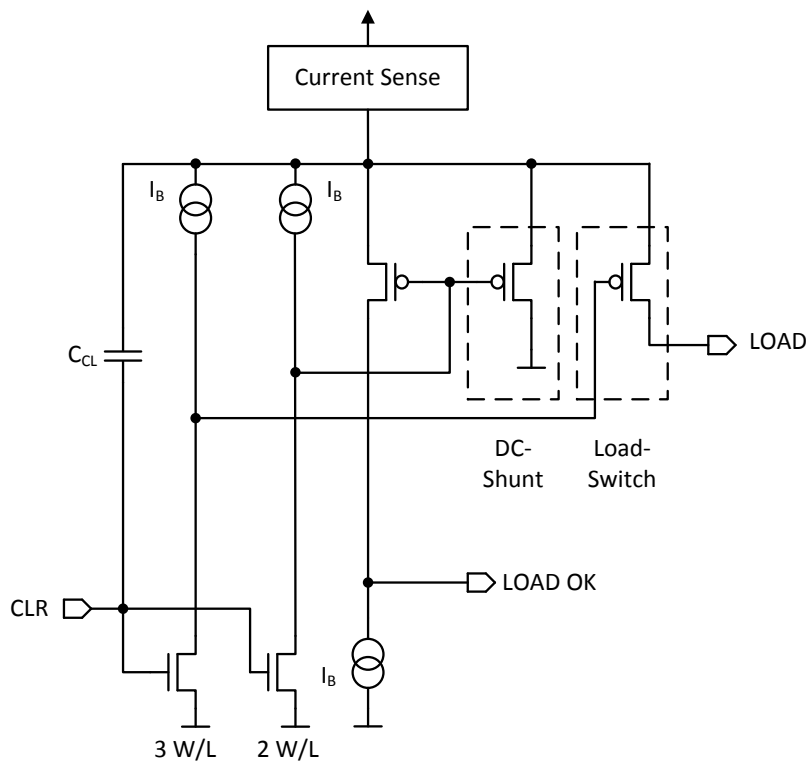


Abbildung 3.28: Schaltung Last-Detektor

3.4.5 Gesamtschaltung Last-Regler

Abbildung 3.29 zeigt die vereinfachte Gesamtschaltung des Last-Reglers. Dabei sind die in den vorhergehenden Seiten beschriebenen Schaltungsteile zusammengefasst. Zur besseren Übersicht sind auch Shunt und Gleichrichter inkludiert.

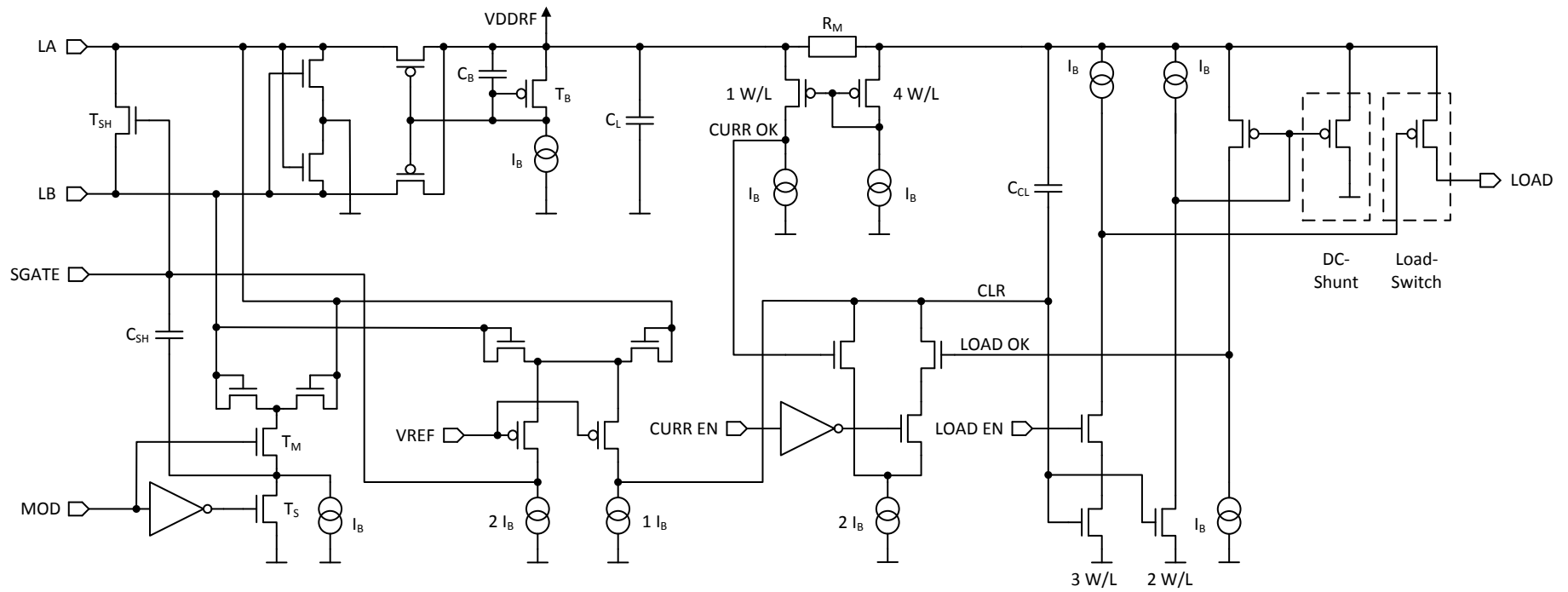


Abbildung 3.29: Gesamtschaltung des Last-Reglers mit Shunt und Gleichrichter

3.4.6 Layout Last-Regler

Abbildung 3.30 zeigt das Layout des Last-Reglers. Das Layout beinhaltet die auf den vorhergehenden Seiten beschriebenen Schaltungsteile. Die Leistungsanschlüsse umfassen die Spannungsversorgung sowie den Ausgang des Last-Reglers und sind als besonders breite Schienen ausgeführt. Die PMOS-Transistoren für DC-Shunt und Last-Schalter als auch der Messwiderstand für den Stromdetektor sind mit kurzen Zuleitungen dazwischen angeordnet. Weiters beinhaltet das gezeigte Layout die Stromregelung, Stromspiegel zur Erzeugung der benötigten Biasströme und weitere Bauteile zur Erzeugung der Ausgangssignale LOAD OK und CURR OK.

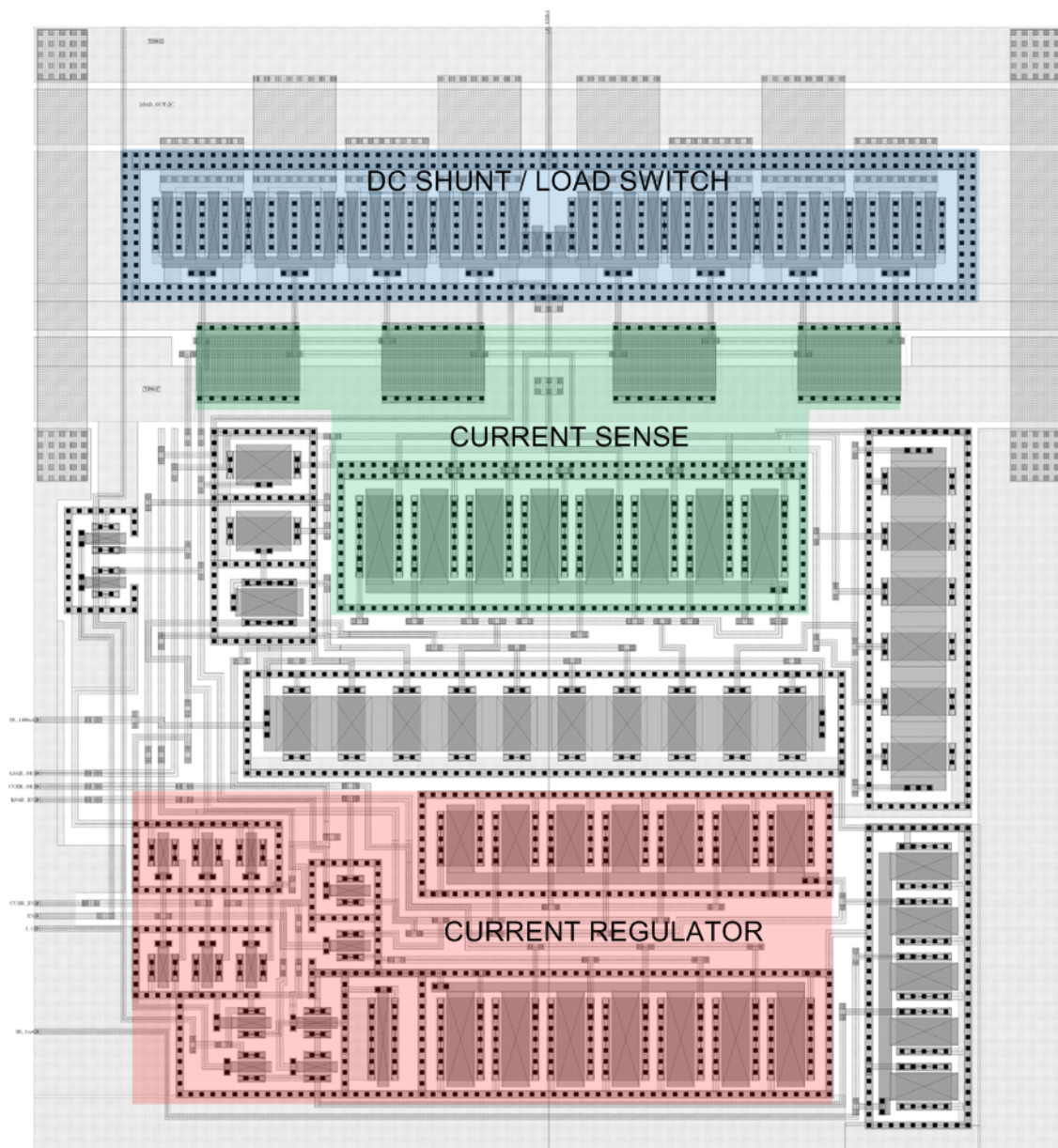


Abbildung 3.30: Layout Last-Regler ($38 \times 41 \mu m^2$)

Der Kondensator C_{CL} bestimmt das Verhalten des Last-Reglers und kann daher je nach Anwendung unterschiedlich dimensioniert werden. Aus diesem Grund ist dieser im Layout des Last-Reglers nicht inkludiert. Abbildung 3.31 zeigt die Anordnung des Last-Reglers und des Kondensators C_{CL} im Gesamtlayout.



Abbildung 3.31: Layout C_{CL} und Last-Regler

3.4.7 Simulation Last-Regler

Abbildung 3.32 zeigt die Stromaufteilung zwischen Shunt und Last-Regler. Das Steuersignal CURR EN aktiviert den Last-Regler und führt dazu, dass der aufgenommene Strom des Last-Reglers I_{LR} bis zum Maximalwert von 1 mA ansteigt. Der Strom des Shunt-Reglers I_{SH} wird dabei verringert, sodass die Antennenspannung LA-LB weitestgehend unbeeinflusst bleibt. Sobald der Strom des Last-Reglers I_{LR} den gewünschten Wert erreicht, wird der Ausgang CURR OK auf High gelegt.

Abbildung 3.33 zeigt die Stromaufteilung zwischen DC-Shunt und Last während eines Lastwechselvorgangs. Der Gesamtstrom des Last-Reglers I_{LR} setzt sich aus dem Strom $I_{DCSHUNT}$ und dem Laststrom I_{LOAD} zusammen. Nachdem der Strom durch das Steuersignal CURR EN aufgebaut ist, kann die Last mit LOAD EN eingeschaltet werden. Dadurch kann, je nach Bedarf, bis zum Maximalwert von 1 mA, Strom für die Last zur Verfügung gestellt werden. Der Strom $I_{DCSHUNT}$ verringert sich entsprechend, sodass der Gesamtstrom I_{LR} konstant bleibt. Somit bleibt auch die Antennenspannung LA-LB konstant.

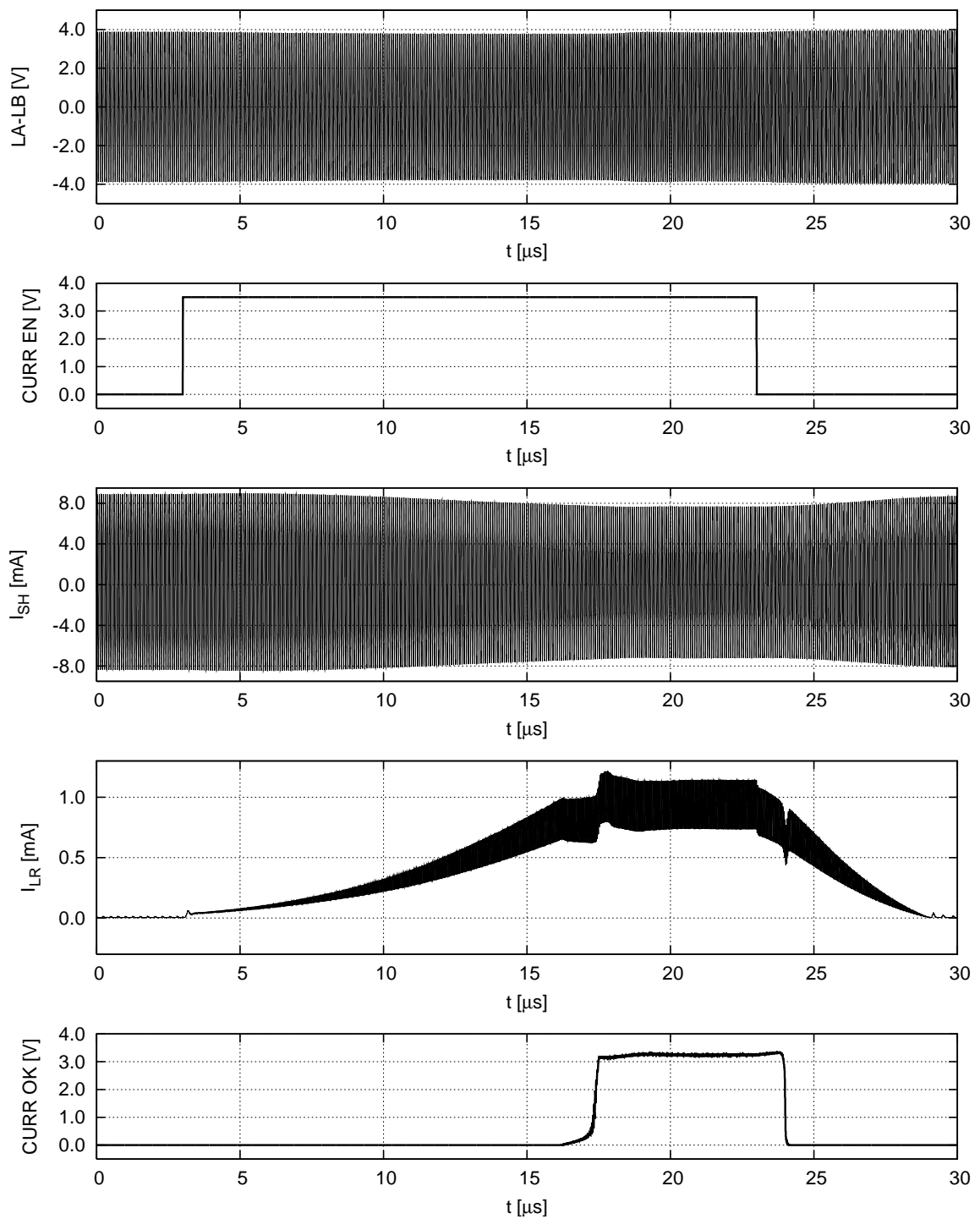


Abbildung 3.32: Stromaufteilung zwischen Shunt und Last-Regler

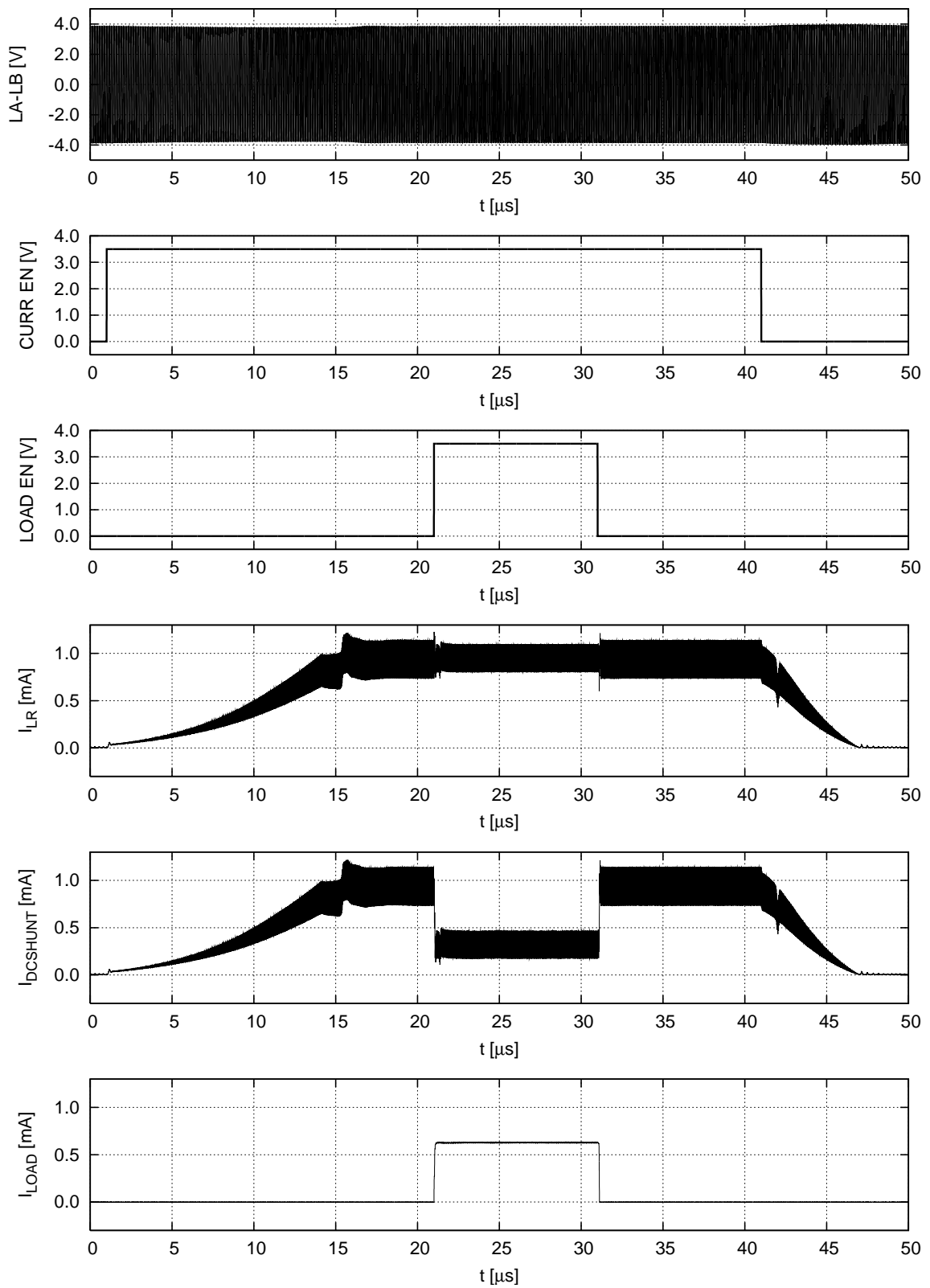


Abbildung 3.33: Stromaufteilung zwischen DC-Shunt und Last

3.4.8 Anwendung des Last-Regler

Das wichtigste Anwendungsgebiet des Last-Reglers ist die Versorgung von Lasten welche eine stark schwankende Stromaufnahme aufweisen. Ohne Last-Regler würde ein schwankender Laststrom zu Spannungseinbrüchen am VDDRF-Netz führen. Der Last-Regler schafft hier Abhilfe. Über den Last-Regler fließt ein konstanter Strom von 1 mA. Dieser wird je nach Bedarf zwischen Last und DC-Shunt aufgeteilt. Dadurch steht der Last jederzeit ein beliebiger Strom bis zu einem Maximalwert von 1 mA zur Verfügung. Gleichzeitig wird der Gleichrichter des AFE mit einem konstanten Strom von 1 mA belastet, wodurch sich eine konstante Spannung am Spannungsnetz VDDRF ergibt. Die beiden Steuereingänge CURR EN und LOAD EN werden für diese Anwendung auf High gelegt.

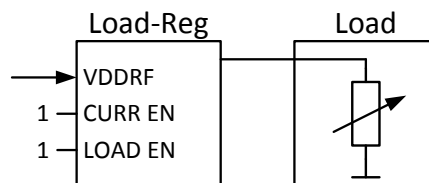


Abbildung 3.34: Versorgung einer Last mit schwankender Stromaufnahme

Diese Betriebsart des Last-Reglers kann auch dazu verwendet werden, die Spannungsversorgung eines dem AFE nachgeschalteten Funktionsblocks während einer Unterbrechung des HF-Feldes (Pause) aufrechtzuerhalten. Dafür muss das hier vorgestellte AFE mit einem Spannungsregler sowie einem Kondensator am Ausgang des Last-Reglers erweitert werden. Abbildung 3.35 zeigt den Aufbau. Während einer Pause kann die Last aus dem Kondensator heraus versorgt werden. Im Gegensatz zur Spannung am VDDRF-Netz kann die Spannung V_{CAP} des Kondensators, bis zur für die Last mindestens benötigten Spannung V_{LOAD} , absinken. Dadurch kann die gespeicherte Ladung optimal genutzt werden. Nach der Pause wird der Kondensator mithilfe des Last-Reglers mit einem konstanten Strom geladen. Abbildung 3.36 zeigt das Verhalten dieser Schaltung während einer Pause.

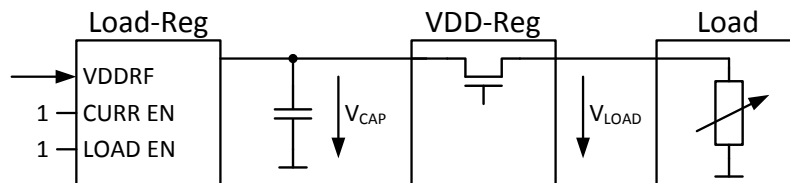


Abbildung 3.35: Schaltung zur Überbrückung einer Pause mittels Last-Regler

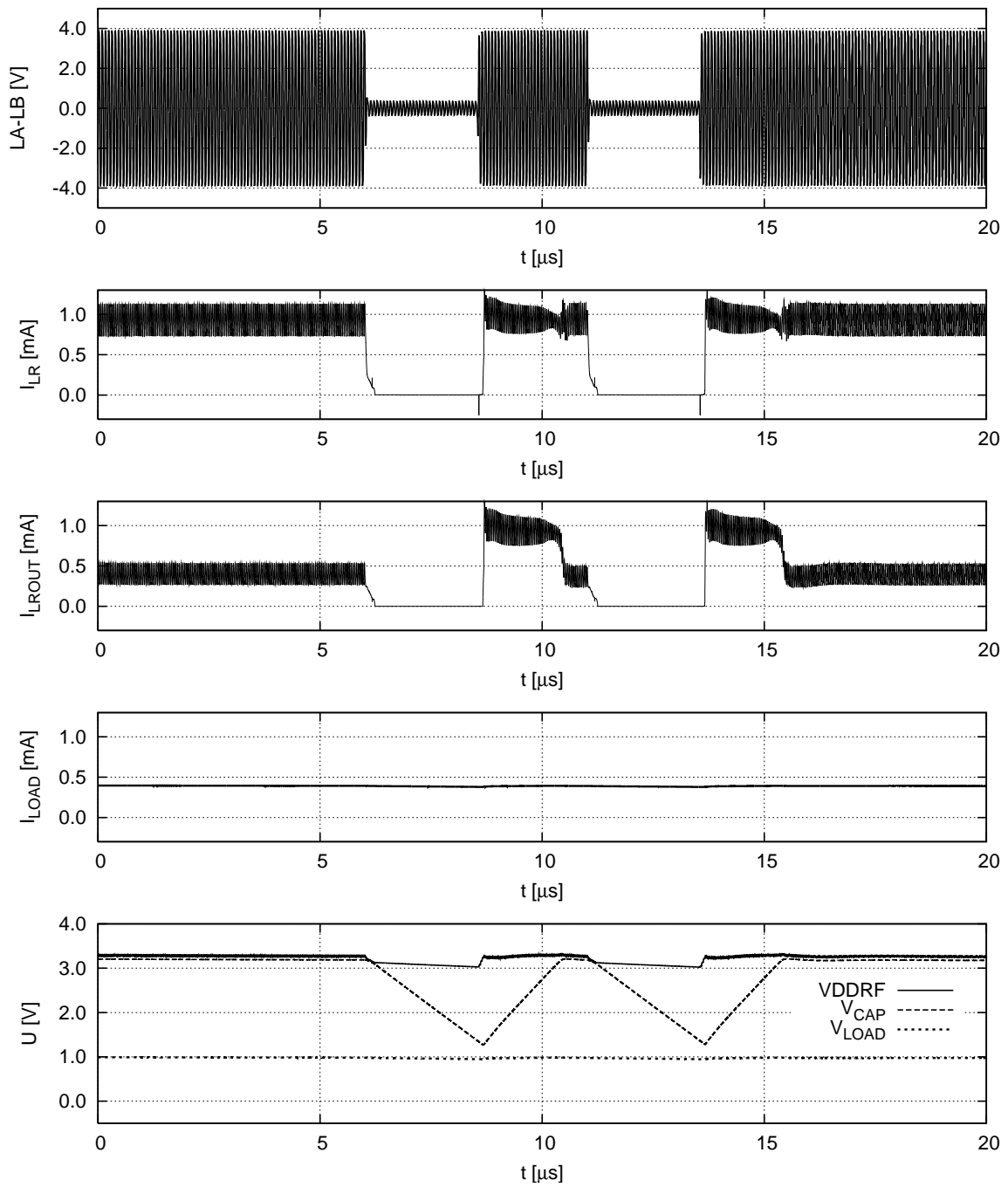


Abbildung 3.36: Simulation Spannungsversorgung während einer Pause

Der Kondensator muss entsprechend der gewünschten Ausgangsspannung sowie des Stromverbrauchs der Last dimensioniert werden. Dafür wird der Zusammenhang zwischen der Spannung am Kondensator und der gespeicherten Ladung herangezogen.

$$Q = C \cdot U$$

Die nutzbare Ladung des Kondensators hängt somit von der Spannungsänderung ab. Diese ist entsprechend der in Abbildung 3.36 gezeigten Simulation durch die Maximalspannung V_{DDRF} von 3 V sowie durch die Minimalspannung V_{LOAD} von 1 V gegeben.

$$\Delta U = V_{DDRF} - V_{LOAD} = 3 V - 1 V = 2 V$$

Die nötige Ladung Q errechnet sich aus dem Strom und der zu überbrückenden Zeit. Der Strom wird für dieses Berechnungsbeispiel wie in der Simulation mit $400 \mu A$ gewählt. Für die Zeit wird die typische Länge einer Feldlücke (Pause) von $2 \mu s$ herangezogen.

$$C = \frac{\Delta Q}{\Delta U} = \frac{I \cdot \Delta t}{\Delta U} = \frac{400 \mu A \cdot 2 \mu s}{2 V} = 400 pF$$

Damit ergibt sich ein Wert von 400 pF für die Kapazität, welcher zur Überbrückung einer Pause nicht unterschritten werden darf.

Eine weitere Einsatzmöglichkeit bildet der Einsatz des Last-Reglers für Energy Harvesting-Zwecke. Dabei wird überschüssige Energie verwertet und beispielsweise einem Energiespeicher zugeführt. Für diese Betriebsart wird CURR EN auf Low und LOAD EN auf High gelegt. Der Strom des Last-Reglers passt sich in dieser Betriebsart bis zum Maximalstrom von 1 mA dem Laststrom an. Wenn der Gleichrichter den erforderlichen Strom nicht liefern kann wird dieser vom Last-Regler so begrenzt, dass die Spannung am Versorgungsnetz V_{DDRF} nicht einbricht. Dadurch kann auch bei einem schwachen HF-Feld an der Antenne Energie verwertet werden. Diese Betriebsart ist daher besonders gut geeignet, um etwa einen Kondensator oder eine Batterie aufzuladen.

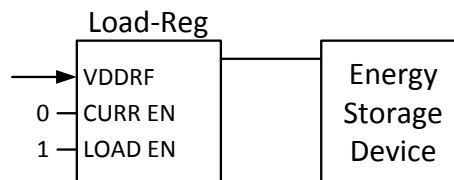


Abbildung 3.37: Energy Harvesting unter Verwendung des Last-Reglers

3.5 CLK-Recovery

Für den Betrieb des Digitalteiles ist es erforderlich ein Taktsignal zur Verfügung zu stellen. Dieses wird aus der Antennenspannung generiert. Es muss sowohl bei normaler als auch bei verringerter Amplitude der Antennenspannung während der Modulation ein Taktsignal erzeugt werden. Außerdem muss das Auftreten von Spikes vermieden werden.

3.5.1 Aufbau

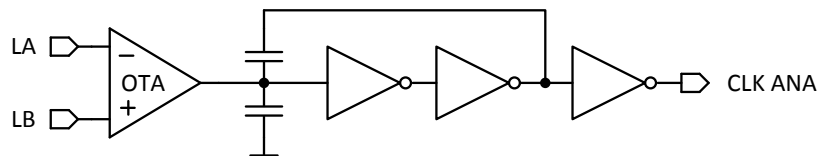


Abbildung 3.38: CLK-Recovery

Am Eingang der CLK-Recovery kommt ein Transkonduktanzverstärker (OTA) zum Einsatz. Dieser arbeitet als Komparator und stellt sicher, dass auch bei sehr kleinen Amplituden noch ein Taktsignal erzeugt werden kann. Zur Signalaufbereitung wird ein Schmitt-Trigger verwendet. Dafür werden zwei Inverter hintereinander geschaltet. Ein kapazitiver Spannungsteiler zwischen Ausgang und Eingang sorgt für positive Mitkopplung und somit für eine Hysterese. Durch den Betrieb des OTAs als Komparator wird dieser übersteuert und liefert am Ausgang einen konstanten Strom. In Kombination mit der Eingangskapazität des Schmitt-Triggers ergibt sich dadurch eine genaue Mindestzeit die zwischen zwei Schaltvorgängen benötigt wird. Über die Dimensionierung der Kondensatoren kann diese Zeit so festgelegt werden, dass Spikes sicher vermieden werden, das Taktsignal jedoch ungestört übertragen wird.

3.5.2 Layout CLK-Recovery

Abbildung 3.39 zeigt das Layout der CLK-Recovery. Der OTA ist als Current-Mirror OTA aufgebaut. Die Eingangsstufe ist unter Verwendung von PMOS-Transistoren realisiert, wodurch der Betrieb mit Eingangsspannungen um Massepotential möglich ist. Als Inverter kommen fertige Standardbausteine zum Einsatz und für die kapazitive Mitkopplung werden Metal-Metal-Kondensatoren genutzt.

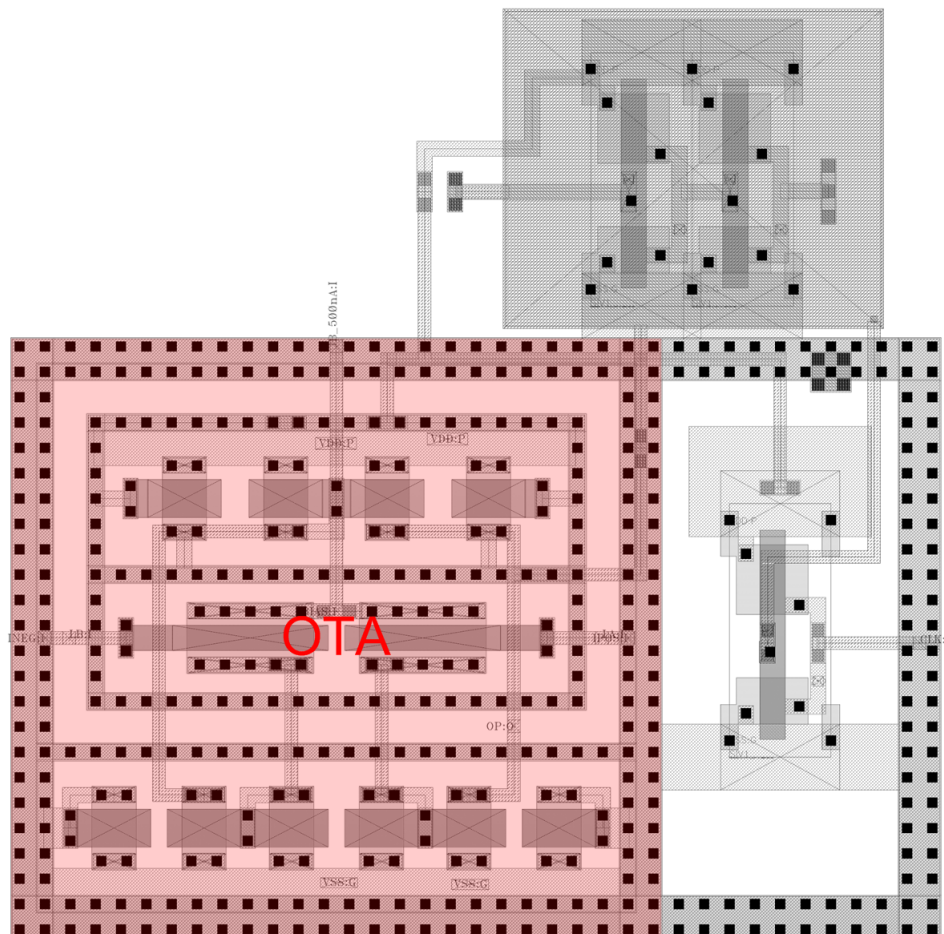


Abbildung 3.39: Layout CLK-Recovery ($15 \times 15 \mu\text{m}^2$)

3.5.3 Simulation

In Abbildung 3.40 ist die Funktion der CLK-Recovery während der Modulation dargestellt. Die Spannung zwischen LA und LB beträgt auch während der Modulation immer mindestens $1 V_{\text{TH}}$, was für den Betrieb des Komparators ausreichend ist. Dadurch kann während der Modulation ungestört das Taktsignal CLK ANA erzeugt werden.

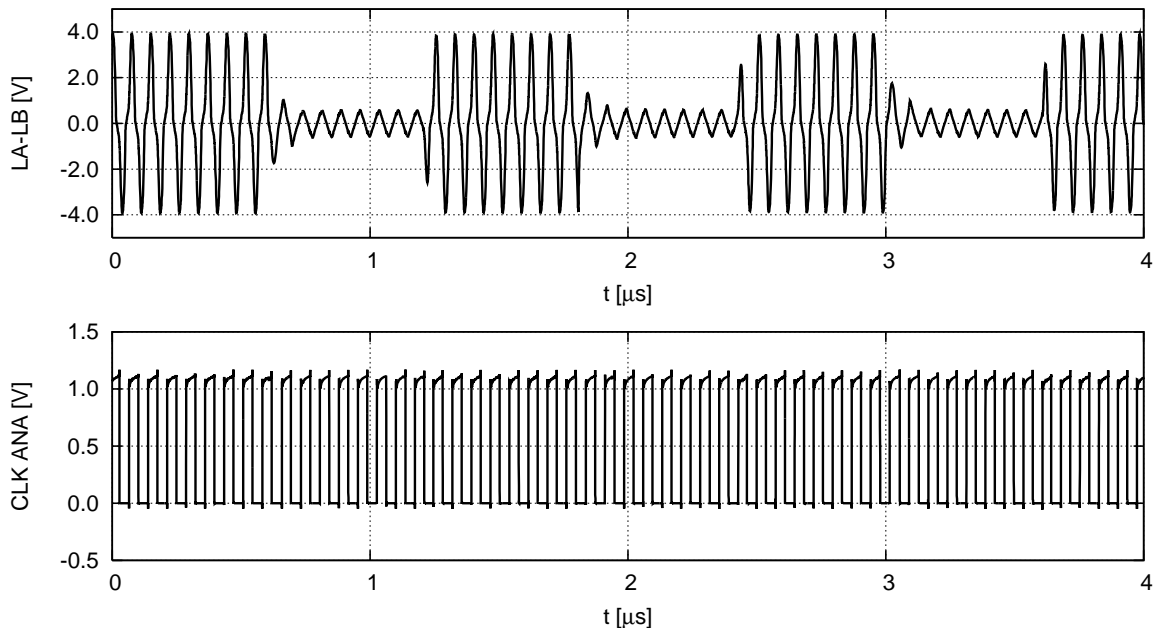


Abbildung 3.40: CLK während Modulation

In Abbildung 3.41 ist die Funktion der CLK-Recovery während der Pause dargestellt. Das Feld des Readers wird während der Pause auf Werte zwischen 0 und 5% der Ausgangsamplitude verringert. Wie das Simulationsergebnis zeigt, kann zwar ein Taktsignal aus der Spannung zwischen LA und LB entstehen, dieses ist jedoch nicht zuverlässig.

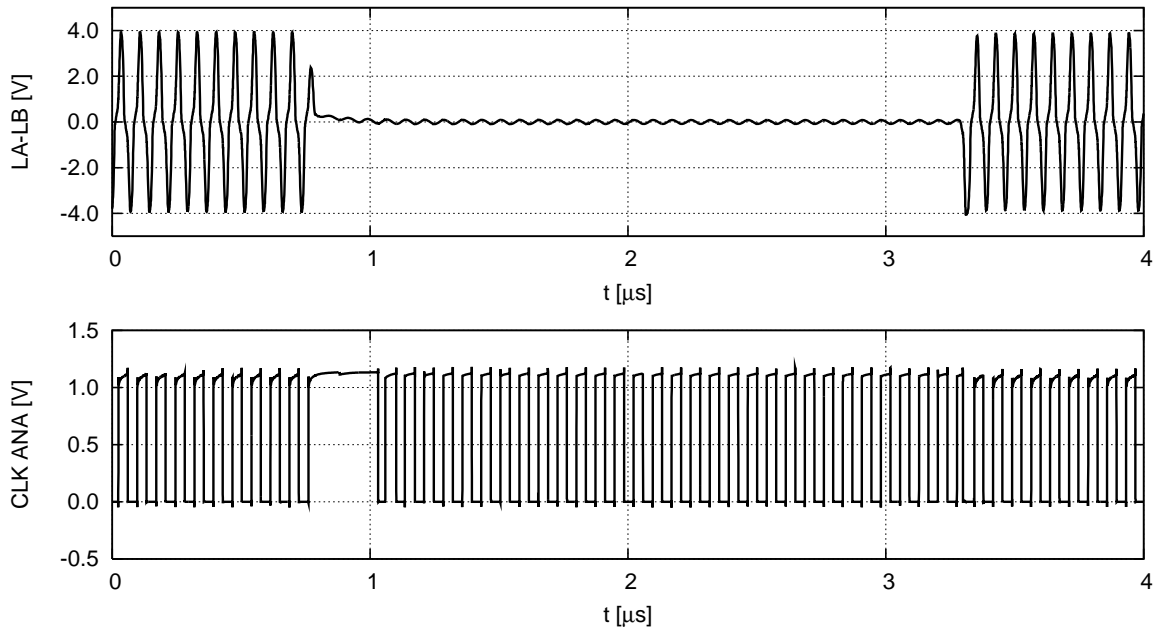


Abbildung 3.41: CLK während Pause

3.6 Data-Detector

Die Datenübertragung vom Reader zum Transponder erfolgt über Amplitudenmodulation. Der Modulationsgrad beträgt idealerweise 100%, was eine vollständige Unterbrechung des Trägers (Pause) bedeutet. Der Data-Detector muss diese Pause erkennen.

3.6.1 Aufbau

Dafür wird die Antennenspannung gleichgerichtet, tiefpassgefiltert und mittels eines Schwellwertschalters detektiert. Dies wird wie in Abbildung 3.42 ersichtlich realisiert. Zwei als Dioden geschaltete NMOS-Transistoren bilden den Gleichrichter. Ein Kondensator in Verbindung mit einer Stromquelle übernimmt die Funktion des Tiefpassfilters. Der Schwellwertschalter ist mit einem Inverter aufgebaut. Die beiden Transistoren $NMOS_{INV}$ und $PMOS_{INV}$ des Inverters sind so dimensioniert, dass sich der Schwellwert bei 50% Modulation an der Antenne ergibt. Zwei nachgeschaltete Inverter bilden eine zusätzliche Pufferstufe am Ausgang.

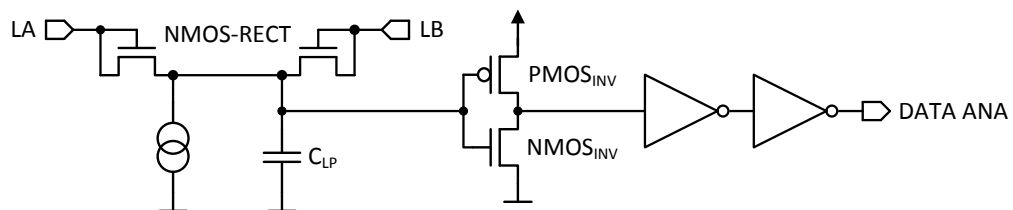


Abbildung 3.42: Data-Detector

3.6.2 Layout Data-Detector

Abbildung 3.43 zeigt das Layout des Data-Detectors. Der Kondensator C_{LP} ist unter Verwendung eines NMOS-Transistors realisiert.

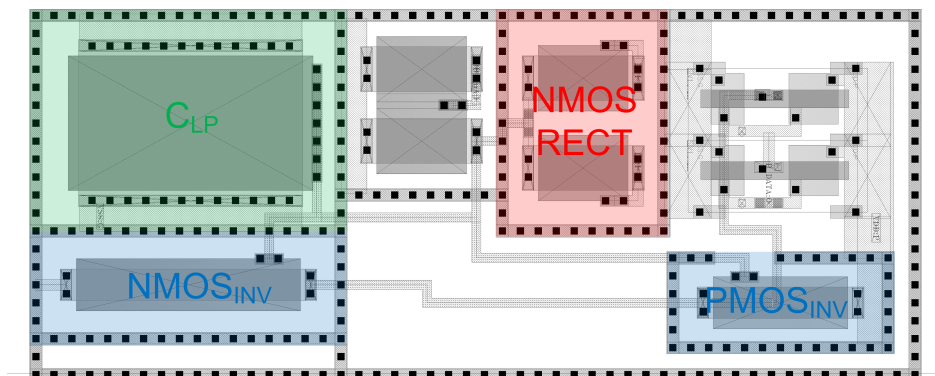


Abbildung 3.43: Layout Data-Detector ($20 \times 8 \mu m^2$)

3.6.3 Simulation

In Abbildung 3.44 ist die Funktion des Data-Detectors während der Pause ersichtlich. Die Spannung zwischen LA und LB wird nahezu ausgelöscht, was vom Data-Detector erfasst wird und dazu führt, dass das Signal DATA ANA von Low auf High wechselt.

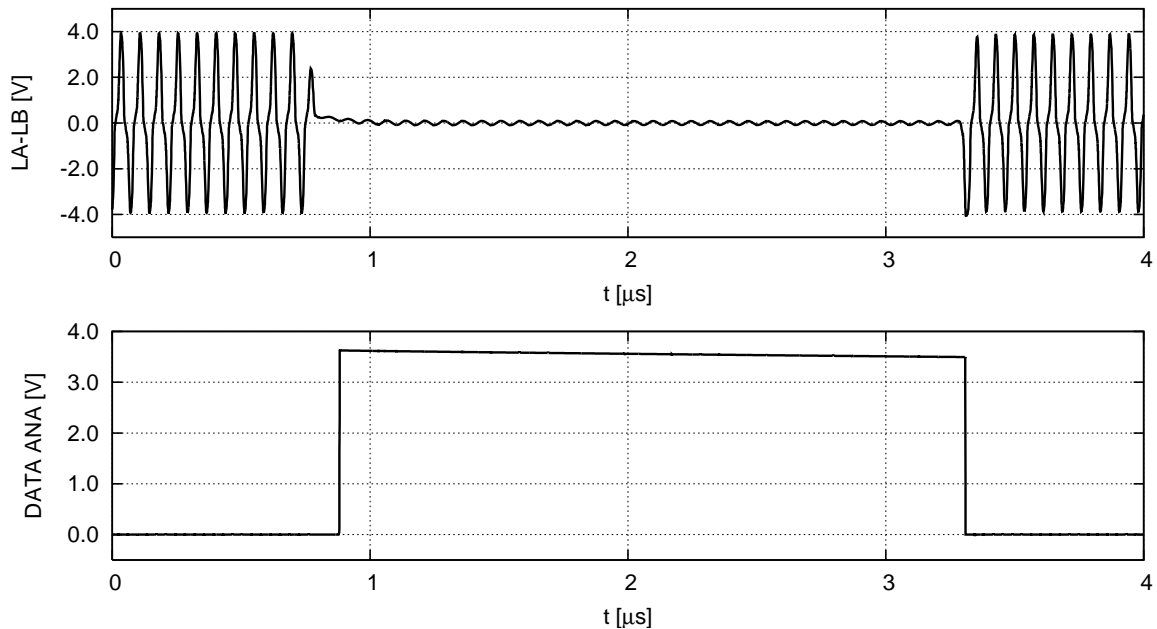


Abbildung 3.44: DATA während Pause

Abbildung 3.45 zeigt das Verhalten des Data-Detectors während der Modulation. Für die Datenübertragung ist das Ansprechen des Data-Detector bei der Modulation nicht notwendig. Da allerdings der Modulationsgrad über 50% beträgt wird auch eine Modulation als Pause detektiert.

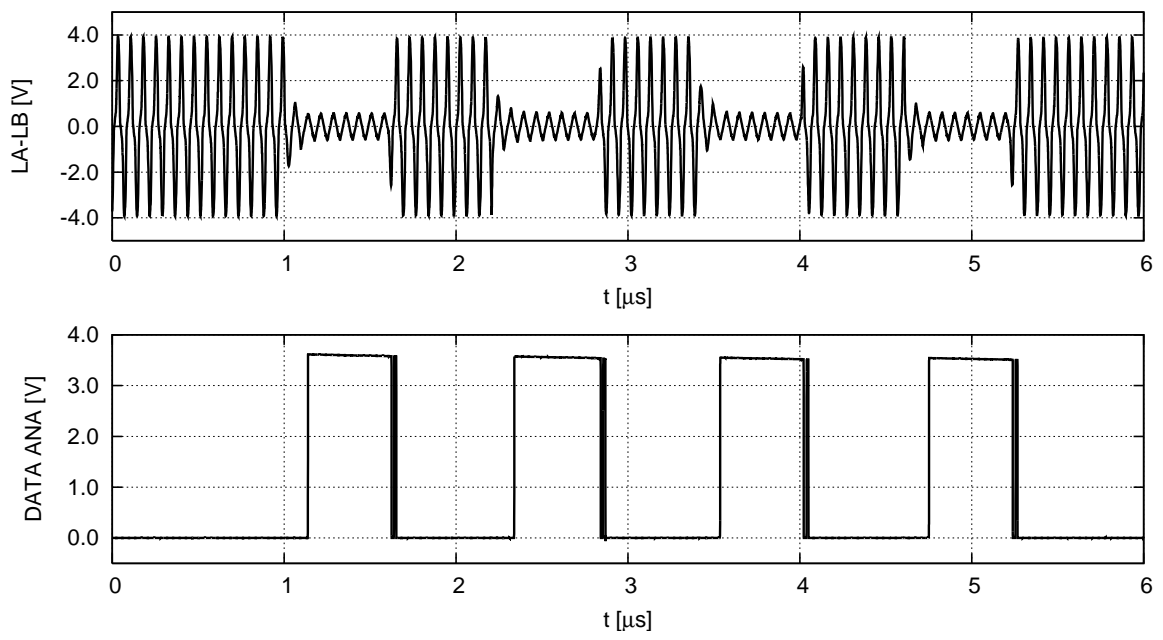


Abbildung 3.45: DATA während Modulation

3.7 CLK / Data Control

Um die Kompatibilität zwischen Analog- und Digitalteil sicherzustellen, ist eine Signalaufbereitung erforderlich. Die Spannungspegel müssen angepasst werden. Das Taktsignal muss während der Pause ausgeschaltet werden, bei Modulation jedoch erhalten bleiben. Für zuverlässiges Erkennen der Pause soll das Pause-Signal nach der Pause für sechs Taktzyklen lang auf logisch 1 bleiben. Eine Modulation darf nicht als Pause erkannt werden. Außerdem muss das Pausesignal mit dem Takt synchronisiert werden.

3.7.1 Aufbau

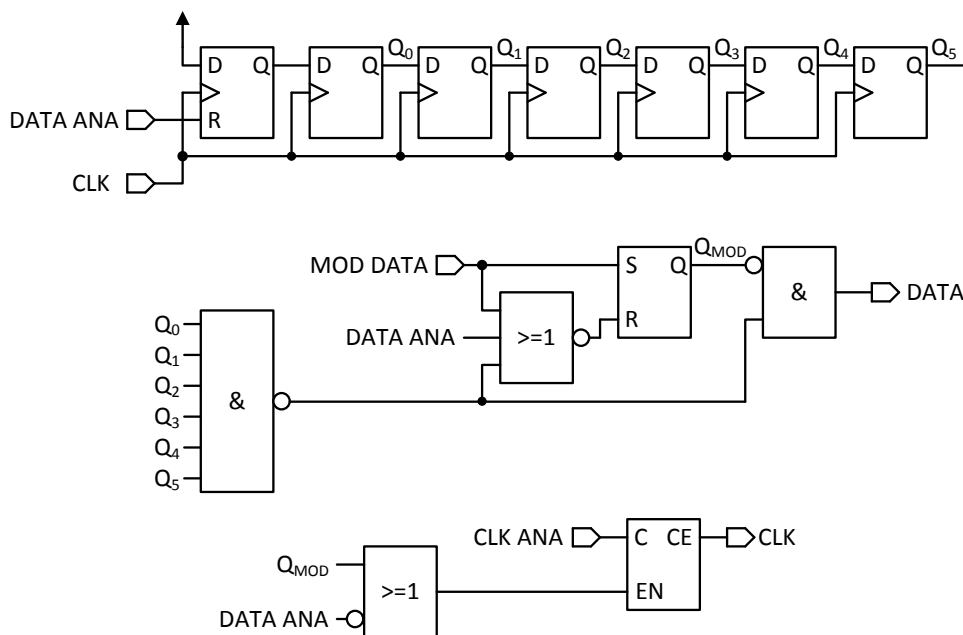


Abbildung 3.46: CLK / Data Control

Abbildung 3.46 zeigt den Aufbau der CLK / Data Control. Diese ist unter Verwendung von Logik-Bausteinen realisiert. Um ein Pausesignal zu erkennen, wird ein Flipflop verwendet. Sobald am Signal DATA ANA ein High auftritt, wird dieses Flipflop zurückgesetzt. Da es während der Pause kein Taktsignal CLK gibt, speichert das Flipflop bis zum Ende der Pause den Low-Zustand. Sechs nachgeschaltete Schieberegister sorgen für das geforderte Datensignal am Ende der Pause. Die Ausgänge der sechs Register sind UND-verknüpft, wodurch am Ende der Pause für sechs Taktzyklen lang ein High am Signal DATA anliegt, wie in Abbildung 3.48 ersichtlich. Zum Unterbrechen des Taktsignals während der Pause wird ein fertiger Baustein verwendet. Das Signal MOD DATA ermöglicht dem CLK / Data Control zwischen einer Pause und einer Modulation zu unterscheiden. Im Gegensatz zur

Pause bleibt während der Modulation, wie in Abbildung 3.49 dargestellt, das Signal DATA auf Low und das Taktsignal CLK wird nicht unterbrochen.

3.7.2 Layout CLK / Data Control

Die CLK/Data Control ist unter Verwendung von Standard Logik-Bausteinen aufgebaut. Abbildung 3.47 zeigt das Layout. Zur Spannungsversorgung werden in passenden Abständen abwechselnd VDD- und GND-Schienen angeordnet. Dadurch können die Logik-Bausteine einfach platziert werden und es müssen lediglich die logischen Verbindungen gelayoutet werden. Freie Flächen werden mit Filler-Zellen aufgefüllt. Somit entsteht ein platzsparendes Layout.

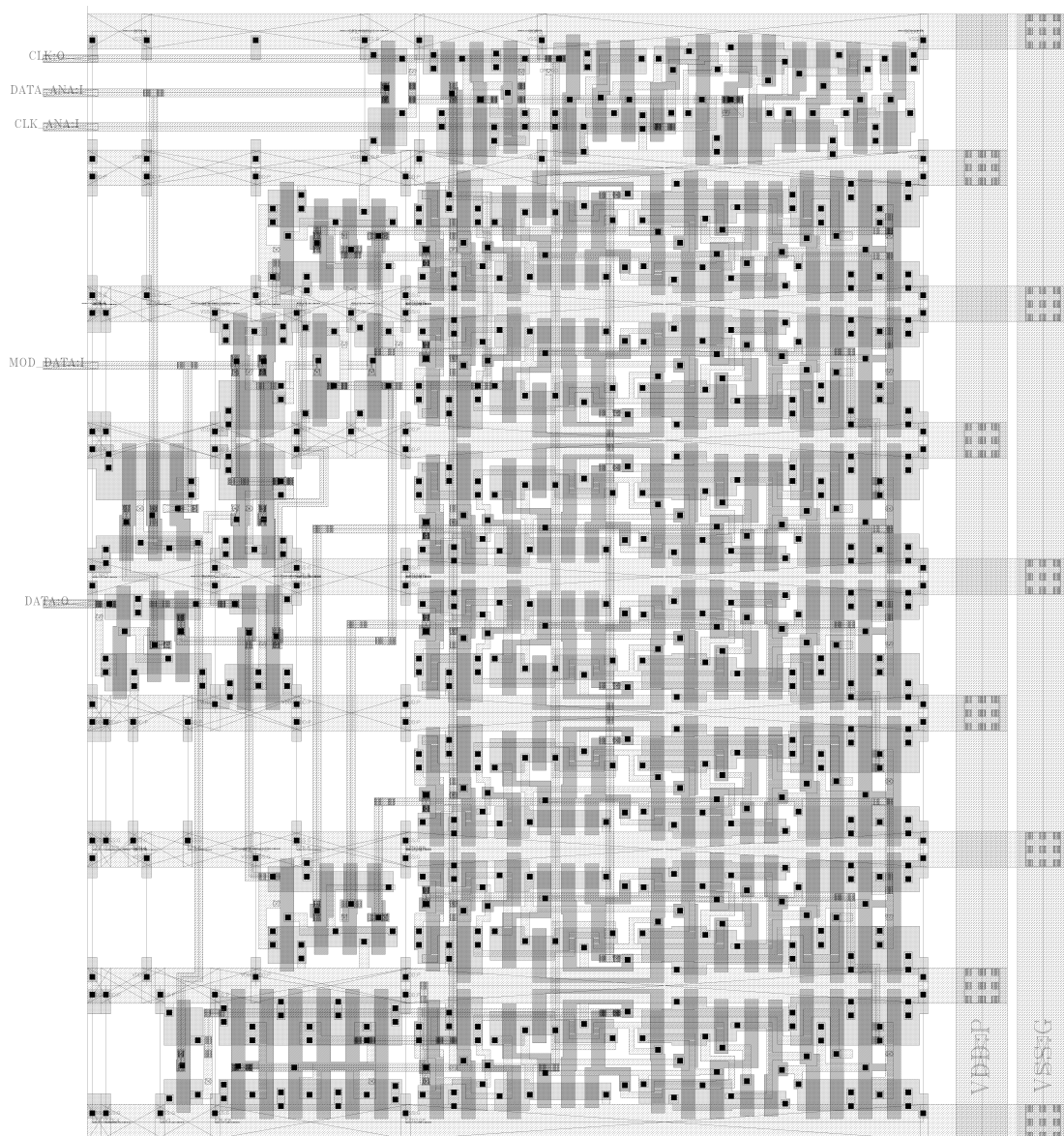


Abbildung 3.47: Layout CLK / Data Control ($29 \times 33 \mu\text{m}^2$)

3.7.3 Simulation

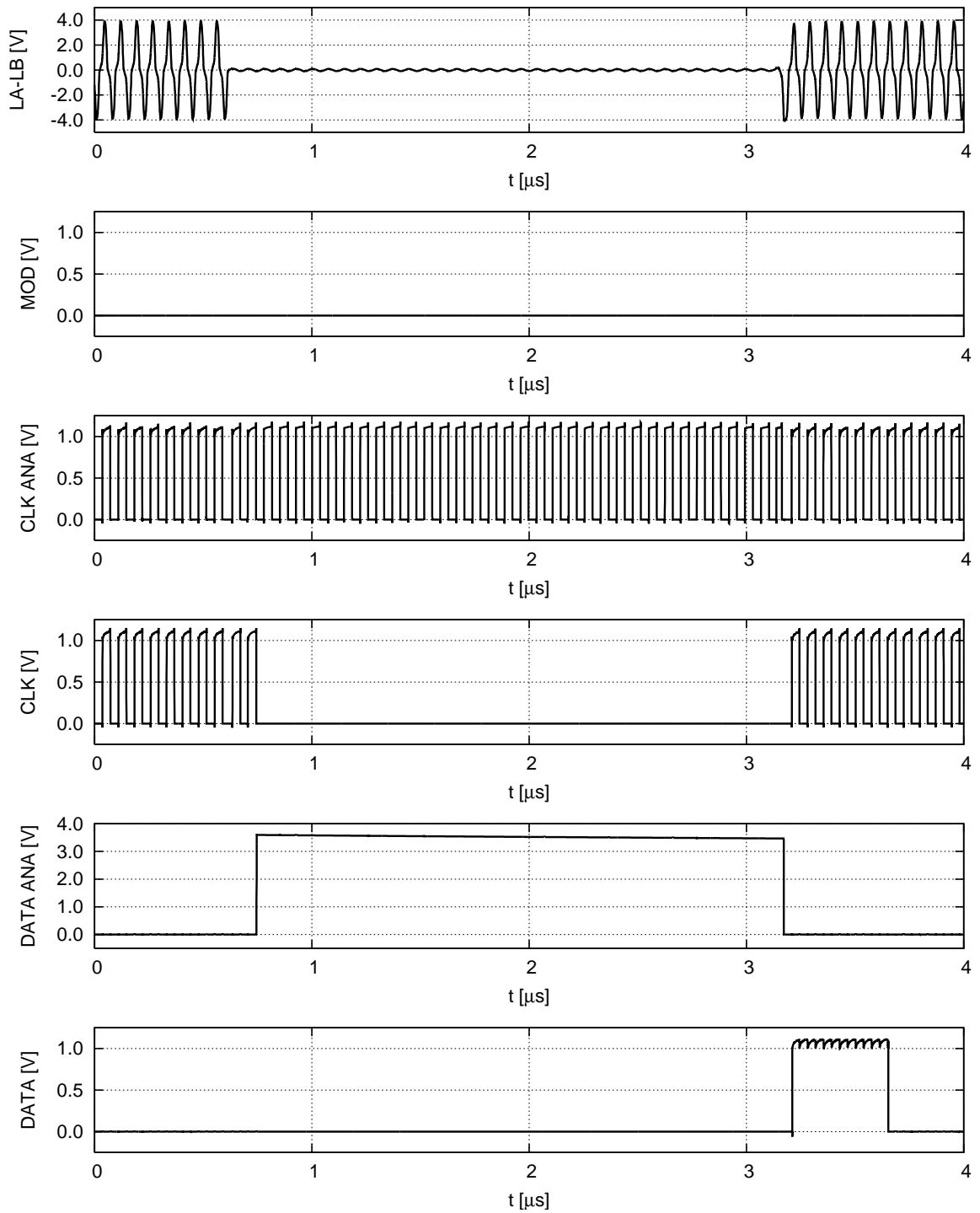


Abbildung 3.48: DATA während Pause

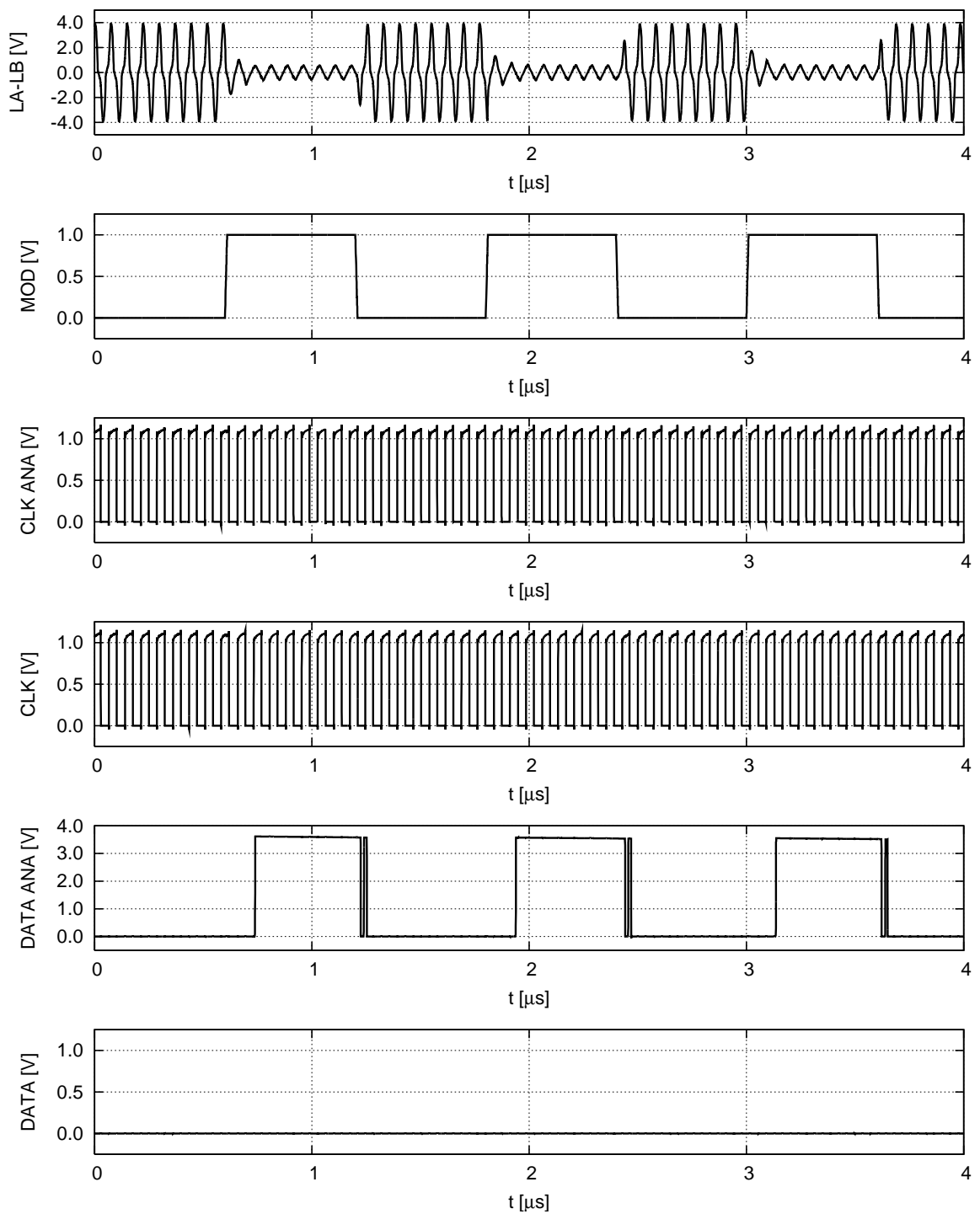


Abbildung 3.49: DATA während Modulation

Kapitel 4

Testchip

Das im Rahmen dieser Diplomarbeit entstandene AFE soll bei verschiedenen Systemen zum Einsatz kommen. Um die Funktion des AFE zu überprüfen, werden zwei Testchips gefertigt. Ein Testchip soll zum Testen der analogen Schaltungsteile dienen. Der zweite Testchip ist zum Testen der Datenübertragung gedacht.

4.1 Aufbau Testchip Analog

Dieser Testchip ist vorwiegend zum Testen der analogen Schaltungsteile wie etwa Shunt-Regler, Gleichrichter und Last-Regler vorgesehen. Besonderes Augenmerk soll dabei auf den Last-Regler gelegt werden. Im späteren Einsatz soll die aus dem HF-Feld bezogene Leistung unter anderem dafür verwendet werden, eine On-Chip-Batterie zu laden. Dafür wird eine Spannung von 4,5 V benötigt, welche das AFE nicht liefern kann. Für diese Aufgabe wurde daher im Rahmen einer Masterarbeit [11] eine Ladungspumpe entworfen, welche eine konstante Ausgangsspannung von 4,5 V liefert. Die Spannungsversorgung dieser Ladungspumpe wird vom Last-Regler geliefert. Da die beiden Schaltungsteile für spätere Anwendungen kombiniert werden sollen, ist es sinnvoll einen gemeinsamen Testchip zu bauen. Abbildung 4.1 zeigt das Blockschaltbild des Testchips.

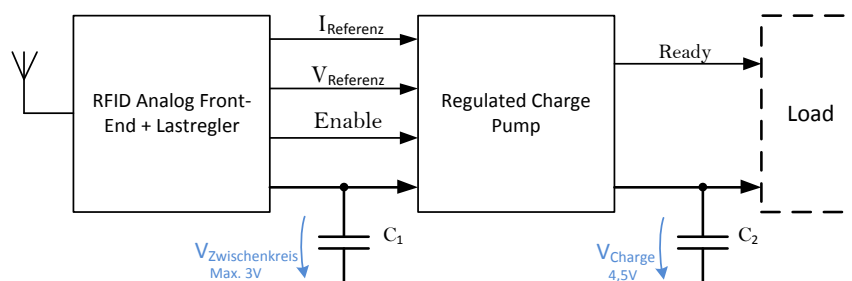


Abbildung 4.1: Blockschaltbild Testchip [11]

In Abbildung 4.2 ist der Aufbau und die Funktion der Ladungspumpe ersichtlich. Im Kern der Schaltung befindet sich die zweistufige Ladungspumpe, welche das Erzeugen einer höheren Ausgangsspannung ermöglicht. Um genau die gewünschte Ausgangsspannung von 4,5 V zu erhalten, kommt eine Spannungsregelung zum Einsatz. Dafür wird ein stromgesteuerter Oszillator verwendet. Den nötigen Strom liefert ein OTA. Dieser übernimmt die Funktion der Spannungsregelung. Die benötigte Referenzgröße von 0,5 V stellt die im AFE inkludierte Bandgap zur Verfügung. Das Rückkoppelnetzwerk wird unter Verwendung eines Spannungsteilers realisiert.

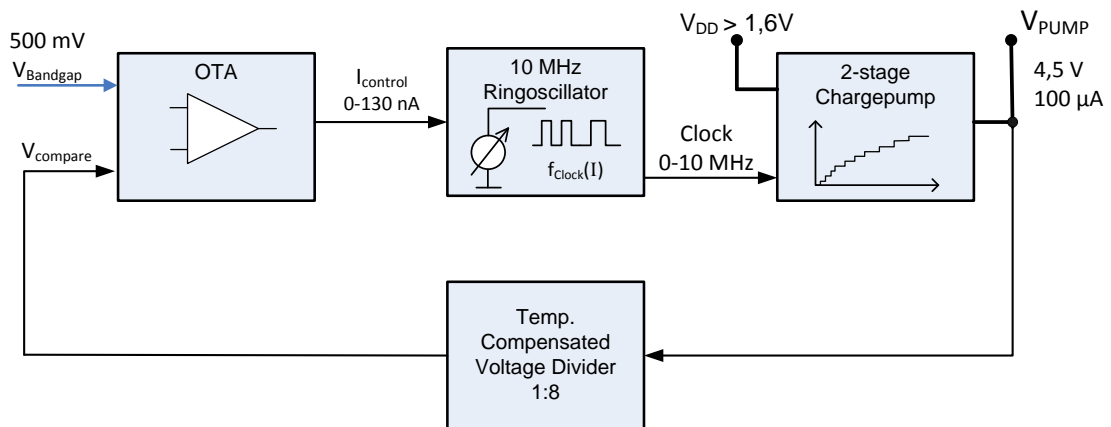


Abbildung 4.2: Blockschaltbild Ladungspumpe [11]

4.2 Layout Testchip Analog

Der fertige Testchip muss in einem entsprechenden Gehäuse untergebracht und gebondet werden. Dafür wird ein Keramikgehäuse in DIP-Bauform (CDIP 24) mit 24 Anschlüssen verwendet. Abbildung 4.3 zeigt die Anschlussbelegung des Testchips im Gehäuse. Bei der Anschlussbelegung muss darauf geachtet werden, dass die Anschlüsse LA LB möglichst kurz sind und einen geringen Abstand zueinander aufweisen.

Abbildung 4.4 zeigt den gesamten Testchip. Für den Testchip steht eine Fläche von $0,5 \times 1 \text{ mm}^2$ zur Verfügung. Auf dieser Fläche finden neben den beschriebenen Schaltungsblöcken noch 16 Anschluss-Pads Platz. Diese werden benötigt, um alle Funktionen testen zu können. Die restliche Fläche wird für Kondensatoren genutzt.

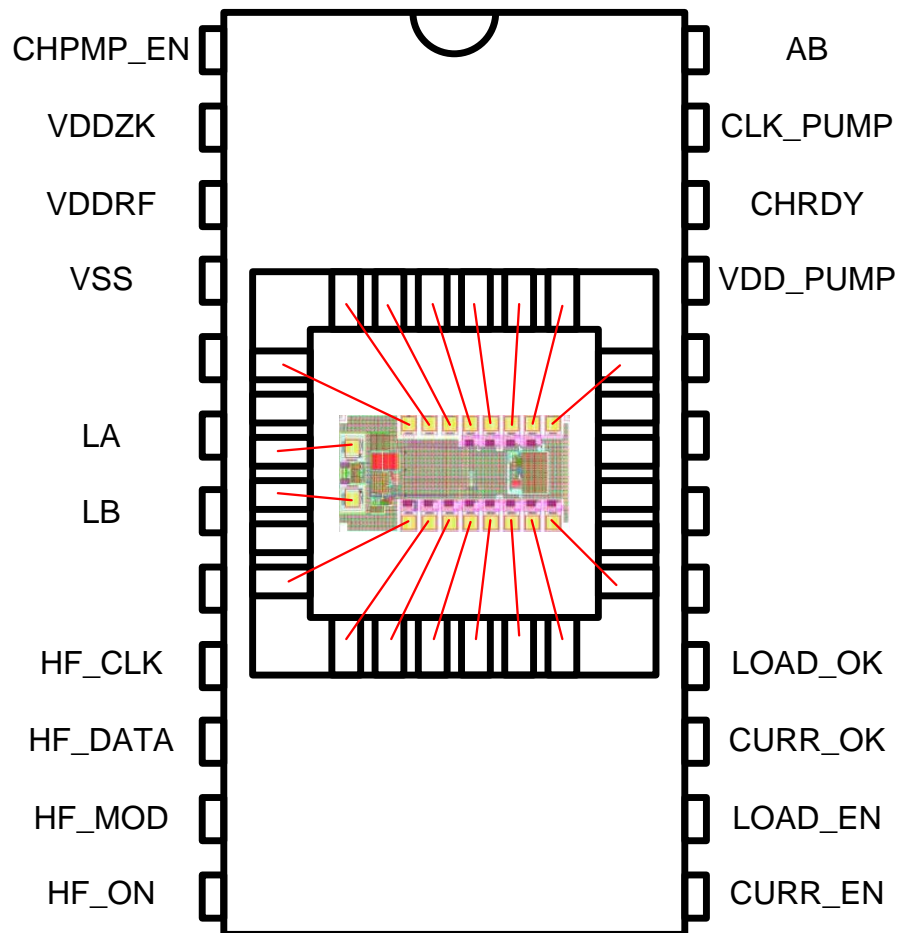


Abbildung 4.3: Bondplan Testchip Analog (nicht maßstabsgetreu)

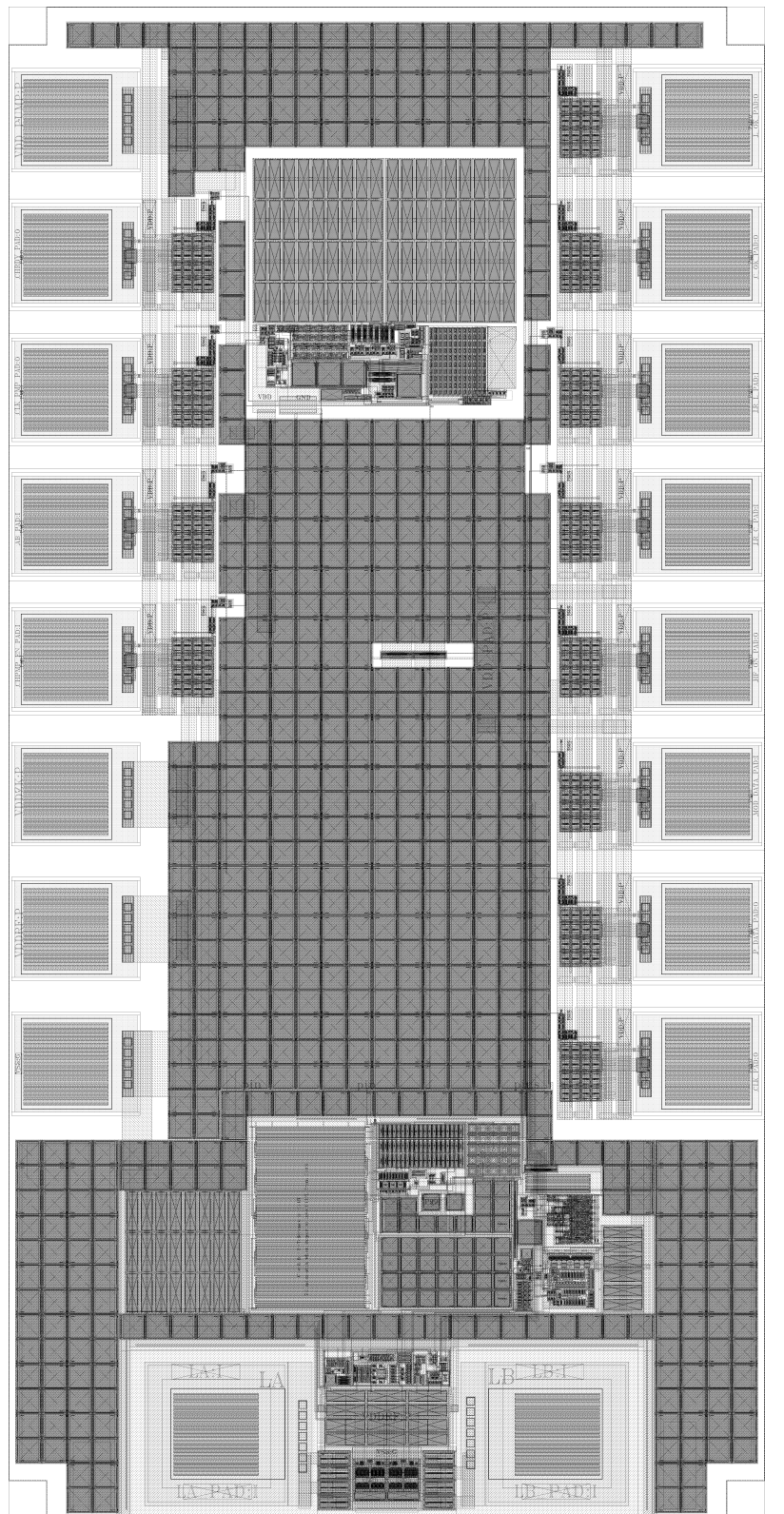


Abbildung 4.4: Layout Testchip Analog

4.3 Layout Testchip HF / UHF

Zum Testen der Datenübertragung zwischen Reader und Transponder wird ein eigener Testchip gefertigt. Bei diesem steht die Funktion von Modulator, Datendetektor, CLK-Recovery und CLK/Data Control im Vordergrund. Neben dem NFC-AFE ist auf diesem Testchip ein weiteres AFE für UHF-Kommunikation inkludiert. Somit entsteht ein Chip welcher sowohl HF- als auf UHF-Kommunikation ermöglicht und in weiterer Folge zum Testen verschiedener DFEs Verwendung finden soll.

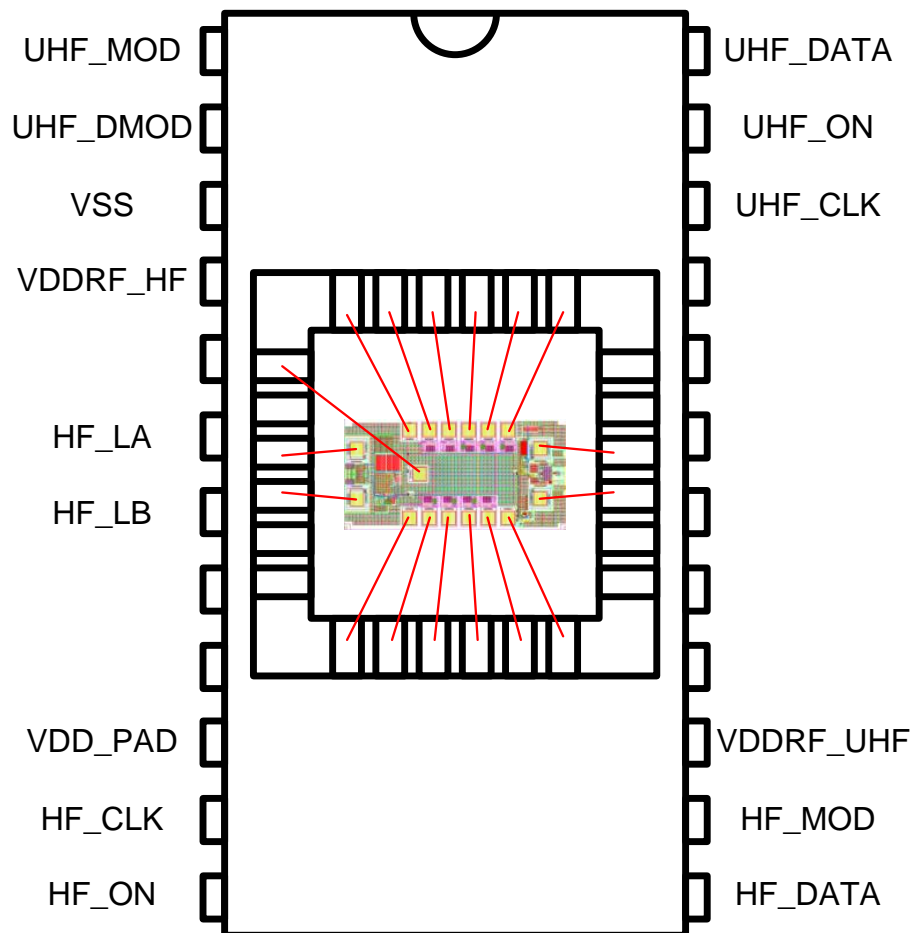


Abbildung 4.5: Bondplan Testchip HF / UHF (nicht maßstabsgetreu)

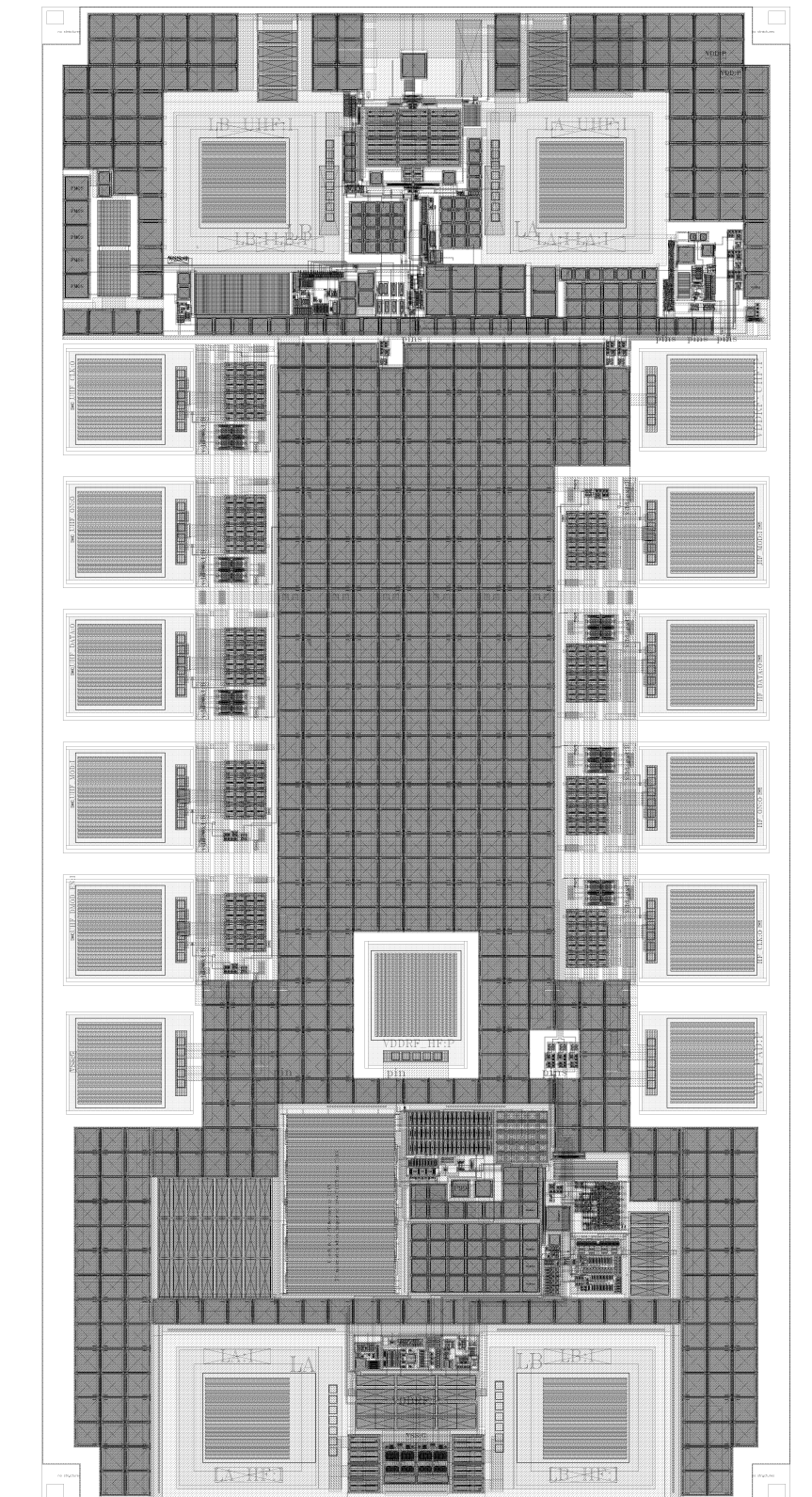


Abbildung 4.6: Layout Testchip HF / UHF

Kapitel 5

Schlussbemerkung und Ausblick

Ziel dieser Arbeit war es ein möglichst vielseitig einsetzbares AFE für passive RFID-Transponder zu entwerfen. Dabei sollte der Schwerpunkt darauf gelegt werden, die Energie aus dem elektromagnetischen Feld möglichst effizient zu nutzen und den Betrieb unterschiedlicher Lasten zu ermöglichen. Dies wurde unter Verwendung eines auf Effizienz optimierten Gleichrichters sowie eines Last-Reglers erreicht. Die Realisierung der entsprechenden Schaltung wurde in Kapitel 3 ausführlich erklärt.

Eine der Hauptanwendungen des Last-Reglers stellt das Versorgen einer Ladungspumpe zum Laden einer On-Chip-Batterie dar. Dabei begrenzt der Last-Regler die Stromversorgung der Ladungspumpe. Anstelle dieser Lösung wäre es auch denkbar die Stromaufnahme der Ladungspumpe direkt über die Schaltfrequenz zu begrenzen. Somit würde man ein AFE mit inkludierter Ladungspumpe erhalten und der Last-Regler könnte entfallen.

Das im Rahmen dieser Diplomarbeit entstandene AFE soll bei verschiedenen Systemen zum Einsatz kommen. Je nach Anforderungen der jeweiligen Anwendung kann das AFE abgeändert werden. Somit wäre etwa eine Anpassung der Schaltung für höhere Lastströme denkbar. Eine weitere sinnvolle Abänderung wäre eine Dimensionierung des AFEs für eine geringere Ausgangsspannung. Dadurch wäre keine genaue Bandgap-Referenzspannung mehr erforderlich, was eine beträchtliche Ersparnis an Chipfläche ermöglichen würde.

Literaturverzeichnis

- [1] Mario Auer, *Handout zur Vorlesung Analog Integrated Circuit Design and Simulation 1*, Institut für Elektronik, Technische Universität Graz, 2011.
- [2] Klaus Finkenzeller, *RFID Handbook*, 3rd ed., John Wiley and Sons Ltd, 2010.
- [3] Global Tag 2013, *Near Field Communication (NFC)*, <http://www.global-tag.com/near-field-communication-nfc/>, [Online; accessed 1. Oktober 2013].
- [4] Hu Jianyun; He Yan; Min Hao;, *High efficient rectifier circuit eliminating threshold voltage drop for RFID transponders*, 1rd ed., ASICON 2005. 6th International Conference On , vol.2, no., pp.607-610, 2005.
- [5] ISO IEC 13157, *Information technology - Telecommunications and information exchange between systems - NFC Security*.
- [6] ISO IEC 14443, *Identification cards – Contactless integrated circuit cards – Proximity cards*.
- [7] ISO IEC 15693, *Identification cards – Contactless integrated circuit cards – Proximity cards*.
- [8] ISO IEC 18000, *Identification cards – Contactless integrated circuit cards – Proximity cards*.
- [9] ISO IEC 18092, *Information technology - Telecommunications and information exchange between systems - Near Field Communication - Interface and Protocol (NFCIP-1)* .
- [10] J.; Johansson J.; Raben, H.; Borg, *An active MOS diode with Vth-cancellation for RFID rectifiers*, 1rd ed., IEEE International Conference on , vol., no., pp.54-57, 3-5 April 2012, 2010.
- [11] Christoph Steffan, *Konzeption und Entwurf einer integrierten DC/DC Spannungsregelung für On-Chip Ladeschaltungen*, Master's thesis, TU-Graz, 2013.