

Masterarbeit

Konzeption und Entwurf einer integrierten DC/DC Spannungsregelung für On-Chip Ladeschaltungen

Christoph Steffan, BSc

Institut für Elektronik
Technische Universität Graz
Vorstand: Univ.-Prof. Dipl.-Ing. Dr.techn. Wolfgang Bösch



in Zusammenarbeit mit Infineon Technologies Austria AG

Betreuer: Dipl.-Ing. Dr.techn. Mario Auer

Externer Betreuer: Dipl.-Ing. Martin Wiessflecker, BSc

Graz, September 2013

Kurzfassung

In dieser Masterarbeit wird eine analoge, integrierte Schaltung vorgestellt, welche aus einer Eingangsspannung von mindestens $1,6\text{ V}$ eine konstante, geregelte Ausgangsspannung von $4,5\text{ V}$ erzeugt. Mittels dieser Ausgangsspannung soll in weiterer Folge ein On-Chip Akku eines kontaktlosen Sensorknoten aufgeladen werden können.

Die Spannungsvervielfachung wird durch eine zweistufige Ladungspumpe erreicht, die bei $4,5\text{ V}$ Ausgangsspannung einen Ladestrom von $100\ \mu\text{A}$ bereitstellt. Es wird dabei besonders auf den Wirkungsgrad der Ladungspumpe geachtet, da dieser den wesentlichen Teil der Gesamteffizienz ausmacht.

Um die Ausgangsspannung bei Belastung konstant zu halten, wird ein Regelkreis aufgebaut. Der gesamte Regelkreis besteht aus der Ladungspumpe, einem auf Transistoren basierenden Spannungsteiler, einem Oszillator und einem Operational Transconductance Amplifier (OTA).

Die in dieser Masterarbeit vorgestellte Spannungsregelung ist als Stand-alone Schaltung ausgeführt und für die Kombination mit einem analog High Frequency (HF) Front End mit Lastregelung konzipiert.

Das Resultat dieser Arbeit ist ein auf Silizium $175 \times 164\ \mu\text{m}^2$ (ohne Referenzquelle) großer analoger Schaltungsblock, der alle oben genannten Eigenschaften besitzt und als Spannungsquelle für einen Laderegler verwendet werden kann. Der Spannungsregler wird über ein *ENABLE* Signal gesteuert und gibt bei korrekter Funktion ein *CHARGE_RDY* Signal aus. Durch die einfach gehaltene Steuerung und die kompakte Größe, ist der Spannungsregler hervorragend für eine Implementierung in einem kontaktlosen Sensorknoten geeignet.

Abstract

In this thesis an analog integrated circuit is presented, that converts a variable supply voltage of at least 1.6 V to a constant and regulated output voltage of 4.5 V . This up scaled voltage is further used as the supply of an on-chip battery charger in a wireless sensor node.

The voltage multiplication is achieved by a two stage charge pump, which provides $100\ \mu\text{A}$ charge current at 4.5 V . The main focus is put on the efficiency of the charge pump, which has a major impact on the overall efficiency of the voltage regulator.

To achieve a constant output voltage a control loop is implemented. The loop consists of the charge pump, a transistor based voltage divider, an oscillator and an operational transconductance amplifier (OTA).

The voltage regulation introduced in this thesis is designed as a stand-alone circuit, which is optimized for the combined use with an analog high frequency front-end with load regulation.

The final result of this work is a $175 \times 164\ \mu\text{m}^2$ (without bandgap) sized analog building block, that has all above mentioned characteristics and which is controlled by only one *ENABLE* signal. At proper operation, a *CHARGE_RDY* signal changes from low to high. Due to the simple handling and the compact size, the building block is well suited for the use in a wireless sensor node.

Danksagung

Diese Masterarbeit bildet den Abschluss meines Elektrotechnik-Studiums und wurde im Studienjahr 2013 an der Technischen Universität Graz am Institut für Elektronik durchgeführt.

Ich danke Herrn Dr. Mario Auer für die Kontaktaufnahme zur Firma Infineon und für die Betreuung der Arbeit seitens der Technischen Universität.

Des Weiteren danke ich Herrn Dipl.-Ing. Gerald Holweg und Herrn Dipl.-Ing. Günter Hofer, die diese Masterarbeit bei Infineon ermöglicht haben.

Mein Dank gilt auch meinen Arbeitskolleginnen und Arbeitskollegen insbesondere Herrn Dipl.-Ing. Martin Wiessflecker für die Betreuung der Arbeit seitens Infineon.

Außerdem bedanke ich mich bei allen Freunden und Wegbegleitern, die mir während meiner Studienzzeit zur Seite standen. Zu guter Letzt danke ich meinen Eltern, die mir dieses Studium ermöglicht haben.

Christoph Steffan

Eidesstattliche Erklärung

Ich erkläre an Eides statt, dass ich die vorliegende Arbeit selbstständig verfasst, andere als die angegebenen Quellen/Hilfsmittel nicht benutzt, und die den benutzten Quellen wörtlich und inhaltlich entnommene Stellen als solche kenntlich gemacht habe.

Ort

Datum

Unterschrift

Inhaltsverzeichnis

1	Motivation	1
2	Einleitung	2
2.1	Systemübersicht	2
2.2	Funktionsprinzip	4
2.2.1	Regelkreis	4
2.3	Ringoszillator	5
2.4	Ladungspumpe	9
2.4.1	Funktionsprinzip	9
2.4.2	Dimensionierung	13
2.4.3	Ersatzschaltung	15
3	Implementierung	16
3.1	Versorgungsspannung Oszillator	16
3.2	Steuersignale	22
3.3	Ausgangsspannungs-Detektion	27
3.3.1	Spannungsteiler	27
3.3.2	Komparator	33
3.4	Stromgesteuerter Ringoszillator	36
3.5	Zweistufige Ladungspumpe	41
3.5.1	Aktiv geschaltete Ladungspumpe	41
3.5.2	Steuersignale	44
3.5.3	Effizienz	46
4	Simulationsergebnisse	49
4.1	Transiente Simulation	49
4.2	Monte Carlo Simulation	50
5	Testchip und Tapeout	53
6	Zusammenfassung und Ausblick	57
6.1	Zusammenfassung	57
6.2	Ausblick	57

Abkürzungsverzeichnis

V_{ref}	Referenzspannung
V_{ZK}	Zwischenkreisspannung
AFE	analoges Frontend
CDIP	Ceramic Dual Inline Package
Clk	Clock; Taktsignal
ESB	Ersatzschaltbild
High	Zustand logisch 1
IC	Integrated Circuit
Low	Zustand logisch 0
NMOS	N-type metal-oxide-semiconductor
OTA	Operational Transconductance Amplifier
P-Regler	Proportional-Regler
PMOS	P-type metal-oxide-semiconductor
RFID	Radio-frequency identification

Abbildungsverzeichnis

2.1	Übersichts-Blockschaltbild	2
2.2	Blockschaltbild der geregelten Ladungspumpe	3
2.3	Blockschaltbild Regelkreis	4
2.4	dreistufiger Ringoszillator mit Ausgangstreiber	5
2.5	Frequenz in Abhängigkeit von VDD beim Ringoszillator	6
2.6	Stromaufnahme in Abhängigkeit von VDD beim Ringoszillator	6
2.7	dreistufiger Ringoszillator mit RC-Gliedern	7
2.8	Frequenz in Abhängigkeit von VDD beim RC-Ringoszillator	7
2.9	Stromaufnahme in Abhängigkeit von VDD beim RC-Ringoszillator	7
2.10	Dreistufiger Ringoszillator mit Strombegrenzung	8
2.11	Frequenz in Abhängigkeit von VDD beim strombegrenzten Ringoszillator	8
2.12	Stromaufnahme in Abhängigkeit von VDD beim strombegrenzten-Ringoszillator - $I_{bias} = 70 nA$	9
2.13	Ladungspumpe Prinzip - Ladezyklus	10
2.14	Ladungspumpe Prinzip - Serienschaltung	10
2.15	2-stufige Ladungspumpe mit PMOS Schaltern	11
2.16	Erzeugung von nicht-überlappenden Schaltsignalen	12
2.17	Clock-Signal und zwei nicht-überlappende Schaltsignale	12
2.18	Ersatzschaltbild der Ladungspumpe	15
3.1	Oszillatorfrequenz und $MHz/\mu A$ in Abhängigkeit von der Versorgungsspannung	17
3.2	Schaltung zur Erzeugung von V_{LOW}	18
3.3	Kleinsignalersatzschaltung Sourcefolger	18
3.4	Temperaturabhängigkeit von V_{LOW}	20
3.5	Simulation der Oszillatorversorgung mit simulierter Belastung I_{LOAD}	21
3.6	Layout der Oszillatorversorgung	21
3.7	Blockschaltbild - Steuersignale	22
3.8	Inverter Schaltung	23
3.9	Slew-Rate Enhancement Schaltung mit Inverter	23
3.10	Simulation der Schaltung aus Abbildung 3.9; $I_{Bias} = 10nA$	25
3.11	Leistung als Funktion der rise bzw. fall time des Eingangssignals	26

3.12	Prinzipschaltung des Ausgangsspannungsteilers	28
3.13	Ausgangsspannungsteiler	29
3.14	Temperaturverhalten des Spannungsteilers bei $V_{DD_PUMP} = 4,5 V$	30
3.15	Ausgangsspannungsteiler mit Frequenzgang-Korrektur	30
3.16	Bodediagramm des Spannungsteilers	31
3.17	Layout des Ausgangsspannungsteilers ($57 \times 51 \mu m$)	32
3.18	Komparator zur Erzeugung eines Ready Signals	33
3.19	Simulation der Komparator-Hysterese	34
3.20	Transiente Simulation der Komparator-Hysterese	34
3.21	Layout des V_{out_rdy} Komparators	35
3.22	Schaltung des stromgesteuerten Ringoszillators mit Komparator	37
3.23	Schaltung des stromgesteuerten Ringoszillators mit Inverter	38
3.24	Clockfrequenz und Stromaufnahme in Abhängigkeit von $V_{COMPARE}$	39
3.25	Interne Spannungsverläufe des Oszillators bei $V_{COMPARE} = 495 mV$	39
3.26	Layout des Oszillator inklusive OTA und Komparator ($14 \times 33 \mu m$)	40
3.27	Zweistufige, aktiv geschaltete Ladungspumpe	42
3.28	Schaltung zur Erzeugung des Bulkpotentials für T_1, T_2 und T_3	43
3.29	Signalverläufe innerhalb der Ladungspumpe	43
3.30	Implementierte Schaltung zur Erzeugung der Steuersignale	44
3.31	Steuersignale für die Ladungspumpe	45
3.32	Simulierter und theoretisch möglicher Wirkungsgrad bei $I_{Last} = 50 \mu A$	47
3.33	Simulierter Wirkungsgrad in Abhängigkeit von I_{Last}	47
3.34	Layout der Ladungspumpe ($174 \times 134 \mu m$)	48
4.1	Top-Level Simulation der geregelten Ladungspumpe	51
4.2	Histogramm der Monte Carlo Simulation von V_{DD_PUMP} ; 500 Durchläufe	52
5.1	Blockschaltbild des analog Frontend [Greiner 2013]	54
5.2	Testchip Layout ($500 \times 1000 \mu m^2$)	55
5.3	Bondplan des Testchips für ein CDIP 24 Gehäuse [Greiner 2013] (nicht maßstäblich)	56

Tabellenverzeichnis

2.1	Ladungspumpe - Design Parameter	13
3.1	Layout Ladungspumpe - Legende	48

Kapitel 1

Motivation

Es soll eine Schaltung entworfen werden, welche die Versorgungsspannung, für einen Laderegler eines On-Chip Akkus in einem kabellosen RFID Sensor Knoten, bereitstellt. Dabei sollen keine externen Komponenten benötigt werden und eine möglichst kleine Chipfläche in Anspruch genommen werden.

Man unterscheidet im Wesentlichen zwischen aktiven und passiven Sensorknoten. Passive haben den Nachteil, dass nur dann ein Betrieb möglich ist, wenn sich der Chip in ausreichend kleinem Abstand zu einem Reader befindet. Mit einem aktiven System, also einem mit eingebundenem Energiespeicher, hat man diese Einschränkung nicht. Befindet sich der aktive Sensorknoten im elektromagnetischen Feld des Readers, so findet einerseits der Datenverkehr statt, andererseits wird der On-Chip Akku aufgeladen. Der aktive Sensorknoten kann den Sensor auch dann über einen längeren Zeitraum betreiben, wenn er sich nicht im Feld des Readers befindet. Eine mögliche Anwendung wäre die Aufzeichnung einer Temperatur über einen längeren Zeitraum, beispielsweise um die Lagerung von Gefriergut zu überwachen. Eine andere Option, die sich mit einem aktiven RFID Chip bietet, wäre das aktive Zurücksenden an den Reader um die Reichweite zu vergrößern.

Da in der verwendeten Technologie Versorgungsspannungen benutzt werden, die kleiner sind als die Zellspannung eines auf Lithium basierenden Akkus, ist das Aufladen ohne Spannungswandlung nicht möglich. Die Ladeschlussspannung eines derartigen Akkus befindet sich im Bereich von $4,1\text{ V}$ bis $4,2\text{ V}$. Chipintern wird eine Versorgungsspannung verwendet, die nur ca. ein Drittel der Ladeschlussspannung beträgt. Ein Grund dafür ist, dass die regulär in der Technologie verfügbaren Transistoren nicht für den Betrieb an höheren Spannungen verwendet werden können. Für den Spannungswandler werden deshalb Transistoren verwendet, welche die auftretenden Spannungen aushalten, dadurch jedoch andere nachteilige Eigenschaften besitzen. Deshalb werden sie nur begrenzt in Schaltungsteilen verwendet. Eine geeignete Schaltung, die gänzlich auf Silizium integriert werden kann und den geforderten Ansprüchen genügt, ist die Ladungspumpe mit geschalteten Kondensatoren.

Kapitel 2

Einleitung

2.1 Systemübersicht

Das unten gezeigte Blockschaltbild zeigt eine stark abstrahierte Übersicht, der in dieser Diplomarbeit gebauten Schaltung zur Erzeugung einer Ladespannung.

Der mit 'RFID Analog Front-End + Lastregler' bezeichnete Block ist die Eingangsschaltung eines RFID Chips. Das Frontend beinhaltet zusätzlich zu Gleichrichter, Shuntregler, Modulator und Bandgap noch eine Schaltung zum Versorgen von zuschaltbaren Lasten. Diese als Lastregler bezeichnete Quelle gibt ein *ENABLE* Signal aus, sobald genügend Leistung aus dem Feld entnommen werden kann, ohne den Betrieb des RFID Chips zu beeinträchtigen. Er kann als strombegrenzte Spannungsquelle angenommen werden.

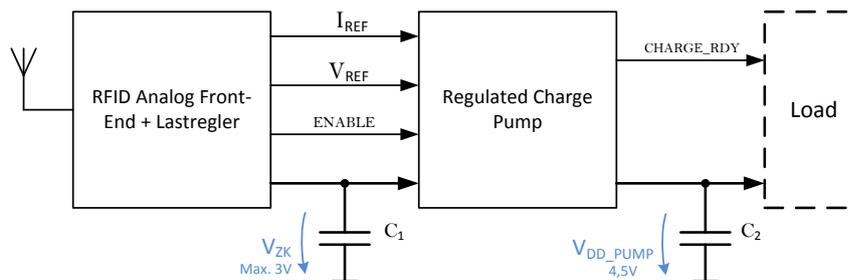


Abbildung 2.1: Übersichts-Blockschaltbild

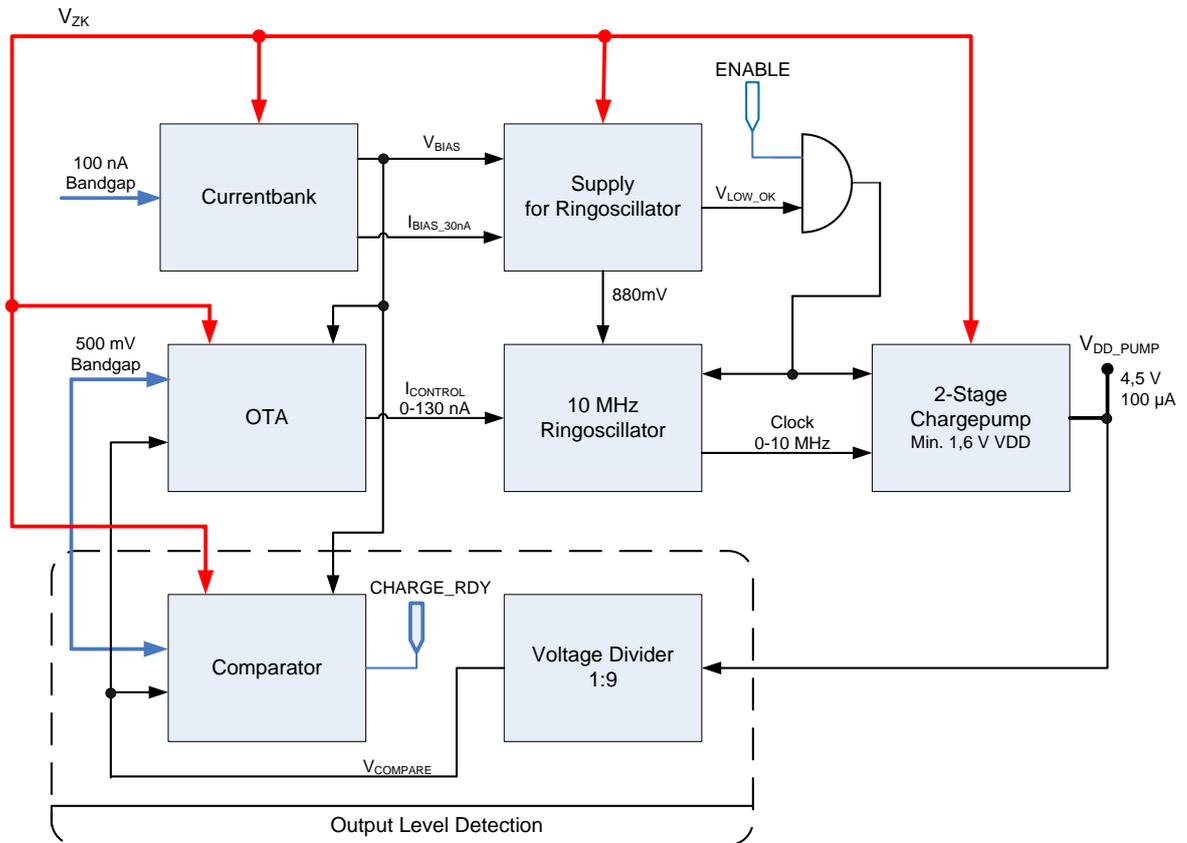


Abbildung 2.2: Blockschaltbild der geregelten Ladungspumpe

Abbildung 2.2 zeigt das Blockschaltbild der geregelten Ladungspumpe. In Rot eingezeichnet ist die Spannung V_{ZK} (Versorgungs- oder Zwischenkreisspannung). Von ihr werden alle Schaltungsblöcke bis auf den Oszillator versorgt, da dieser mit einer niedrigeren Spannung effizienter arbeitet. Dazu mehr in Unterkapitel 3.1. Ein weiterer Grund den Oszillator mit einer eigenen Versorgungsspannung zu betreiben ergibt sich aus der Funktion des Lastreglers. V_{ZK} stellt durch den Lastregler annähernd eine strombegrenzte Spannungsquelle dar. Das bedeutet, dass der Lastregler die Spannung absenkt, wenn der aufgenommene Strom in die Last zu groß wird. Dadurch wird eine Rückwirkung auf das Feld des Readers verhindert. Eine Ladungspumpe hat aufgrund ihrer Funktionsweise eine pulsartige Stromaufnahme. Der Spitzenwert der Strompulse, der in dieser Arbeit aufgebauten Ladungspumpe, liegt im einstelligen mA-Bereich, wodurch V_{ZK} Spannungsschwankungen unterliegt. Diese Spannungsschwankungen würden sich auf die Frequenz des Oszillators auswirken. Siehe dazu Abbildung 2.11. Um den Oszillator möglichst effizient und störungsfrei zu betreiben wird deshalb eine eigene Versorgungsspannung von ungefähr 880 mV mittels eines Sourcefolgers erzeugt.

Die drei in Blau gezeichneten Pfeile sind die Eingänge des Systems. Als Referenzgrößen werden von einer Bandgapzelle ein Strom von 100 nA und eine Spannung von 500 mV benötigt. Weiters gibt es ein *ENABLE* Signal, über welches der Spannungsregler gestartet wird.

Der Block 'Currentbank' stellt einen NMOS auf PMOS Stromspiegel dar. Er wird lediglich zum Erzeugen von Biasspannungen und einem Biasstrom benötigt und wird nicht weiter beschrieben.

2.2 Funktionsprinzip

Wenn V_{ZK} vorhanden ist, alle Referenzsignale anliegen und *ENABLE* auf logisch High ist, beginnt der Spannungsregler zu arbeiten. Als erstes wird das interne Signal V_{LOW_OK} abgewartet. Dieses wechselt von Low nach High, wenn die Versorgung des Oszillators bereit ist. Wie in Abbildung 2.2 zu sehen ist, wird V_{LOW_OK} mit dem *ENABLE* Signal UND-verknüpft. Mit diesem UND-verknüpften Signal werden die Ladungspumpe und der Oszillator gestartet. V_{DD_PUMP} beginnt bis zum Endwert von $4,5\text{ V}$ zu steigen.

2.2.1 Regelkreis

Der Regelkreis wird gebildet von OTA, Ringoszillator, Ladungspumpe und einem Ausgangsspannungsteiler.

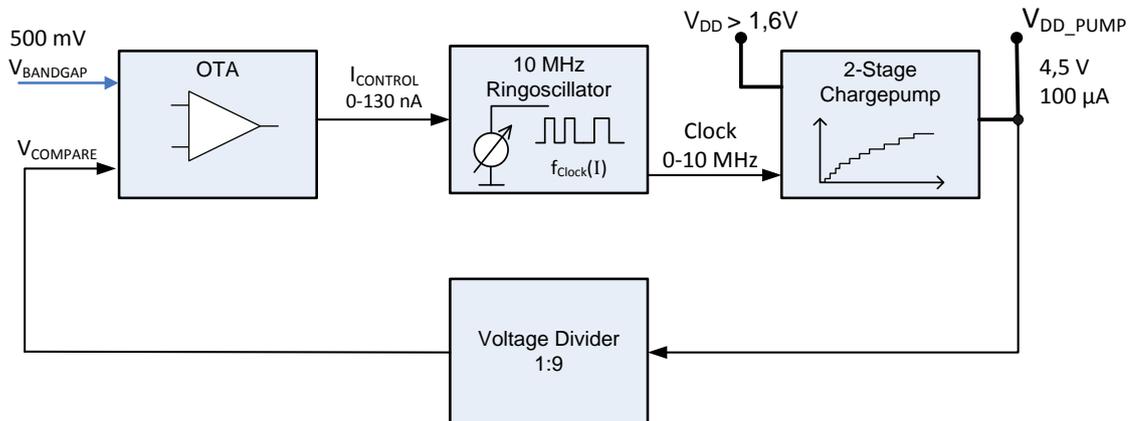


Abbildung 2.3: Blockschaltbild Regelkreis

Der OTA wandelt die Differenz von $V_{BANDGAP}$ und $V_{COMPARE}$ in einen Strom $I_{CONTROL}$ um. Dieser Strom ist der Referenzstrom für den Ringoszillator, der wiederum ein Rechtecksignal mit einer entsprechenden Frequenz von 0 bis 10 MHz erzeugt und damit die

Ladungspumpe taktet. Je größer also die Differenz aus dem Sollwert ($V_{BANDGAP}$) und dem Vergleichswert ($V_{COMPARE}$) ist, desto höher ist die Frequenz des Oszillators und desto mehr Strom kann die Ladungspumpe am Ausgang liefern. Siehe dazu Kapitel 2.4.2 Die Spannung $V_{COMPARE}$ wird mit Hilfe eines Spannungsteilers aus der Ausgangsspannung V_{DD_PUMP} gebildet. Der Spannungsteiler ist mit einem Teilverhältnis von 1:9 dimensioniert und aus PMOS Transistoren aufgebaut. Siehe dazu Kapitel 3.3. In diesem Regelkreis, stellt der OTA den eigentlichen Regler dar. Es handelt sich also um einen reinen P-Regler.

2.3 Ringoszillator

Das Grundprinzip eines Ringoszillators besteht darin, dass eine ungerade Anzahl von Invertern in Serie geschaltet werden und der Ausgang an den Eingang rückgekoppelt wird. Siehe Abbildung 2.4. Dadurch gibt es keinen stabilen Arbeitspunkt und die Schwingbedingung wird erfüllt. Das bedeutet, dass die Verstärkung größer als Eins ist und die Phasendrehung 180° beträgt. Die resultierende Frequenz lässt sich aus der Gatterlaufzeit t_D und der Anzahl der Stufen N nach folgender Formel berechnen.

$$f = \frac{1}{2N \cdot t_D}$$

Die Ringoszillatorstruktur hat die Vorteile, dass sie selbstständig aufgrund von Rauschen anschwingt und sehr einfach zu realisieren ist. Die Nachteile sind eine hohe Stromaufnahme, da bei jedem Umschaltvorgang jedes Inverters ein beträchtlicher Querstrom fließt und die eher ungenaue Frequenz bzw. der hohe Jitter. Abhängig von der Versorgungsspannung und der Streuung der Gatterlaufzeiten durch die Prozesslage ergeben sich starke Schwankungen in der Frequenz. Die Abbildungen 2.5 und 2.6 zeigen Simulationsergebnisse von einem dreistufigen Ringoszillator.

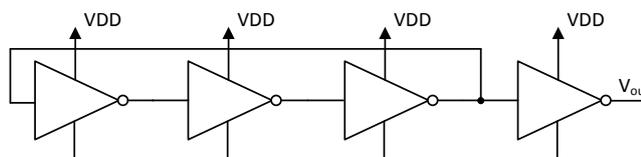


Abbildung 2.4: dreistufiger Ringoszillator mit Ausgangstreiber

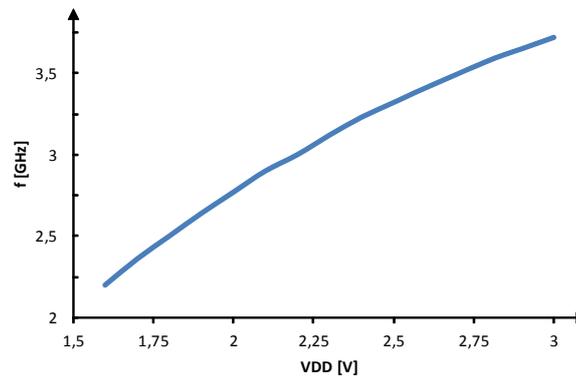


Abbildung 2.5: Frequenz in Abhängigkeit von VDD beim Ringoszillator

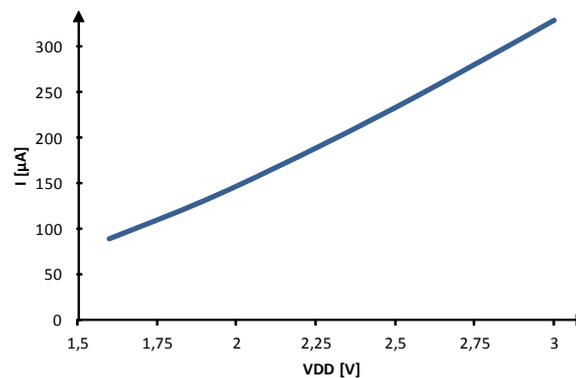


Abbildung 2.6: Stromaufnahme in Abhängigkeit von VDD beim Ringoszillator

Um die Schwingung unabhängiger von der Versorgung zu machen bzw. um sie in den gewünschten Frequenzbereich zu bringen, können frequenzbestimmende RC-Glieder eingebaut werden. Bei dieser Lösung ist jedoch das Problem des großen Querstroms nicht gelöst. Siehe Abbildungen 2.8 und 2.9.

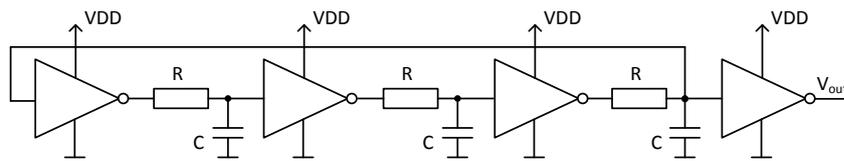


Abbildung 2.7: dreistufiger Ringoszillator mit RC-Gliedern

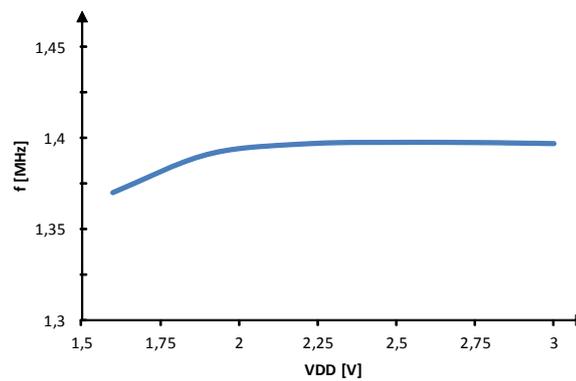


Abbildung 2.8: Frequenz in Abhängigkeit von VDD beim RC-Ringoszillator

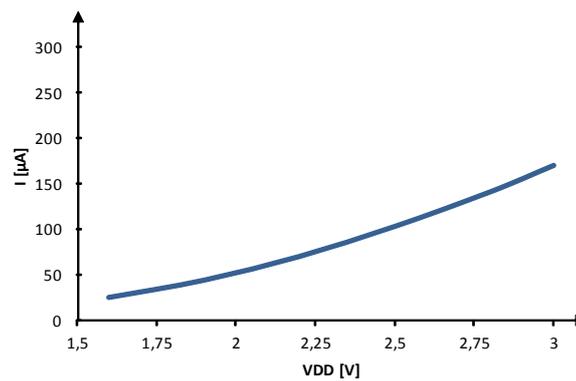


Abbildung 2.9: Stromaufnahme in Abhängigkeit von VDD beim RC-Ringoszillator

Die kleinste mögliche Implementierung, die im benötigten Frequenzbereich schwingt und eine kleine Stromaufnahme hat, ist der strombegrenzte Ringoszillator. Hier wird über

Stromspiegel der Querstrom in den Invertern begrenzt, wodurch die Ströme in eine Größenordnung kommen, wo parasitäre Widerstände und Kondensatoren zu den frequenzbestimmenden Elementen werden. Die Abhängigkeit von der Versorgungsspannung ist hier größer als bei der Version mit RC-Gliedern, jedoch liegt die Stromaufnahme bei der gewünschten Frequenz hier im nA-Bereich.

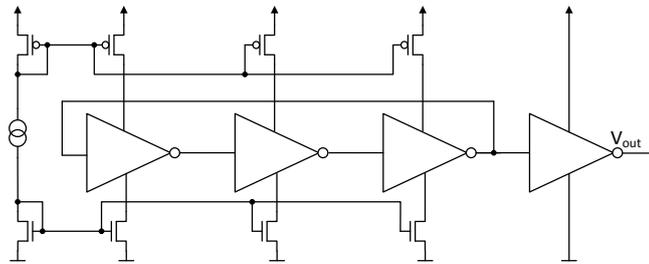


Abbildung 2.10: Dreistufiger Ringoszillator mit Strombegrenzung

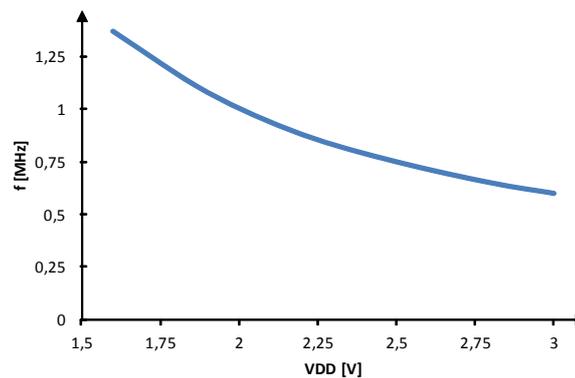


Abbildung 2.11: Frequenz in Abhängigkeit von V_{DD} beim strombegrenzten Ringoszillator

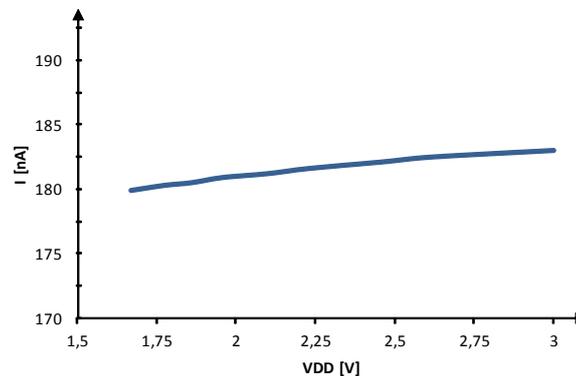


Abbildung 2.12: Stromaufnahme in Abhängigkeit von VDD beim strombegrenzten-Ringoszillator - $I_{bias} = 70 \text{ nA}$

Beim strombegrenzten Ringoszillator kann durch Absenken der Versorgungsspannung einerseits die Frequenz vergrößert werden, andererseits die Stromaufnahme gesenkt werden. Deshalb hat der für die finale Schaltung verwendete und in 3.4 vorgestellte Oszillator eine eigene niedrigere Versorgungsspannung von 880 mV .¹

2.4 Ladungspumpe

In diesem Unterkapitel wird die Funktion einer Ladungspumpe vorgestellt. Es wird anhand von vereinfachten Schaltbildern erklärt, wie es zu einer Spannungsvervielfachung kommt. Des Weiteren werden die wichtigsten Formeln und eine Vorgehensweise zur Dimensionierung einer Ladungspumpe mit Stromquellenlast beschrieben.

2.4.1 Funktionsprinzip

Die Spannungsvervielfachung wird in einer Ladungspumpe durch die Serienschaltung von einer Spannungsquelle mit einem auf die gleiche Spannung aufgeladenen Kondensator erreicht. Es gibt also zwei Arbeitszyklen:

- Aufladen eines Kondensators auf V_{DD} - parallel zur Quelle
- Geladenen Kondensator in Serie schalten mit der Quelle

Dadurch erhält man eine Verdoppelung der Ausgangsspannung. Im einfachsten Fall kann diese Funktion mit einem Inverter und zwei Dioden realisiert werden, siehe Abbildungen 2.13 und 2.14. Der Inverter spielt dabei für die prinzipielle Funktion keine Rolle. Er wird

¹ Alle in Abschnitt 2.3 abgebildeten Diagramme sind Simulationen mit Invertern aus Standardzellen

lediglich als Treiber eingesetzt, um die Clockleitung nicht mit dem Ladestrom zu belasten. Der Spannungsabfall an den Dioden wird in der Erklärung vernachlässigt.

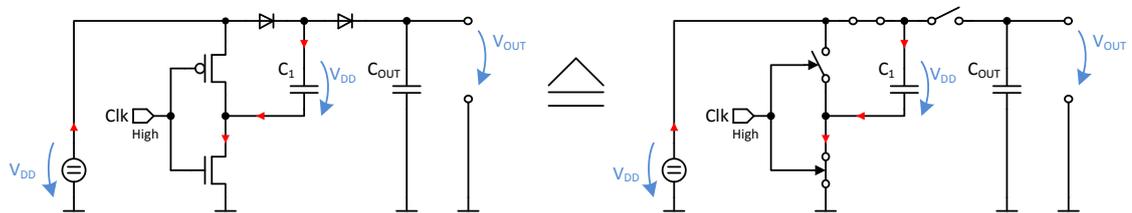


Abbildung 2.13: Ladungspumpe Prinzip - Ladezyklus

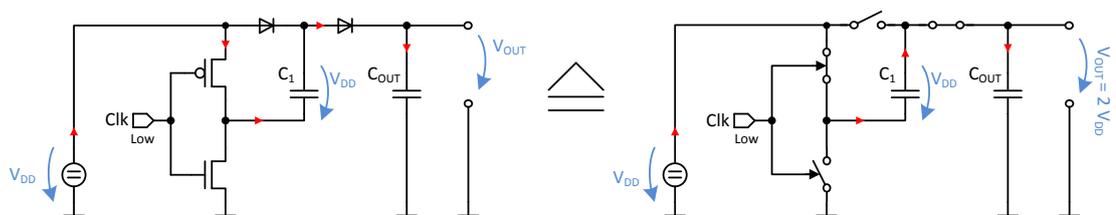


Abbildung 2.14: Ladungspumpe Prinzip - Serienschaltung

Soll mehr als eine Verdoppelung der Eingangsspannung erreicht werden, können weitere Stufen aufgebaut werden. Außerdem ist eine Implementierung mit Dioden als Schalter aus Effizienzgründen wenig vorteilhaft, da mit jeder Stufe eine Diodespannung verloren geht. Abbildung 2.15 zeigt eine 2-stufige Ladungspumpe mit PMOS Schaltern.

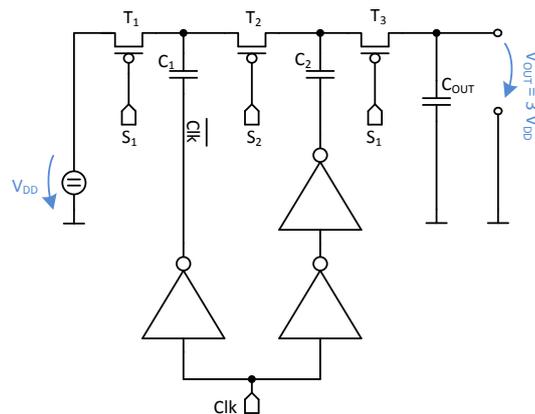


Abbildung 2.15: 2-stufige Ladungspumpe mit PMOS Schaltern

PMOS Transistoren an Stelle von Dioden bringen den Vorteil, dass es keinen Spannungsabfall über den Schaltelementen gibt. Es ist bei dieser Implementierung jedoch ein größerer Aufwand für die Ansteuerung zu betreiben. PMOS Transistoren sind in diesem Fall NMOS Transistoren vorgezogen, da keine zusätzliche Bootstrap Schaltung benötigt wird. Bootstrapping bedeutet, dass über einen geladenen Kondensator in Serie zum Schaltsignal eine Spannung entsteht, die größer als die Versorgungsspannung sein kann. Dadurch könnten NMOS Transistoren als high-side Schalter an Stelle von T_1 , T_2 und T_3 verwendet werden. Unter der Annahme, dass ideale Schalter verwendet werden und dass kein Laststrom am Ausgang fließt, ergibt sich die maximale Ausgangsspannung nach folgender Formel:

$$V_{Out|SteadyState} = (N + 1) \cdot V_{DD}. \quad N \dots \text{Anzahl der Stufen}$$

Eine weitere Möglichkeit zur Effizienzsteigerung ist, die Schalter mit einem nicht-überlappenden Signal anzusteuern. Bezug nehmend auf Abbildung 2.15 bedeutet das, dass die Transistoren T_1 und T_3 erst dann leitend werden, wenn T_2 ist und vice versa. Abbildung 2.16 zeigt eine Möglichkeit aus einem Clock-Signal zwei nicht-überlappende Rechtecksignale zu erzeugen [Saxena 2010].

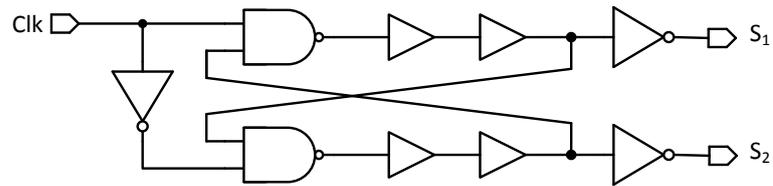


Abbildung 2.16: Erzeugung von nicht-überlappenden Schaltsignalen

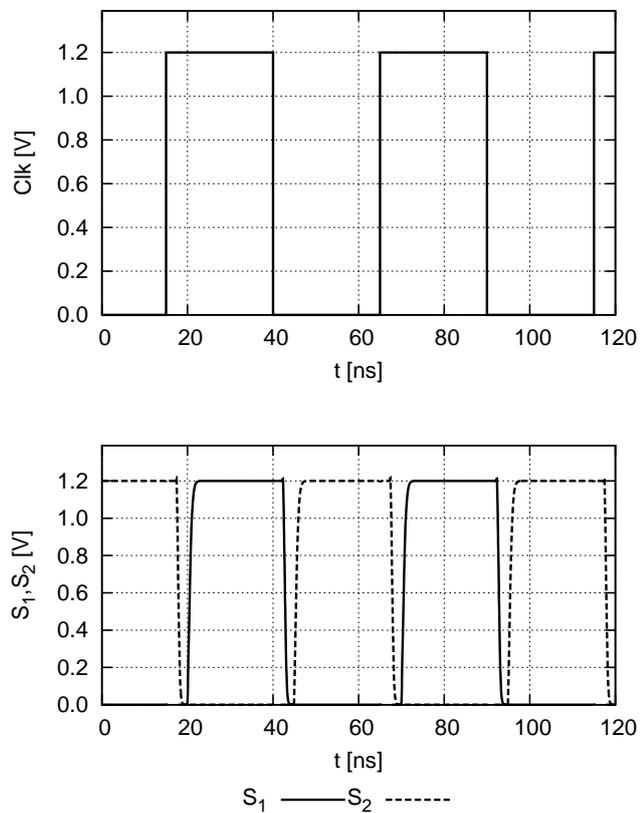


Abbildung 2.17: Clock-Signal und zwei nicht-überlappende Schaltsignale

An den Ausgängen der NAND Gatter sind Buffer bzw. Delay Glieder nachgeschaltet, durch deren Gatterlaufzeit die Signale S_1 und S_2 nicht-überlappend sind. S_1 und S_2 entsprechen den Signalen clk und \overline{clk} .

2.4.2 Dimensionierung

In diesem Unterkapitel soll eine Möglichkeit gezeigt werden, wie eine Ladungspumpe dimensioniert wird. Die Vorgehensweise ist größtenteils aus [Palumbo and Pappalardo 2010] Unterkapitel '4. Charge Pump with a Current Load: Design Strategies' übernommen.

<i>Parameter</i>		<i>Status</i>
V_{DD}	Versorgungsspannung	<i>vorgegeben</i>
I_{VDD}	Stromaufnahme	<i>zu bestimmen</i>
V_{OUT}	Ausgangsspannung	<i>vorgegeben</i>
I_L	max. Laststrom	<i>vorgegeben</i>
f	Frequenz	<i>vorgegeben</i>
C	Kapazität	<i>zu dimensionieren</i>
N	Anzahl der Stufen	<i>zu dimensionieren</i>
α	Technologieparameter	<i>vorgegeben</i>

Tabelle 2.1: Ladungspumpe - Design Parameter

Zu Beginn werden die vom Design beziehungsweise vom Konzept oder der Technologie vorgegebenen Parameter festgestellt. Siehe dazu Tabelle 2.1 - vorgegebene Werte. Danach kann entweder auf eine minimale Fläche der Ladungspumpe oder auf maximalen Wirkungsgrad dimensioniert werden. Minimale Fläche bedeutet dabei, dass die Anzahl der Stufen größer sein kann, jeder einzelne Kondensator allerdings kleiner. Das führt dazu, dass die benötigte Gesamtkapazität kleiner ist, was in einer kleineren Chipfläche resultiert.

In dieser Arbeit wird die Dimensionierung für einen hohen Wirkungsgrad einer Ladungspumpe mit Stromquellenlast gezeigt. Die erreichte Ausgangsspannung im belasteten Fall ist:

$$V_{Out} = (N + 1) \cdot V_{DD} - N \cdot \frac{I_L \cdot T}{C} \quad (2.1)$$

Durch Umformen der Gleichung 2.1 erhält einen Ausdruck für die Kapazität:

$$C = \frac{N \cdot I_L \cdot T}{(N + 1) \cdot V_{DD} - V_{OUT}} \quad (2.2)$$

Die Stromaufnahme der Ladungspumpe (I_{VDD}) kann in zwei Anteile zerlegt werden:

- Der Strom, der in die Kondensatoren der Ladungspumpe fließt und mit dem Übersetzungsverhältnis skaliert den Ausgangsstrom ergibt. Dieser Strom wird in weiterer Folge als I_{ID} oder idealer Anteil der Stromaufnahme bezeichnet
- Der Strom, der für das Umladen der parasitären Kondensatoren aufgenommen wird. Dieser Anteil kommt im Ausgangsstrom der Ladungspumpe nicht vor und wird in weiterer Folge als I_{PAR} bezeichnet

$$I_{VDD} = I_{ID} + I_{PAR} \quad (2.3)$$

Der ideale Anteil der Stromaufnahme lässt sich aus den Leistungen und dem Übersetzungsverhältnis bestimmen.

$$P_{IN} = P_{OUT}$$

$$V_{DD} \cdot I_{ID} = V_{OUT} \cdot I_L$$

$$\frac{V_{OUT}}{V_{DD}} = \frac{I_{ID}}{I_L} = (N + 1)$$

$$I_{ID} = (N + 1) \cdot I_L \quad (2.4)$$

Der nicht ideale Anteil der Stromaufnahme (I_{PAR}) wird durch die parasitären Kapazitäten gegen das Substrat bestimmt. Diese Kondensatoren müssen mit jeder Clock-Flanke ebenfalls auf V_{DD} aufgeladen werden. Das Verhältnis von parasitärer- und wirksamer Kapazität wird als α angegeben.

$$I_{PAR} = N \cdot \frac{C_{PAR} \cdot V_{DD}}{T} \quad (2.5)$$

$$\alpha = \frac{C_{PAR}}{C_{gesamt}} ; C_{gesamt} = N \cdot C \quad (2.6)$$

Durch Einsetzen der Gleichungen 2.2 und 2.6 in Gleichung 2.5 erhält man für den parasitären Strom:

$$I_{PAR} = N \cdot \alpha \cdot \frac{N \cdot I_L \cdot T}{(N + 1) \cdot V_{DD} - V_{OUT}} \cdot f \cdot V_{DD} = \frac{N^2 \cdot \alpha \cdot I_L \cdot V_{DD}}{(N + 1) \cdot V_{DD} - V_{OUT}} \quad (2.7)$$

Aus 2.3, 2.4 und 2.7 kann jetzt folgender Ausdruck für die Gesamtstromaufnahme erstellt werden

$$I_{VDD} = I_{ID} + I_{PAR} = \left[(N + 1) + \frac{N^2 \cdot \alpha \cdot V_{DD}}{(N + 1) \cdot V_{DD} - V_{OUT}} \right] \cdot I_L \quad (2.8)$$

Um die optimale Stufenanzahl N zu ermitteln wird Gleichung 2.8 nach N abgeleitet und Null gesetzt. Dadurch ergibt sich das Minimum von I_{VDD} in Abhängigkeit von N .

$$\frac{dI_{VDD}}{dN} = 0 \quad (2.9)$$

$$N = \left(1 + \sqrt{\frac{\alpha}{1 + \alpha}}\right) \cdot \left(\frac{V_{OUT}}{V_{DD}} - 1\right) \quad (2.10)$$

Der bekannte optimale Wert von N wird in Gleichung 2.2 eingesetzt und man erhält die passende Kapazität der Kondensatoren.

2.4.3 Ersatzschaltung

Die Eigenschaften einer Ladungspumpe als Quelle können anhand der Ersatzschaltung gut vorausgesagt bzw. eingeschätzt werden. Die Ersatzschaltung besteht aus einem Innenwiderstand und einem Kondensator, die nach folgenden Formeln berechnet werden:

$$R_{EQU} = \frac{N}{C \cdot f_{Clock}} \quad (2.11)$$

$$C_{EQU} = \frac{C_{TOT}}{3} \quad (2.12)$$

C_{TOT} ist die Gesamtkapazität der in der Ladungspumpe verwendeten Kondensatoren. Für eine detailliertere Herleitung wird auf [Palumbo and Pappalardo 2010] verwiesen.

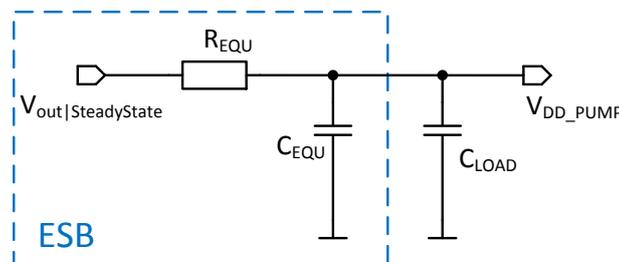


Abbildung 2.18: Ersatzschaltbild der Ladungspumpe

Kapitel 3

Implementierung

In diesem Kapitel werden die einzelnen Schaltungsblöcke in ihrer tatsächlichen Realisierung vorgestellt. Anhand des Schaltplans wird die Funktion erklärt und mit Hilfe von Simulationsergebnissen diese anschaulich gemacht.

Da während der Designphase manche Schaltungen in verschiedenen Ausführungen ausprobiert wurden, werden bei interessanten Schaltungen auch Gegenüberstellungen verschiedener Versionen gezeigt.

Am Ende jedes Unterkapitels ist noch das Layout der jeweiligen Schaltung eingefügt. Alle in diesem Kapitel gezeigten Simulationen wurden, basierend auf den um die parasitären Elemente erweiterten Netzlisten, durchgeführt.

3.1 Versorgungsspannung Oszillator

Die eigens aufgebaute Spannungsversorgung für den Oszillator wurde aus zwei Gründen realisiert: Einerseits ist die Versorgungsspannung für das gesamte System nicht konstant, was sich auf die Frequenz des Oszillators auswirkt. Andererseits beträgt die Spannung V_{DD} mindestens $1,6\text{ V}$ bzw. im normalen Betriebsfall $2,5 - 3\text{ V}$, was keinen effizienten Betrieb des Ringoszillators zulässt. In Abbildung 3.1 ist oben die Oszillatorfrequenz in Abhängigkeit der Oszillator-Versorgungsspannung dargestellt. Im unteren Diagramm ist auf der Y-Achse $\text{MHz pro } \mu\text{A}$ aufgetragen. Diese Darstellung ermöglicht eine einfache Abschätzung darüber, in welchem Versorgungsspannungsbereich ein effizienter Betrieb des Oszillators möglich ist. Beide Diagramme zeigen Simulationen des fertigen Oszillator-Layouts mit extrahierten parasitären Elementen und konstantem Biasstrom.

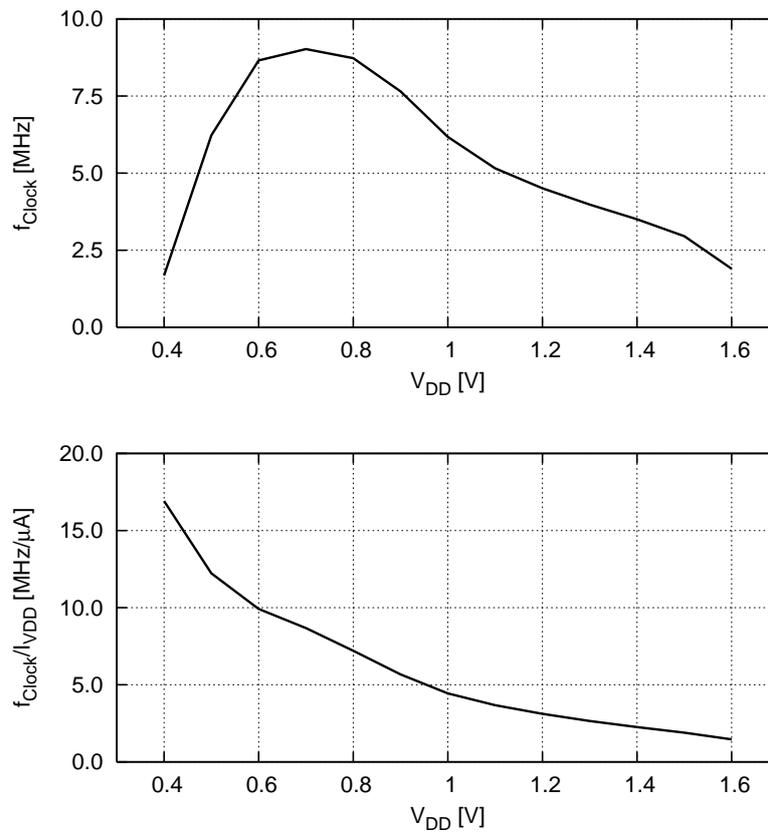


Abbildung 3.1: Oszillatorfrequenz und $\text{MHz}/\mu\text{A}$ in Abhängigkeit von der Versorgungsspannung

Mit den Diagrammen aus 3.1 kann ein Arbeitsbereich für den Oszillator und damit die benötigte Versorgungsspannung ca. $0,5 - 1 \text{ V}$ festgelegt werden.

Zur Erzeugung der Oszillator Versorgungsspannung, in weiterer Folge mit V_{LOW} bezeichnet, wird ein NMOS Transistor als Sourcefolger verwendet. Siehe Abbildung 3.2. Der Biasstrom $I_{Bias} = 30 \text{ nA}$ ist von einem temperaturstabilen Strom einer Bandgap-Schaltung abgeleitet. Dieser Biasstrom fließt durch zwei als Diode geschaltete NMOS Transistoren. Es ergeben sich also die zwei von V_{DD} unabhängigen Spannungsabfälle V_{GS1} und V_{GS2} . Der Ausgangstransistor T_3 ist als Sourcefolger geschaltet. Das bedeutet, dass das Sourcepotential, hier V_{LOW} , dem Gatepotential um V_{GS3} verringert folgt.

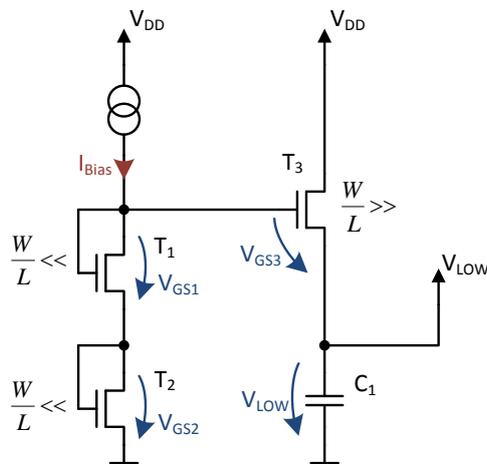


Abbildung 3.2: Schaltung zur Erzeugung von V_{LOW}

V_{LOW} ergibt sich aus folgender Maschengleichung:

$$V_{Low} = V_{GS1} + V_{GS2} - V_{GS3}$$

Die Transistoren, die als Diode geschaltet sind, haben ein klein gewähltes Weiten-Längen-Verhältnis, damit die Gate-Source Spannungen möglichst groß sind. Der Ausgangstransistor ist genau umgekehrt dimensioniert, um den Ausgangswiderstand gering zu halten, siehe Herleitung unten. Wenn man davon ausgeht, dass die Gate-Spannung des Sourcefolgers konstant ist, dann ergibt sich das Ersatzschaltbild 3.3

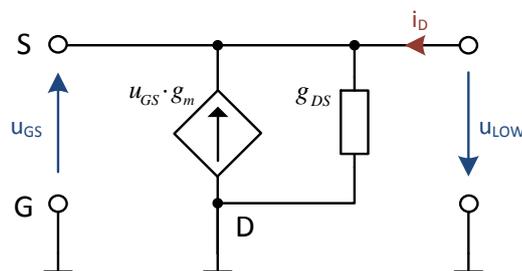


Abbildung 3.3: Kleinsignalersatzschaltung Sourcefolger

$$u_{Low} = -u_{GS}$$

$$i_D + g_m \cdot u_{GS} - u_{Low} \cdot g_{DS} = 0$$

$$i_D = -g_m \cdot u_{GS} + u_{Low} \cdot g_{DS}$$

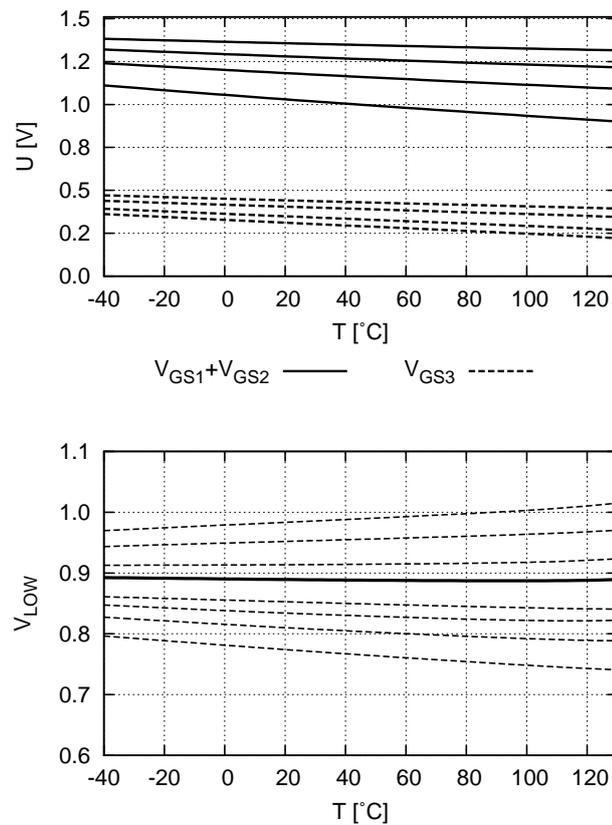
$$i_D = g_m \cdot u_{Low} + g_{DS} \cdot u_{Low}$$

$$\frac{i_D}{u_{Low}} = g_m + g_{DS} \approx g_m \rightarrow r_a = \frac{1}{g_m}$$

Je größer g_m ist, desto kleiner ist der Ausgangswiderstand.

$$g_m \propto \frac{W}{L}$$

Für die weitere Dimensionierung ist die Temperaturabhängigkeit der Ausgangsspannung miteinbezogen. Die Transistorabmessungen sind so gewählt, dass V_{LOW} einerseits in den effizienten Betriebsbereich des Oszillators fällt und andererseits möglichst kleine Abhängigkeit von der Temperatur aufweist. Abbildung 3.4 zeigt eine parametrische DC-Simulation der Ausgangsspannung in Abhängigkeit der Temperatur. Die Parameter von $V_{GS1}+V_{GS2}$ sind die Transistorlängen von T_1 und T_2 . Der Parameter, der die verschiedenen Kurvenverläufe von V_{GS3} erzeugt, ist die Transistorweite des Sourcefolgers T_3

Abbildung 3.4: Temperaturabhängigkeit von V_{LOW}

Die Simulation zeigt, dass sich bei einer Transistordioden-Länge von $39\ \mu m$ und einer Ausgangstransistor-Weite von $34\ \mu m$ ähnliche Änderungen der Spannungen über der Temperatur ergeben. Dioden-Weite und Folger-Länge sind mit Mindestabmessungen dimensioniert. Diese Kombination ergibt eine ausreichend kleine Abhängigkeit der Ausgangsspannung von der Temperatur und die Spannung V_{LOW} stellt sich bei ca. $880\ mV$ ein. Für die Simulation ist ein Widerstand mit $1\ M\Omega$ als Last an V_{LOW} angeschlossen.

Für einen definierten Start des Oszillators, soll dieser erst aktiviert werden, wenn V_{LOW} groß genug ist. Bei einer zu niedrigen Versorgungsspannung würde der Oszillator entweder gar nicht schwingen oder mit einer zu hohen Frequenz, sodass die Ladungspumpe nicht funktioniert. Es wird deshalb ein Steuersignal V_{LOW_OK} auf High geschaltet, sobald die Versorgungsspannung groß genug ist. Problematisch ist dabei, dass V_{LOW} nur langsam ansteigt, weshalb die in Kapitel 3.2 beschriebene Slewrate-Enhancement Schaltung benötigt wird. Der langsame Anstieg von V_{LOW} entsteht durch den Ladevorgang der verwendeten Stützkapazitäten. Abbildung 3.5 zeigt den Startup-Vorgang der Schaltung und eine simulierte Last, die die Ausgangsspannung V_{LOW} einbrechen lässt. Simuliert wird die aus dem Layout extrahierte Schaltung im Gesamtsystem.

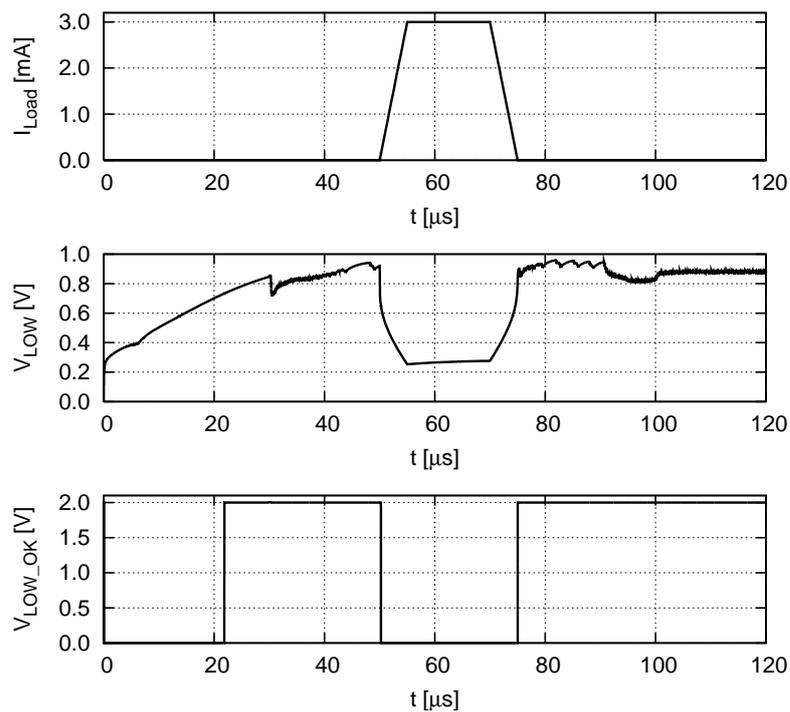


Abbildung 3.5: Simulation der Oszillatorversorgung mit simulierter Belastung I_{LOAD}

Da das UND-Gatter, welches V_{LOW_OK} und $ENABLE$ verknüpft, mit V_{DD} versorgt ist, muss auch V_{LOW_OK} mit diesem Pegel ein High ausgeben. Es ist deshalb ein Levelshifter eingebaut, der das Signal von der Versorgungsspannung V_{LOW} auf V_{DD} anhebt. Der Grund dafür ist, dass das $ENABLE$ Signal von einer externen Logik kommt und deshalb auch den höheren Pegel hat.

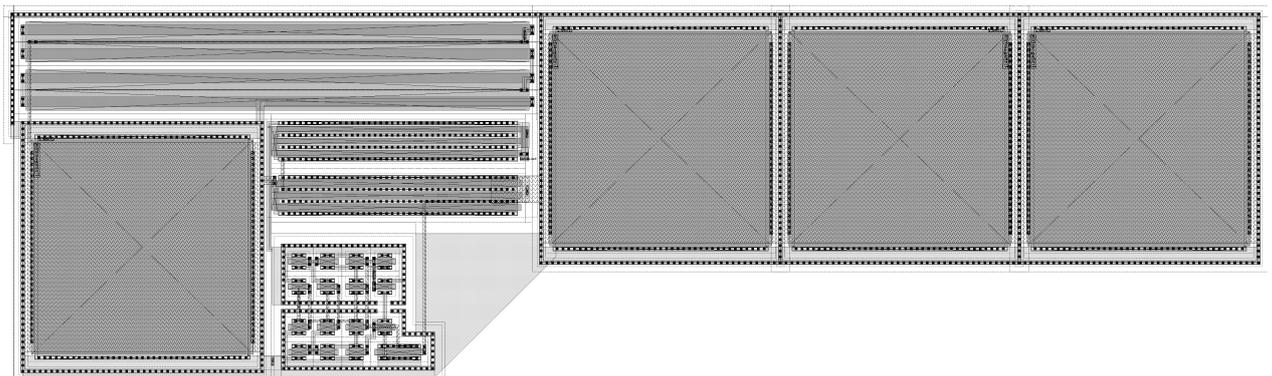


Abbildung 3.6: Layout der Oszillatorversorgung

3.2 Steuersignale

In diesem Unterkapitel geht es um die Erzeugung von digitalen Steuersignalen aus analogen Signalquellen. Digitale Steuersignale sollten immer definierte High- oder Low-Pegel aufweisen. Im Speziellen in Verbindung mit kombinatorischen Logik-Gattern, ist es aus Energieeffizienzgründen, zu vermeiden, dass Spannungspegel um die Hälfte der Versorgungsspannung auftreten, da sonst beträchtliche Querströme fließen. Wie in Abbildung 3.7 zu sehen ist, gibt es in dieser Schaltung zwei Steuersignale: V_{LOW_OK} und $CHARGE_RDY$. Beide Signale werden von analogen Schaltungen erzeugt und hängen von langsamen transienten Signalverläufen ab.

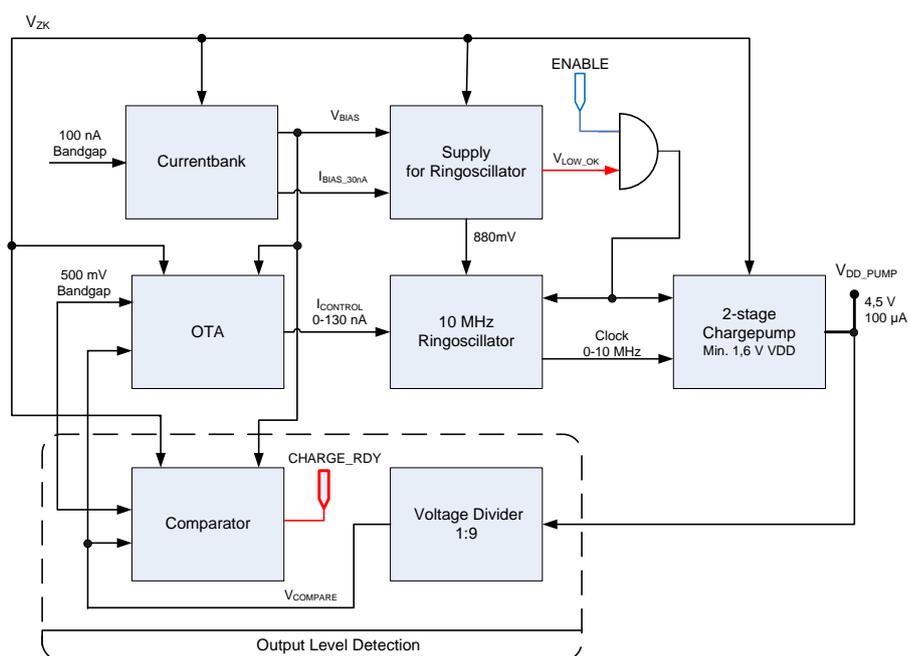


Abbildung 3.7: Blockschaltbild - Steuersignale

Um diese langsamen transienten Signale dennoch effizient mit Logik-Gattern auswerten zu können, wird eine Art Slew-Rate Enhancement angewendet, die im Zuge dieser Arbeit entstanden ist.

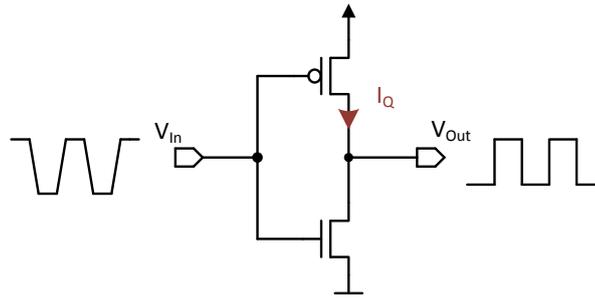


Abbildung 3.8: Inverter Schaltung

Abbildung 3.8 zeigt einen einfachen Inverter, der als Vergleich herangezogen wird. Verglichen wird die Stromaufnahme des Inverters alleine und einmal mit Slew-Rate Enhancement.

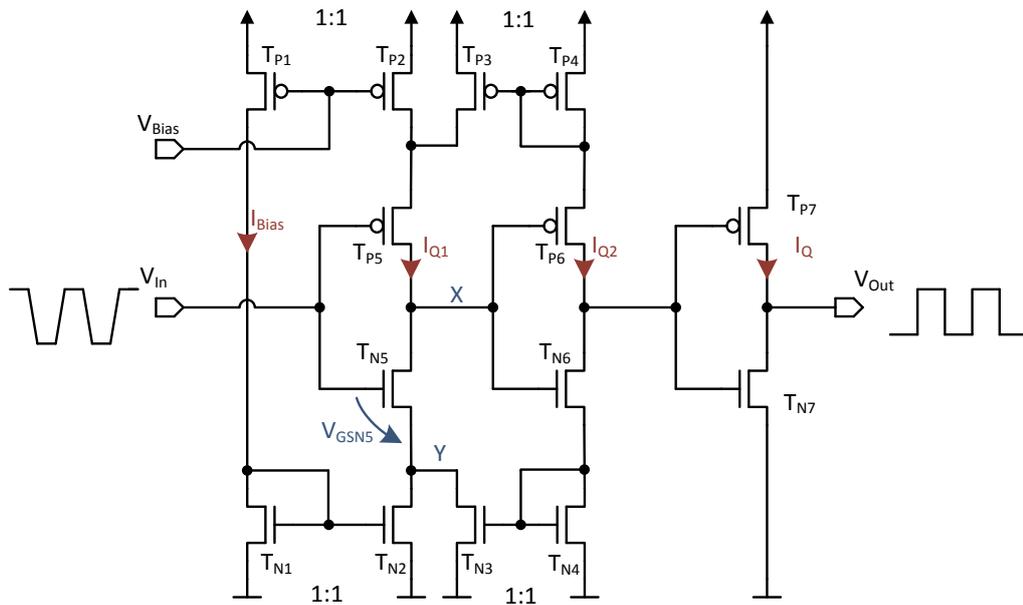


Abbildung 3.9: Slew-Rate Enhancement Schaltung mit Inverter

Die Eingangsstufe ist ein Inverter T_{P5} und T_{N5} der von T_{P2} und T_{N2} strombegrenzt wird. Der maximale Querstrom I_{Q1} , der bei $V_{In} \approx V_{DD}/2$ auftreten kann, ist vorerst durch die

Stromspiegel $T_{P1} - T_{P2}$ und $T_{N1} - T_{N2}$ auf I_{Bias} begrenzt. Steigt V_{In} langsam an, wird T_{N5} leitend und V_{GSN5} steigt bis $I_{Q1} = I_{Bias}$. Ein weiteres Ansteigen von V_{In} bewirkt jetzt, dass das Potential am Knoten Y ebenfalls ansteigt, sodass I_{Q1} nicht größer als I_{Bias} wird. Erst wenn V_{In} größer als $V_{DD}/2$ ist, leitet T_{P5} schlechter als T_{N5} und das Potential am Knoten X beginnt zu sinken. Dadurch fließt durch den Inverter T_{P6} und T_{N6} ein Querstrom I_{Q2} der deutlich größer ist als I_{Q1} . I_{Q2} wird zurück gespiegelt und zieht damit das Potential in Knoten Y nach unten. V_{GSN5} steigt und das Potential von X wird ebenfalls nach unten gezogen, wodurch I_{Q2} stärker ansteigt. Der Umschaltvorgang, in dem der Querstrom fließt, wird im nicht strombegrenzten Pfad also über eine Mitkopplung beschleunigt. Bei einem Absinken von V_{In} verhält sich die PMOS Seite gleich.

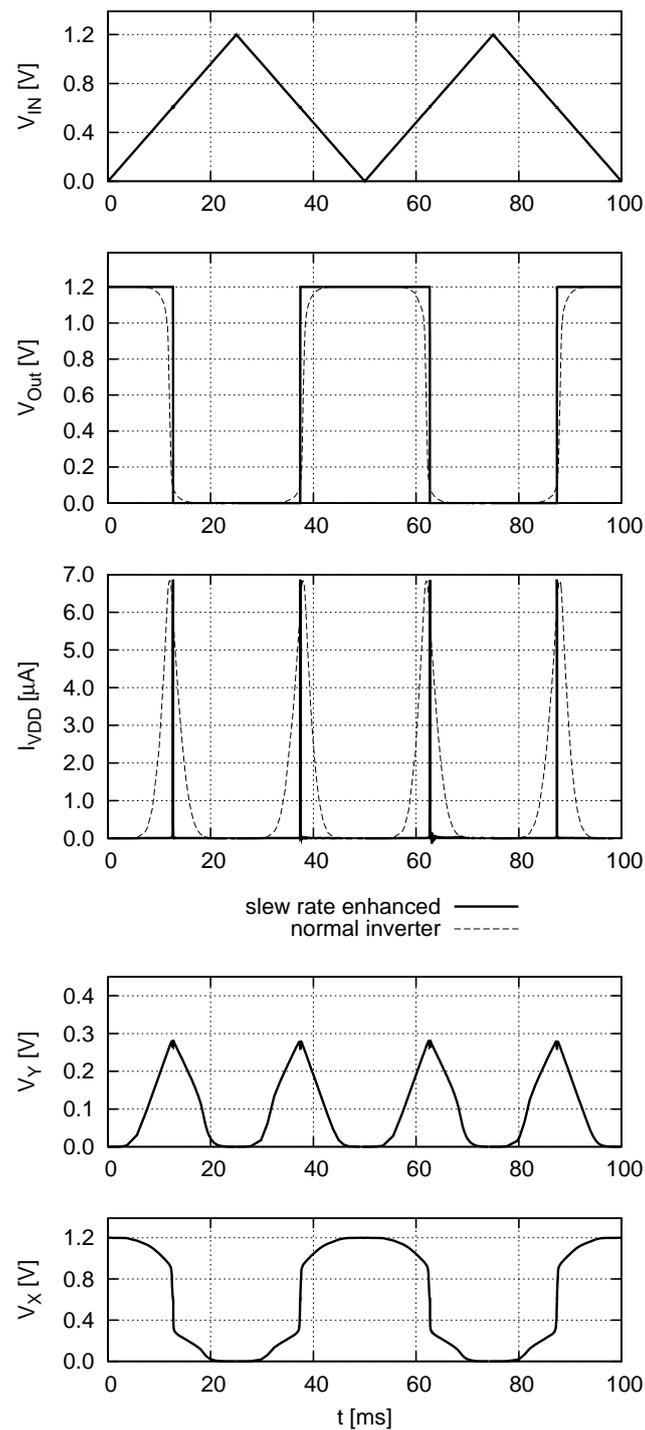


Abbildung 3.10: Simulation der Schaltung aus Abbildung 3.9; $I_{Bias} = 10nA$

Die Simulation zeigt, dass durch die Mitkopplung der Umschaltvorgang viel schneller abläuft. Um die beiden Varianten quantitativ vergleichen zu können, wird die Gesamtleistung der Schaltungen verglichen. Dafür wird der Augenblickswert der Leistung über die Simulationsperiode integriert und durch die Periodendauer dividiert.

$$p(t) = u(t) \cdot i(t)$$

$$P = \frac{1}{T} \int_0^T V_{DD} \cdot I_{VDD}(t) dt \quad (3.1)$$

$$P_{inverter} = \frac{1}{T} \int_0^T V_{DD} \cdot I_{VDDinv}(t) dt = \frac{1}{0,1} \int_0^{0,1} 1,2 \cdot I_{VDDinv}(t) dt \approx 1,33 \mu W$$

$$P_{enhanced} = \frac{1}{T} \int_0^T V_{DD} \cdot I_{VDDenhanced}(t) dt = \frac{1}{0,1} \int_0^{0,1} 1,2 \cdot I_{VDDenhanced}(t) dt \approx 26,7 nW$$

Leistungsberechnung für die Simulation aus Abbildung 3.10.

Es zeigt sich, dass für die Auswertung von langsamen transienten Signalen, die slew-rate enhancement Schaltung eine einfache und sehr effektive Lösung darstellt, um den Übergang von analogen zu digitalen Signalen zu ermöglichen. Der Nachteil dieser Schaltung ist, dass die maximale Schaltfrequenz vom Biasstrom begrenzt wird. Die minimal mögliche Periodendauer des zu schaltenden Signals muss mehr als doppelt so groß sein, als die Zeit, die benötigt wird, um die nachfolgenden Gates umzuladen. Je kleiner der Biasstrom ist, desto länger dauert der Umladevorgang. Bei $I_{Bias} = 10 nA$ ist die maximale Frequenz ca. $1 MHz$. Abbildung 3.11 zeigt, dass bei höheren Frequenzen die Leistung stark ansteigt.

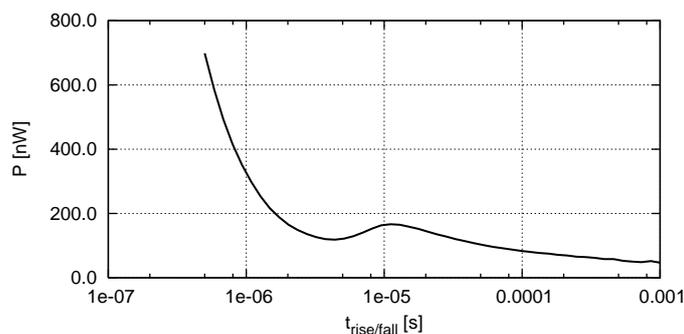


Abbildung 3.11: Leistung als Funktion der rise bzw. fall time des Eingangssignals

Die Slew-Rate Enhancement Schaltung wird im konkreten Anwendungsfall für die Pegel-Erkennung einer Supply Spannung verwendet. Es wird ein High-Signal (Oszillator Enable) ausgegeben, sobald die Spannungsversorgung (V_{LOW}) für den Oszillator groß genug für dessen Betrieb ist. V_{LOW} wird mittels Sourcefolger erzeugt und steigt nach dem Startup-Vorgang nur langsam an. Siehe Abschnitt 3.1.

3.3 Ausgangsspannungs-Detektion

Die Ausgangsspannungs-Detektion besteht aus einem Spannungsteiler und einem Komparator. Der Spannungsteiler teilt die von der Ladungspumpe erzeugte Ausgangsspannung im Verhältnis 1 : 8, sodass sie mit einer Bandgap-Spannung verglichen werden kann. Den Vergleich der beiden Spannungen übernimmt ein Komparator, der ein Ready Signal ausgibt.

3.3.1 Spannungsteiler

Um einen möglichst großen Versorgungsspannungsbereich abzudecken, ist die Ladungspumpe zweistufig ausgeführt. Es ist also, wie in Kapitel 2.4 beschrieben wird, möglich, die dreifache Versorgungsspannung als Ausgangsspannung zu erzeugen. Da die Versorgungsspannung bis zu 3 V betragen kann, ist deshalb eine Regelung notwendig. Der Sollwert der erzeugten Ausgangsspannung, in weiterer Folge als V_{DD_PUMP} bezeichnet, ist 4,5 V und die von der Bandgapzelle bereitgestellte Referenzspannung (V_{ref}) ist 500 mV.

Damit die Bandgapspannung mit V_{DD_PUMP} verglichen werden kann, muss V_{DD_PUMP} im Verhältnis 1 : 8 geteilt werden. Im einfachsten Fall würde dafür ein ohmscher Spannungsteiler ausreichen. Wenn der Stromverbrauch der Ausgangsspannungs-Detektion den zweistelligen nA-Bereich nicht übersteigen soll, müssen die Widerstände im G Ω -Bereich dimensioniert werden. Widerstände in dieser Größenordnung können jedoch aus Platzgründen nicht verwendet werden. Implementiert ist deshalb ein Spannungsteiler, der aus PMOS Transistoren aufgebaut ist. Die benötigte Chipfläche für diesen Teiler ist ca. 1550 μm^2 . Prinzipiell besteht der Spannungsteiler aus neun in Serie geschalteten PMOS Transistoren, die alle als Diode geschaltet sind.

Durch die Verwendung von PMOS Transistoren kann das n-Wannen-Potential für jeden Transistor mit dessen Source-Potential festgelegt werden. Es entstehen dadurch keine unterschiedlichen Bulk-Source Spannungen. Unter der Voraussetzung, dass alle Transistoren die gleichen Abmessungen besitzen, ergeben sich auch gleiche elektrische Eigenschaften. Somit kann die Ausgangsspannung mit Neun Transistoren im Verhältnis 1 : 8 geteilt werden. Dieser Aufbau hat den Nachteil, dass der Strom durch den Teiler eine starke Abhängigkeit von der Temperatur aufweist. In Abbildung 3.14 ist diese Temperaturabhängigkeit des Querstroms dargestellt. Zwischen der tiefsten und der höchsten simulierten Temperatur (-40 bis 130 °C) steigt der Strom durch den Spannungsteiler annähernd um das Zehnfache an. Die Teiler-Charakteristik wird dadurch aber nicht beeinflusst.

Für die Dimensionierung der Transistorgröße ist der Strom durch den Teiler das einzige Kriterium. Bei einer Weite von 700 nm und einer Länge von 1,5 μm je Transistor, ist sichergestellt, dass der Querstrom bei 130 °C immer noch im geforderten zweistelligen

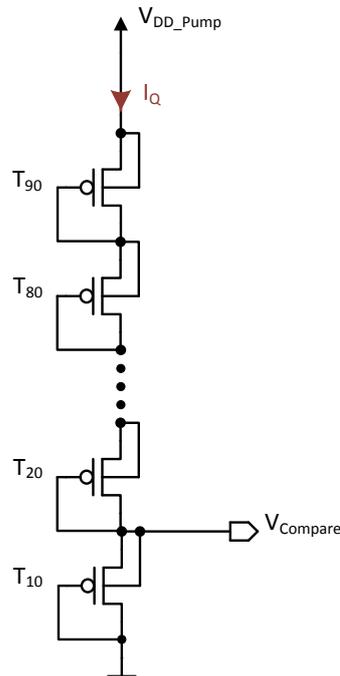


Abbildung 3.12: Prinzipschaltung des Ausgangsspannungsteilers

nA -Bereich ist. Abbildung 3.13 zeigt den Spannungsteiler in seiner tatsächlichen Ausführung. Um die benötigten Kanalwiderstände zu erzeugen, sind jeweils 10 Transistoren in Serie geschaltet.

Im Regelkreis eingesetzt hat sich gezeigt, dass der Teiler eine zu niedrige Grenzfrequenz besitzt. Die durch ihn verursachte Phasendrehung führt zu einer Instabilität der Regel Schleife. Es wird deshalb, mit zwei Kondensatoren, eine Frequenzgang-Korrektur vorgenommen. (Abbildung 3.15). Die Kondensatoren sind jeweils parallel zu den beiden Teiler-Abschnitten angeschlossen. Ihre Kapazitäten sind so dimensioniert, dass die Ausgangsspannung wiederum im Verhältnis 1 : 8 geteilt wird. Abbildung 3.16 zeigt das Bodediagramm des Teilers einmal mit und einmal ohne die Frequenzgang-Korrektur.

C_1 und C_2 sind als Metall-Metall Kondensatoren ausgeführt. Diese Bauform hat den Vorteil, dass die Kapazität von der Spannung unabhängig ist. Die Verwendung eines MOS-Kondensators hätte den Vorteil, dass er aufgrund seiner größeren spezifischen Kapazität viel kleiner wäre. Bei einem MOS-Kondensator bildet sich die Kapazität aber erst bei 'Moderate Inversion' aus. Das bedeutet, dass die Gate-Bulk Spannung mindestens der Thresholdspannung entsprechen muss [Auer 2011]. Der Abgriff $V_{COMPARE}$ hat im normalen Betrieb ca. 500 mV , was nur geringfügig mehr als eine Thresholdspannung ist. Der

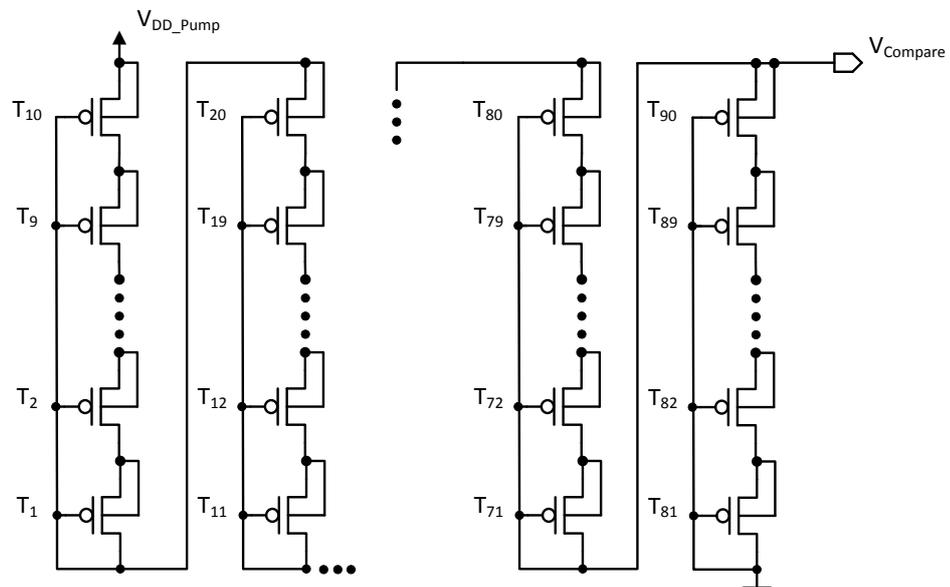


Abbildung 3.13: Ausgangsspannungsteiler

platzsparende Aufbau mit MOS-Kondensatoren kann deshalb für diese Anwendung nicht verwendet werden.

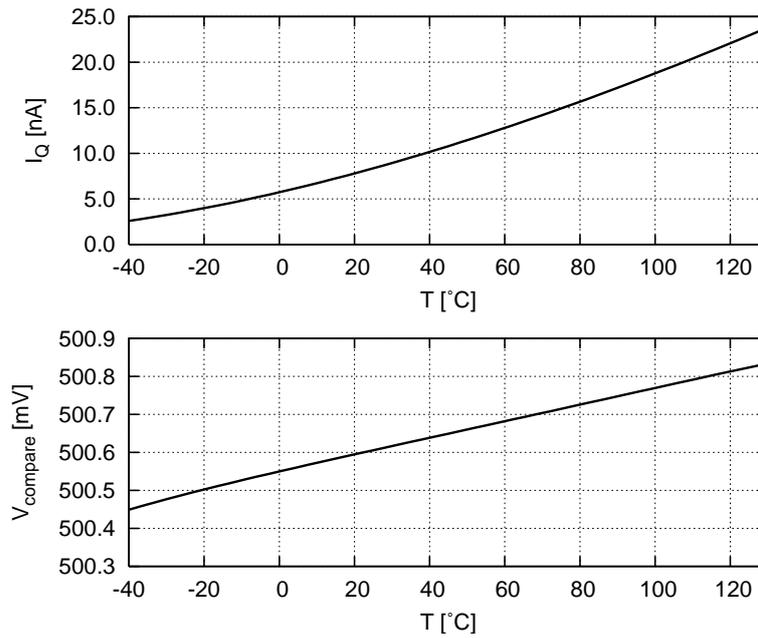


Abbildung 3.14: Temperaturverhalten des Spannungsteilers bei $V_{DD_PUMP} = 4,5 V$

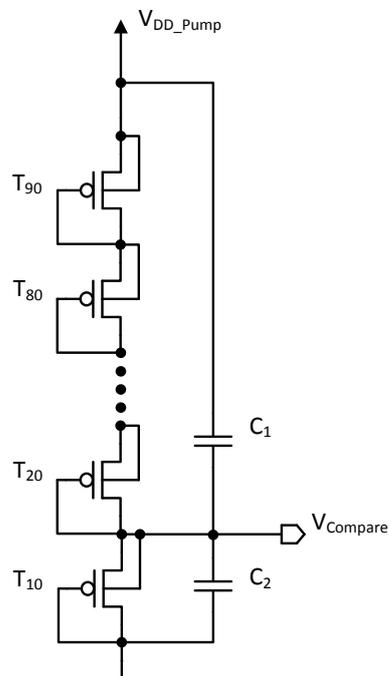


Abbildung 3.15: Ausgangsspannungsteiler mit Frequenzgang-Korrektur

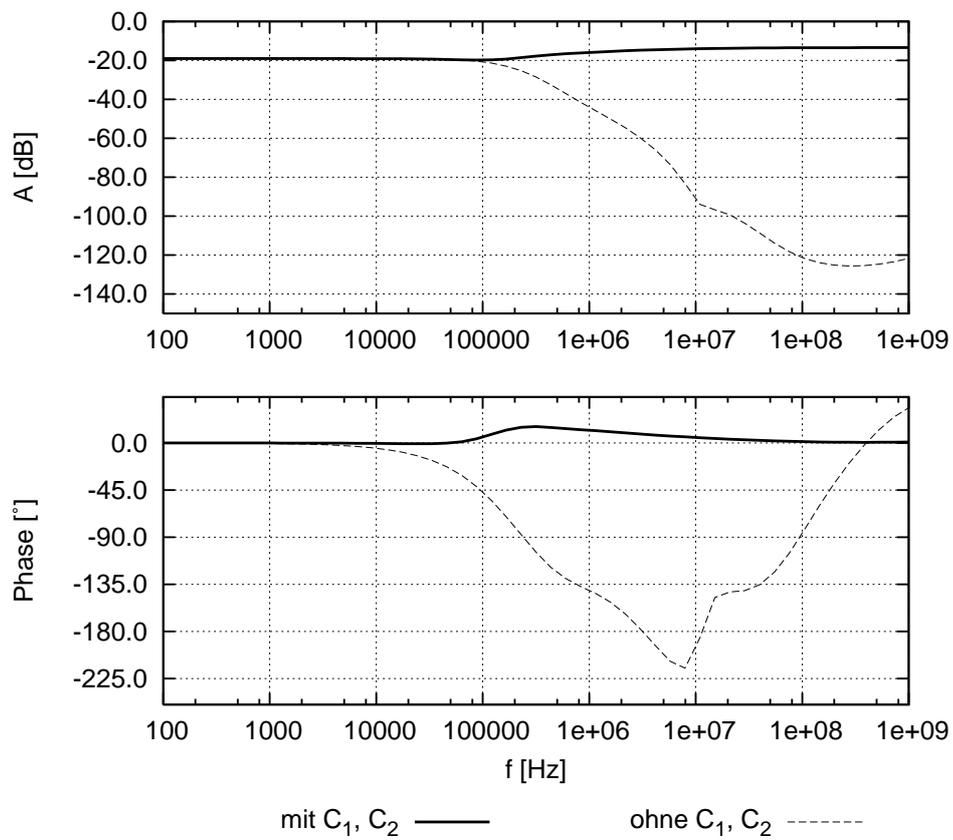


Abbildung 3.16: Bodediagramm des Spannungsteilers

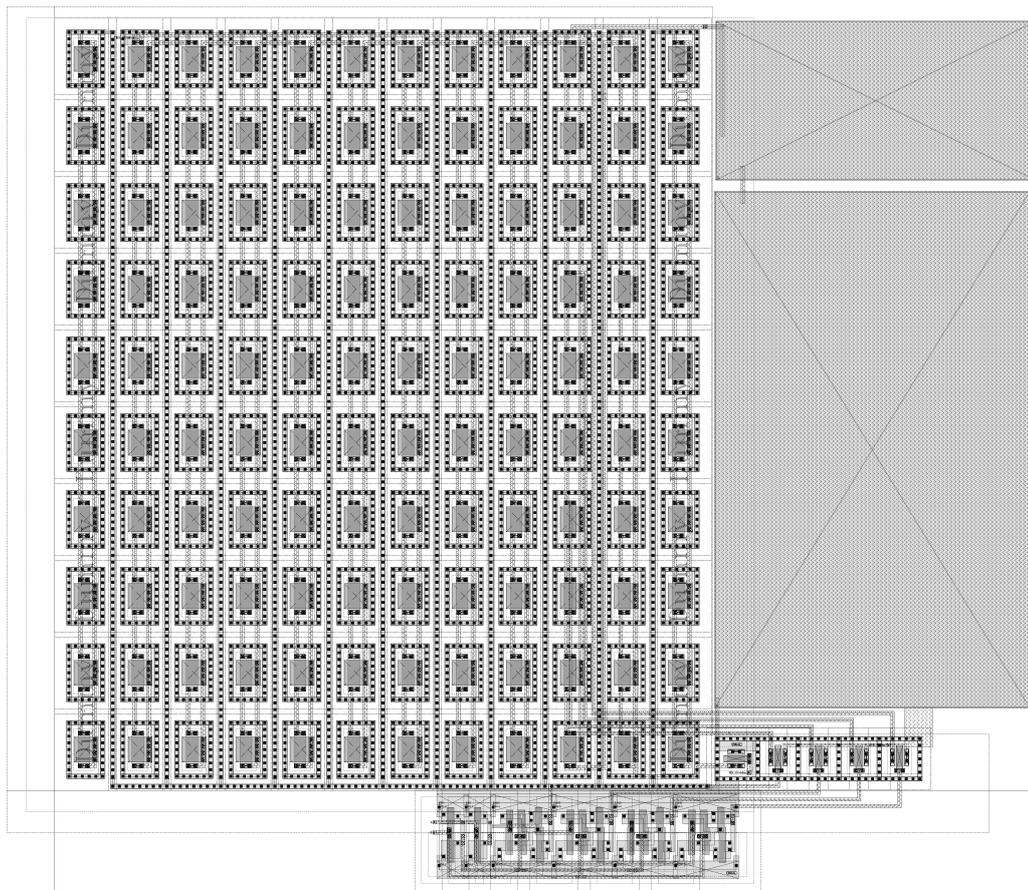


Abbildung 3.17: Layout des Ausgangsspannungsteilers ($57 \times 51 \mu\text{m}$)

Der im Layout als Logik bezeichnete Block ist nur für Testzwecke gedacht. Eine kombinatorische Logik ermöglicht über zwei Steuerleitungen die Auswahl von vier verschiedenen Abgriffen im Spannungsteiler. Somit können Ausgangsspannungen, die kleiner als $4,5 \text{ V}$ sind, erzeugt werden. Diese Zusatzfunktion soll nur am Testchip zur Verfügung stehen und kann durch Verbinden der Steuerleitungen mit Masse deaktiviert werden.

3.3.2 Komparator

Der Komparator soll ein High am Ausgang liefern, wenn $V_{COMPARE}$ größer als die Bandgapspannung ist und dadurch anzeigen, dass V_{DD_PUMP} den Sollwert erreicht hat. Damit das Ready (V_{out_rdy}) Signal nicht zu sensibel auf Schwankungen von V_{DD_PUMP} reagiert, ist eine Hysterese vorgesehen. Der Komparator basiert auf einer Simple-OTA Struktur mit zusätzlichem cross-coupled Transistor Paar [Kul B. Ohri 1979].

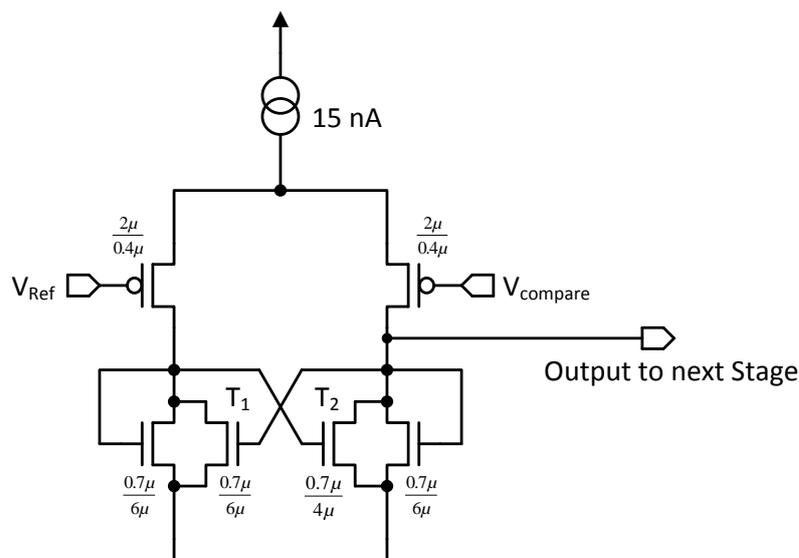


Abbildung 3.18: Komparator zur Erzeugung eines Ready Signals

Die benötigte Hysterese wird durch eine Asymmetrie im cross-coupled Transistor Paar (T_1 , T_2) des Komparators erzeugt. Die Auswirkung der verschiedenen Transistorlängen ist in der transienten Simulation in Abbildung 3.20 und in Abbildung 3.19 dargestellt. In den Simulationen ist deutlich zu erkennen, dass die Hysterese aufgrund der verringerten Transistorlänge auf $4 \mu m$ entsteht. Zum Vergleich ist in den Simulationen der symmetrische Komparator zusätzlich dargestellt. Die Legenden der beiden Diagramme beziehen sich auf die Länge von T_2 . Zur weiteren Signalaufbereitung wird der Ausgang des Komparators auf einem NMOS Transistor mit Stromquellenlast geführt und anschließend mit der Slewrate enhancement Schaltung (Kapitel 3.2) zu einem steiflankigen Digitalsignal umgewandelt. Dieses Signal wird in weiterer Folge mit $CHARGE_RDY$ bezeichnet.

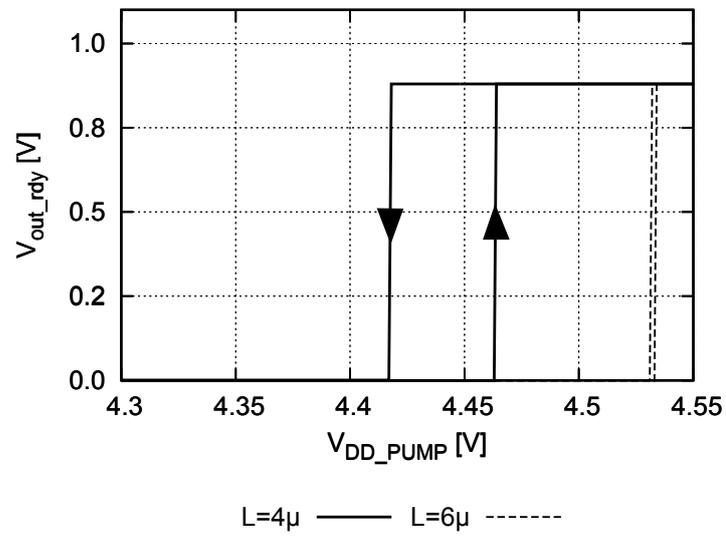


Abbildung 3.19: Simulation der Komparator-Hysterese

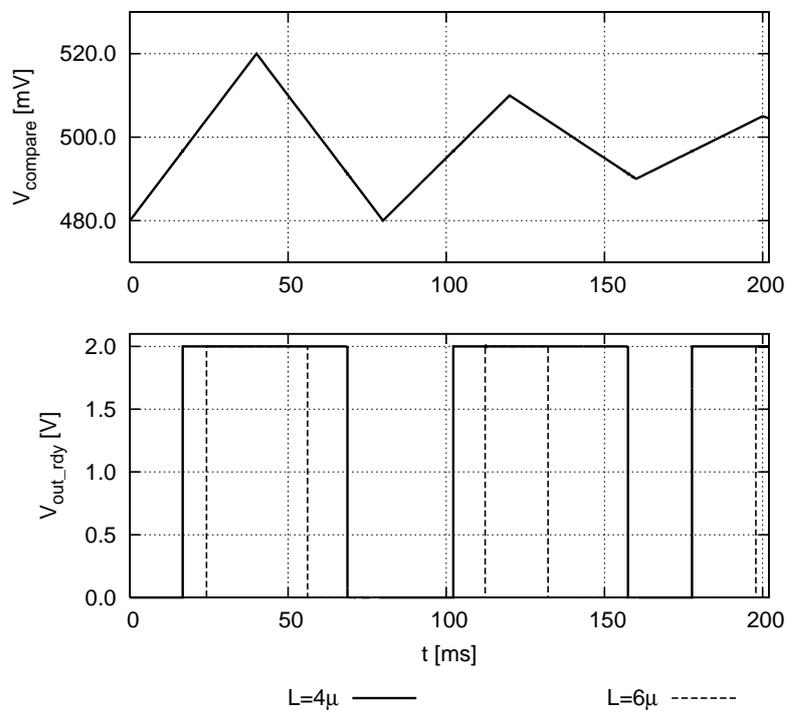


Abbildung 3.20: Transiente Simulation der Komparator-Hysterese

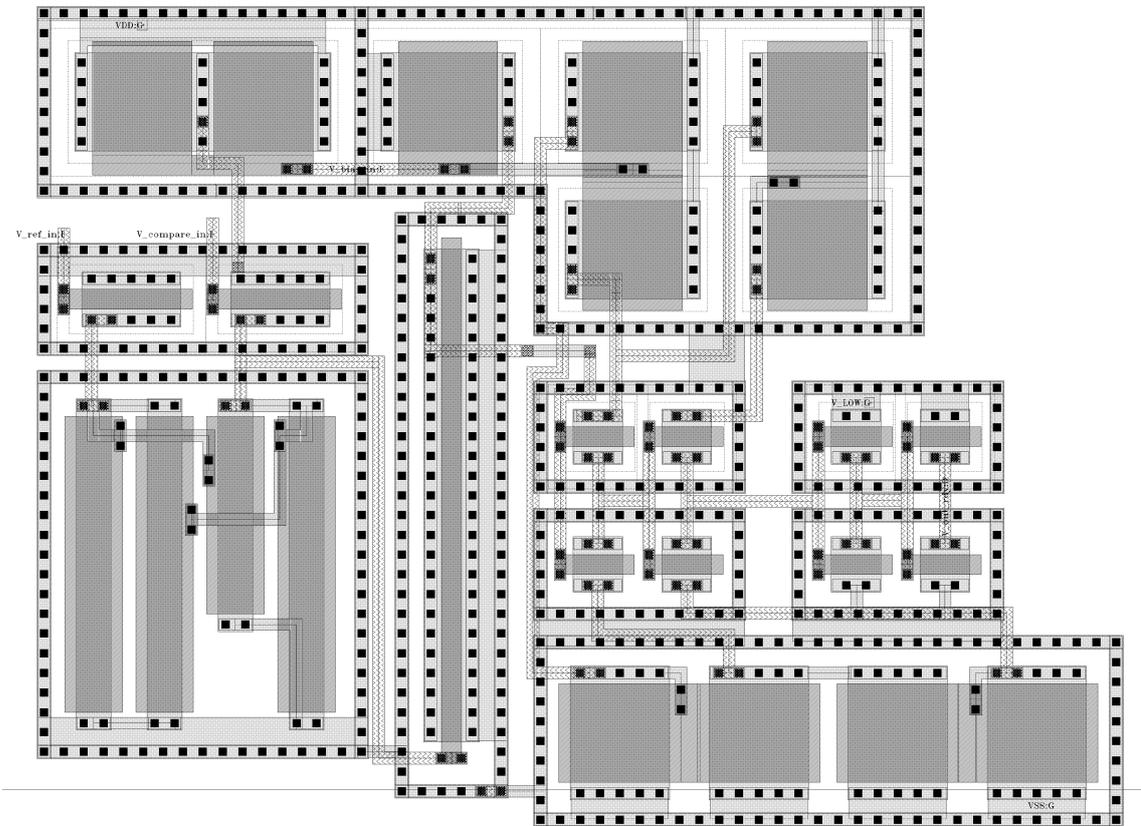


Abbildung 3.21: Layout des V_{out_rdy} Komparators

3.4 Stromgesteuerter Ringoszillator

Der stromgesteuerte Ringoszillator wird zur Erzeugung des Taktes für die Ladungspumpe verwendet. Da die Ausgangsspannung der Ladungspumpe geregelt werden soll, muss die Frequenz des Oszillators die variable Stellgröße sein. Abhängig von der Spannungsdifferenz der Ausgangsspannung und einer Referenzspannung wird der Oszillator deshalb mit einem ebenfalls variablen Biasstrom versorgt. Ein Simple-OTA übernimmt diese Funktion. Der Ausgangsstrom des OTA fließt über eine NMOS Transistor Diode und erzeugt dadurch eine Biasspannung für die NMOS Stromspiegel des Oszillators. Der Strom für die PMOS Stromspiegel wird ebenfalls von dieser Biasspannung abgeleitet. Das Funktionsprinzip des Ringoszillators ist in Kapitel 2.3 erklärt. Der Oszillatorblock hat neben den OTA Eingängen noch einen Enable Eingang. Dieses Signal ist auf das Gate eines PMOS Transistors geführt, der wiederum die PMOS Biasspannung zur Versorgungsspannung kurzschließt.

Erste Simulationen des Oszillators in Verbindung mit der Ladungspumpe und einer Versorgungsspannung mit Innenwiderstand haben gezeigt, dass ein mittkoppelnder Effekt auftreten kann. Aufgrund des Innenwiderstands der Quelle kann unter zu großer Belastung die Versorgungsspannung so niedrig werden, dass auch die Oszillatorversorgungsspannung kleiner wird. Wenn die Versorgung des Oszillators kleiner wird, steigt die Frequenz, siehe Abbildung 2.11, was zu einer noch größeren Stromaufnahme durch die Ladungspumpe führt. Um diesem Effekt entgegen zu wirken, ist T_1 als Strombegrenzung eingebaut. Sinkt V_{DD} auf $V_{Low} + V_{TH}$ ab, dann beginnt T_1 den Strom durch den OTA und in weiterer Folge den Biasstrom des Oszillators zu verringern. Der Spannungsregler kann somit die Versorgung des RFID-Chips bei geringer Feldenergie nicht einbrechen lassen.

Ein weiteres Problem bei der Implementierung des Oszillators war die Flankensteilheit der Schwingung. Bei Low-power Ringoszillatoren ist das ein generelles Problem, da durch die begrenzten Ströme unweigerlich der Umladevorgang der Gates nur relativ langsam stattfindet. Ultra-Low-power Designs wie sie in [M. Azarmehr 2011] und [Suzana Farzeen 2010] vorgestellt werden, gehen auf diese Problematik nicht ein. Durch einfaches Nachschalten eines Inverters, siehe Abbildung 3.23, kann die Flankensteilheit vergrößert werden und der Ausgang des Oszillators belastbar gemacht werden. Die Stromaufnahme dieses Inverters wird für die Leistungsbetrachtung des Oszillators miteinbezogen. Eine weitere Möglichkeit die Schwingung des Oszillators steilflankig und belastbar zu machen ist in Abbildung 3.22 gezeigt. In dieser Schaltungsvariante werden zwei Signale innerhalb des Ringoszillators miteinander verglichen. Die beiden Signale V_{inN} und V_{inP} , siehe Abbildung 3.25, werden dazu zu einem Komparator mit cross-coupled PMOS Transistoren geführt. Beide Schaltungsvarianten werden bezüglich ihres gesamt Stromverbrauchs in Abbildung 3.24 miteinander verglichen.

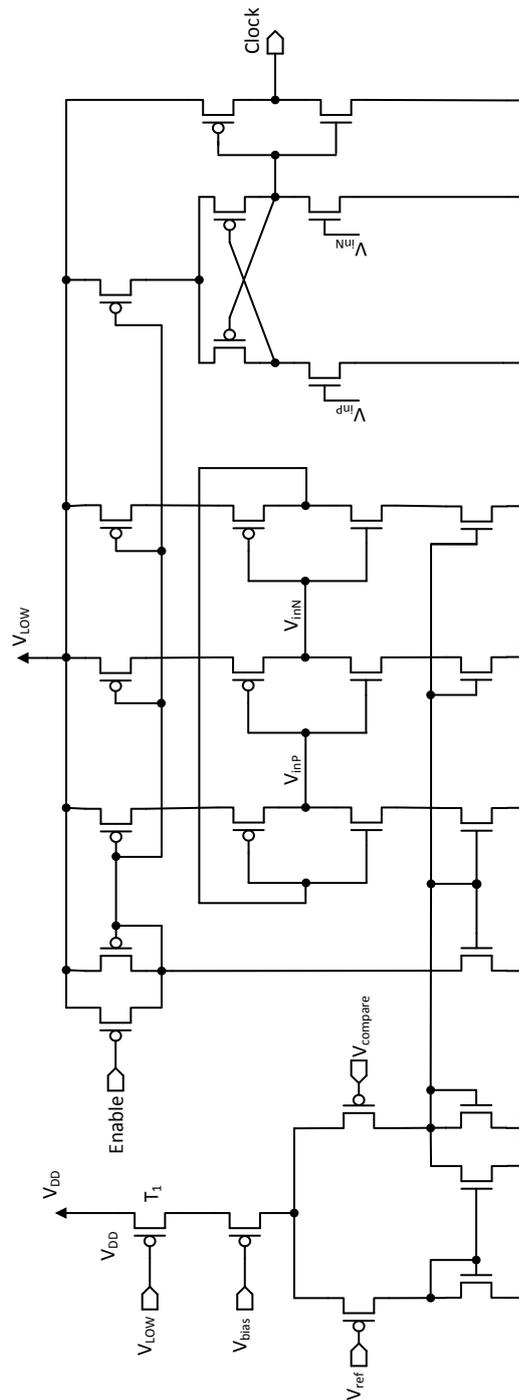


Abbildung 3.22: Schaltung des stromgesteuerten Ringoszillators mit Komparator

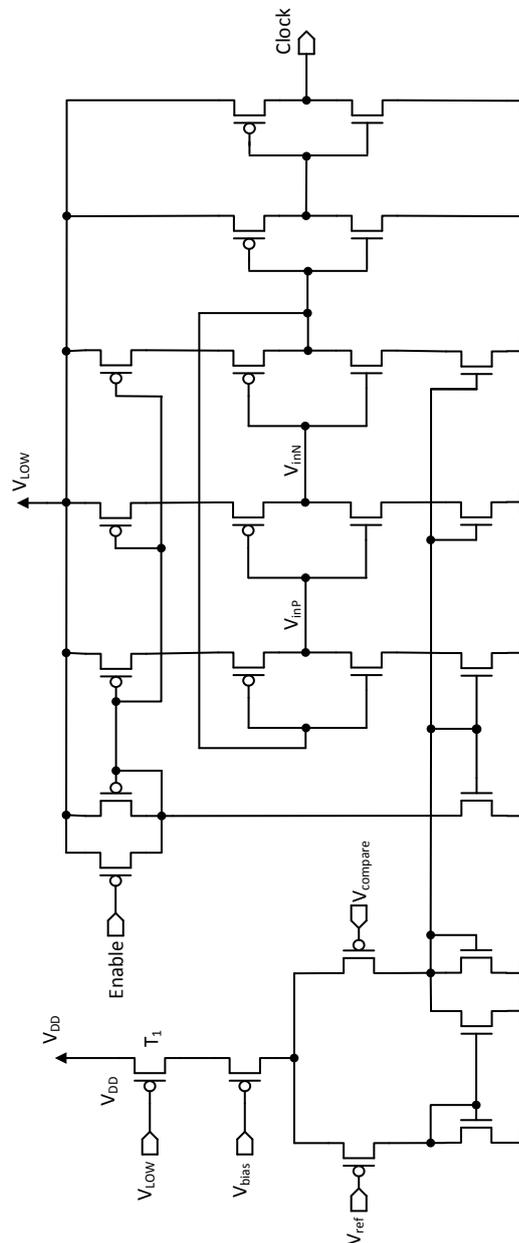


Abbildung 3.23: Schaltung des stromgesteuerten Ringoszillators mit Inverter

Die Simulation in Abbildung 3.24 zeigt, dass die Effizienz der Oszillatorschaltungen vom Betriebszustand abhängt. Die Version aus Abbildung 3.23 ist besser für hohe Frequenzen

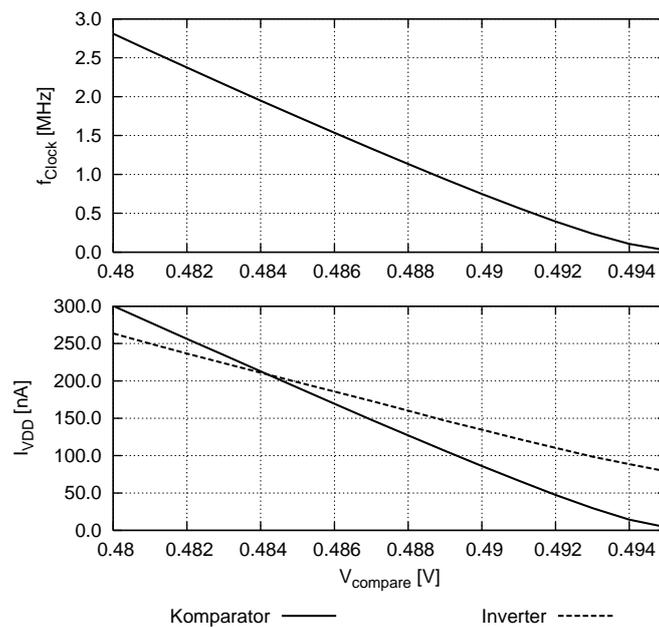


Abbildung 3.24: Clockfrequenz und Stromaufnahme in Abhängigkeit von $V_{COMPARE}$

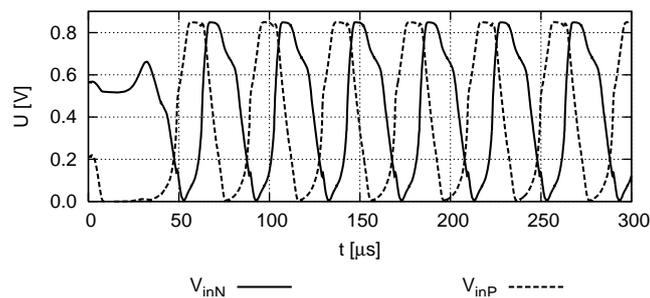


Abbildung 3.25: Interne Spannungsverläufe des Oszillators bei $V_{COMPARE} = 495 \text{ mV}$

geeignet, während die Version mit Komparator für Clockfrequenzen knapp unter 2 MHz deutlich weniger Strom aufnimmt. Der Grund dafür ist, dass bei niedrigen Frequenzen der Strom durch den Komparator kleiner ist als der Querstrom durch die Inverter, weil der Komparatorstrom nur von den Schaltvorgängen pro Zeit abhängt. Implementiert ist deshalb die Variante mit Komparator, da sie im voraussichtlichen Betrieb effizienter ist.

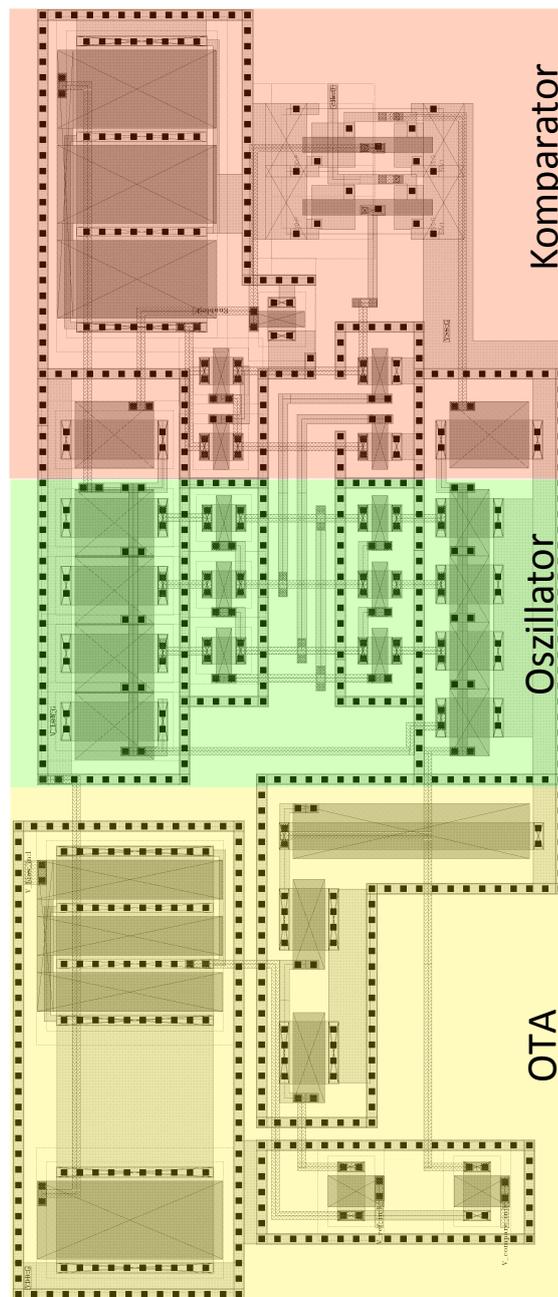


Abbildung 3.26: Layout des Oszillator inklusive OTA und Komparator ($14 \times 33 \mu\text{m}$)

Es fällt auf, dass die Bauteilanordnung des OTA nicht platzsparend oder für gutes Matching gewählt ist. Das liegt daran, dass der Oszillator nur mit extrahierten Parasitics simuliert werden kann und deshalb jede Änderung im Schaltplan eine Layoutänderung notwendig macht. Die großzügig dimensionierten Guard-Ringe und der große Abstand zwischen den Bauteilen erleichtert eine Änderung der Bauteilabmessungen im Layout.

3.5 Zweistufige Ladungspumpe

Im ersten Teil dieses Kapitels wird die implementierte zweistufige Ladungspumpe vorgestellt. Es wird eine Möglichkeit gezeigt, wie eine Ladungspumpe mit aktiv gesteuerten Schaltelementen aufgebaut werden kann und wie die Bulk-Potentiale dabei liegen müssen. Grundlagen zu diesem Thema sind in Kapitel 2.4 beschrieben. Die Dimensionierung wird in Kapitel 2.4.2 und in [Palumbo and Pappalardo 2010] gezeigt. Im zweiten Teil wird die Logik-Schaltung zur Erzeugung der Steuersignale vorgestellt und abschließend die simulierte Effizienz der Ladungspumpe gezeigt.

3.5.1 Aktiv geschaltete Ladungspumpe

Die Ladungspumpe ist, wie in der Einleitung beschrieben, zweistufig mit PMOS Transistoren als Schalter aufgebaut. Zusätzlich ist vom Eingang zum Ausgang der Pumpe ein NMOS Transistor als Diode geschaltet, um die kapazitive Last an V_{DD_PUMP} vorzuladen. Grundsätzlich wäre es auch möglich gewesen NMOS Transistoren als Schalter zu verwenden und die Gates mittels Bootstrapping zu schalten. Die Vorteile wären, dass die Transistoren aufgrund der größeren Ladungsträgermobilität kleiner dimensioniert werden können und dass die Bulk-Anschlüsse auf Masse liegen. Es gäbe also keine Ströme durch die parasitären Dioden der Transistoren. Für ein Bootstrapping wären allerdings drei weitere Kondensatoren und zusätzlicher Schaltungsaufwand notwendig.

Die in Abbildung 3.27 gezeigte und implementierte Version verwendet als Längsschaltelemente PMOS Transistoren. Das Schalten erfolgt mit Hilfe von Levelshiftern, die zum Ausschalten das Gatepotential auf das jeweilige Sourcepotential anheben. Der Levelshifter von T_1 hebt das Gate beispielsweise auf das Potential V_{Stage1} , was durch die Verbindungslinie von V_{Stage1} und dem Levelshifter angedeutet ist.

Wie in der Einleitung beschrieben, haben PMOS-Transistoren als Schaltelemente den Vorteil der einfacheren Ansteuerung. Die Problematik die sich dadurch ergibt ist, dass die Bulk-Anschlüsse nicht mit einem Anschluss des jeweiligen Transistors verbunden werden dürfen. Diese Einschränkung ergibt sich, da nicht sichergestellt ist, dass immer der gleiche der beiden Kanalkontakte auf dem höheren Potential liegt. Damit der Bulk-Anschluss immer am höchsten Potential liegt, wird die Schaltung in Abbildung 3.28 verwendet. Diese Schaltung wird auch in aktiven Gleichrichtern im RFID Bereich verwendet. Die vier Spannungen V_{DD} , V_{Stage1} , V_{Stage2} und V_{DD_PUMP} werden über PMOS-Dioden auf einen NMOS-Kondensator geführt. Der MOS-Kondensator lädt sich also auf die maximal auftretende Spannung abzüglich einer Threshold Spannung auf und legt die Wannentpotentiale der PMOS-Transistoren innerhalb der Ladungspumpe fest. Damit ist sichergestellt, dass der pn-Übergang von n-Wanne und p-Substrat gesperrt bleibt.

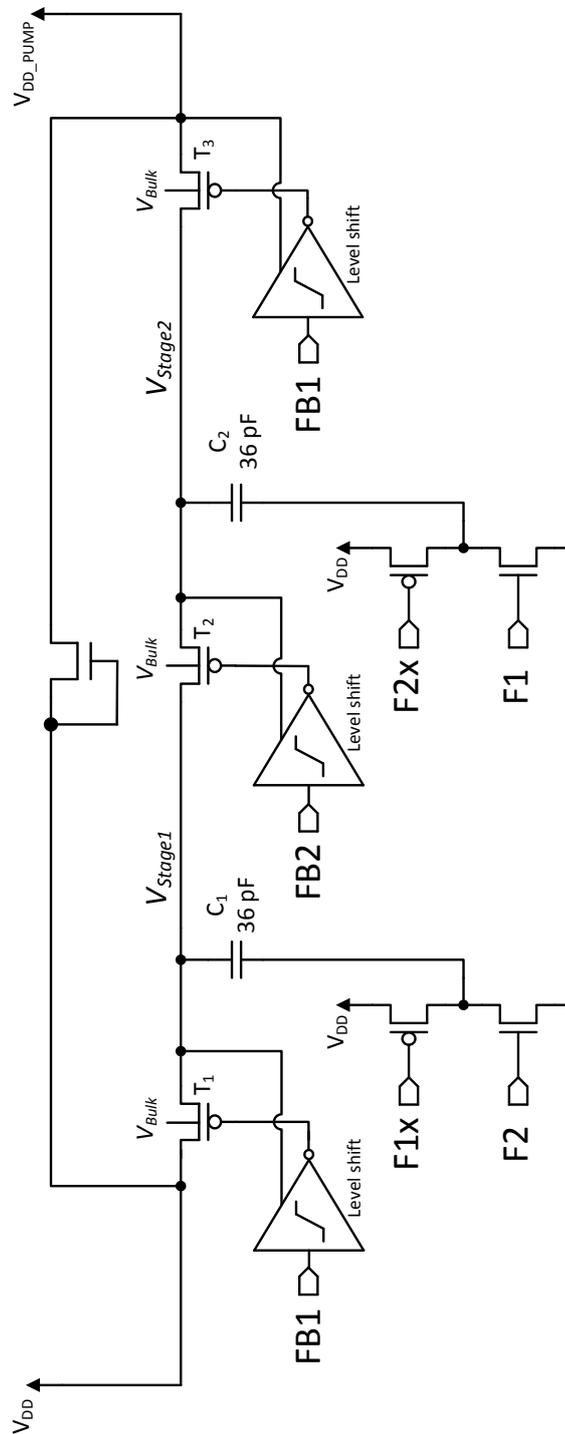


Abbildung 3.27: Zweistufige, aktiv geschaltete Ladungspumpe

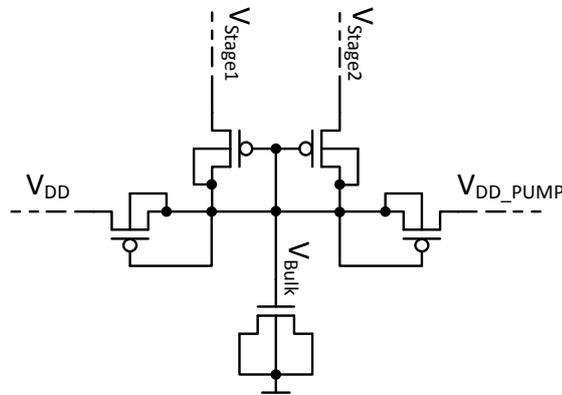


Abbildung 3.28: Schaltung zur Erzeugung des Bulkpotentials für T_1 , T_2 und T_3

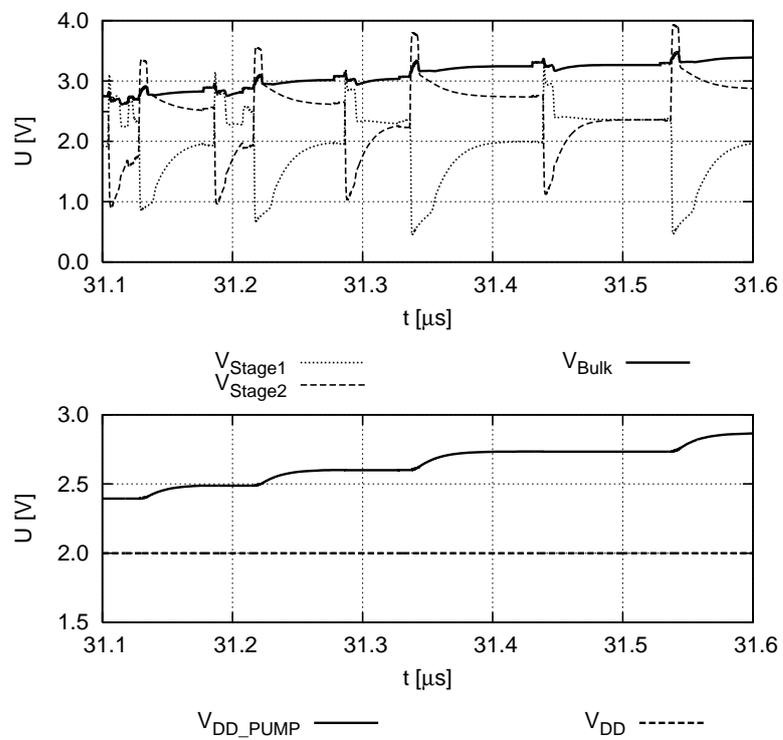


Abbildung 3.29: Signalverläufe innerhalb der Ladungspumpe

3.5.2 Steuersignale

Steuersignale werden für die PMOS Schalter und für die Inverter an den Fußpunkten der Kondensatoren benötigt. Die Schaltsignale der PMOS Transistoren sind nicht-überlappende Rechtecksignale. Damit ist sichergestellt, dass zwei angrenzende Schalter nicht zur gleichen Zeit leitend sind und der Strom nur vom Eingang zum Ausgang fließen kann. Der nicht-überlappende Takt kann mit der Schaltung aus Abbildung 2.16 in Kapitel 2.4.1 aus dem Oszillator Takt erzeugt werden. Eine Erweiterung dieser Schaltung ist in Abbildung 3.30 gezeigt.

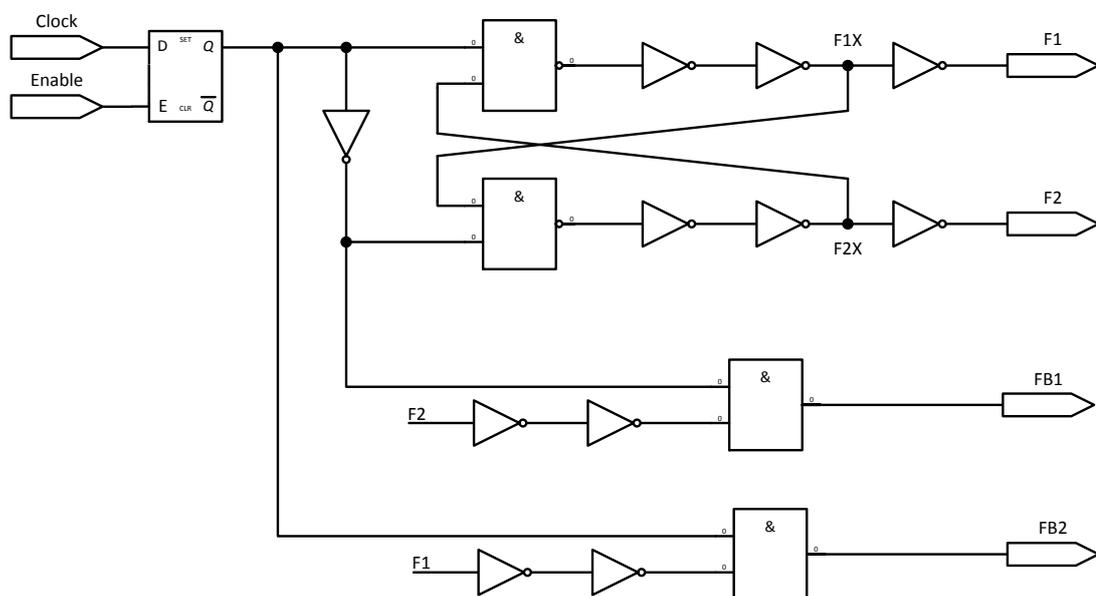


Abbildung 3.30: Implementierte Schaltung zur Erzeugung der Steuersignale

Mit dieser Erweiterung werden nicht nur zwei nicht-überlappende Schaltsignale erzeugt, sondern es werden auch die Inverter an den Fußpunkten der Kondensatoren so gesteuert, dass die Transistoren im Umschaltvorgang nicht zugleich leitend sind. Der Vorteil liegt darin, dass dadurch der unerwünschte Querstrom durch die Inverter vermieden wird. Abbildung 3.31 zeigt einen Ausschnitt der transienten Simulation der Steuersignale. Es ist ein Bereich gewählt, der sich unmittelbar nach dem *ENABLE* befindet, da dort die Ausgangsspannung V_{DD_PUMP} erst aufgebaut wird und die Taktfrequenz am größten ist.

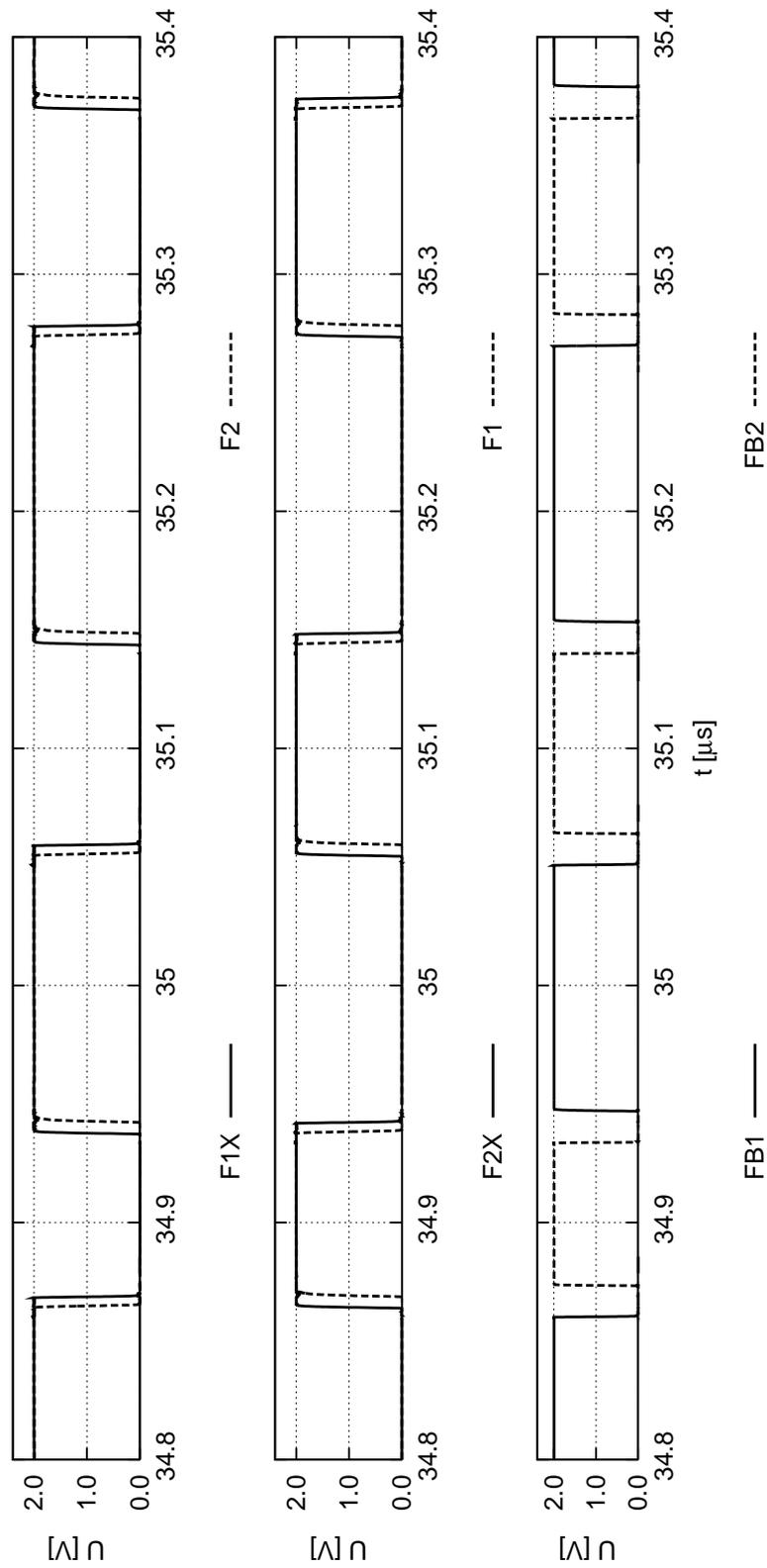


Abbildung 3.31: Steuersignale für die Ladungspumpe

3.5.3 Effizienz

Wie effizient die Ladungspumpe arbeitet, wird im belasteten Betrieb gezeigt. Dafür wird der Wirkungsgrad aus der abgegebenen Leistung und der aufgenommenen Leistung bestimmt. Zur aufgenommenen Leistung zählt die der Ansteuerschaltung dazu. Der aus der Simulation ermittelte Wirkungsgrad ist mittels der unten stehenden Formeln berechnet.

$$P_{in} = V_{DD} \cdot (I_{Pumpe} + I_{SteuerSig})$$

$$P_{out} = V_{DD_PUMP} \cdot I_{LOAD}$$

$$\eta = \frac{P_{out}}{P_{in}} \cdot 100 \text{ [%]}$$

Für die Wirkungsgrad-Simulation ist am Ausgang der Ladungspumpe ein Kondensator mit einer Kapazität von 1 nF angeschlossen. Der Laststrom wird nach dem *ENABLE* von 0 bis $100 \mu\text{A}$ in Zeitintervall von $50 - 500 \mu\text{s}$ linear gesteigert. Es zeigt sich, dass der Wirkungsgrad kaum vom Laststrom abhängt. Siehe Abbildung ???. Der Wirkungsgrad ist innerhalb der vorgesehenen Betriebsgrenzen hauptsächlich von der Versorgungsspannung abhängig. Das liegt zum einen an der Steuerlogik, die bei einer größeren Spannung einen höheren Leistungsbedarf hat. Zum anderen daran, dass die zweistufige Ladungspumpe nur dann effizient ist, wenn die Eingangsspannung ca. $1/3$ der Ausgangsspannung beträgt. Abbildung 3.32 zeigt den Wirkungsgrad in Abhängigkeit der Versorgungsspannung.

Für eine qualitative Abschätzung wird der erreichte Wirkungsgrad mit einem theoretisch möglichen Wert verglichen. Der theoretisch mögliche, maximale Wirkungsgrad ist mit Hilfe der Formeln 3.2, 3.3 aus [Doutreloigne 2010] berechnet. Dafür ist in den Formeln der Anteil, der die Auswirkung der parasitären Kondensatoren beschreibt, weggelassen.

$$V_{out} = (N + 1) \cdot V_{DD} - \frac{N \cdot I_{out}}{f \cdot C} \quad (3.2)$$

$$I_{in} = (N + 1) \cdot I_{out} \quad (3.3)$$

$$\eta = \frac{V_{out} \cdot I_{out}}{V_{DD} \cdot I_{in}} \cdot 100 \text{ [%]}$$

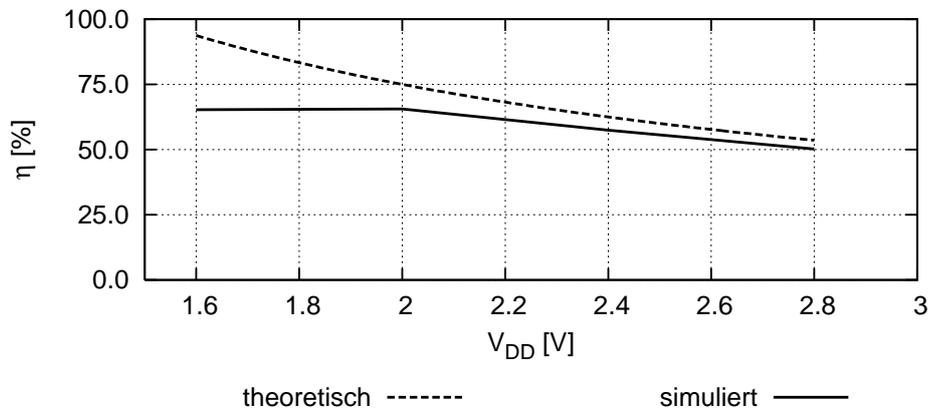


Abbildung 3.32: Simulierter und theoretisch möglicher Wirkungsgrad bei $I_{Last} = 50 \mu A$

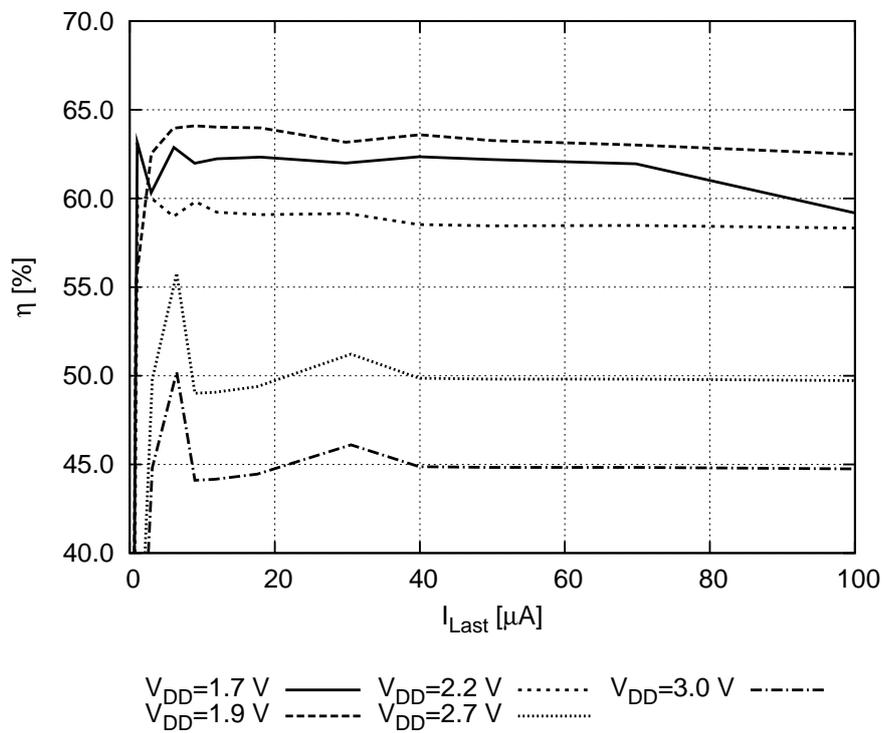


Abbildung 3.33: Simulierter Wirkungsgrad in Abhängigkeit von I_{Last}

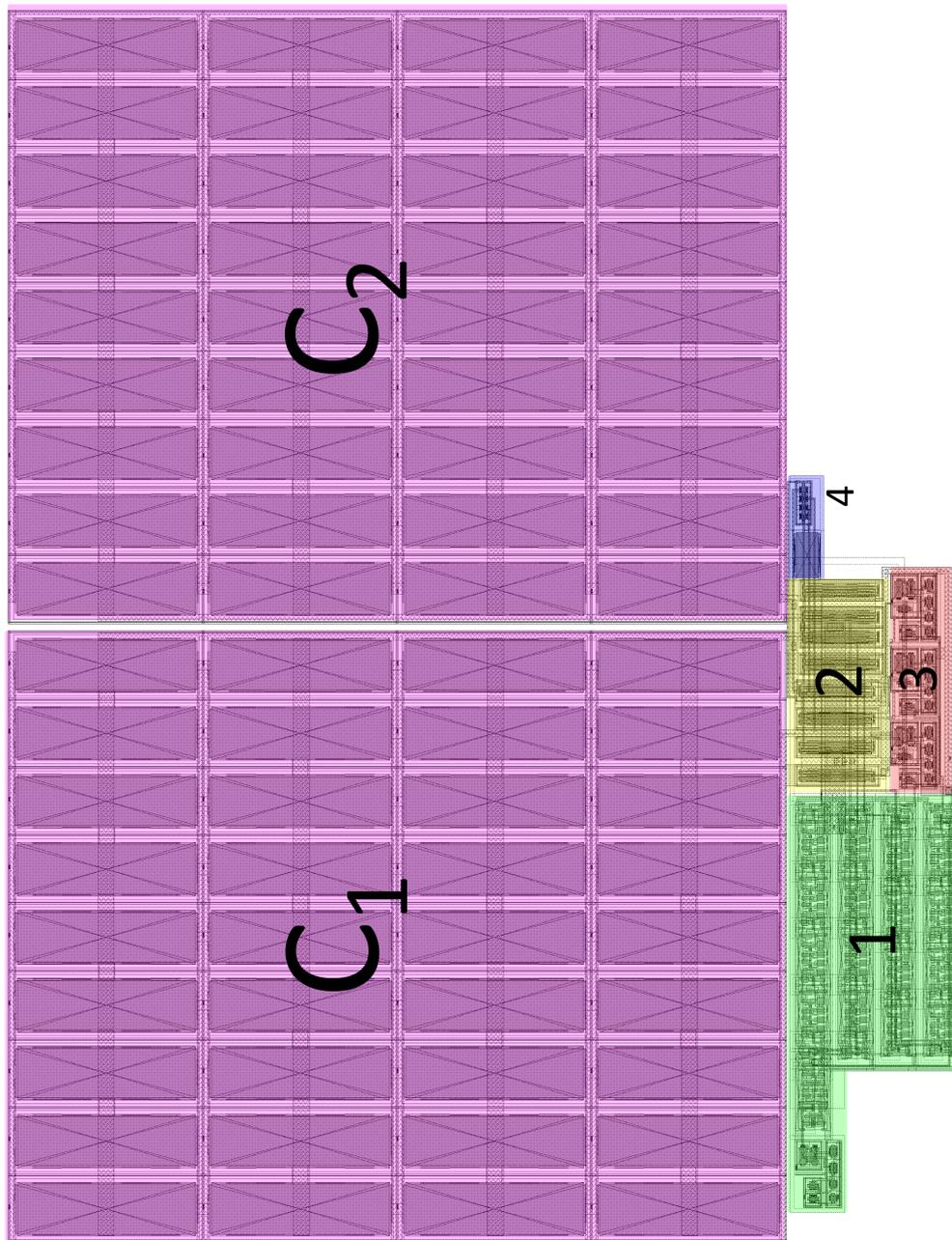


Abbildung 3.34: Layout der Ladungspumpe ($174 \times 134 \mu\text{m}$)

1	Steuerlogik
2	Leistungsschalter und Diode
3	Levelshifter
4	erzeugen der Bulkspannung

Tabelle 3.1: Layout Ladungspumpe - Legende

Kapitel 4

Simulationsergebnisse

In diesem Kapitel wird zusammenfassend eine transiente Gesamtsimulation der geregelten Ladungspumpe mit Belastung der Ausgangsspannung gezeigt. Die in Abbildung 4.1 dargestellte Simulation zeigt die Ergebnisse bei Raumtemperatur. Da während des blockweisen Aufbaus des Systems immer auf Funktionalität auch bei extremen Temperaturen geachtet wurde, ist der Betrieb der geregelten Ladungspumpe auch bei -40 bzw. $+130^{\circ}\text{C}$ möglich. Das wurde ebenfalls in abschließenden Test-Simulationen überprüft.

Die Ausgangsspannung V_{DD_PUMP} ist mit einer Monte Carlo Simulation auf ihre statistische Schwankungsbreite überprüft worden. Das Ergebnis ist in diesem Kapitel ebenfalls dargestellt und diskutiert. Das Startup-Verhalten der gesamten Schaltung ist bei -40 bzw. $+130^{\circ}\text{C}$ sowie bei Raumtemperatur simuliert worden.

4.1 Transiente Simulation

In der abschließenden Gesamtsimulation (Abbildung 4.1) sind die Ausgangsspannung V_{DD_PUMP} , die Oszillatorfrequenz f_{CLOCK} , das Statussignal $CHARGE_RDY$ und der Laststrom I_{LAST} dargestellt. Die Versorgungsspannung ist auf 2V festgelegt und es wird die aus dem Layout extrahierte Schaltung mit allen parasitären Kondensatoren simuliert.

Um die Funktion zu demonstrieren wird die Ladungspumpe am Ausgang mit einer Stromquelle belastet. Dafür wird der Laststrom zuerst auf $100\mu\text{A}$ linear gesteigert und dann wieder auf null abgesenkt.

Das Regelverhalten der Gesamtschaltung ist am Verlauf von f_{CLOCK} gut erkennbar. Die Frequenz ist ein skaliertes Abbild des Laststroms, weil ein reiner Proportional-Regler in Form eines OTA verwendet wird. Der Frequenz-Peak am Beginn der Simulation entsteht durch das Aufladen der Kondensators am Ausgang.

Das Statussignal $CHARGE_RDY$, welches anzeigt ob die Ausgangsspannung den Sollwert erreicht hat, schaltet nach dem Aufladen des Kondensators am Ausgang auf High. Unter Belastung sinkt die Spannung ab, wodurch $CHARGE_RDY$ mit einer kleinen Hy-

sterese auf Low schaltet. Erst beim Wiederkehren des Sollwertes bei ca. 1 ms wird wieder ein High Pegel ausgegeben.

4.2 Monte Carlo Simulation

Das maßgebliche Qualitätsmerkmal der DC/DC-Spannungsregelung ist das Verhalten der Ausgangsspannung. In den vorhergehenden Kapiteln sind Ausgangswiderstand und Strombelastbarkeit bereits behandelt worden. Um die tatsächliche Streuung der Spannung V_{DD_PUMP} bewerten zu können, müssen die Bauteil- und Fertigungstoleranzen mitberücksichtigt werden. Deshalb ist eine Monte Carlo Simulation der Gesamtschaltung in Abbildung 4.2 dargestellt. Das Histogramm zeigt die Schwankung der Ausgangsspannung. Insgesamt sind 500 Simulationsdurchläufe verwertet worden.

- Mittelwert $\mu = 4,51\text{ V}$
- Standardabweichung $\sigma = 72,3\text{ mV}$

Die Streuung der Ausgangsspannung bewegt sich in einem Bereich, in dem das Aufladen eines On-Chip Akkus immer möglich ist. Es wird vorausgesetzt, dass der Ladungspumpe noch ein Spannungsregler nachgeschaltet wird. Das bedeutet, dass die Ausgangsspannung in jedem Fall größer sein muss als die Ladeschlussspannung plus dem benötigten Spannungsabfall am Regler. Bei typischen $4,1 - 4,15\text{ V}$ Ladeschlussspannung des Akkus erfüllt die DC/DC-Spannungsregelung diese Vorgabe.

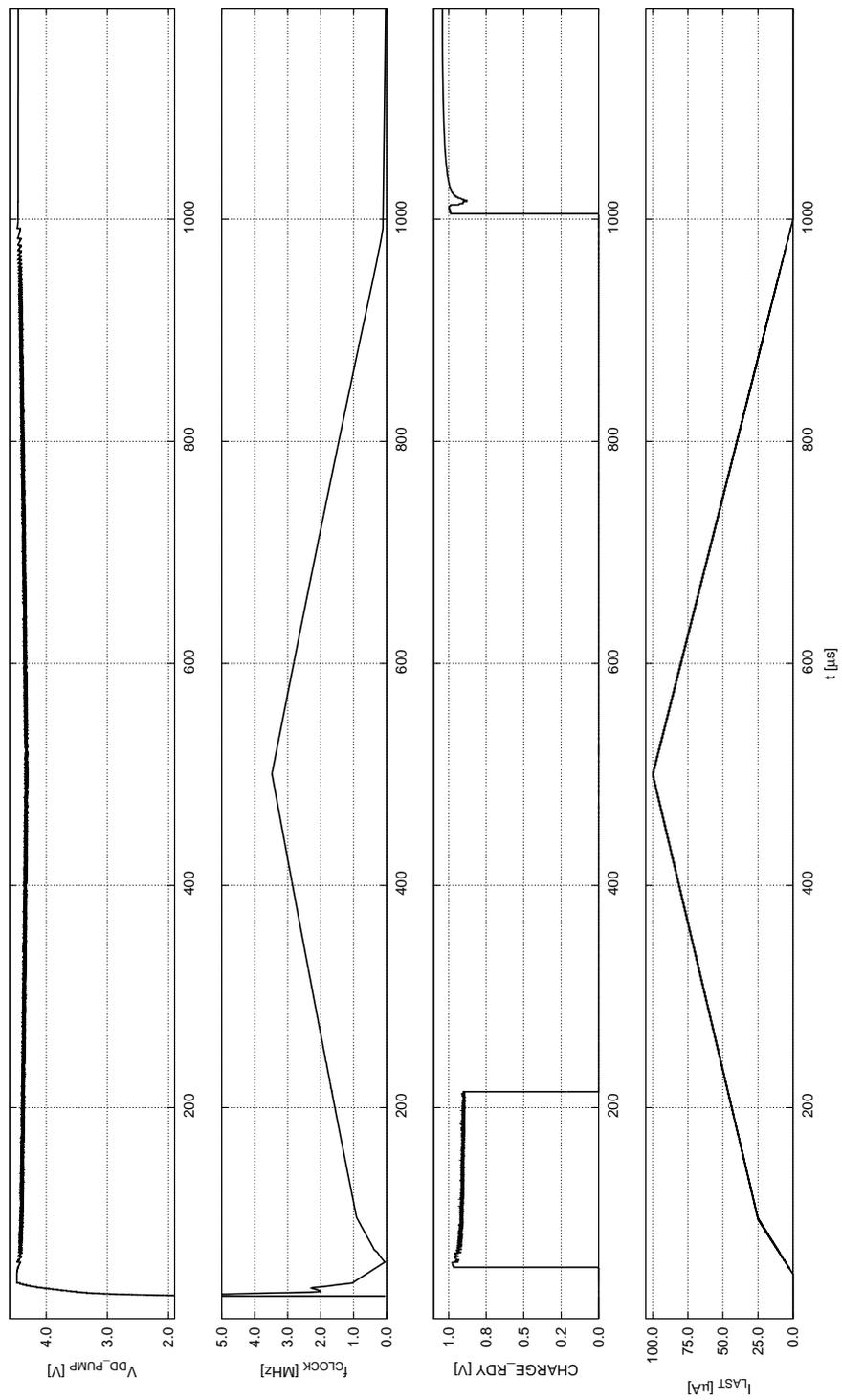


Abbildung 4.1: Top-Level Simulation der geregelten Ladungspumpe

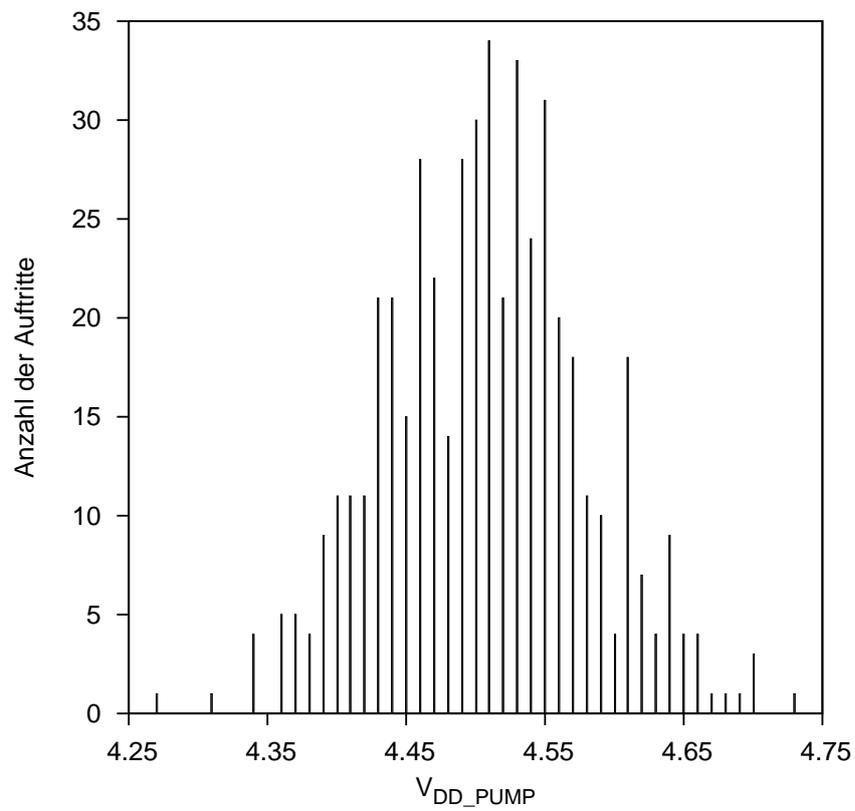


Abbildung 4.2: Histogramm der Monte Carlo Simulation von V_{DD_PUMP} ; 500 Durchläufe

Kapitel 5

Testchip und Tapeout

Der Testchip gibt dem Schaltungsentwickler die Möglichkeit, die entworfene und simulierte Schaltung in der Realität zu testen. Es werden, für die Evaluierung nützliche Signale, herausgeführt und über Pads (im Layout 5.2 gelb) zugänglich gemacht. So kann die Funktion überprüft werden bzw. ein möglicher Fehlerfall analysiert werden. Für den Testchip steht eine Fläche von einem halben Quadratmillimeter zur Verfügung, die zur Gänze genutzt wird. Passend zur Pad-Anzahl wird der Testchip in ein CDIP 24 Gehäuse gebondet. Abbildung 2.1 das Blockschaltbild des Testchips.

Damit die geregelte Ladungspumpe auf dem Testchip unter realistischen Bedingungen betrieben wird, ist ein RFID-Frontend (im Layout 5.2 blau) ebenfalls auf dem Chip. Das Frontend ist eine Neuentwicklung, die im Zuge einer Masterarbeit [Greiner 2013] entstanden ist. Als AFE (analoges Frontend) wird in der RFID grundsätzlich der Schaltungsblock bezeichnet, der die Schnittstelle zwischen Antenne und interner Elektronik (z. B. Digitalteil) darstellt. Das AFE hat die Aufgabe die Versorgungsspannungen für den Chip zu erzeugen und ermöglicht durch Modulation bzw. Demodulation des HF-Feldes die Kommunikation mit dem Reader.

Die Neuerung besteht darin, dass ein konfigurierbarer Lastregler zusätzliche Verbraucher am Chip versorgt, ohne die RFID-Funktionalität zu beeinträchtigen.

Die Problematik die mit zusätzlichen Verbrauchern am Chip, wie zum Beispiel einer Ladungspumpe oder eines Sensors, entsteht ist, dass durch deren Stromaufnahme und den Innenwiderstand der Quelle eine Schwankung der Versorgungsspannung auftreten kann. Eine Ladungspumpe, wie sie in dieser Arbeit vorgestellt wird, erzeugt steilflankige Stromspitzen mit einer Amplitude von ca. 3 mA . Ohne einen Lastregler würde die herkömmliche Regelschaltung des RFID-Chips diese Schwankung ausgleichen und dabei evtl. das Feld des Readers soweit belasten, dass der Reader eine Modulation detektiert. Eine einfache Lösung mit genügend großen Kapazitäten oder einer R-C Kombination wäre möglich, um eine Fehl-Detektion durch die Stromaufnahme der Ladungspumpe zu vermeiden. Die benötigten Widerstände und Kapazitäten wären jedoch so groß, dass sie den Hauptteil der Chipfläche benötigen würden, was wiederum sehr unwirtschaftlich wäre. Der bereits er-

wähnte Lastregler ist eine Schaltung, die den Betrieb solcher Lasten ohne den Einsatz von großen Stützkapazitäten ermöglicht. Dafür wird der Laststrom durch den Lastregler so begrenzt, dass das Versorgungsspannungsnetz nicht einbricht. Tritt der Fall ein, dass die Ladungspumpe aktiv ist und nicht genügend Feldenergie zu Verfügung steht, würde der Lastregler die Versorgung der Pumpe komplett unterbrechen. Zusätzlich ist auch die zeitliche Änderung der Stromaufnahme beim Zuschalten der Last kontrolliert niedrig gehalten. Der Strom in eine Last folgt beim Ein- bzw. Ausschalten einer vorgegebenen steigenden oder fallenden Rampe. Die genaue Funktionsweise und andere Einstellmöglichkeiten am analogen Frontend und am Lastregler werden in [Greiner 2013] beschrieben.

Abbildung 5.1 zeigt das Blockschaftbild des Analog-Frontends. Die geregelte Ladungspumpe ist am Block 'Load Regulator' angeschlossen. Die nicht benötigte Chipfläche ist mit Kondensatoren ausgefüllt, sodass extern nur für Testzwecke zusätzliche Kondensatoren angeschlossen werden müssen.

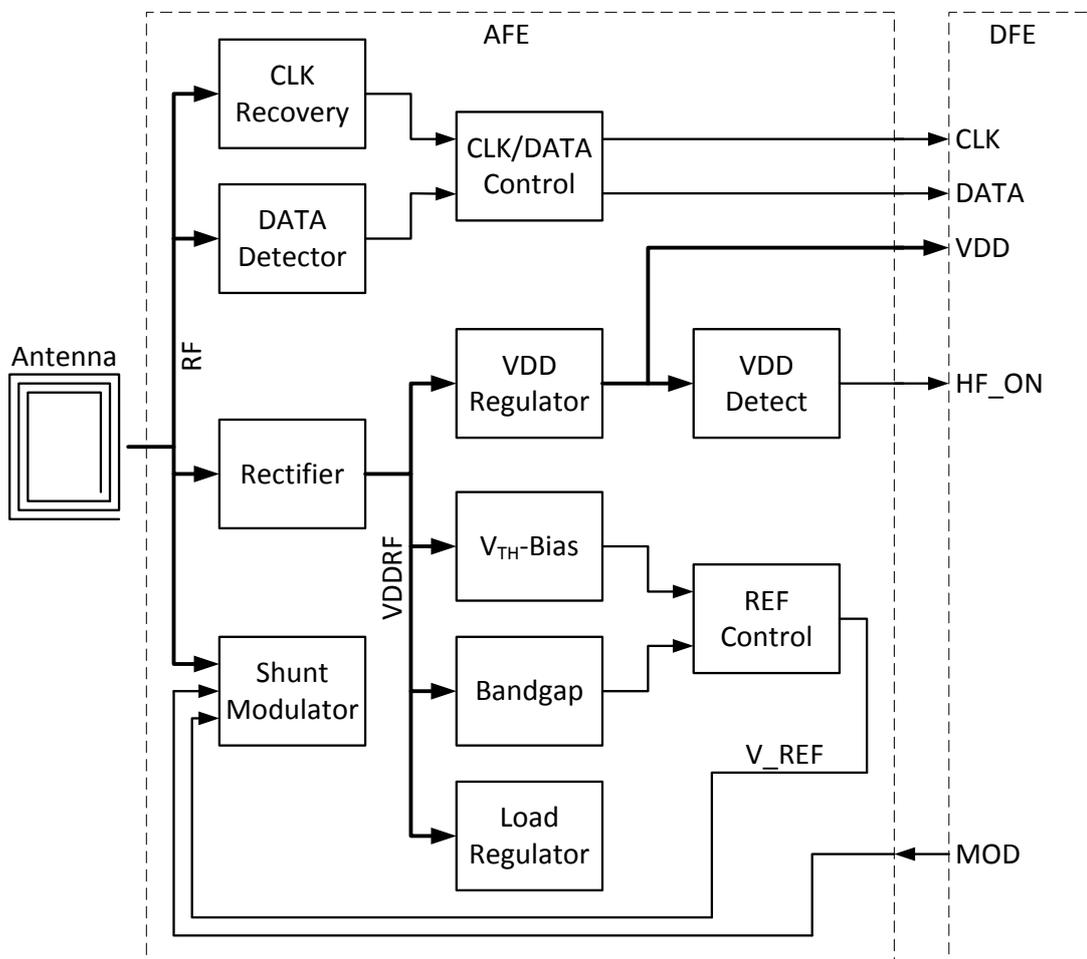


Abbildung 5.1: Blockschaftbild des analog Frontend [Greiner 2013]

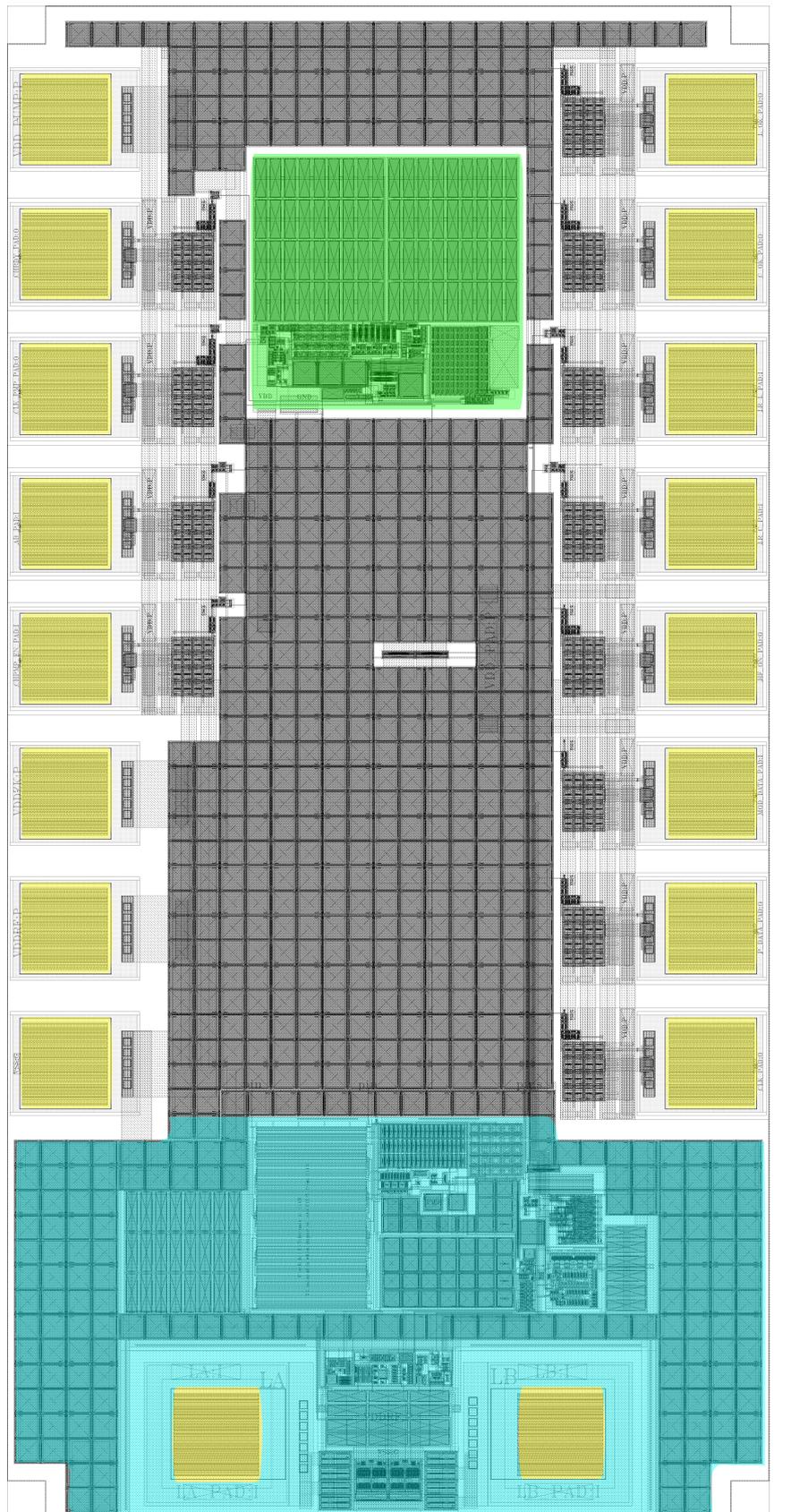


Abbildung 5.2: Testchip Layout ($500 \times 1000 \mu\text{m}^2$)

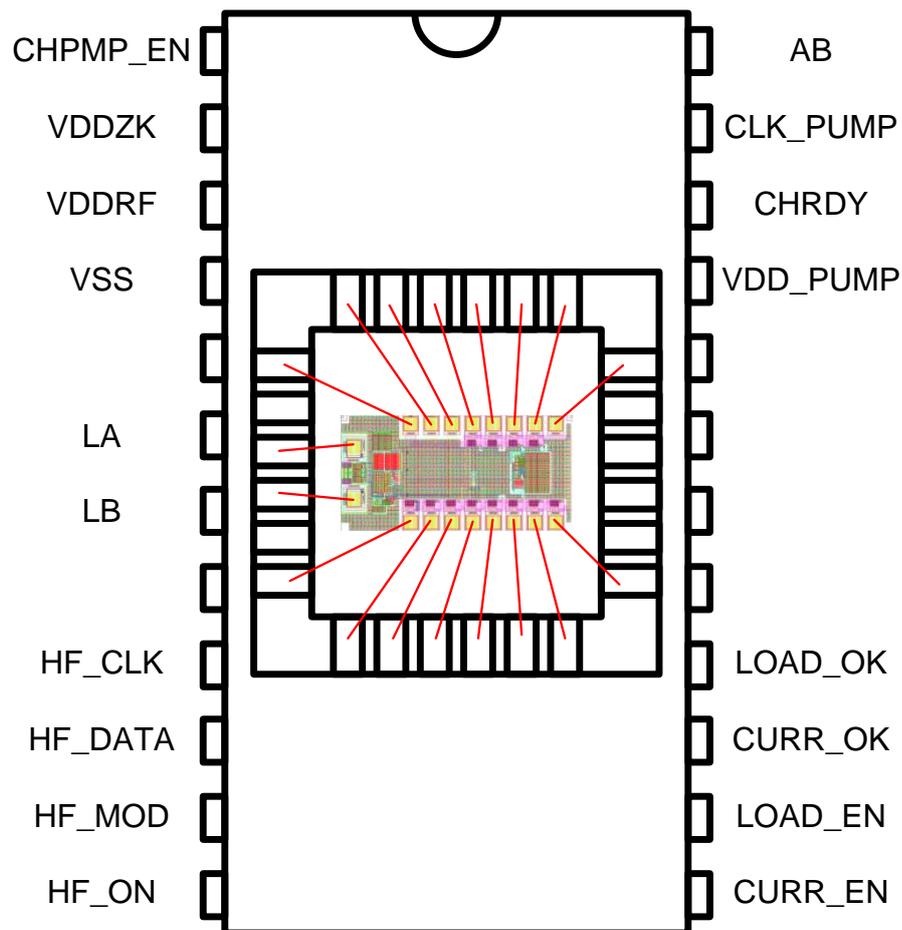


Abbildung 5.3: Bondplan des Testchips für ein CDIP 24 Gehäuse [Greiner 2013] (nicht maßstäblich)

Der vorgestellte Testchip ist einer von mehreren Chips, die im Zuge des Tapeouts gefertigt werden. Die in dieser Arbeit vorgestellte geregelte Ladungspumpe ist außerdem noch auf einem größeren System-Chip integriert, der ebenfalls im kommenden Tapeout gefertigt wird. Dafür war es notwendig die gesamte Schaltung so zu erweitern, dass sie vollkommen eigenständig benutzt werden kann. Es ist deshalb eine zweite Version entstanden, die eine eigene Bandgap Zelle zur Erzeugung der Referenzgrößen verwendet. Dadurch ist die Schaltung auf eine Größe von $204 \times 314 \mu\text{m}^2$ gewachsen. Der Unterschied zu Abbildung 2.1 besteht darin, dass die Leitungen V_{Referenz} und I_{Referenz} fehlen und nur noch ein *ENABLE* zur Steuerung benötigt wird.

Kapitel 6

Zusammenfassung und Ausblick

Im abschließenden Kapitel sind Verbesserungsvorschläge und mögliche Änderungen angeführt. Die einzelnen Punkte betreffen einerseits Details der Schaltung, die noch nicht ideal sind, andererseits wird ein Vorschlag für die Umgestaltung des Systems gemacht. In der Zusammenfassung wird ein Überblick über die entstandene Schaltung gegeben.

6.1 Zusammenfassung

Im Zuge der Masterarbeit sind zwei Versionen einer geregelten zweistufigen Ladungspumpe zum Aufladen eines On-Chip Akkus entstanden: Eine Version ohne und eine mit Bandgapschaltung. Die Version mit Bandgapschaltung ist als stand-alone Lösung anzusehen. Die DC/DC-Spannungsregelung kann ab einer Versorgungsspannung von $1,6\text{ V}$ eine stabile Ausgangsspannung von $4,5\text{ V}$ erzeugen. Der Ausgang ist bis $100\ \mu\text{A}$ belastbar. Beide Versionen benötigen allerdings noch eine Spannungsregelung zwischen Ladungspumpe und Akku, um eine Überladung zu vermeiden. Für eine stabile Regelung bzw. den einwandfreien Betrieb, muss am Ausgang der Ladungspumpe eine Last mit einer Kapazität von mindestens $100\ \text{pF}$ angeschlossen werden.

6.2 Ausblick

Die Steuerlogik der Ladungspumpe, welche der Erzeugung der nichtüberlappenden Schaltsignale dient, wird mit der Versorgungsspannung V_{DD} versorgt. Um die benötigte zeitliche Verzögerung zu erhalten sind hier die Gatterlaufzeiten von hintereinandergeschalteten Invertern notwendig. Um die Leistungsaufnahme dieses Schaltungsteils zu senken, wäre das Herabsetzen der Versorgungsspannung sinnvoll. Ein Betrieb an der Versorgungsspannung des Oszillators V_{LOW} ist für die nächste Version geplant. Es sind dann jedoch zusätzliche Levelshifter an den Ausgängen des Logikblocks notwendig.

Das Steuersignal $CHARGE_RDY$ wird in der bestehenden Version noch mit einem High-Pegel von V_{LOW} ausgegeben. Dieses Signal sollte mit einem Levelshifter einen High-Pegel von V_{DD} bekommen, damit es kompatibel zur restlichen Logik wird.

In Kapitel 3.5.3 wird die Effizienz der Ladungspumpe behandelt. Es zeigt sich, dass die benötigte Stufenanzahl ein wesentlicher Faktor ist, weil eine Ladungspumpe nur für ein bestimmtes Verhältnis von Ausgangs- zu Eingangsspannung effizient arbeitet. Es wäre deshalb eine gute Verbesserung der Schaltung, wenn die Stufenanzahl zwischen ein- und zweistufig variieren könnte. Je nach Größe der Eingangsspannung würde einstufig mit doppelter Kapazität oder zweistufig mit einfacher Kapazität gearbeitet werden. Dieses Umschalten könnte von einem Komparator mit Hysterese vollautomatisch ausgeführt werden.

Diese DC/DC-Spannungsregelung soll in Verbindung mit einem weiteren Regler zum Aufladen eines On-Chip Akkus verwendet werden. Das bedeutet jedoch, dass der zusätzliche Regler zwischen Ladungspumpe und Akku eine weitere Effizienzminderung mit sich bringt.

Ein anderer Ansatz wäre, die DC/DC-Spannungsregelung ohne weiteren Schaltungsteil zum Laden zu verwenden. Durch die Dimensionierung der Ladungspumpe und die Schaltfrequenz kann der maximale Ladestrom eingestellt werden. Die Ausgangsspannung der Ladungspumpe bzw. in diesem Fall die Akkuspannung müsste gemessen werden, um mit dem Erreichen der Ladeschlussspannung den Ladevorgang abzuschalten.

Literaturverzeichnis

- [Auer 2011] Mario Auer. Handout zur Vorlesung Analog Integrated Circuit Design and Simulation 1. Institut für Elektronik, Technische Universität Graz, 2011.
- [Doutreloigne 2010] Jan Doutreloigne. Fully integrated dickson charge pumps with optimized power efficiency. In *WCECS 2010, October 20-22, 2010, San Francisco, USA* [2010].
- [Greiner 2013] Philipp Greiner. Design of a NFC and EPC-HF compatible Analog-Front-End with Load-Regulator. Master's thesis, TU-Graz, 2013.
- [Kul B. Ohri 1979] Michael J. Callahan Kul B. Ohri. Integrated PCM Codec. *IEEE Journal of Solid-State Circuits*, SC-14:38–46, 1979.
- [M. Azarmehr 2011] M. Ahmadi M. Azarmehr, R. Rashidzadeh. Low-power oscillator for passive radio frequency identification transponders. *IET Circuits, Devices & Systems*, 6:79 – 84, 2011.
- [Palumbo and Pappalardo 2010] Gaetano Palumbo and Domenico Pappalardo. Charge pump circuits: An overview on design strategies and topologies. *IEEE CIRCUITS AND SYSTEMS MAGAZINE*, page 15, 2010.
- [Saxena 2010] Vishal Saxena. Charge pump design additional slides. http://www.lumerink.com/courses/ece5410/Handouts/Charge_Pump_Design.pdf, 11 2010.
- [Suzana Farzeen 2010] Chunhong Chen Suzana Farzeen, Guoyan Ren. An Ultra-Low Power Ring Oscillator for Passive UHF RFID Transponders. pages 558 – 561. IEEE international Midwest Symposium on Circuits and Systems, 2010.